

TECHNICAL SPECIFICATION

SPECIFICATION TECHNIQUE



**Device embedded substrate –
Part 2-4: Guidelines – Test element groups (TEG)**

**Substrat avec appareil(s) intégré(s) –
Partie 2-4: Directives – Groupes d'éléments d'essai (TEG)**

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-4:2015



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2015 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - www.iec.ch/searchpub

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in 15 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

More than 60 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - www.iec.ch/searchpub

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 15 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

Plus de 60 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

TECHNICAL SPECIFICATION

SPECIFICATION TECHNIQUE



**Device embedded substrate –
Part 2-4: Guidelines – Test element groups (TEG)**

**Substrat avec appareil(s) intégré(s) –
Partie 2-4: Directives – Groupes d'éléments d'essai (TEG)**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.180; 31.190

ISBN 978-2-8322-2435-9

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	4
INTRODUCTION.....	6
1 Scope.....	7
2 Normative references.....	7
3 Terms, definitions and abbreviations	7
3.1 Terms and definitions	7
3.2 Abbreviations	7
4 Test conditions and sample preparation	7
4.1 General.....	7
4.2 Test conditions.....	7
4.2.1 Classification of tests and evaluation	7
4.2.2 Measuring environment	8
4.2.3 Test methods	8
4.3 Test specimens and number of specimens.....	8
4.3.1 Specimen.....	8
4.3.2 Number of specimens.....	9
4.3.3 Test report	9
5 TEG	9
5.1 Preparation of the TEG.....	9
5.2 Structures of TEG	17
5.3 Test pattern guide	18
5.3.1 Test items.....	18
5.3.2 Area array arrangement of TEG for an active device	19
5.3.3 Peripheral arrangement of TEG	20
5.3.4 TEG size for active devices	23
5.3.5 TEG for passive devices.....	24
5.3.6 Complex test pattern for the area arrangement, TEG-A	24
5.3.7 Complex pattern for area arrangement of TEG-B	27
5.3.8 Complex test pattern for peripheral arrangement	29
5.3.9 Complex test pattern for passive components	30
5.3.10 Guide of measurement terminals of a complex test pattern for an active device.....	33
5.3.11 Terminal arrangement using complex patterns	34
Bibliography	36
Figure 1 – Area array arrangement – TEG for conductor resistivity and via-to-via insulation.....	10
Figure 2 – Area array arrangement – TEG for insulation measurement of resistance between conductors and insulation resistance between layers	11
Figure 3 – Chip arrangement in a shot.....	12
Figure 4 – Shot arrangement in a wafer.....	13
Figure 5 – Pitch chip specification of peripheral terminal of 60µm TEG.....	14
Figure 6 – Peripheral arrangement of TEG for complex tests	15
Figure 7 – Chip arrangement in a shot.....	16
Figure 8 – Shot arrangement in a wafer.....	16
Figure 9 – Structure of test board and pad connection	17

Figure 10 – Structure of a test board and via connection.....	17
Figure 11 – Area array arrangement.....	19
Figure 12 – Peripheral arrangement of TEG	21
Figure 13 – Example of pad arrangement of peripherals	22
Figure 14 – TEG size of active device	23
Figure 15 – TEG for passive device.....	24
Figure 16 – Test pattern for conduction and insulation resistance between vias (seen from L6).....	25
Figure 17 – Complex test patterns for conduction and via-to-via insulation	26
Figure 18 – Test patterns for insulation between conductor and between layers in an area array arrangement	27
Figure 19 – Complex test patterns for L1 to L6 for insulation between conductors and layers	28
Figure 20 – L1 to L6 complex test patterns for the peripheral arrangement.....	29
Figure 21 – Conduction test patterns for L1 to L6 of passive components.....	30
Figure 22 – Insulation test patterns between terminals for L1 to L6 of passive components.....	31
Figure 23 – Interlayer insulation test patterns of L1 to L6 of passive components	32
Figure 24 – Terminal arrangement (1) for measurement and evaluation using complex pattern for an active device	33
Figure 25 – Terminal arrangement (2) for measurement and evaluation using complex pattern for an active device	34
Figure 26 – Terminal arrangement for measurement and evaluation using complex pattern for passive device	35
Figure 27 – Terminal arrangement for measurement and evaluation using complex pattern for device embedded substrate.....	35
Table 1 – Application and embedded device	8
Table 2 – Measuring environment	8
Table 3 – Test items	18
Table 4 – Terminal dimensions.....	20
Table 5 – Detailed dimensions of the peripheral arrangement of TEG	21
Table 6 – Detailed dimensions of the peripheral arrangement of pad connections.....	22
Table 7 – Dimension of passive device TEG	24
Table 8 – Dimensions of the area array arrangement of TEG-A.....	25
Table 9 – Dimensions of TEG-B for the area array arrangement.....	27

INTERNATIONAL ELECTROTECHNICAL COMMISSION

DEVICE EMBEDDED SUBSTRATE –

Part 2-4: Guidelines – Test element groups (TEG)

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

The main task of IEC technical committees is to prepare International Standards. In exceptional circumstances, a technical committee may propose the publication of a Technical Specification when

- the required support cannot be obtained for the publication of an International Standard, despite repeated efforts, or
- the subject is still under technical development or where, for any other reason, there is the future but no immediate possibility of an agreement on an International Standard.

Technical Specifications are subject to review within three years of publication to decide whether they can be transformed into International Standards.

IEC TS 62878-2-4, which is a Technical Specification, has been prepared by IEC technical committee 91: Electronics assembly technology

The text of this Technical Specification is based on the following documents:

Enquiry draft	Report on voting
91/1144/DTS	91/1165A/RVC

Full information on the voting for the approval of this Technical Specification can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 62878 series, published under the general title *Device embedded substrate*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- transformed into an International standard,
- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

This part of IEC 62878 provides guidance with respect to device embedded substrate, fabricated by embedding discrete active and passive electronic devices into one or multiple inner layers of a substrate with electric connections by means of vias, conductor plating, conductive paste, and printing. Within the IEC 62878 series,

- IEC 62878-1-1 specifies the test methods,
- IEC TS 62878-2-1 gives a general description of the technology,
- IEC TS 62878-2-3 provides guidance on design, and
- IEC TS 62878-2-4 specifies the test element groups.

The device embedded substrate may be used as a substrate to mount SMDs to form electronic circuits, as conductor and insulator layers may be formed after embedding electronic devices.

The purpose of the IEC 62878 series is to achieve a common understanding with respect to structures, test methods, design and fabrication processes and the use of the device embedded substrate in industry.

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-4:2015

DEVICE EMBEDDED SUBSTRATE

Part 2-4: Guidelines – Test element groups (TEG)

1 Scope

This part of IEC 62878 describes the test element group devices useful when measuring basic properties of device embedded substrates.

This part of IEC 62878 is applicable to device embedded substrates fabricated by use of organic base material, which include for example active or passive devices, discrete components formed in the fabrication process of electronic wiring board, and sheet formed components.

The IEC 62878 series neither applies to the re-distribution layer (RDL) nor to the electronic modules defined as an M-type business model in IEC 62421.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions*

IEC 62878-1-1, *Device embedded substrate – Part 1-1: Generic specification – Test methods*¹

3 Terms, definitions and abbreviations

3.1 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60194 apply.

3.2 Abbreviations

AABUS	as agreed between user and supplier
AV	audiovisual
L/S	line and space
SMD	surface mount device

4 Test conditions and sample preparation

4.1 General

Clause 4 describes the test conditions for device embedded boards to be used in electronics equipment and reliability, and Clause 5 describes the test element group (hereafter referred to as TEG) to be used as dummy test chips, as well as test patterns used in TEGs.

4.2 Test conditions

4.2.1 Classification of tests and evaluation

Subclause 4.2.1 describes the classification of test levels in various applications. The environment in which products are used is divided into

¹ To be published.

- consumer applications (portable and non-portable), and
- industrial and automotive applications (AV/information, car operation control, and engine control).

Evaluation tests are divided into tests for package, module board and mother board. In this part of IEC 62878, “mother board” indicates the main board to which packages or modules are assembled. Three ranks are specified for evaluation levels for embedded devices (passive and active), board materials, assembly methods, and specification and characteristics of embedding devices. Evaluation levels are to be agreed between user and supplier (hereafter referred to as AABUS). Table 1 shows the above mentioned classification of user environment for each application.

Table 1 – Application and embedded device

Products		Package			Module			Mother board		
Applications		– Consumer (portable and non-portable) – Industrial – Automotive (audiovisual information, car operation control and engine control)								
Device	Passive	○		○	○		○	○		○
	Active	○	○		○	○		○	○	

4.2.2 Measuring environment

The test environment adopted in the tests described in IEC 62878-1-1 is specified in 4.2.2. Tests are performed, unless otherwise specified, in the standard atmospheric pressure of 86 kPa to 106 kPa and air flow of smaller than 1 m/s. If it is difficult to test a specimen in the standard condition, a test may be carried out in a condition other than the standard condition when there is no question in evaluating test results. The test shall be carried out with the conditions shown in Table 2 when there is no question concerning the test result, or it shall be specifically requested by the user and supplier.

Table 2 – Measuring environment

Classification			Temperature °C	Humidity %	Pressure kPa	Remarks
Standard condition	Common		15 to 35	25 to 75	86 to 106	Use the standard testing condition, if not specified
	23/50	Class 1	23 ± 1	50 ± 5	86 to 106	
		Class 2	23 ± 2	50 ± 10		
	27/65	Class 1	27 ± 1	65 ± 5	86 to 106	AABUS e.g. in a tropical area
		Class 2	27 ± 1	65 ± 5		
Evaluation	Common		20 ± 2	60 to 70	86 to 106	

4.2.3 Test methods

Test methods using TEG are as described in this part of IEC 62878. These test methods especially comprise electrical and mechanical tests. Tests for other items described in this part of IEC 62878 may be carried out AABUS.

4.3 Test specimens and number of specimens

4.3.1 Specimen

Test specimen is either a) or b) as listed below. The surface of a specimen shall not be contaminated by grease, sweat or other foreign objects.

a) Actual device embedded board

Cut a specimen for the test from the product of a shape and size as specified by individual specifications using a method that does not affect the performance of the specimen.

b) Test pattern specimen

Use TEG and applicable circuit for the test of an embedded device itself. Prepare a test pattern specimen of a board and embedded device(s) using the same material as that used in the actual device embedded board. Use the same procedure to prepare a test device as for the embedded device.

4.3.2 Number of specimens

The number of specimens used in a test shall be either a) or b) as specified by the manufacturing status below. The agreement between user and supplier, if there is any, shall have priority.

a) Test production

$n \geq 5$ of the unit AABUS.

b) Volume production

$n \geq 10$ of the unit AABUS.

4.3.3 Test report

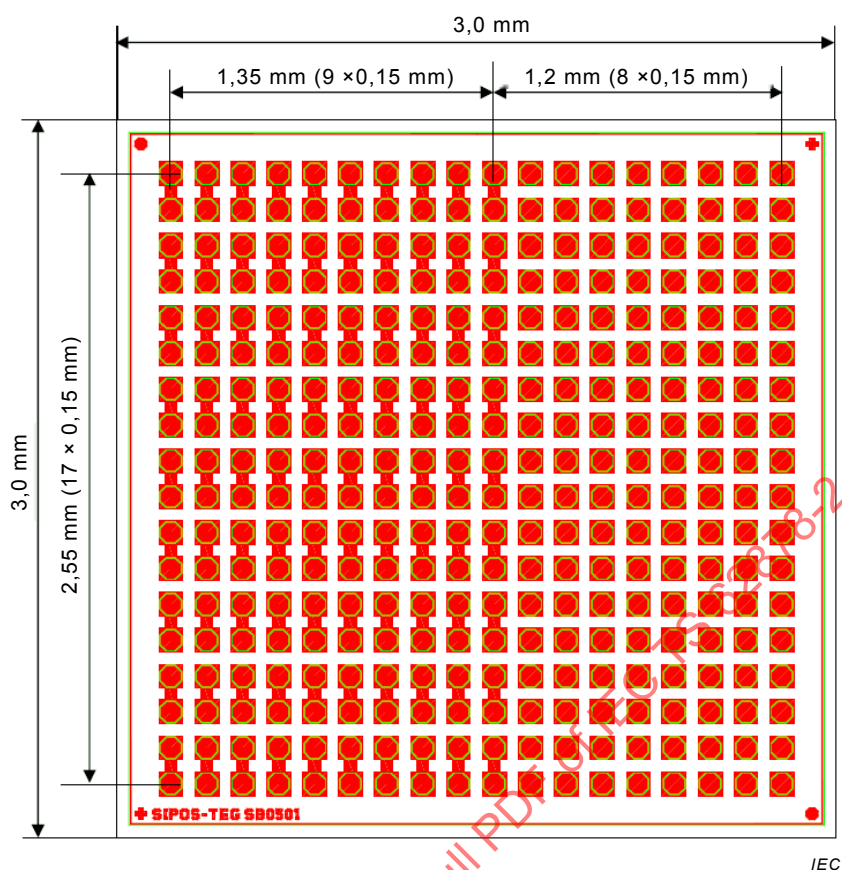
The test items shall be chosen from the list stated below AABUS, and the items shall be included in the test report:

- a) date of the test;
- b) test location;
- c) name, type and size of the embedded device;
- d) material, size and layer structure of the test board;
- e) assembly technique of the embedded device (interconnection, embedding, etc.);
- f) design specification and product specification of the test board;
- g) test equipment (specifications of the test system and equipment, jigs, material, shape, etc.);
- h) test condition (temperature, humidity, applied voltage, current, number of repetitions, time, etc.);
- i) graphs and figures showing relations between test condition and result;
- j) defect mode (photographs, etc.).

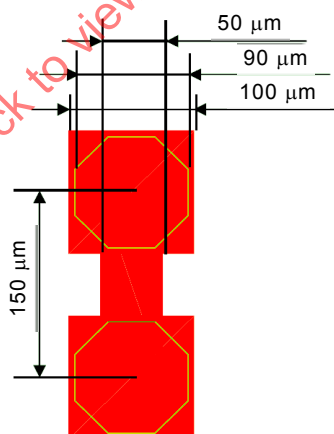
5 TEG**5.1 Preparation of the TEG**

For the testing of device embedded substrate, TEG made up of neutral aluminium wiring is prepared. It is recommended that the passive device be replaced by a copper wiring board or that a zero ohm jumper resistor be used.

Examples of TEG are shown in Figure 1 and Figure 2. TEG-A is a sample of daisy chain to investigate connectivity. TEG-B is to measure leakage current and capacitance.



a) TEG-A – Entire view of TEG of 150 µm pitch chip

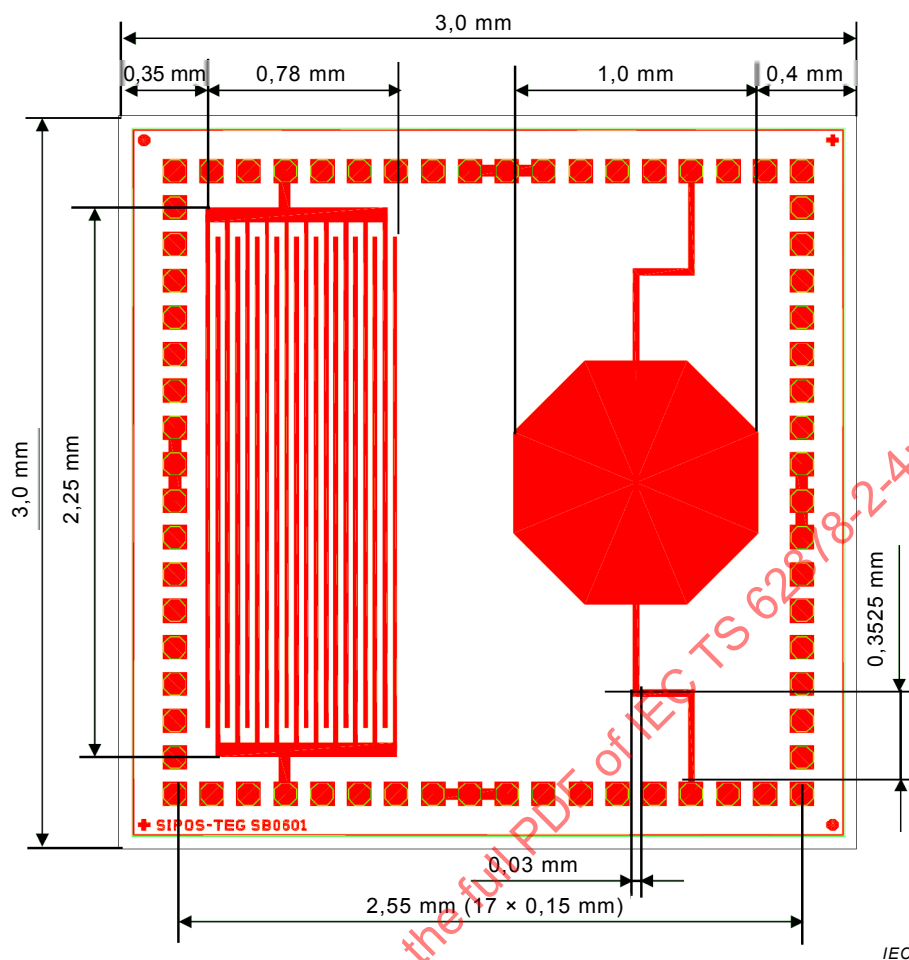
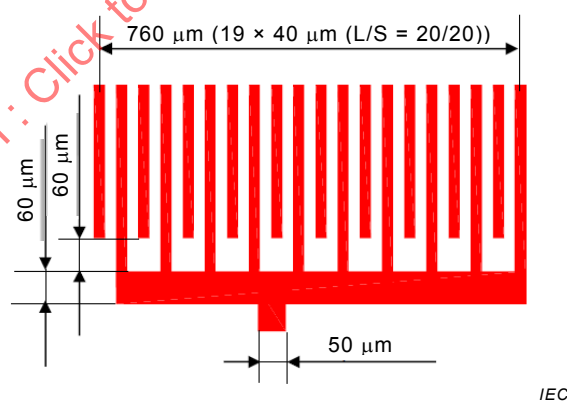


b) Detail of pad

Specification of TEG-A 150 µm pitch chip

Name: SIPOS-TEG SB0501	Distance between pad edges: 50 µm
Pad pitch: 150 µm	Chip size: 3,0 mm × 3,0 mm
Number of pads: 324 (18 × 18)	Daisy chain pad: 180
Pad size: 100 µm × 100 µm (aluminium wiring)	Independent pad: 144
Scribe width: 100 µm	Pad opening: $\varnothing = 90 \mu\text{m}$ (pad opening)

Figure 1 – Area array arrangement – TEG for conductor resistivity and via-to-via insulation

a) TEG-B Entire view of TEG of 150 μm pitch chip

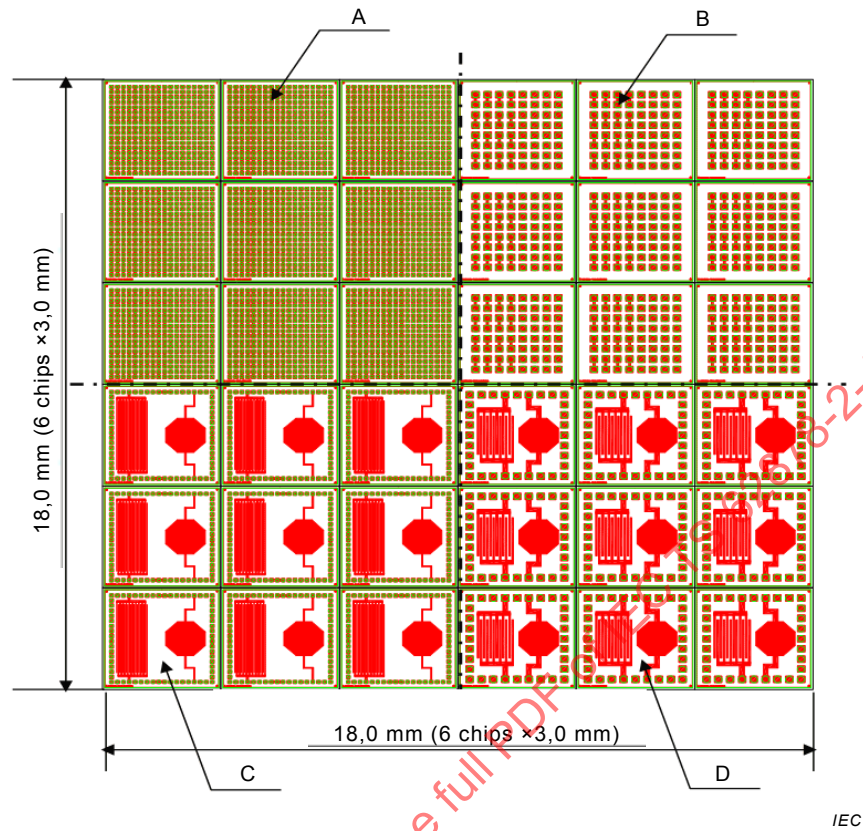
b) Detail of comb pattern

Specification of TEG-B 150 μm pitch chip

Name: SIPOS-TEG SB0601	Chip size: 3,0 mm $\times$ 3,0 mm
Pad pitch: 150 μm	Number of pads: 68
Pad size: 100 μm $\times$ 100 μm (aluminium wiring)	Pad opening: $\varphi = 90 \mu\text{m}$ (pad opening)
Size of comb pattern: L/S = 20 μm /20 μm	Number of comb patterns: 20 (10 $\times$ 2)
Dimension of inter-layer insulation pattern:	$\varphi = 1,0 \text{ mm}$ (octagonal)

Figure 2 – Area array arrangement – TEG for insulation measurement of resistance between conductors and insulation resistance between layers

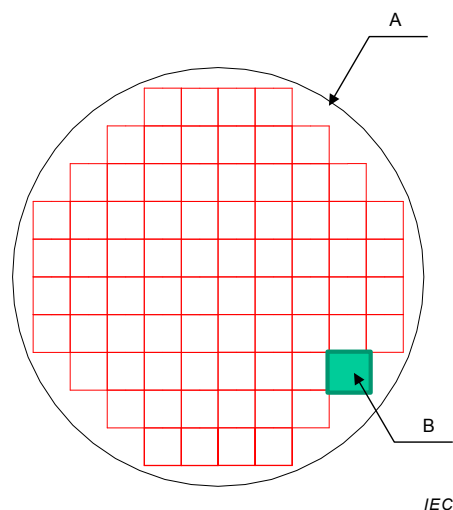
Figure 3 and Figure 4 show chip arrangement in a shot and shot arrangement in a wafer, respectively.



Key

A	Area arrangement: TEG-A of 150 μm pad pitch
B	Area arrangement: TEG-A of 300 μm pad pitch
C	Area arrangement: TEG-B of 150 μm pad pitch
D	Area arrangement: TEG-B of 300 μm pad pitch

Figure 3 – Chip arrangement in a shot

**Key**

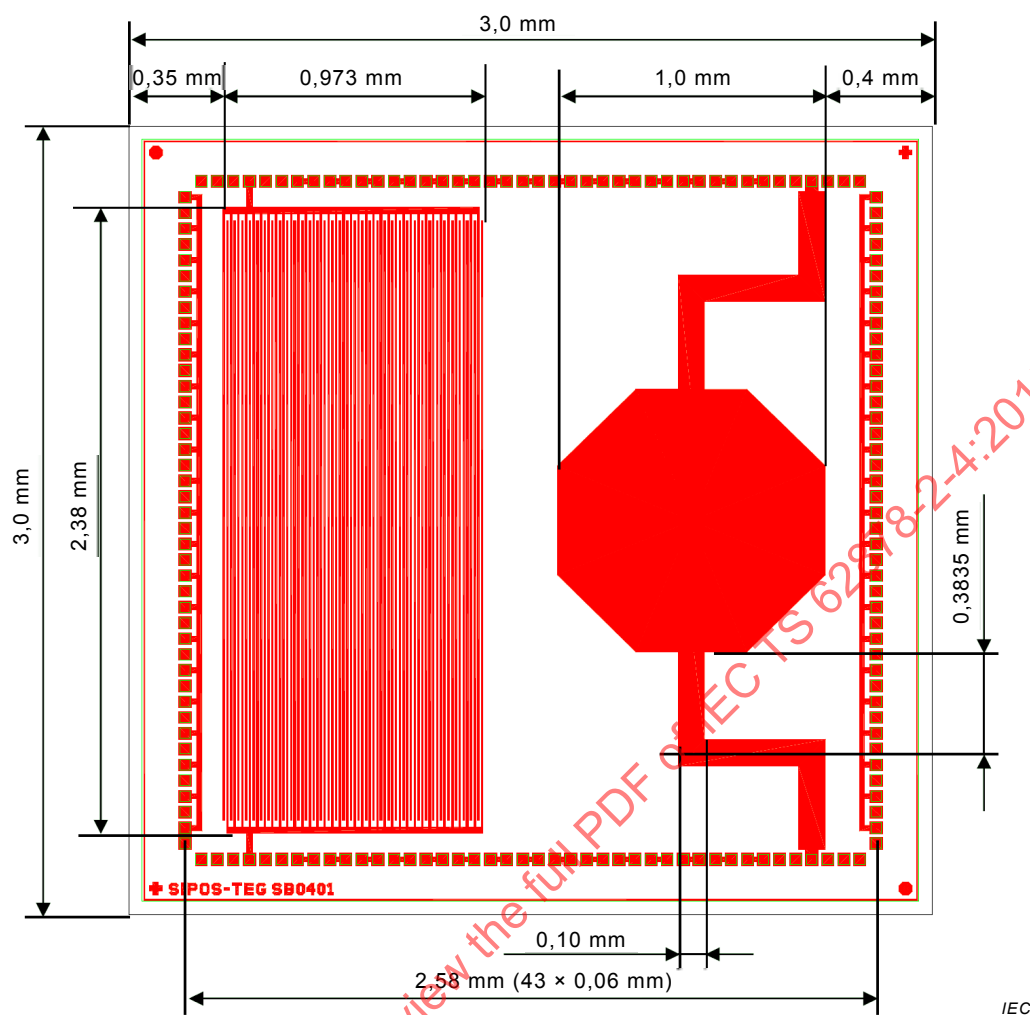
A	Wafer
B	Shot

Shot size: 18,0 mm × 18,0 mm

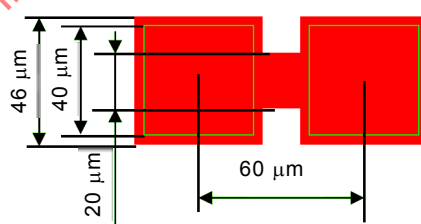
Number of shots: 76 shots per wafer (8 in (203,2 mm) wafer)

Figure 4 – Shot arrangement in a wafer

Figure 5 shows the pitch chip specification of peripheral terminal of 60 μm TEG. Details of the peripheral terminal and interconnection are shown in Figure 6.



a) Entire view of pitch chip of peripheral terminal of 60 μm

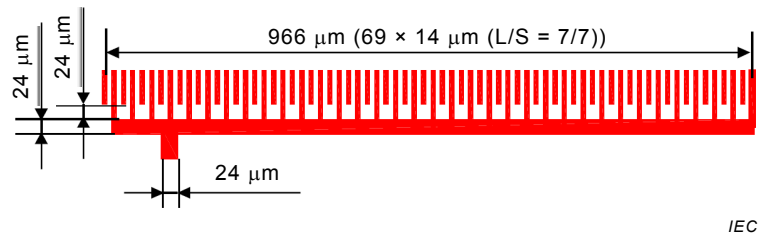


b) Details of peripheral terminal

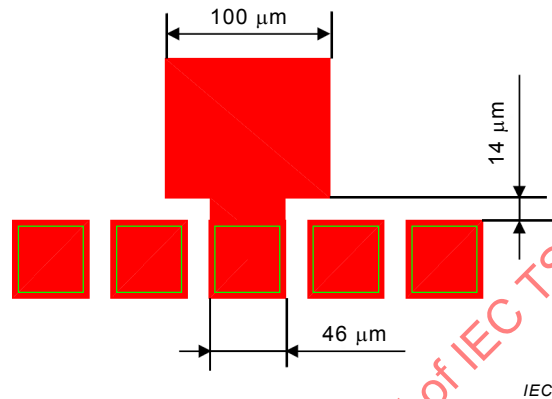
Specification of TEG-B 150 μm pitch chip

Name: SIPOS-TEG SB0401	Chip size: 3,0 mm $\times$ 3,0 mm
Pad pitch: 60 μm	Number of pads: 168
Pad size: 46 μm $\times$ 40 μm (aluminium wiring)	Pad opening: 40 μm $\times$ 40 μm (pro opening)
Scribe width: 100 μm	Size of comb pattern: L/S = 20 μm /20 μm
Number of comb patterns: 70 (35 $\times$ 2)	Inter-layer insulation pattern: φ = 1,0 mm (octagonal)
Daisy chain pad: 30 pads for upper/lower	Insulation measurement pattern between vias: right and left sides

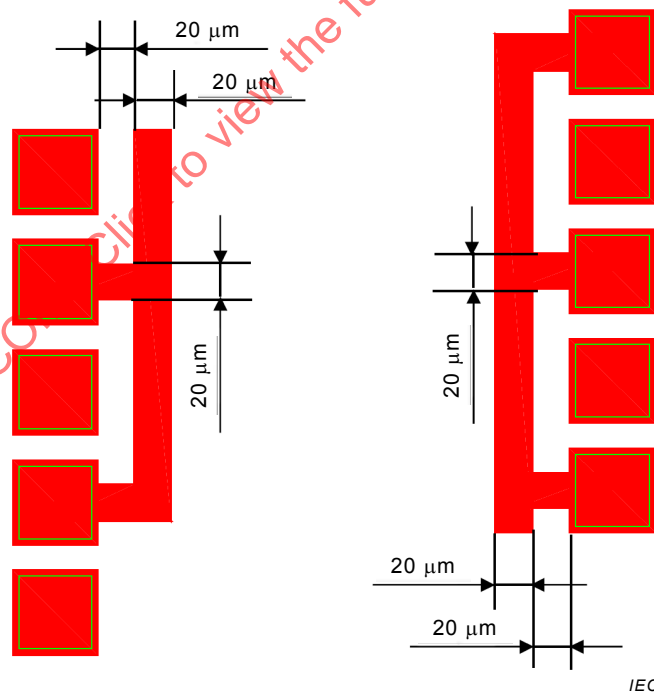
Figure 5 – Pitch chip specification of peripheral terminal of 60 μm TEG



a) Details of comb pattern for insulation measurement between conductors



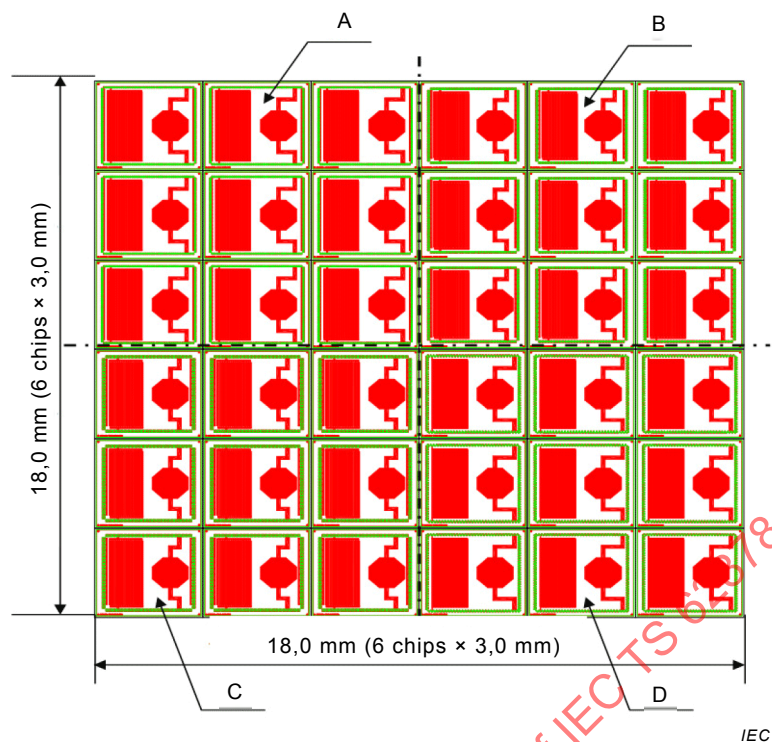
b) Details of a pad for insulation measurement between layers



c) Details of a pad for insulation measurement between vias

Figure 6 – Peripheral arrangement of TEG for complex tests

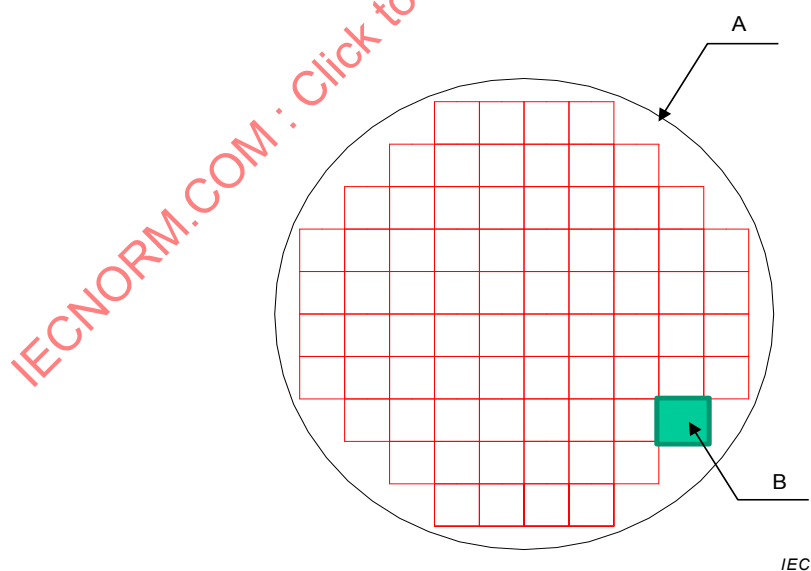
Figure 7 and Figure 8 show chip arrangement in a shot and shot arrangement in a wafer, respectively.



Key

A	Peripheral arrangement: TEG-A at 60µm pad pitch
B	Peripheral arrangement: TEG-A at 80µm pad pitch
C	Peripheral arrangement: TEG-B at 100µm pad pitch
D	Peripheral arrangement: TEG-B at 40µm pad pitch

Figure 7 – Chip arrangement in a shot



Key

A	Wafer
B	Shot

Shot size: 18,0 mm × 18,0 mm

Number of shots: 76 shots per wafer (8 in (203,2 mm) wafer)

Figure 8 – Shot arrangement in a wafer

5.2 Structures of TEG

Structures of test specimen embedded boards are shown in Figure 9 and Figure 10. The specimen is connected to terminals in a board as in the case of an actual embedded device. The test pattern is formed as a complex test pattern including connections of an actual embedded device. It is desirable to use a test pattern which can be divided into sections for embedded device connections and wiring within the base for easier analysis. The layer structure is named as L1 and L2 from the front surface, L3 and L4 for the TEG layers, and L5 and L6 as the layers for test. The TEG for the actual embedded device is described in this part of IEC 62878 for the case of single sided wiring as it is difficult to make through holes in a bare chip in a specimen.

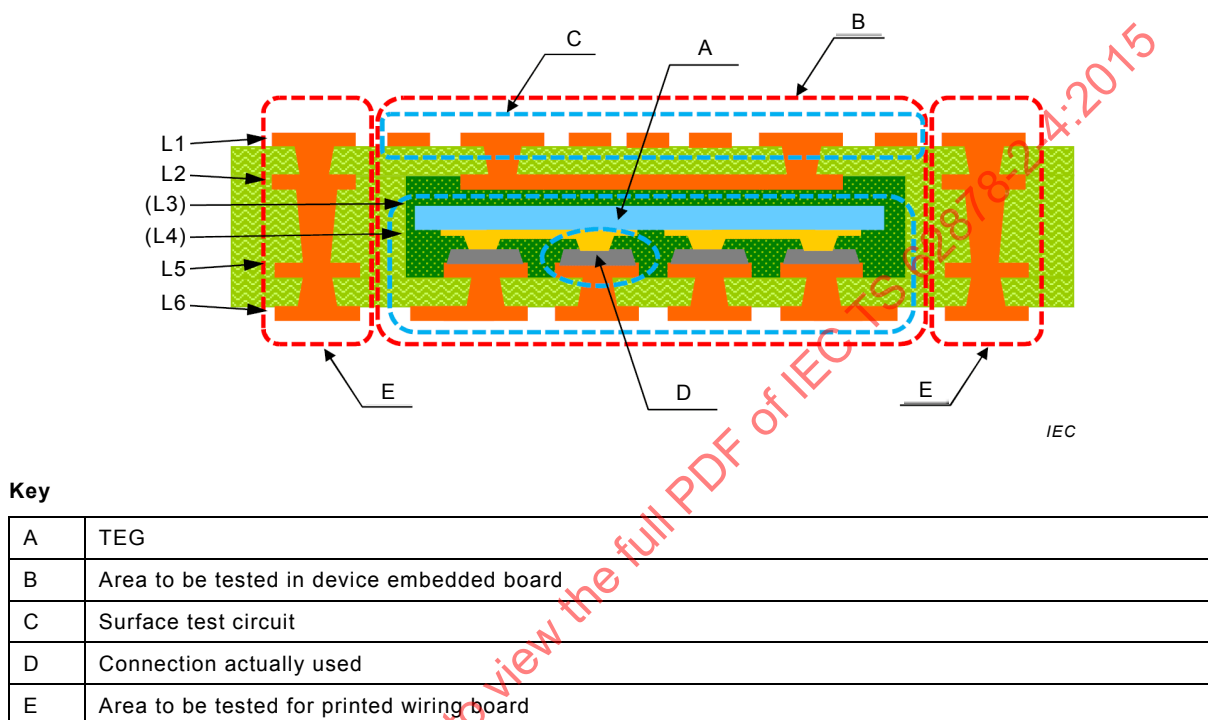


Figure 9 – Structure of test board and pad connection

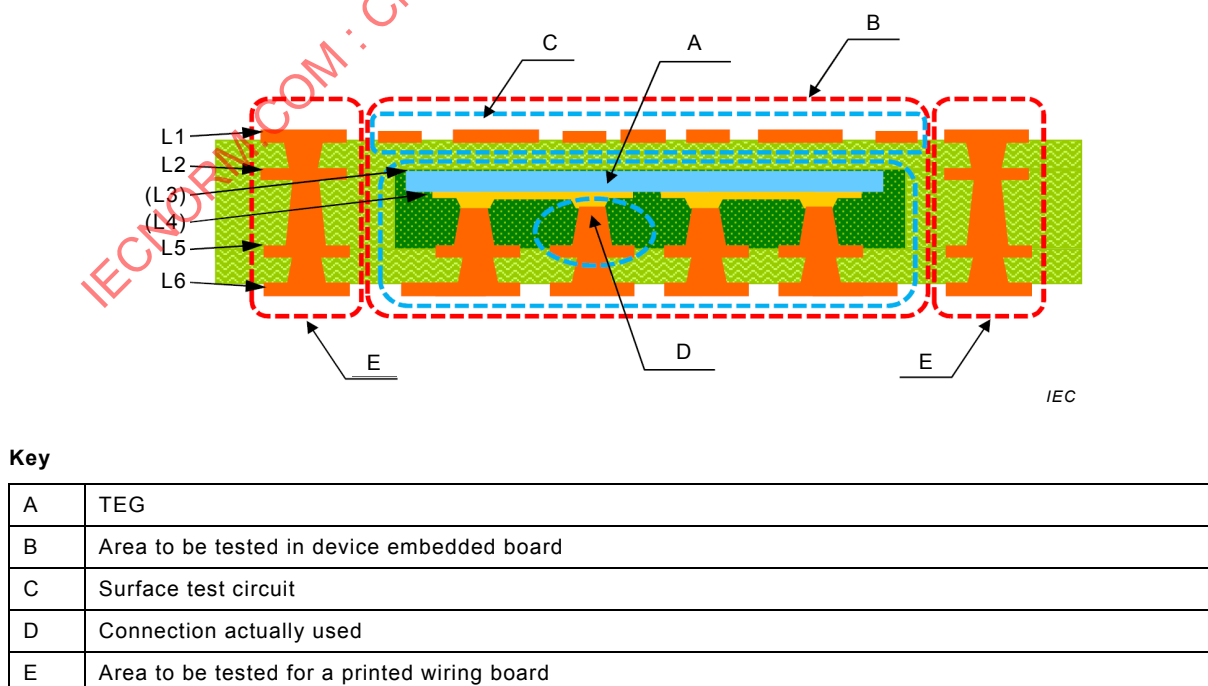


Figure 10 – Structure of a test board and via connection

5.3 Test pattern guide

5.3.1 Test items

Table 3 lists the items to be tested. For details of test items and methods, refer to IEC 62878-1-1². The evaluation test of a device embedded board in this part of IEC 62878 is given for a specimen embedding a TEG. The evaluation is made for connections of a TEG and electronic wiring board terminals using various test patterns. The test for individual device embedded boards is carried out with a specimen using a recommended TEG and a complex test pattern.

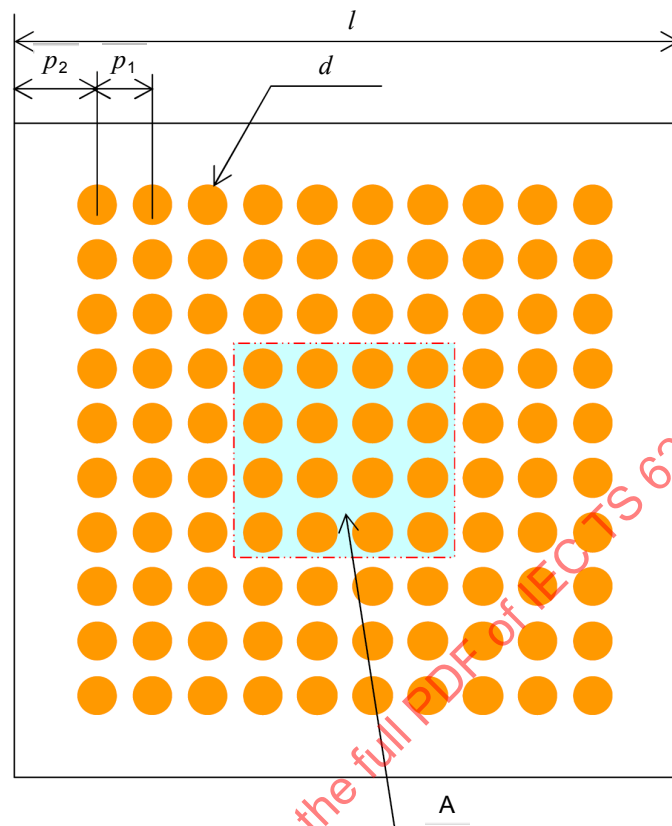
Table 3 – Test items

No	Test patterns	Test	Embedded device	Remarks	Subclause of IEC 62878-1-1:2015 ² specifying the test methods
1		Visual inspection and microsectioning			4.2.2, 4.2.3
2		Land dimension and land width (annular ring)			4.2.5
3	Figures 11 to 27	Conductor resistance	○		4.3.1
4	Figures 11 to 27	Withstanding current and voltage	○	Specification of embedded device	4.3.3, 4.3.4
5	Figures 11 to 27	Insulation resistance	○		4.3.5
6	Figures 11 to 27	Insulation and conduction of circuit			4.3.6
7		Pulling strength of conductor			4.4.1
8		Pulling strength of un-plated through hole			4.4.2
9		Pulling strength of plated through hole			4.4.3
10		Pulling strength of pad of land pattern			4.4.4
11		Adhesivity of plated foil			4.4.5
12		Adhesivity of solder resist and symbol mark			4.4.6
13		Film hardness (solder resist, symbol mark)			4.4.7
14	Figures 11 to 27	High and low temperatures	○		4.5.1
15	Figures 11 to 27	Thermal shock (high and low temperatures)	○		4.5.2
16	Figures 11 to 27	Resistance to humidity	○		4.5.4
17	Figures 11 to 27	Resistance to migration	○		4.6.1
18	Figures 11 to 27	Vibration	○		
19	Figures 11 to 27	Drop test	○		
20	Figures 11 to 27	Bending	○		
21	Figures 11 to 27	Screwing	○		
22		Flammability			
23		Resistance to solvent			
24		Solderability			
25		Resistance to soldering heat			
26		Resistance to soldering heat of solder resist and symbol mark			

² To be published.

5.3.2 Area array arrangement of TEG for an active device

Figure 11 shows the area array arrangement of TEG for active devices. Table 4 gives the detailed dimensions of the terminals.

**Key**

A centre section

Figure 11 – Area array arrangement

Table 4 – Terminal dimensions

Device	Terminal pitch p_1 μm	Number of rows	Number of terminals full grid	TEG size l mm	Size of side p_2 μm	Pad diameter d μm
Bare die	100	26	676	3,0	250	60
		52	2 704 ^a	6,0	250	
	150	18	324	3,0	225	90
		36	1 296 ^a	6,0	225	
Bare die WL-CSP	200	14	196	3,0	200	120
		28	784	6,0	300	
		42	1 764 ^a	9,0	200	
WL-CSP PKG	250	10	100	3,0	375	150
		20	400	6,0	375	
		30	900	9,0	375	
	300	8	64	3,0	450	180
		16	256	6,0	450	
		24	576	9,0	450	
	500	5	25	3,0	500	300
		10	100	6,0	500	
		15	225	9,0	500	

^a When the number of pins is over 1 000, it is possible to decrease the number of pins in the centre section (A) if agreed between user and supplier.

5.3.3 Peripheral arrangement of TEG

Figure 12 shows the peripheral arrangement of the TEG for an active device and Table 5 gives the details of the terminal pitch of each peripheral. The peripheral is the narrow pitch arrangement. Use of the test pattern using connecting pads is recommended to the board on which a device is mounted, as illustrated in Figure 13. It may be difficult to form vias and to use stacked via formations due to the narrow pitch. The design of the connecting pads is to be AABUS.

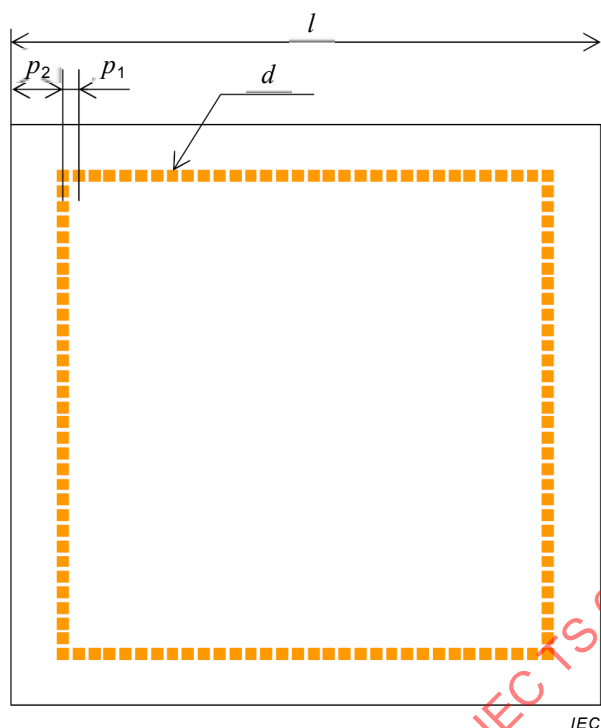


Figure 12 – Peripheral arrangement of TEG

Table 5 – Detailed dimensions of the peripheral arrangement of TEG

Device	Terminal pitch p_1 μm	Number of rows	Number of terminals	TEG size l mm	Edge p_2 μm	Pad diameter d μm
Bare die	40	64	256	3,0	200	26
		128	512	6,0		
		192	768	9,0		
	60	42	168	3,0	210	40
		84	336	6,0		
		126	504	9,0		
	80	30	120	3,0	260	50
		60	240	6,0		
		90	360	9,0		
	100	24	96	3,0	250	70
		48	192	6,0		
		72	288	9,0		

NOTE 2-row, 3-row, or staggered arrangement of peripherals shall be AABUS.

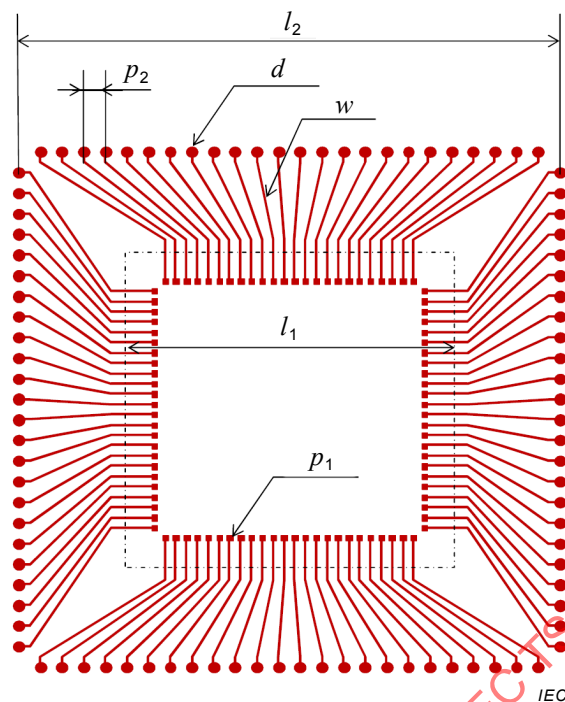


Figure 13 – Example of pad arrangement of peripherals

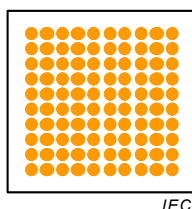
An example of doubling the pitch of peripheral terminals is shown in Table 6.

Table 6 – Detailed dimensions of the peripheral arrangement of pad connections

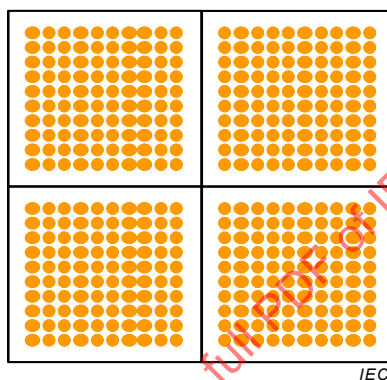
Device	Terminal pitch p_1 μm	TEG size l_1 mm	Number of rows	Number of terminals	Pad range l_2 mm	Pad pitch p_2 μm	Pad diameter d μm	Conductor width w μm
Bare die	40	3,0	64	256	5,20	80	48	20
		6,0	128	512	10,32			
		9,0	192	768	15,44			
	60	3,0	42	172	5,16	120	72	30
		6,0	84	336	10,20			
		9,0	126	504	15,24			
	80	3,0	30	120	4,96	160	100	40
		6,0	60	240	9,76			
		9,0	90	360	14,56			
	100	3,0	24	96	4,80	200	120	60
		6,0	48	192	9,80			
		9,0	72	288	14,60			

5.3.4 TEG size for active devices

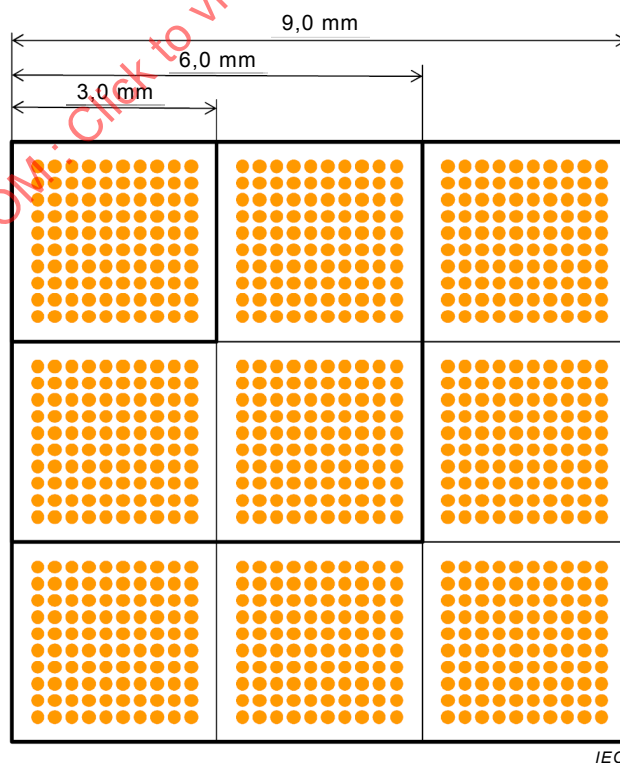
The standard TEG size is shown in Figure 14. The basic size is 3,0 mm × 3,0 mm as shown in Figure 14 a). The size of 4 elements is 6,0 mm × 6,0 mm as in Figure 14 b) below. And the size of 9 elements is 9,0 mm × 9,0 mm as in Figure 14 c) below. For b) and c), each 3,0 mm × 3,0 mm element is connected to the printed wiring board.



a) 3,0 mm × 3,0 mm



b) 6,0 mm × 6,0 mm

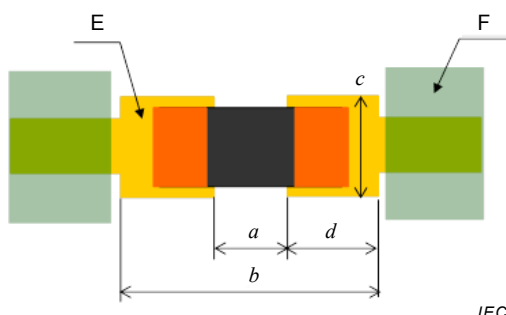


c) 9,0 mm × 9,0 mm

Figure 14 – TEG size of active device

5.3.5 TEG for passive devices

Use of a TEG with a zero ohm jumper resistor is recommended as a passive device. The arrangement of a pad is shown in Figure 15 and the dimensions are specified in Table 7. Via/land connection dimensions are AABUS. The resistance of 50 mΩ for a zero ohm jumper resistor is specified.



Key

- E pad
F solder resist

Figure 15 – TEG for passive device

Table 7 – Dimension of passive device TEG

Dimensions in millimetres

Size	Dimension			
	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>
0,4 × 0,2	0,20	0,60	0,25	0,20
0,6 × 0,3	0,30	1,00	0,35	0,35
1,0 × 0,5	0,50	1,60	0,60	0,55
1,6 × 0,8	1,00	3,00	1,20	1,00

5.3.6 Complex test pattern for the area arrangement, TEG-A

Figure 16 shows the test pattern for the test of conduction and insulation resistance between vias. Detailed dimensions of TEG-A are given in Table 8 and the patterns of L1 to L6 in Figure 17.

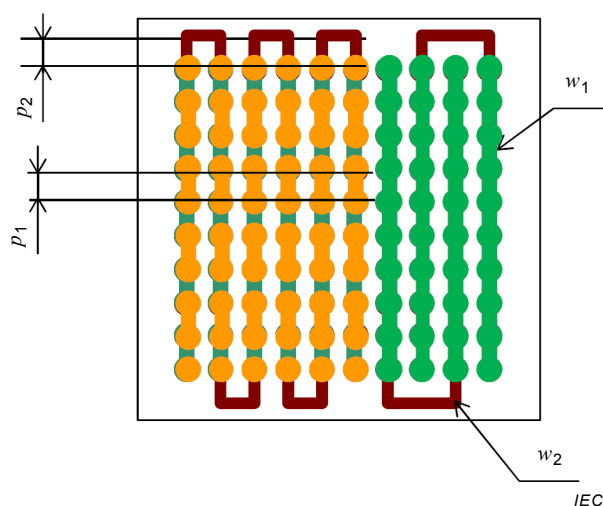


Figure 16 – Test pattern for conduction and insulation resistance between vias (seen from L6)

Table 8 – Dimensions of the area array arrangement of TEG-A

Dimensions in micrometres

Device type	Terminal pitch p_1	Conductor position p_2	Conductor width w_1	Conductor width w_2
Bare die	100	100	20	40
	150	150	30	60
Bare die WL-CSP	200	200	40	80
WL-CSP PKG	250	250	50	100
	300	300	60	120
	500	500	100	200

NOTE Dimension may be changed according to test method and test condition.



Key

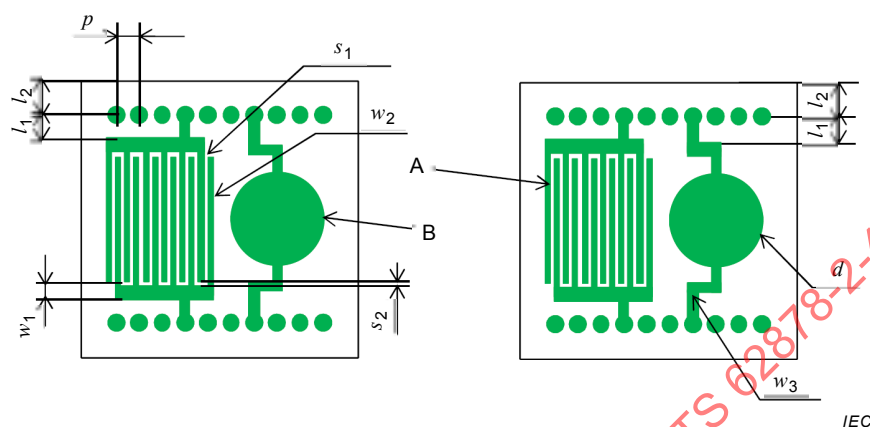
A	Conduction test
B	Insulation between pins

Figure 17 – Complex test patterns for conduction and via-to-via insulation

5.3.7 Complex pattern for area arrangement of TEG-B

Figure 18 shows the complex pattern for insulation test between conductors and between layers in the area array arrangement. Detailed dimensions of TEG-B for an active device are given in

Table 9, and the patterns of L1 to L6 are specified in Figure 19.



Key

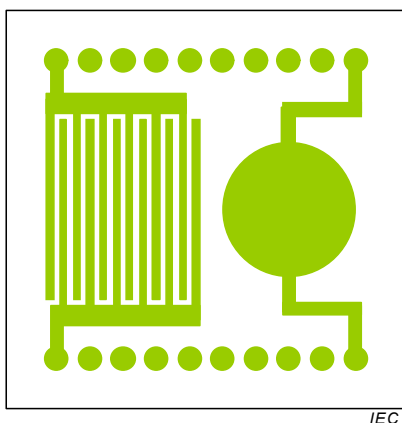
A	Insulation test between conductors
B	Insulation test between layers

Figure 18 – Test patterns for insulation between conductor and between layers in an area array arrangement

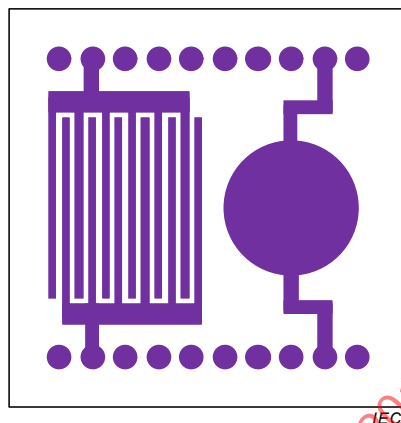
Table 9 – Dimensions of TEG-B for the area array arrangement

Dimensions in micrometres

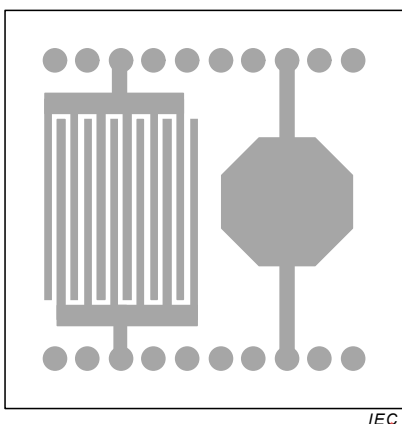
Device	Terminal pitch p	Position l_1, l_2	Width w_1	Width w_2	Gap s_1	Gap s_2	Width w_3	Size d
Bare die (peripheral)	40	100	16	5	5	16	100	1 000
	60	100	24	7	7	24	100	1 000
	80	100	32	10	10	32	100	1 000
Bare die	100	100	40	12	12	40	100	1 000
	150	150	60	18	18	60	100	1 000
Bare die WL-CSP	200	200	80	24	24	80	100	1 000
WL-CSP PKG	250	250	100	30	30	100	100	1 000
	300	300	120	36	36	120	120	1 000
	500	500	220	67,5	67,5	220	220	1 000



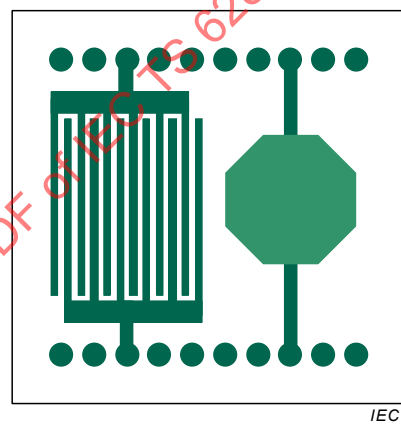
a) L1 (first layer)



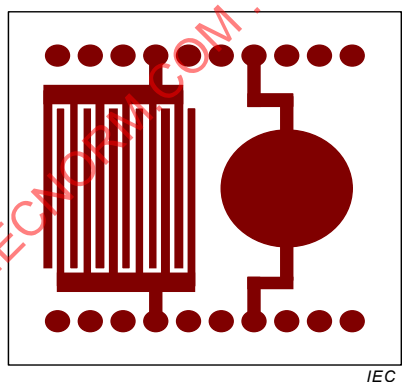
b) L2 (second layer)



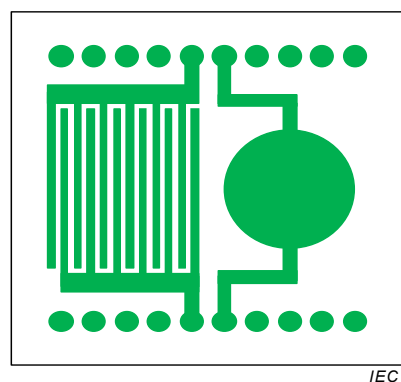
c) L3 (third layer)
(applicable to two-sided TEG)



d) L4 (fourth layer)



e) L5 (fifth layer)

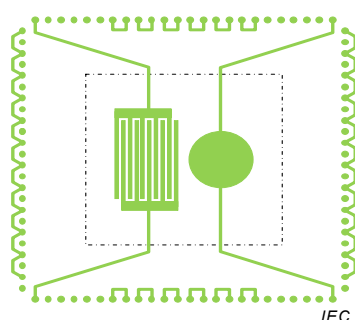


f) L6 (sixth layer)

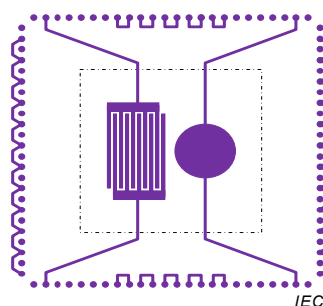
**Figure 19 – Complex test patterns for L1 to L6
for insulation between conductors and layers**

5.3.8 Complex test pattern for peripheral arrangement

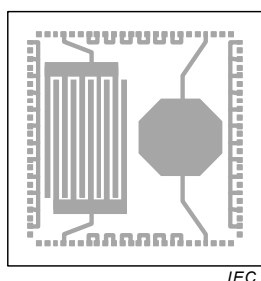
Figure 20 shows the complex test pattern for the peripheral arrangement.



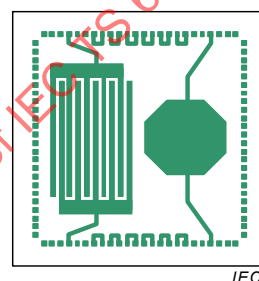
a) L1 (first layer)



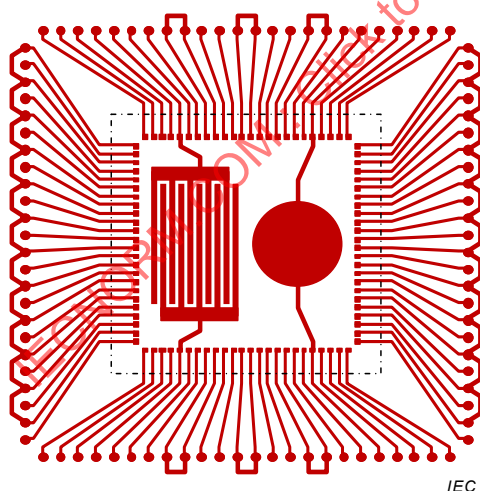
b) L2 (second layer)



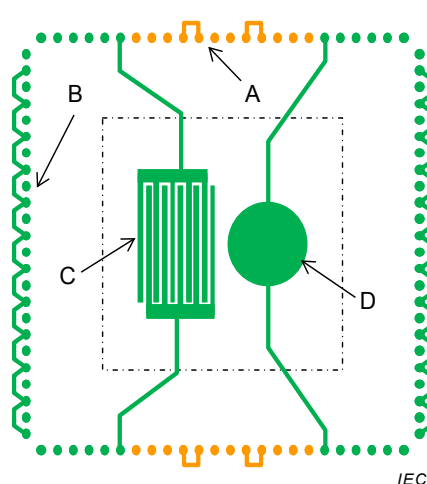
c) L3 (third layer)
(applicable to both-sided TEG)



d) L4 (fourth layer)



e) L5 (fifth layer)



f) L6 (sixth layer)

Key

A	Conduction test	C	Insulation between conductors
B	Insulation between pins	D	Insulation between layers

Figure 20 – L1 to L6 complex test patterns for the peripheral arrangement

5.3.9 Complex test pattern for passive components

Figure 21 shows the conduction test pattern for passive components.

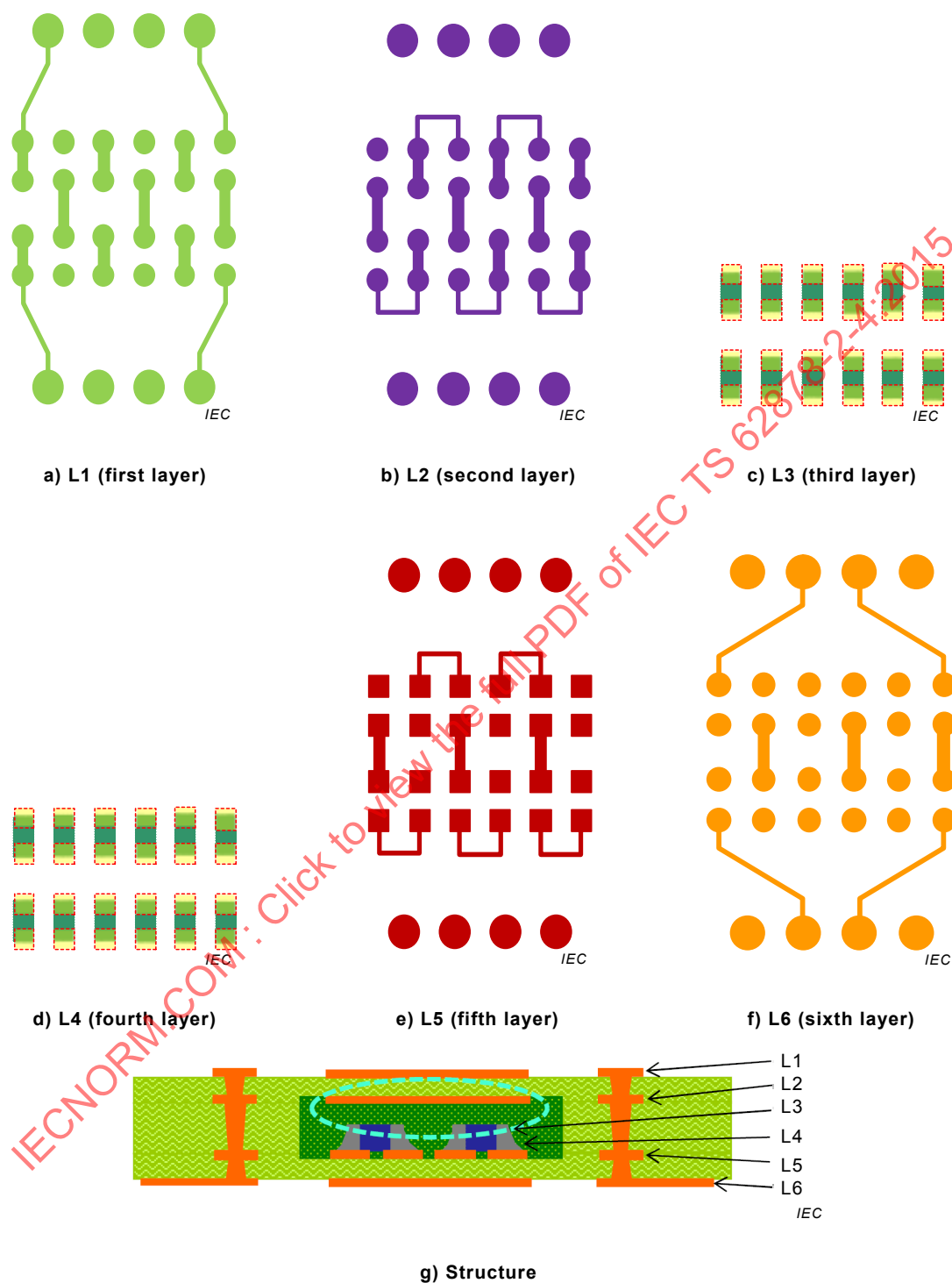


Figure 21 – Conduction test patterns for L1 to L6 of passive components

Figure 22 shows the insulation test pattern between terminals of passive components.

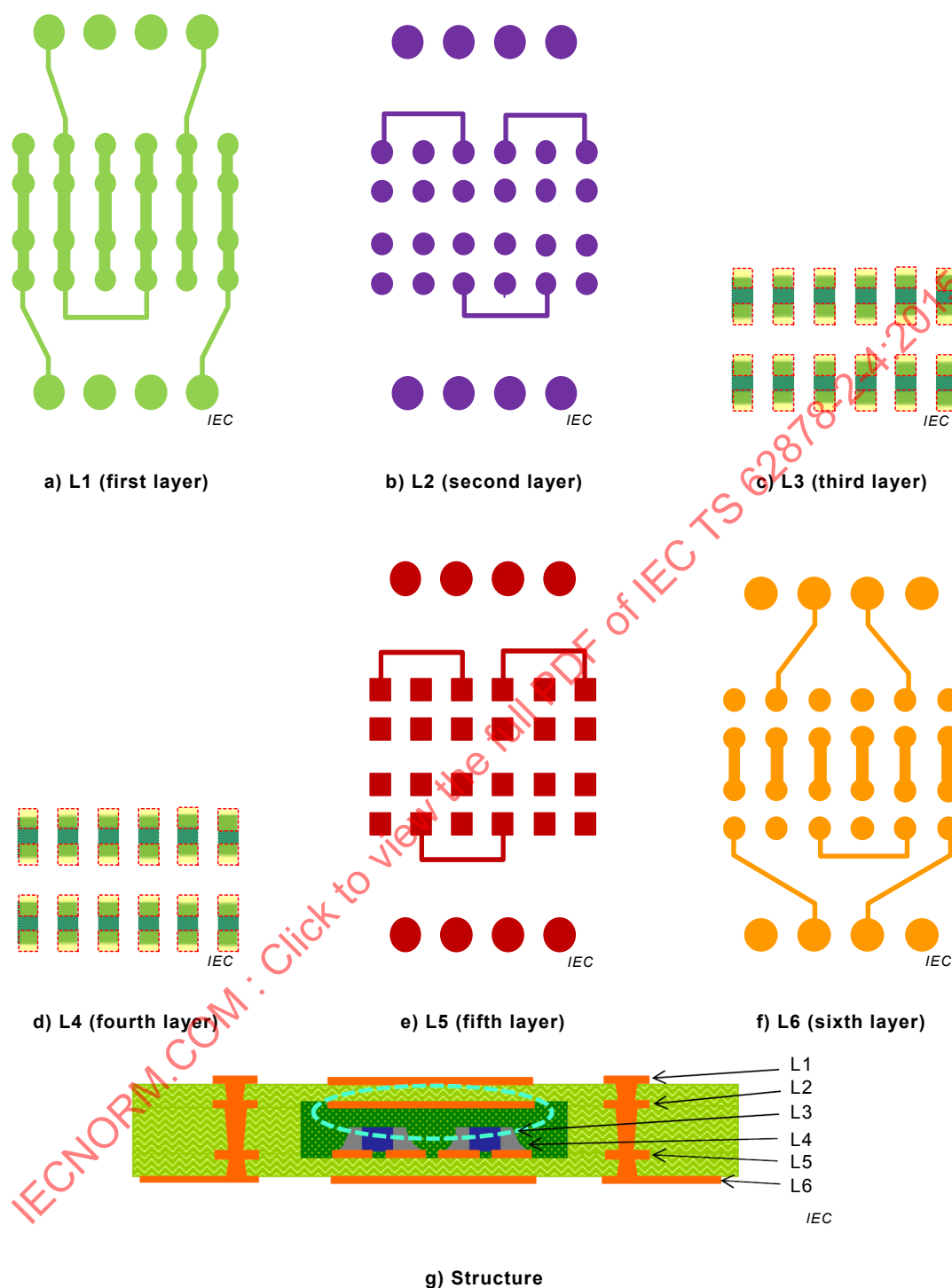
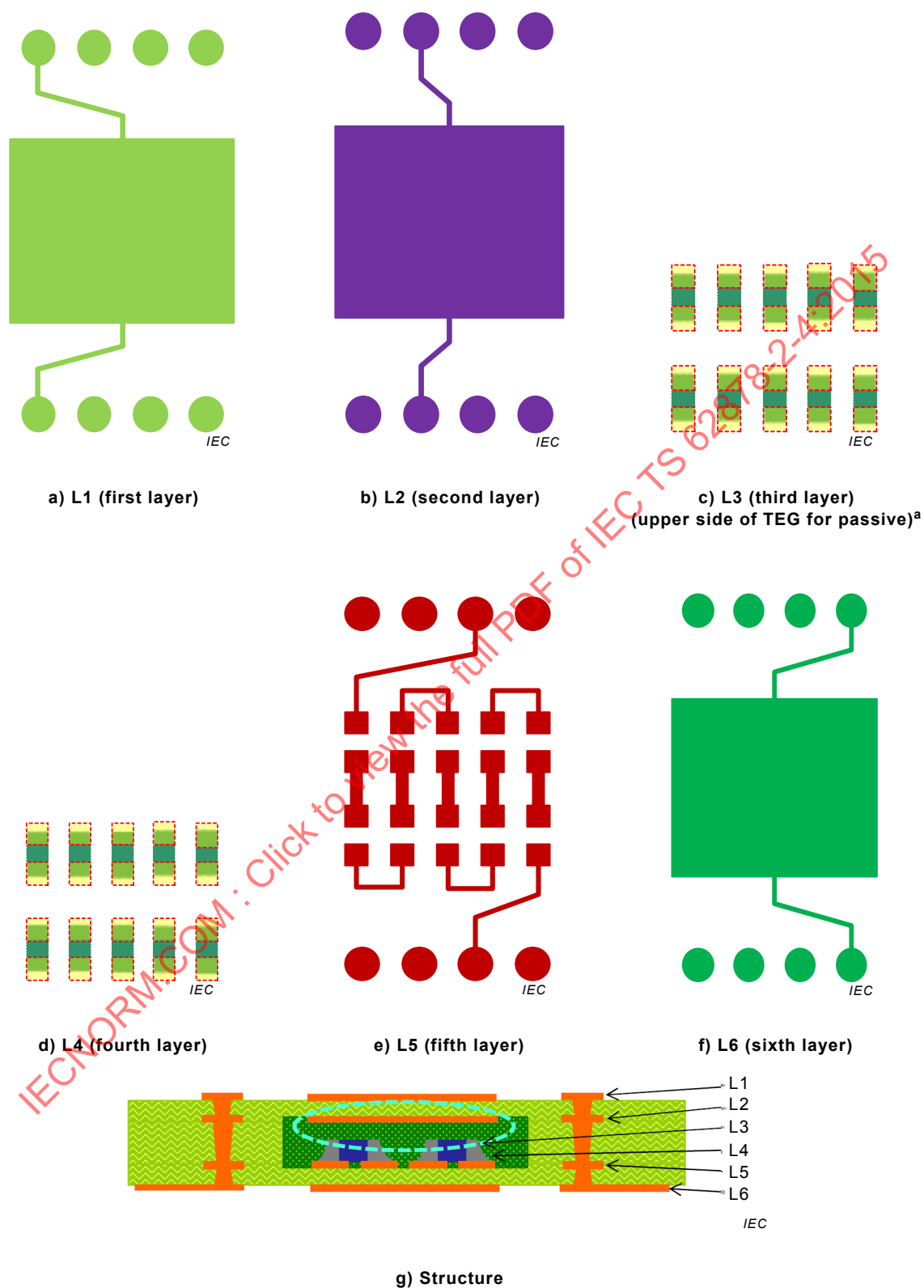


Figure 22 – Insulation test patterns between terminals for L1 to L6 of passive components

Figure 23 shows an interlayer insulation test pattern of passive components.



^a Insulation between TEG upper layer and L2 of passive components.

Figure 23 – Interlayer insulation test patterns of L1 to L6 of passive components

5.3.10 Guide of measurement terminals of a complex test pattern for an active device

Figure 24 shows an example of a terminal arrangement for test and evaluation using complex test patterns. In addition, interlayer connections of the complex test patterns are specified in Figure 25.

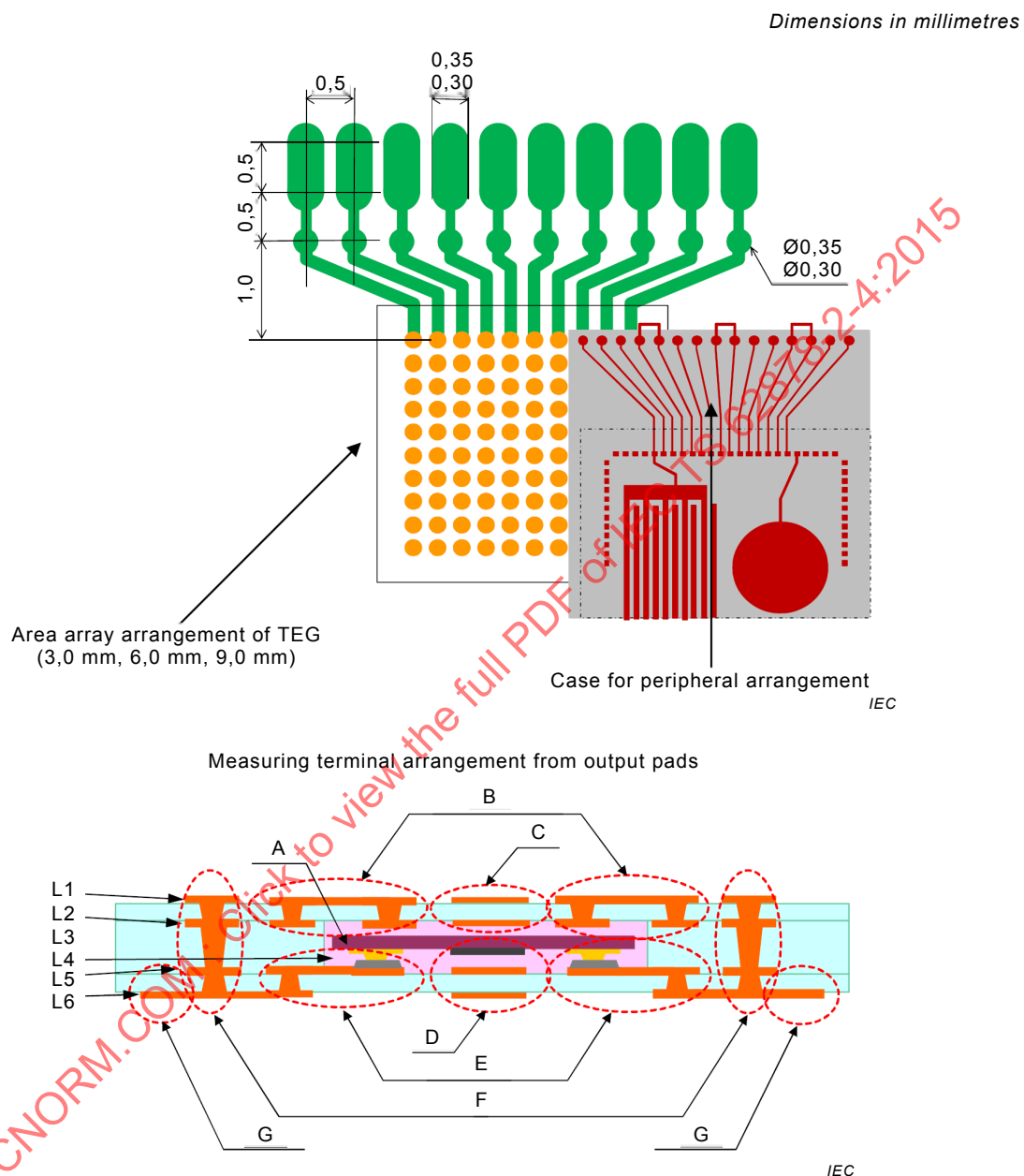
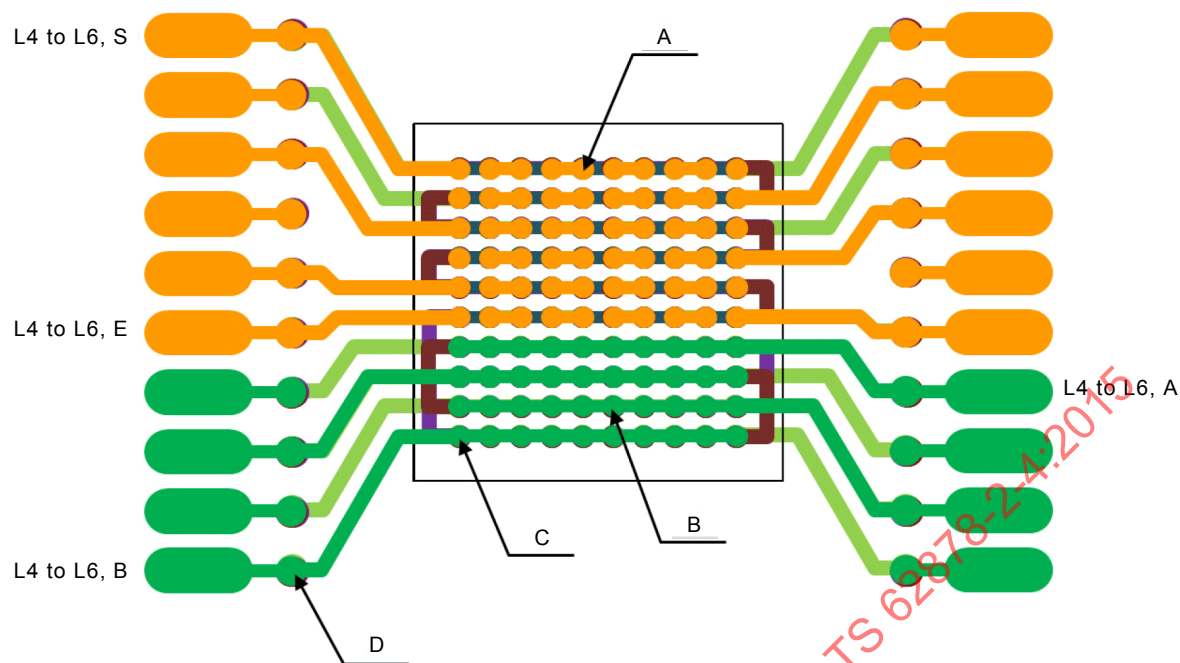


Figure 24 – Terminal arrangement (1) for measurement and evaluation using complex pattern for an active device



IEC

Key

A	Conductor resistance test
B	Insulation test between vias
C	L1, L2, L5 and L6 interlayer connection(stacked via)
D	L1, L2, L5 and L6 interlayer connection(stacked via)
L4 to L6,S	Start point of measurement of daisy chain consisting of conductive pattern (six columns) and TEG
L4 to L6,E	End point of measurement of daisy chain consisting of conductive pattern (six columns) and TEG
L4 to L6,A	Measurement terminal between A and B in the test pattern, which comprises 2 lines as comb pattern, for measurement of the insulation resistance.
L4 to L6,B	Same as above

Figure 25 – Terminal arrangement (2) for measurement and evaluation using complex pattern for an active device

In Figure 25, the total resistance of the conductor pattern consists of six columns and is measured by measuring terminal L4 to L6,S and L4 to L6,E.

The insulation resistance between vias is measured by L4 to L6,A, and L4 to L6,B.

It is recommended to use a long land for easier application of the four-terminal measurement and soldering.

5.3.11 Terminal arrangement using complex patterns

Figure 26 shows an example of a terminal arrangement for the measurement and evaluation of an embedded passive device with a complex pattern.

Dimensions in millimetres

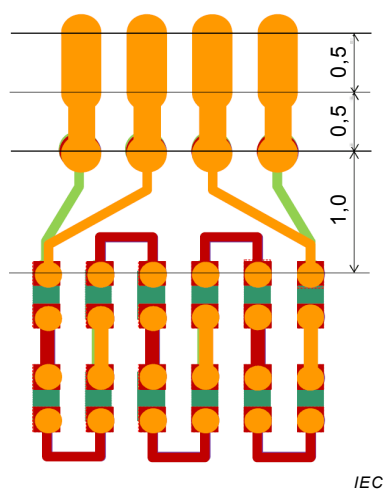
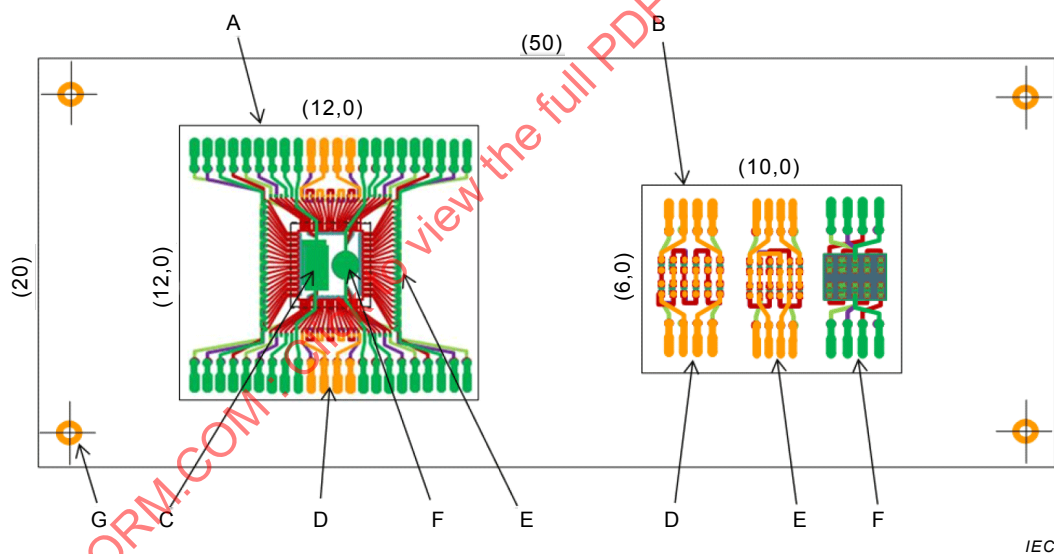


Figure 26 – Terminal arrangement for measurement and evaluation using complex pattern for passive device

Figure 27 shows an example of a terminal arrangement for the measurement and evaluation of device embedded substrate with a complex pattern.

Dimensions in millimetres



Key

A	Test pattern of an active device embedded board
B	Test pattern of a passive device embedded board
C	Insulation test between conductors
D	Conduction test
E	Insulation test between device terminals
F	Insulation test between layers
G	Fiducial mark

Figure 27 – Terminal arrangement for measurement and evaluation using complex pattern for device embedded substrate

Bibliography

IEC TS 62878-2-1, *Device embedded substrate – Part 2-1: Guidelines – General description of technology*

IEC TS 62878-2-3, *Device embedded substrate – Part 2-3: Guidelines – Design guide*

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-4:2015

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-4:2015

SOMMAIRE

AVANT-PROPOS.....	40
INTRODUCTION.....	42
1 Domaine d'application.....	43
2 Références normatives	43
3 Termes, définitions et abréviations.....	43
3.1 Termes et définitions	43
3.2 Abréviations.....	43
4 Conditions d'essai et préparation de l'échantillon.....	43
4.1 Généralités	43
4.2 Conditions d'essai	44
4.2.1 Classification des essais et évaluation.....	44
4.2.2 Environnement de mesure.....	44
4.2.3 Méthodes d'essai	45
4.3 Echantillons d'essai et nombre d'échantillons.....	45
4.3.1 Échantillons	45
4.3.2 Nombre d'échantillons.....	45
4.3.3 Rapport d'essai	45
5 TEG	46
5.1 Préparation du TEG	46
5.2 Structures de TEG	54
5.3 Guide de motif d'essai.....	55
5.3.1 Éléments d'essai.....	55
5.3.2 Arrangement à matrice bidimensionnelle du TEG pour un appareil actif.....	57
5.3.3 Arrangement périphérique du TEG	58
5.3.4 Taille du TEG des appareils actifs	61
5.3.5 TEG pour les appareils passifs.....	62
5.3.6 Motif d'essai complexe pour l'arrangement de zone, TEG-A	63
5.3.7 Motif complexe pour l'arrangement de zone de TEG-B	66
5.3.8 Motif d'essai complexe pour l'arrangement périphérique	68
5.3.9 Motif d'essai complexe pour les composants passifs.....	69
5.3.10 Guide des terminaux de mesure pour un motif d'essai complexe pour un appareil actif.....	72
5.3.11 Arrangement des terminaux à l'aide de motifs complexes.....	73
Bibliographie	75
Figure 1 – Arrangement à matrice bidimensionnelle – TEG pour la résistivité du conducteur et l'isolation trou de liaison-à-trou de liaison	47
Figure 2 – Arrangement à matrice bidimensionnelle – TEG pour la mesure de l'isolation de la résistance entre les conducteurs et la résistance de l'isolation entre les couches.....	48
Figure 3 – Arrangement de puces dans un coup	49
Figure 4 – Arrangement de coups dans une feuille	50
Figure 5 – Spécification de la puce de plage du terminal du périphérique du TEG de 60 µm.....	51
Figure 6 – Arrangement du périphérique du TEG pour les essais complexes.....	52

Figure 7 – Arrangement de puces dans un coup	53
Figure 8 – Arrangement de coups dans une feuille	54
Figure 9 – Structure d'une carte d'essai et de la connexion de plage.....	55
Figure 10 – Structure d'une carte d'essai et de la connexion de trou de liaison.....	55
Figure 11 – Arrangement à matrice bidimensionnelle	57
Figure 12 – Arrangement périphérique du TEG.....	59
Figure 13 – Exemple d'arrangement de plage des périphériques.....	60
Figure 14 – Taille de TEG pour un appareil actif.....	62
Figure 15 – TEG pour un appareil passif	63
Figure 16 – Motif d'essai pour la conduction et la résistance d'isolation entre les trous de liaison (vu de L6)	63
Figure 17 – Motifs d'essai complexes pour la conduction et l'isolation trou de liaison-à-trou de liaison.....	65
Figure 18 – Motifs d'essai pour l'isolation entre le conducteur et les couches dans un arrangement à matrice bidimensionnelle.....	66
Figure 19 – Motifs d'essai complexes pour L1 à L6 pour l'isolation entre les conducteurs et les couches.....	67
Figure 20 – Motifs d'essai complexes L1 à L6 pour l'arrangement périphérique	68
Figure 21 – Motifs d'essai de connexion pour L1 à L6 des composants passifs.....	69
Figure 22 – Motifs d'essai d'isolation entre les terminaux L1 à L6 des composants passifs.....	70
Figure 23 – Motifs d'essai d'isolation intercouche pour L1 à L6 des composants passifs.....	71
Figure 24 – Arrangement de terminal (1) pour la mesure et l'évaluation à l'aide d'un motif complexe pour un appareil actif	73
Figure 25 – Arrangement de terminal (2) pour la mesure et l'évaluation à l'aide d'un motif complexe pour un appareil actif.....	73
Figure 26 – Arrangement des terminaux pour la mesure et l'évaluation à l'aide d'un motif complexe pour un appareil passif.....	74
Figure 27 – Arrangement des terminaux pour la mesure et l'évaluation à l'aide d'un motif complexe pour un substrat avec appareil(s) intégré(s).....	74
Tableau 1 – Application et appareil intégré.....	44
Tableau 2 – Environnement de mesure	44
Tableau 3 – Eléments d'essai.....	56
Tableau 4 – Dimensions des terminaux	58
Tableau 5 – Détails des dimensions de l'arrangement périphérique du TEG	59
Tableau 6 – Détails des dimensions de l'arrangement périphérique des connexions de plage.....	61
Tableau 7 – Dimensions du TEG de l'appareil passif	63
Tableau 8 – Dimensions de l'arrangement à matrice bidimensionnelle de TEG-A.....	64
Tableau 9 – Dimensions du TEG-B pour l'arrangement à matrice bidimensionnelle.....	66

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

SUBSTRAT AVEC APPAREIL(S) INTEGRE(S) –

Partie 2-4: Directives – Groupes d'éléments d'essai (TEG)

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La tâche principale des comités d'études de l'IEC est l'élaboration des Normes internationales. Exceptionnellement, un comité d'études peut proposer la publication d'une Spécification technique

- lorsqu'en dépit de maints efforts, l'accord requis ne peut être réalisé en faveur de la publication d'une Norme internationale, ou
- lorsque le sujet en question est encore en cours de développement technique ou quand, pour une raison quelconque, la possibilité d'un accord pour la publication d'une Norme internationale peut être envisagée pour l'avenir mais pas dans l'immédiat.

Les Spécifications techniques font l'objet d'un nouvel examen trois ans au plus tard après leur publication afin de décider éventuellement de leur transformation en Normes internationales.

L'IEC TS 62878-2-4, qui est une Spécification technique, a été établie par le comité d'études 91 de l'IEC: Techniques d'assemblage des composants électroniques.

Le texte de cette Spécification technique est issu des documents suivants:

Projet d'enquête	Rapport de vote
91/1144/DTS	91/1165A/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Spécification technique.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2

Une liste de toutes les parties de la série IEC 62878, publiées sous le titre général *Substrat avec appareil(s) intégré(s)*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- transformée en Norme internationale,
- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION

La présente partie de l'IEC 62878 fournit des lignes directrices concernant le substrat avec appareil(s) intégré(s) fabriqué par l'intégration d'appareils électroniques actifs et passifs discrets dans une ou plusieurs couches internes d'un substrat avec des connexions électroniques par l'intermédiaire de trous de liaison, de placage de conducteur, de pâte conductrice et d'impression. Dans la série IEC 62878,

- l'IEC 62878-1-1 spécifie la méthode d'essai,
- l'IEC TS 62878-2-1 propose une description générale de la technologie,
- l'IEC TS 62878-2-3 fournit des lignes directrices concernant la conception, et
- l'IEC TS 62878-2-4 spécifie les groupes d'éléments d'essai.

Le substrat avec appareil(s) intégré(s) peut être utilisé comme substrat pour monter les SMDs pour former des circuits électroniques, comme des couches de conducteur et d'isolant peuvent être formées après l'intégration des appareils électroniques.

L'objectif de la série IEC 62878 est d'obtenir une compréhension commune des structures, des méthodes d'essai, de la conception, des processus de fabrication et de l'utilisation d'un substrat avec appareil(s) intégré(s) dans l'industrie.

IECNORM.COM : Click to view the full PDF of IEC TS 62878-2-4:2015

SUBSTRAT AVEC APPAREIL(S) INTEGRE(S) –

Partie 2-4: Directives – Groupes d'éléments d'essai (TEG)

1 Domaine d'application

La présente partie de l'IEC 62878 décrit les appareils du groupe d'éléments d'essai utiles pour mesurer les propriétés de base des substrats avec appareil(s) intégré(s).

La présente partie de l'IEC 62878 est applicable aux substrats avec appareil(s) intégré(s) fabriqués à partir de matériaux de base organiques, y compris par exemple les appareils actifs ou passifs, les composants discrets formés lors du processus de fabrication d'une carte de câblage électronique, ainsi que les composants de feuilles minces.

Le série IEC 62878 ne s'applique ni à la couche de re-distribution (RDL), ni aux modules définis comme un business model de type M de l'IEC 62421.

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions* (disponible en anglais seulement)

IEC 62878-1-1, *Substrat avec appareil(s) intégré(s) – Partie 1-1: Spécification générique – Méthodes d'essai*¹

3 Termes, définitions et abréviations

3.1 Termes et définitions

Pour les besoins du présent document, les termes et définitions de l'IEC 60194 s'appliquent.

3.2 Abréviations

Abréviation	Français	Anglais
AV	audiovisuel	audiovisual
L/S	ligne et espace	line and space
SMD	appareil pour montage en surface	surface mount device

4 Conditions d'essai et préparation de l'échantillon

4.1 Généralités

L'Article 4 décrit les conditions d'essai pour les cartes avec appareil(s) intégré(s) à utiliser dans les équipements électroniques, ainsi que la fiabilité, et l'Article 5 décrit le groupe d'éléments d'essai (ci-après dénommé TEG) à utiliser comme puce d'essai fictive, ainsi que les motifs d'essai utilisés dans les TEG.

¹ A publier.

4.2 Conditions d'essai

4.2.1 Classification des essais et évaluation

Le Paragraphe 4.2.1 décrit la classification des niveaux d'essai dans différentes applications. L'environnement dans lequel les produits sont utilisés est divisé entre:

- les applications grand public (portables et non portables),
- les applications industrielles et automobiles (AV et informations, contrôle du fonctionnement d'une voiture et contrôle d'un moteur).

Les essais d'évaluation sont divisés en essais pour l'assemblage, la carte du module et la carte mère. Dans la présente partie de l'IEC 62878, le terme "carte mère" désigne la carte principale sur laquelle les assemblages ou les modules sont fixés. Trois rangs sont spécifiés pour les niveaux d'évaluation pour les appareils intégrés (passifs et actifs), les matériaux de carte, les méthodes d'assemblage, ainsi que les spécifications et les caractéristiques des appareils intégrés. Les niveaux d'évaluation doivent faire l'objet d'un accord entre l'utilisateur et le fournisseur. Le Tableau 1 montre la classification des environnements de l'utilisateur pour chaque application mentionnée ci-dessus.

Tableau 1 – Application et appareil intégré

Produits		Assemblage			Module			Carte mère		
Applications		– Grand public (portable et non portable) – Industrielles – Automobiles (informations audiovisuelles, contrôle du fonctionnement d'une voiture et contrôle d'un moteur)								
Appareil	Passif	○		○	○		○	○		○
	Actif	○	○		○	○		○	○	

4.2.2 Environnement de mesure

L'environnement d'essai adopté dans les essais décrits dans l'IEC 62878-1-1 est spécifié en 4.2.2. Sauf indication contraire, les essais sont réalisés à la pression atmosphérique normalisée entre 86 kPa et 106 kPa et avec un débit d'air inférieur à 1 m/s. Un essai peut être effectué dans des conditions autres que les conditions normales s'il est difficile de soumettre à un essai un échantillon dans les conditions normales lorsqu'aucune question ne se pose dans l'évaluation des résultats de l'essai. L'essai doit être réalisé dans les conditions indiquées au Tableau 2 quand il n'y a aucun doute concernant le résultat de l'essai, ou être spécifiquement demandé par l'utilisateur et le fournisseur.

Tableau 2 – Environnement de mesure

Classification			Température °C	Humidité %	Pression kPa	Remarques
Conditions normales	Caractéristique commune		15 à 35	25 à 75	86 à 106	Utiliser la condition d'essai normale, si rien n'est spécifié
	23/50	Classe 1	23 ± 1	50 ± 5	86 à 106	
		Classe 2	23 ± 2	50 ± 10		
	27/65	Classe 1	27 ± 1	65 ± 5	86 à 106	Ainsi que convenu entre l'utilisateur et le fournisseur par exemple dans une zone tropicale
		Classe 2	27 ± 1	65 ± 5		
Evaluation	Caractéristique commune		20 ± 2	60 à 70	86 à 106	

4.2.3 Méthodes d'essai

Les méthodes d'essai qui utilisent le TEG sont celles décrites dans la présente partie de l'IEC 62878. Ces méthodes d'essai comprennent en particulier les essais électriques et mécaniques. Les essais pour les autres éléments décrits dans la présente partie de l'IEC 62878 peuvent être réalisés selon l'accord conclu entre l'utilisateur et le fournisseur.

4.3 Echantillons d'essai et nombre d'échantillons

4.3.1 Échantillons

Les échantillons d'essai correspondent soit à la catégorie a), soit à la catégorie b) indiquées ci-dessous. La surface d'un échantillon ne doit pas être contaminée par de la graisse, de la sueur ou tout autre corps étranger.

a) Carte avec appareil(s) intégré(s) réelle

Pour l'essai, couper un échantillon du produit, de la forme et de la taille spécifiées par les spécifications individuelles, en utilisant une méthode qui n'affecte pas les performances de l'échantillon.

b) Echantillon du motif d'essai

Utiliser un TEG et un circuit applicable pour l'essai d'un appareil intégré lui-même. Préparer un échantillon de motif d'essai à partir d'une carte et d'appareils intégrés comportant les mêmes matériaux que ceux utilisés pour la carte avec appareil(s) intégré(s) réelle. Utiliser la même procédure pour préparer un appareil d'essai que pour l'appareil intégré.

4.3.2 Nombre d'échantillons

Le nombre d'échantillons utilisés dans un essai doit être a) ou b), ainsi que spécifié par le statut de fabrication ci-dessous. L'accord entre l'utilisateur et fournisseur, le cas échéant, doit être prioritaire.

a) Production d'essai

$n \geq 5$ de l'unité convenue entre l'utilisateur et le fournisseur.

b) Production de volume

$n \geq 10$ de l'unité convenue entre l'utilisateur et le fournisseur.

4.3.3 Rapport d'essai

Les éléments d'essai doivent être choisis dans la liste indiquée ci-dessous ainsi que convenu entre l'utilisateur et le fournisseur, et doivent être inclus dans le rapport d'essai:

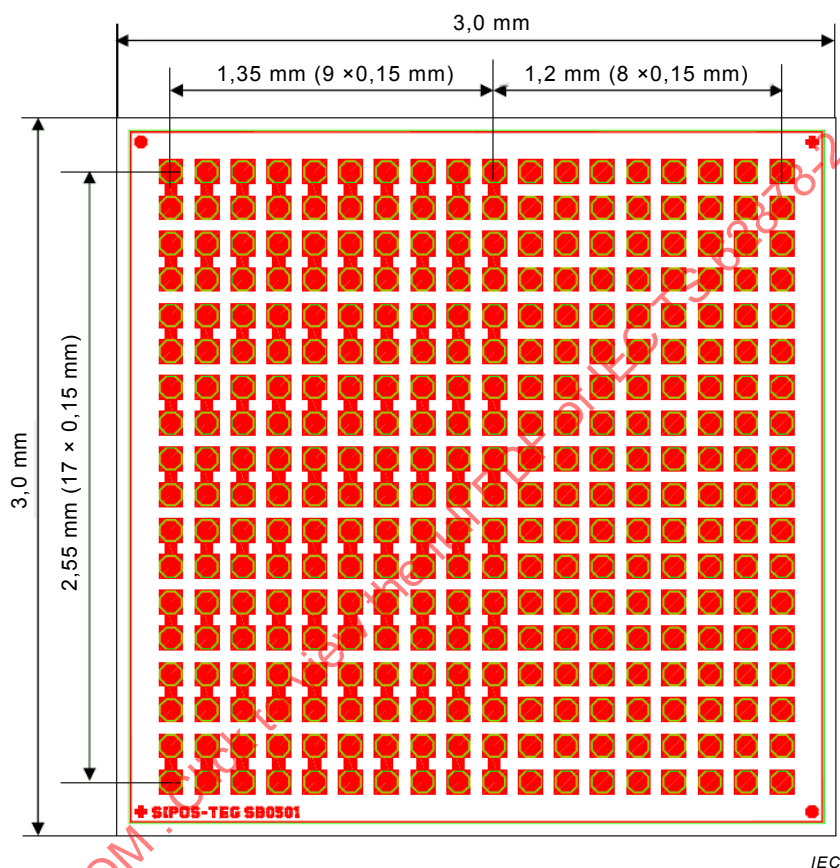
- a) date de l'essai;
- b) emplacement de l'essai;
- c) nom, type et taille de l'appareil intégré;
- d) structure des matériaux, de la taille et de la forme de la carte d'essai
- e) technique d'assemblage de l'appareil intégré (interconnexion, intégration, etc.);
- f) spécification de conception et spécification de produit de la carte d'essai;
- g) équipement d'essai (spécifications du système d'essai et de l'équipement, contraintes, matériaux, forme, etc.);
- h) conditions d'essai (température, humidité, tension appliquée, courant, nombre de répétition, temps, etc.);
- i) graphiques et figures qui montrent les relations entre les conditions d'essai et les résultats;
- j) mode de défaut (photographies, etc.).

5 TEG

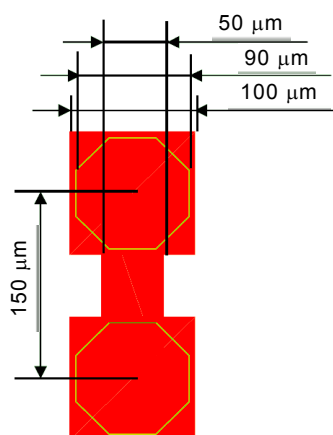
5.1 Préparation du TEG

En vue de l'essai du substrat avec appareil(s) intégré(s), un TEG fait de câblage aluminium neutre est préparé. Il convient de remplacer l'appareil passif par une carte de câblage en cuivre, ou bien d'utiliser un cavalier à zéro ohm.

Les Figures 1 et 2 donnent des exemples de TEG. Le TEG-A est un échantillon de chaînage permettant d'évaluer la connectivité. Le TEG-B a pour objectif de mesurer le courant de fuite et la capacité.



a) TEG-A – Vue complète d'une puce de plage de TEG de 150 µm



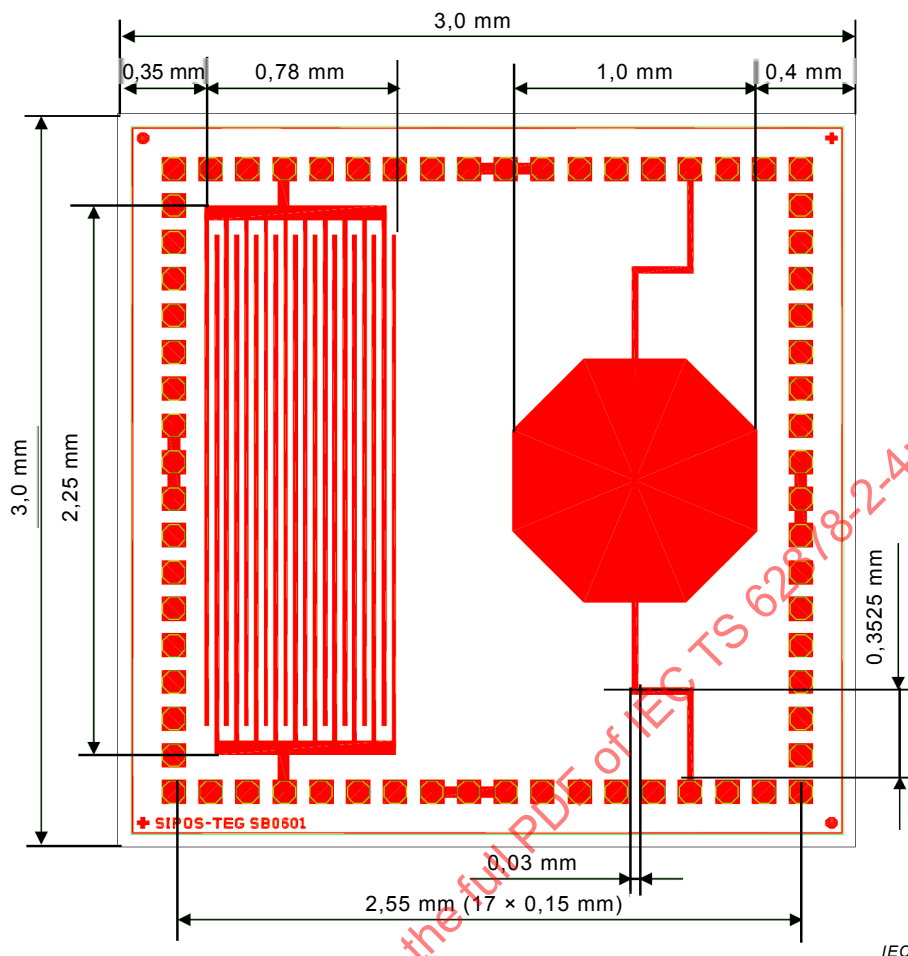
IEC

b) Détail de plage

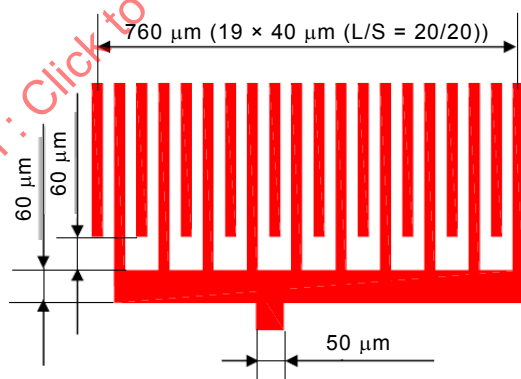
Spécification d'une puce de plage de TEG-A de 150 μm

Nom: SIPOS-TEG SB0501	Distance entre les bords de la plage: 50 μm
Pas de la plage: 150 μm	Taille de la puce: 3,0 mm 3,0 mm
Nombre de plages: 324 (18 × 18)	Plage de chaînage: 180
Taille de la plage: 100 μm × 100 μm (câblage aluminium)	Plage indépendante: 144
Largeur du traçage: 100 μm	Ouverture de la plage: $\varphi = 90 \mu\text{m}$ (ouverture de la plage)

Figure 1 – Arrangement à matrice bidimensionnelle – TEG pour la résistivité du conducteur et l'isolation trou de liaison-à-trou de liaison



a) TEG-B – Vue complète d'une puce de plage de TEG de 150 μm



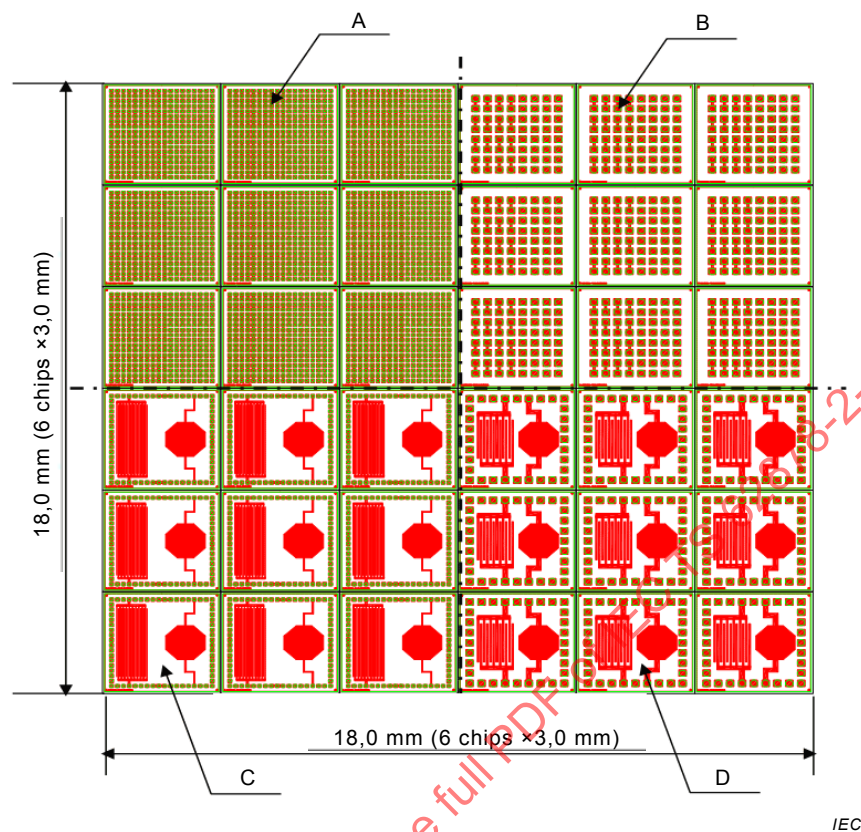
b) Détail d'un motif en peigne

Spécification d'une puce de plage de TEG-B de 150 μm

Nom: SIPOS-TEG SB0601	Taille de puce: 3,0 mm × 3,0 mm
Pas de la plage: 150 μm	Nombre de plages: 68
Taille de la plage: 100 μm × 100 μm (câblage aluminium)	Ouverture de la plage: $\varphi = 90 \mu\text{m}$ (ouverture de la plage)
Taille du motif en peigne: L/S = 20 μm /20 μm	Nombre de motifs en peigne: 20 (10 × 2)
Dimension du motif d'isolation intercouche:	$\varphi = 1,0 \text{ mm}$ (octogonal)

Figure 2 – Arrangement à matrice bidimensionnelle – TEG pour la mesure de l'isolation de la résistance entre les conducteurs et la résistance de l'isolation entre les couches

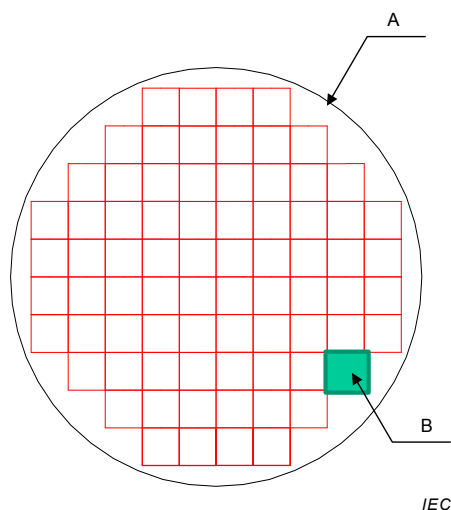
Les Figures 3 et 4 illustrent respectivement l'arrangement d'une puce dans un coup et l'arrangement d'un coup dans une feuille.



Légende

A	Arrangement de la zone: TEG-A de 150 µm de distance entre les plots de contact
B	Arrangement de la zone: TEG-A de 300 µm de distance entre les plots de contact
C	Arrangement de la zone: TEG-B de 150 µm de distance entre les plots de contact
D	Arrangement de la zone: TEG-B de 300 µm de distance entre les plots de contact

Figure 3 – Arrangement de puces dans un coup



Légende

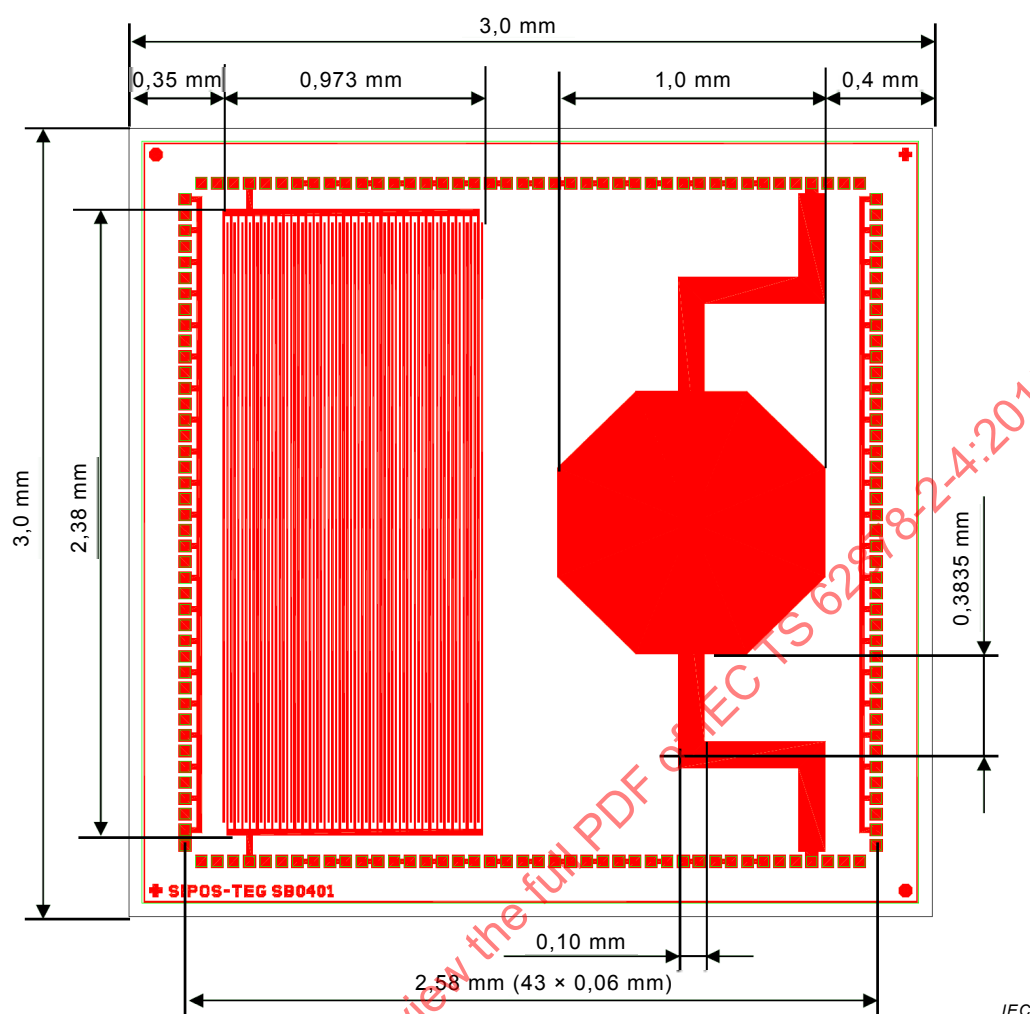
A	Tranche
B	Coup

Taille du coup: 18,0 mm × 18,0 mm

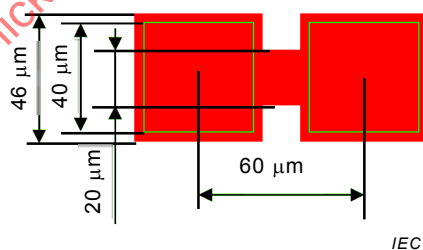
Nombre de coups: 76 coups par feuille (feuille de 8 in (203,2 mm))

Figure 4 – Arrangement de coups dans une feuille

La Figure 5 indique la spécification de la puce de plage du terminal du périphérique du TEG de 60 µm et le détail terminal du périphérique et de l'interconnexion sont indiqués à la Figure 6.



a) Vue complète de la puce de plage du terminal de périphérique de 60 µm

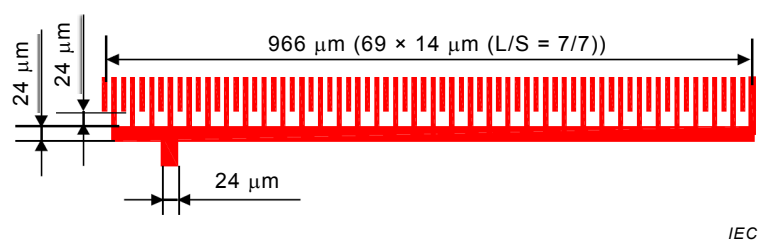


b) Détails d'un terminal périphérique

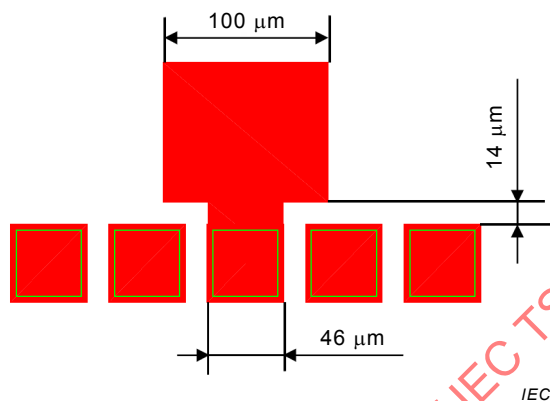
Spécification d'une puce de plage de TEG-B de 150 µm

Nom: SIPOS-TEG SB0401	Taille de la puce: 3,0 mm × 3,0 mm
Pas de la plage: 60 µm	Nombre de plages: 168
Taille de la plage: 46 µm × 40 µm (câblage aluminium)	Ouverture de la plage: 40 µm × 40 µm (ouverture pro)
Largeur du traçage: 100 µm	Taille du motif en peigne: L/S = 20 µm/20 µm
Nombre de motifs en peigne: 70 (35 × 2)	Motif d'isolation intercouche: $\varphi = 1,0$ mm (octogonal)
Plage de chaînage: 30 plages pour supérieur/inférieur	Motif de mesure d'isolation entre trous de liaison: côtés droit et gauche

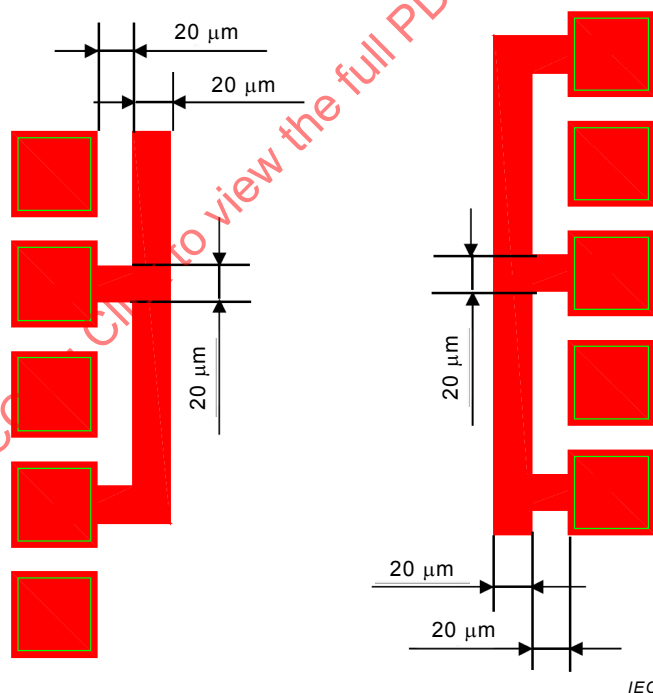
Figure 5 – Spécification de la puce de plage du terminal du périphérique du TEG de 60 µm



a) Détails d'un motif en peigne pour la mesure de l'isolation entre les conducteurs



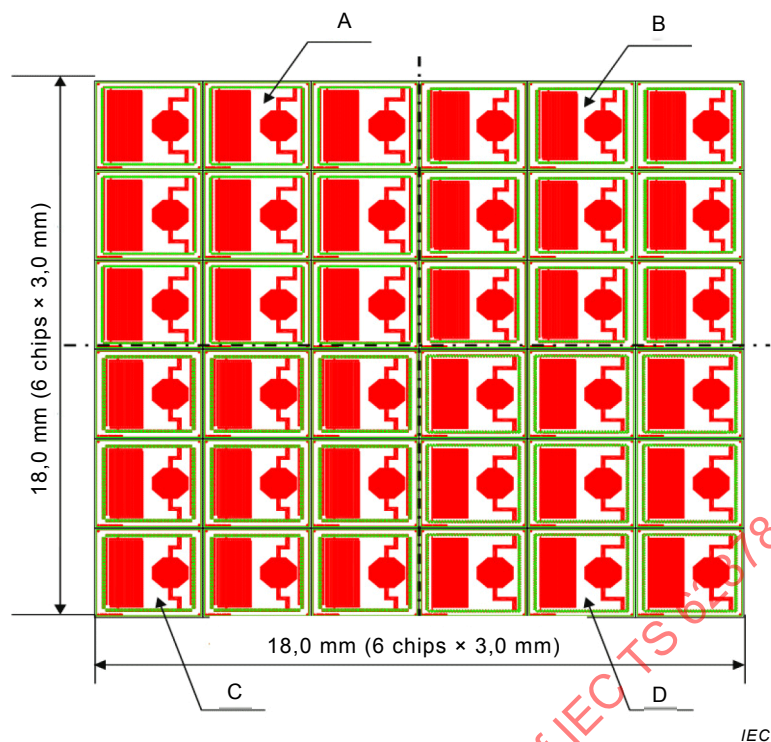
b) Détails d'une plaque pour la mesure de l'isolation entre les couches



c) Détails d'une plaque pour la mesure de l'isolation entre les trous de liaison

Figure 6 – Arrangement du périphérique du TEG pour les essais complexes

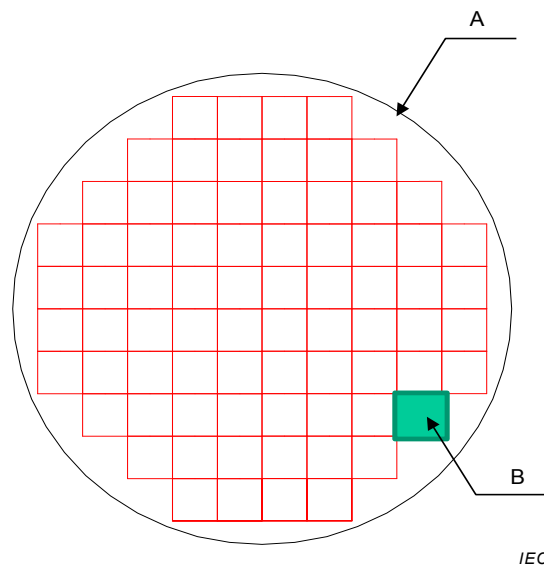
Les Figure 7 et Figure 8 illustrent respectivement l'arrangement d'une puce dans un coup et l'arrangement d'un coup dans une feuille.



Légende

A	Arrangement périphérique: TEG-A de 60 µm de distance entre les plots de contact
B	Arrangement périphérique: TEG-A de 80 µm de distance entre les plots de contact
C	Arrangement périphérique: TEG-B de 100 µm de distance entre les plots de contact
D	Arrangement périphérique: TEG-B de 40 µm de distance entre les plots de contact

Figure 7 – Arrangement de puces dans un coup



Légende

A	Tranche
B	Coup

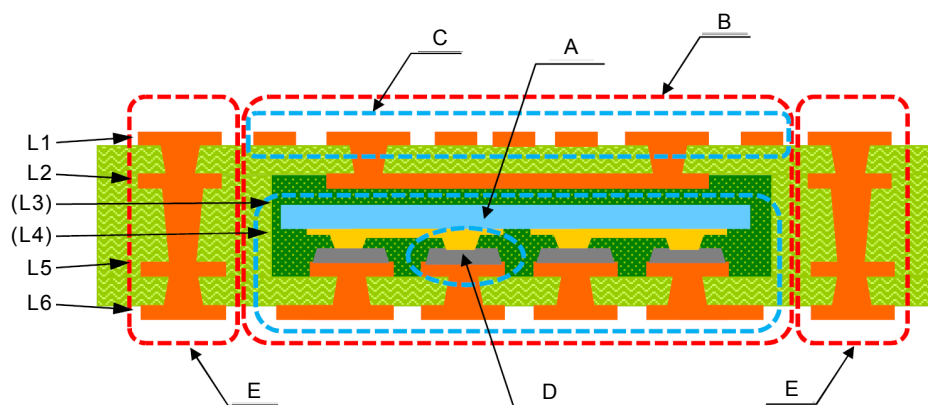
Taille du coup: 18,0 mm × 18,0 mm

Nombre de coups: 76 coups par feuille (feuille de 8 in (203,2 mm))

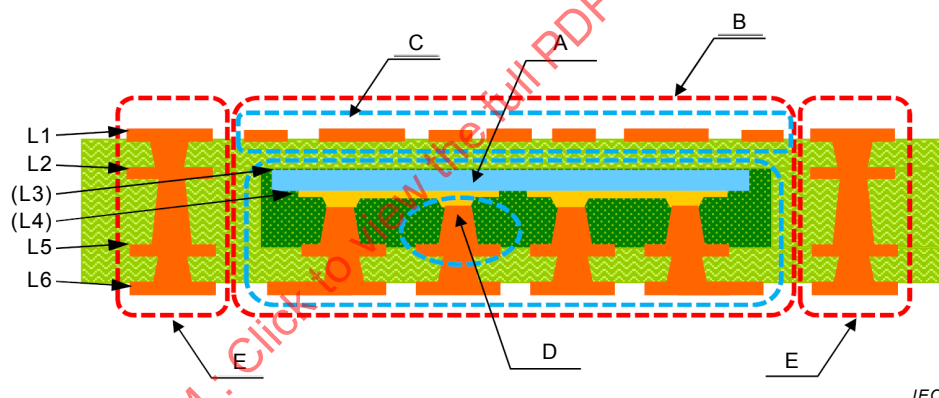
Figure 8 – Arrangement de coups dans une feuille

5.2 Structures de TEG

Les structures des cartes avec échantillon d'essai intégré sont illustrées aux Figure 9 et Figure 10. L'échantillon est connecté aux terminaux d'une carte comme dans le cas d'un appareil intégré réel. Le motif d'essai est formé comme un motif d'essai complexe qui comprend les connexions d'un appareil intégré réel. Il est souhaitable d'utiliser un motif d'essai qui peut être divisé en sections pour l'intégration des connexions d'appareil et le câblage dans la base pour une analyse plus facile. La structure de couche est nommée L1 et L2 à partir de la surface avant, L3 et L4 pour les couches du TEG, L5 et L6 pour les couches de l'essai. Le TEG de l'appareil intégré réel est décrit dans la présente partie de l'IEC 62878 pour le cas d'un câblage à un côté, car il est difficile de percer des trous dans une puce nue dans un échantillon.

**Légende**

A	TEG
B	Zone à soumettre à l'essai dans une carte avec appareil(s) intégré(s)
C	Circuit d'essai de surface
D	Connexion réellement utilisée
E	Zone à soumettre à l'essai pour une carte à câblage imprimée

Figure 9 – Structure d'une carte d'essai et de la connexion de plage**Légende**

A	TEG
B	Zone à soumettre à l'essai dans une carte avec appareil(s) intégré(s)
C	Circuit d'essai de surface
D	Connexion réellement utilisée
E	Zone à soumettre à l'essai pour une carte à câblage imprimée

Figure 10 – Structure d'une carte d'essai et de la connexion de trou de liaison**5.3 Guide de motif d'essai****5.3.1 Éléments d'essai**

Le Tableau 3 énumère les éléments à soumettre à l'essai. Pour des informations détaillées sur les éléments et les méthodes d'essai, consultez l'IEC 62878-1-1². L'essai d'évaluation d'une carte avec appareil(s) intégré(s) dans la présente partie de l'IEC 62878 est donné pour un échantillon qui intègre un TEG. L'évaluation est faite pour les connexions d'un TEG et des

² A publier.

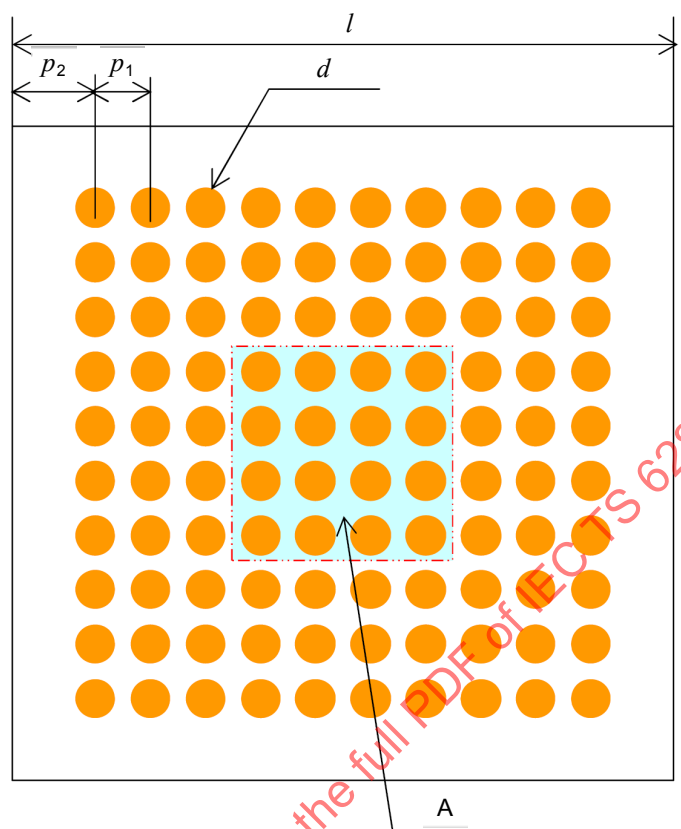
terminaux de câblage électronique à l'aide de différents motifs d'essai. L'essai pour la carte avec appareil(s) intégré(s) individuelle est réalisé avec un échantillon qui utilise le TEG recommandé et un motif d'essai complexe.

Tableau 3 – Eléments d'essai

N°	Motifs d'essai	Essai	Appareil intégré	Remarques	Paragraphe de l'IEC 62878-1-1:2015 ² qui spécifie les méthodes d'essai
1		Vérification visuelle et microsection			4.2.2, 4.2.3
2		Dimension et largeur de pastille (bague annulaire)			4.2.5
3	Figures 11 à 27	Résistance des conducteurs	○		4.3.1
4	Figures 11 à 27	Courant de tenue et tension de tenue	○	Spécification de l'appareil intégré	4.3.3, 4.3.4
5	Figures 11 à 27	Résistance d'isolation	○		4.3.5
6	Figures 11 à 27	Isolation et conduction du circuit			4.3.6
7		Force d'arrachement du conducteur			4.4.1
8		Force d'arrachement du trou traversant non métallisé			4.4.2
9		Force d'arrachement du trou traversant métallisé			4.4.3
10		Force d'arrachement de la plage de l'impression de la pastille			4.4.4
11		Adhésivité de la feuille métallisée			4.4.5
12		Adhésivité de l'épargne de brasure et de la marque du symbole			4.4.6
13		Dureté du film (épargne de brasure, marque du symbole)			4.4.7
14	Figures 11 à 27	Hautes et basses températures	○		4.5.1
15	Figures 11 à 27	Choc thermique (hautes et basses températures)	○		4.5.2
16	Figures 11 à 27	Résistance à l'humidité	○		4.5.4
17	Figures 11 à 27	Résistance à la migration	○		4.6.1
18	Figures 11 à 27	Vibrations	○		
19	Figures 11 à 27	Essai de tenue aux chutes	○		
20	Figures 11 à 27	Flexion	○		
21	Figures 11 à 27	Vissage	○		
22		Inflammabilité			
23		Résistance aux solvants			
24		Brasure			
25		Résistance à la chaleur de brasure			
26		Résistance à la chaleur de brasure de l'épargne de brasure et de la marque du symbole			

5.3.2 Arrangement à matrice bidimensionnelle du TEG pour un appareil actif

La Figure 11 montre l'arrangement à matrice bidimensionnelle du TEG pour les appareils actifs. Le Tableau 4 donne les dimensions détaillées des terminaux.



IEC

Légende

A section du centre

Figure 11 – Arrangement à matrice bidimensionnelle

Tableau 4 – Dimensions des terminaux

Appareil	Pas du terminal p_1 μm	Nombre de lignes	Nombre de terminaux grille complète	Taille du TEG l mm	Taille du côté p_2 μm	Diamètre de la plage d μm
Puce nue	100	26	676	3,0	250	60
		52	2 704 ^a	6,0	250	
	150	18	324	3,0	225	90
		36	1 296 ^a	6,0	225	
Puce nue WL-CSP	200	14	196	3,0	200	120
		28	784	6,0	300	
		42	1 764 ^a	9,0	200	
WL-CSP PKG	250	10	100	3,0	375	150
		20	400	6,0	375	
		30	900	9,0	375	
	300	8	64	3,0	450	180
		16	256	6,0	450	
		24	576	9,0	450	
	500	5	25	3,0	500	300
		10	100	6,0	500	
		15	225	9,0	500	

^a Il est possible de réduire le nombre de broches de la section du centre (A) quand le nombre de broches est supérieur à 1 000 en cas d'accord entre l'utilisateur et le fournisseur.

5.3.3 Arrangement périphérique du TEG

La Figure 12 montre l'arrangement périphérique du TEG pour un appareil actif et le Tableau 5 donne les détails de la plage du terminal de chaque périphérique. Le périphérique est l'arrangement de plage étroite. L'utilisation du motif d'essai avec des plages de connexion est recommandée sur la carte sur laquelle un appareil est monté, comme illustré à la Figure 13. Il peut être difficile de former des trous de liaison et d'utiliser des formations de trous de liaison empilés à cause de l'étroitesse de la plage. La conception des plages de connexion doit faire l'objet d'un accord entre l'utilisateur et le fournisseur.

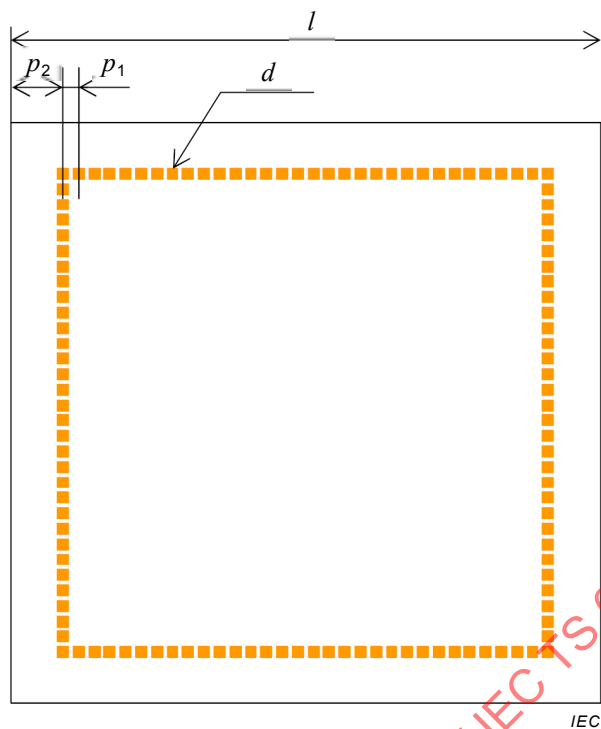


Figure 12 – Arrangement périphérique du TEG

Tableau 5 – Détails des dimensions de l'arrangement périphérique du TEG

Appareil	Pas du terminal p_1 μm	Nombre de lignes	Nombre de terminaux	Taille du TEG l mm	Bord p_2 μm	Diamètre de la plage d μm
Puce nue	40	64	256	3,0	200	26
		128	512	6,0		
		192	768	9,0		
	60	42	168	3,0	210	40
		84	336	6,0		
		126	504	9,0		
	80	30	120	3,0	260	50
		60	240	6,0		
		90	360	9,0		
	100	24	96	3,0	250	70
		48	192	6,0		
		72	288	9,0		

NOTE Les arrangements sur 2 lignes, 3 lignes ou étalonnés doivent faire l'objet d'un accord entre l'utilisateur et le fournisseur.

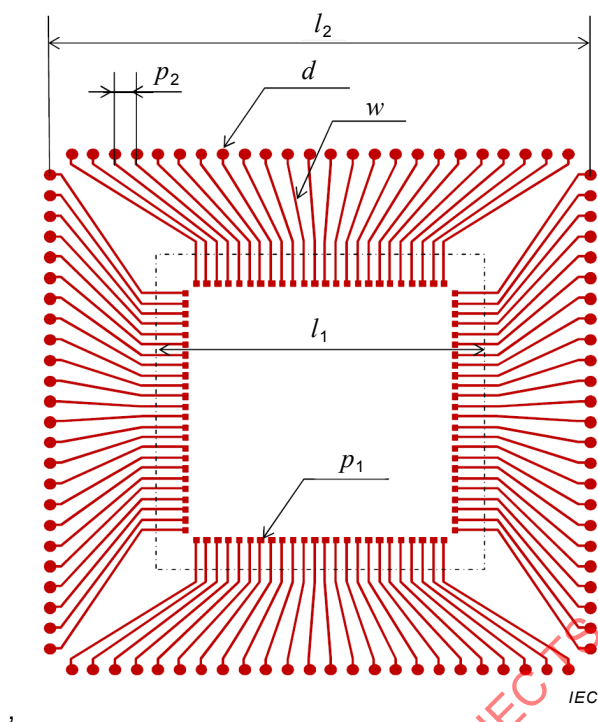


Figure 13 – Exemple d'arrangement de plage des périphériques

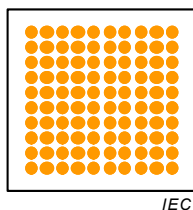
Un exemple de doublement de la plage du terminal du périphérique est donné au Tableau 6.

Tableau 6 – Détails des dimensions de l'arrangement périphérique des connexions de plage

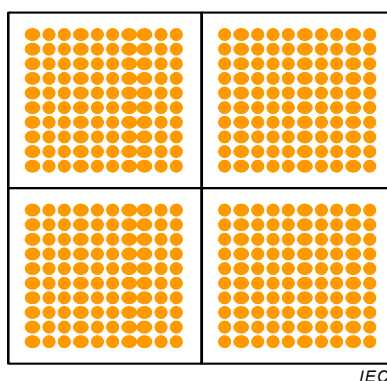
Appareil	Pas du terminal p_1 μm	Taille du TEG l_1 mm	Nombre de lignes	Nombre de terminaux	Plage l_2 mm	Pas de la plage p_2 μm	Diamètre de la plage d μm	Largeur du conducteur w μm
Puce nue	40	3,0	64	256	5,20	80	48	20
		6,0	128	512	10,32			
		9,0	192	768	15,44			
	60	3,0	42	172	5,16	120	72	30
		6,0	84	336	10,20			
		9,0	126	504	15,24			
	80	3,0	30	120	4,96	160	100	40
		6,0	60	240	9,76			
		9,0	90	360	14,56			
	100	3,0	24	96	4,80	200	120	60
		6,0	48	192	9,80			
		9,0	72	288	14,60			

5.3.4 Taille du TEG des appareils actifs

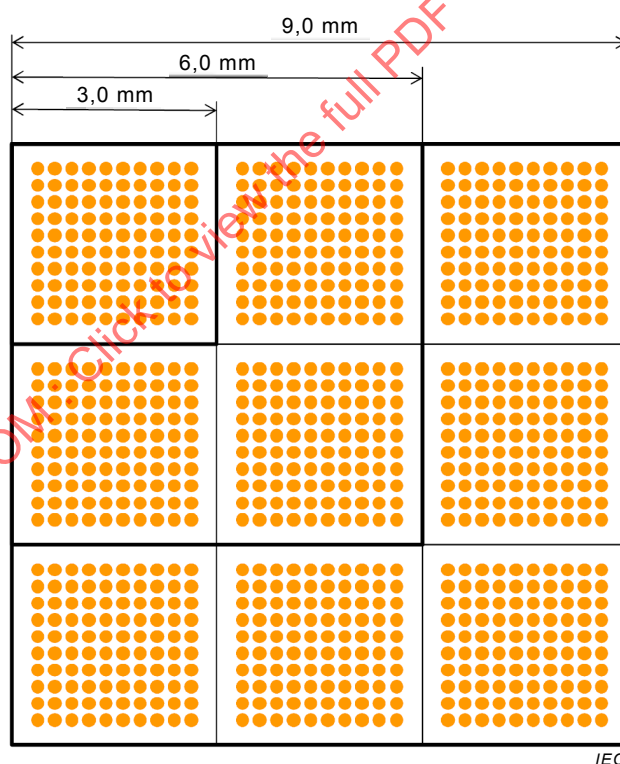
La taille normale du TEG est illustrée à la Figure 14. La taille de base est de 3,0 mm × 3,0 mm, ainsi qu'illustré à la Figure 14 a). La taille correspondant à 4 éléments est de 6,0 mm × 6,0 mm, ainsi qu'illustré à la Figure 14 b). Enfin, la taille correspondant à 9 éléments est de 9,0 mm × 9,0 mm, ainsi qu'illustré à la Figure 14 c). Pour b) et c), chaque élément de 3,0 mm × 3,0 mm est connecté à la carte à câblage imprimée.



a) 3,0 mm × 3,0 mm



b) 6,0 mm × 6,0 mm



c) 9,0 mm × 9,0 mm

Figure 14 – Taille de TEG pour un appareil actif

5.3.5 TEG pour les appareils passifs

Il est recommandé en tant qu'appareil passif un TEG disposant d'une résistance du cavalier à zéro ohm. L'arrangement d'une plaque est illustré à la Figure 15 et les dimensions sont spécifiées dans le Tableau 7. Les dimensions de connexion trou de liaison/pastille font l'objet