

TECHNICAL REPORT

RAPPORT TECHNIQUE



**EMC IC modelling –
Part 2-1: Theory of black box modelling for conducted emission**

**Modèles de circuits intégrés CEM –
Partie 2-1: Théorie du modèle de la boîte noire pour les émissions conduites**

IECNORM.COM : Click to view the full PDF of IEC TR 62433-2-1:2010



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2010 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch

Tel.: +41 22 919 02 11

Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch

Tél.: +41 22 919 02 11

Fax: +41 22 919 03 00

TECHNICAL REPORT

RAPPORT TECHNIQUE



**EMC IC modelling –
Part 2-1: Theory of black box modelling for conducted emission**

**Modèles de circuits intégrés CEM –
Partie 2-1: Théorie du modèle de la boîte noire pour les émissions conduites**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

U

ICS 31.200

ISBN 978-2-88912-208-0

CONTENTS

FOREWORD.....	3
1 Scope.....	5
2 Integrated circuit and modelling board.....	5
3 Assumptions.....	7
3.1 ICEM-CE.....	7
3.2 Black box model.....	9
4 Modelling.....	9
4.1 Terminals and objectives.....	9
4.2 Admittance matrix.....	10
4.3 Matrix compaction.....	11
4.4 Black box model structure.....	12
5 Parameter extractions.....	13
5.1 General.....	13
5.2 Equivalent internal activities.....	13
5.3 Equivalent passive distribution network.....	15
5.4 Parameter extraction method using finite impedance termination.....	16
5.5 Black box model including the reference terminal.....	17
6 Implementation.....	17
6.1 General.....	17
6.2 Configuration of the application board.....	17
6.3 Implementation of black box models.....	20
6.4 Solutions to noise voltages and noise currents.....	20
Annex A (informative) Nodal equation.....	22
Annex B (informative) Example of black box modelling.....	24
Bibliography.....	28
Figure 1 – Integrated circuit and its modelling board.....	6
Figure 2 – Basic ICEM-CE model structure for an IC.....	7
Figure 3 – Representation of the integrated circuit and its modelling board by ICEM-CE.....	8
Figure 4 – Structure of the ICEM-CE for IC black box modelling.....	10
Figure 5 – IC Black box model structure.....	12
Figure 6 – IC black box model description with circuit elements.....	13
Figure 7 – Setup for extraction of equivalent IAs.....	14
Figure 8 – Definition of phase.....	15
Figure 9 – Setup for extraction of equivalent PDN.....	16
Figure 10 – Setup for extraction of equivalent IAs and PDN.....	16
Figure 11 – Configuration of the application board.....	18
Figure 12 – Setup for simulation of the application board.....	19
Figure B.1 – The ICEM-CE model.....	25
Figure B.2 – Spectrum of equivalent IA.....	26
Figure B.3 – Calculated admittances.....	26
Figure B.4 – Noise voltage and noise current.....	27

INTERNATIONAL ELECTROTECHNICAL COMMISSION

EMC IC MODELLING –**Part 2-1: Theory of black box modelling for conducted emission****FOREWORD**

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

The main task of IEC technical committees is to prepare International Standards. However, a technical committee may propose the publication of a technical report when it has collected data of a different kind from that which is normally published as an International Standard, for example "state of the art".

IEC 62433-2-1, which is a technical report, has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this technical report is based on the following documents:

Enquiry draft	Report on voting
47A/826A/DTR	47A/834/RVC

Full information on the voting for the approval of this technical report can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts of IEC 62433 series, under the general title *EMC IC modelling*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM : Click to view the full PDF of IEC TR 62433-2-1:2010

EMC IC MODELLING –

Part 2-1: Theory of black box modelling for conducted emission

1 Scope

This part of IEC 62433-2-1 covers black box modelling which has the potential to make the modelling of conducted emission very simple, very fast, and can provide complete protection of proprietary information of IC vendors.

This technical report is intended to provide the theoretical background on black box modelling for IC conducted emission.

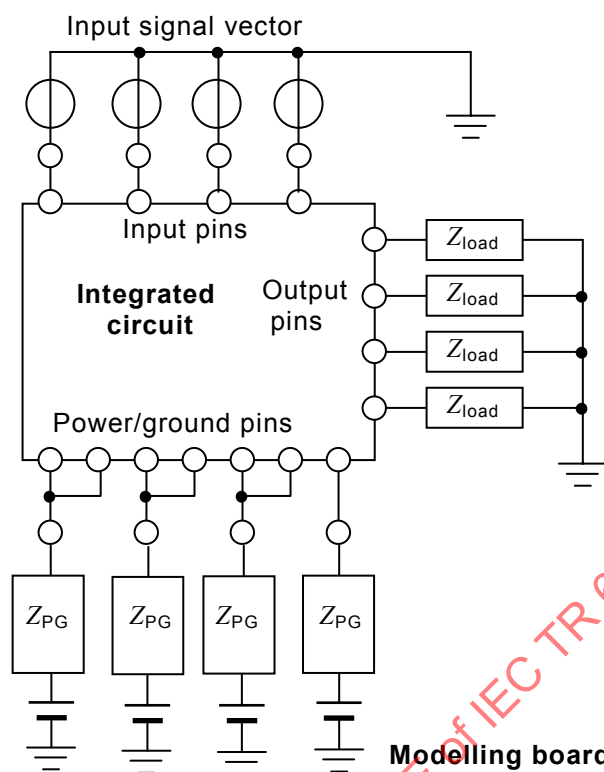
2 Integrated circuit and modelling board

Figure 1 shows an integrated circuit (IC) and a modelling board. The IC is equipped with power/ ground pins, output pins and input pins. Usually an IC requires different power supply connections, namely, to supply digital cores, I/Os, and analogue circuits. Each one of these power supplies may have plural pins.

An IC cannot be activated by itself. To activate the IC properly, the IC has to be provided with power supplies, a set of input signals or an input signal vector, and appropriate loads for output pins.

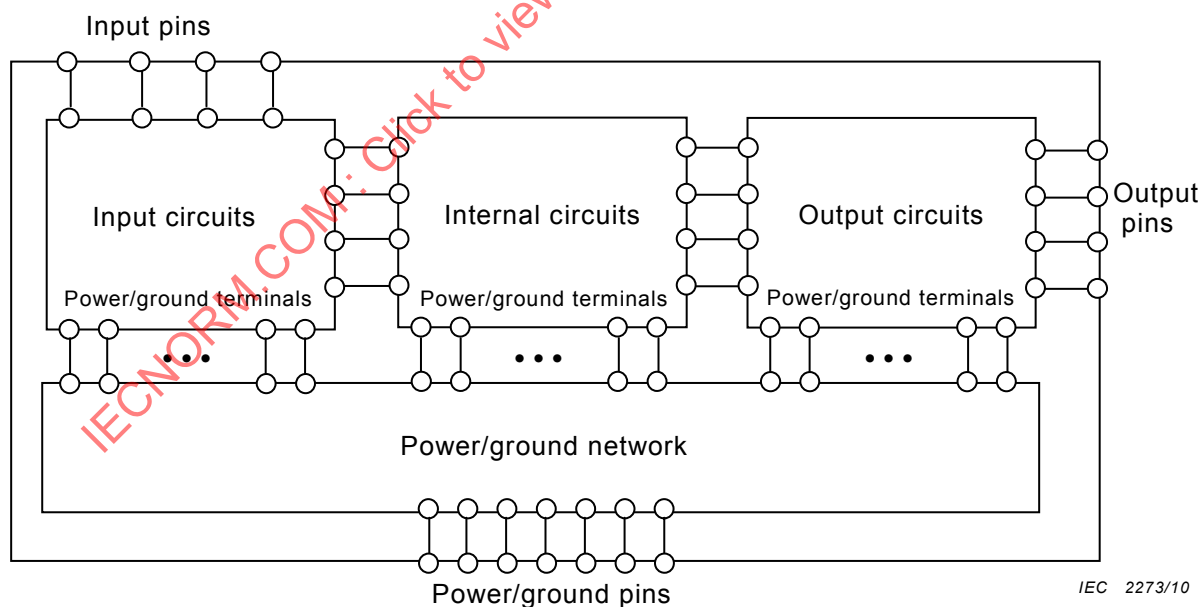
To achieve these requirements, the modelling board is used. The modelling board provides minimum requirements for the activation. It supplies power, and input signals to the IC, and it gives typical loads for the output pins. In addition, power/ ground pins of the same category are connected to each other in the modelling board resulting in one terminal for each category of the power/ ground supply at the interface of the modelling board.

The board is also used for parameter extractions for modelling the IC. The IC modelling includes the board. The relationship between the IC modelling and the modelling board is just like the relationship between measured data and measurement board that affects measurement data. Therefore the modelling board should be as simple and general as possible.



IEC 2272/10

Figure 1a) – Entire structure



IEC 2273/10

Figure 1b) – Structure of the IC part

Figure 1 – Integrated circuit and its modelling board

3 Assumptions

3.1 ICEM-CE

ICEM-CE is a macro model that approximates conducted emission behaviour of an IC using two types of components, internal activity (IA) and passive distribution network (PDN) as shown in Figure 2. These two types of components are connected through internal terminals (ITs).

The IAs represent noise sources that originate in switching of active devices within the IC. The PDN represents noise propagation characteristics from the internal terminals to the external terminals (ETs).

The black box modelling is based on this ICEM-CE model structure.

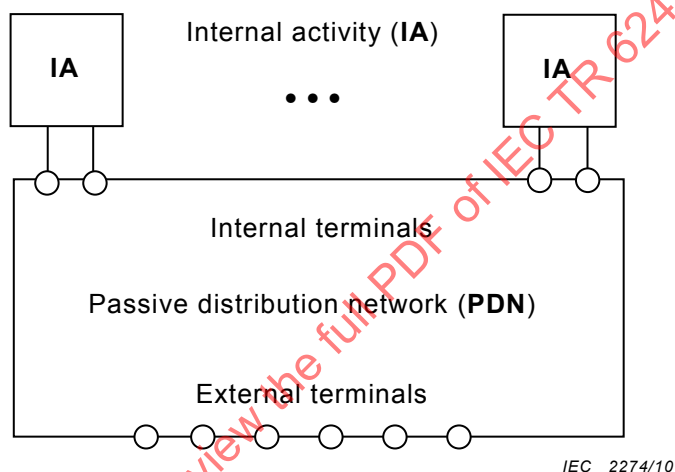
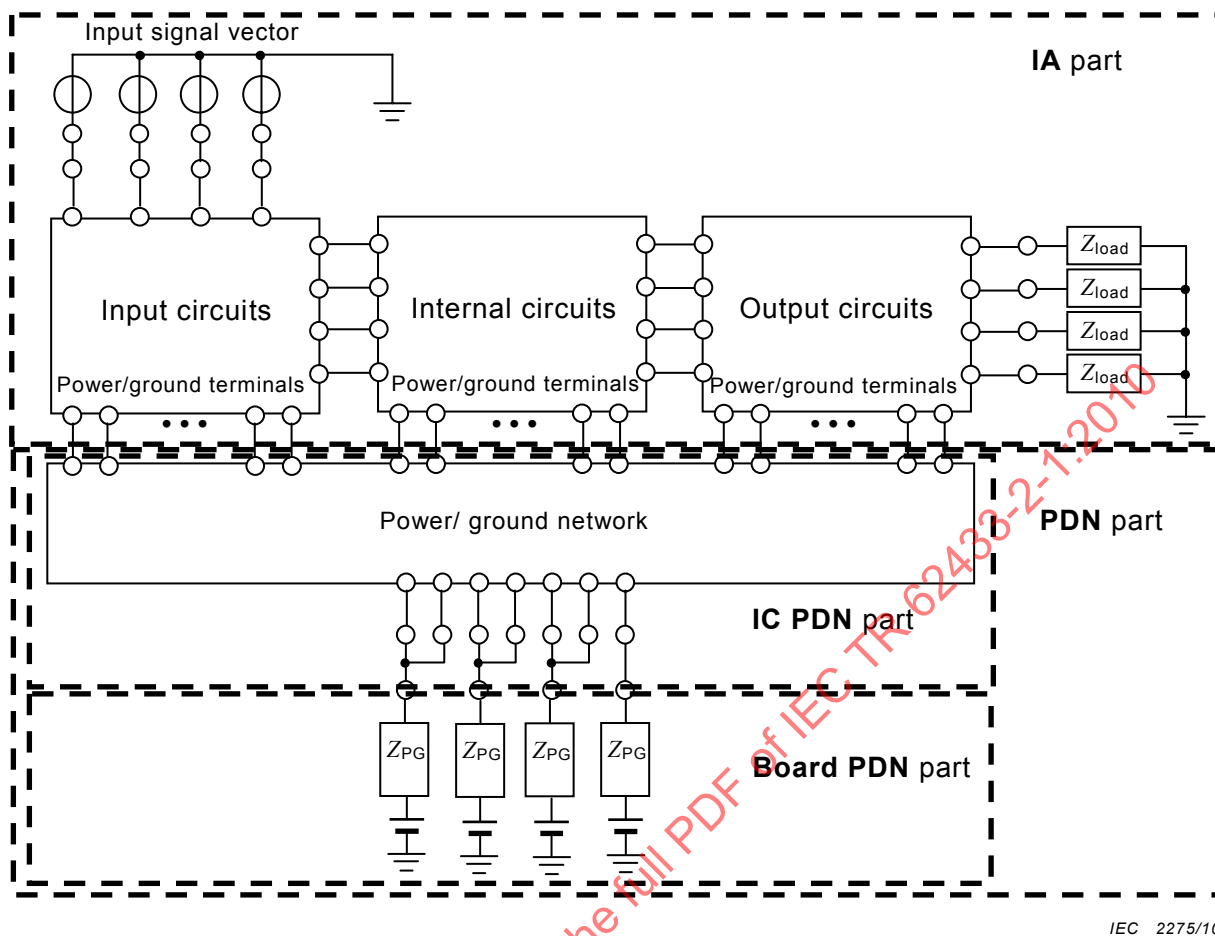


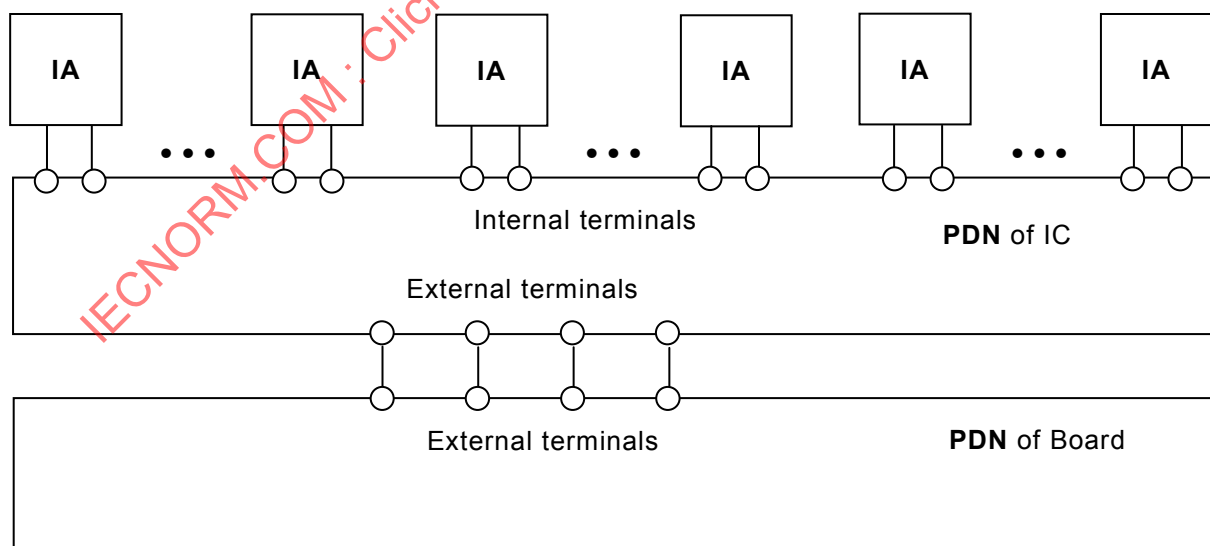
Figure 2 – Basic ICEM-CE model structure for an IC

Figure 3 shows how to make an ICEM-CE model for the example of an IC and its modelling board shown in Figure 1. Figure 3a) shows the assignment of IA and PDN. The IA part includes input vector generators and output loads on the modelling board. The PDN part consists of the IC PDN part and Board PDN part. The IC PDN part consists of the power/ground network of the die and the package of the IC. Figure 3b) shows the ICEM-CE structure of the IC and its modeling board with IAs and PDNs.



IEC 2275/10

Figure 3a) – IA and PDN assignment



IEC 2276/10

Figure 3b) – ICEM-CE representation

Figure 3 – Representation of the integrated circuit and its modelling board by ICEM-CE

3.2 Black box model

In black box modelling, the PDN is described using a numerical matrix. To represent the PDN using a matrix, the PDN is assumed to be a linear circuit. Although the PDN is usually non-linear, this assumption is generally valid because noise voltages are small enough.

The elements of the matrix depend on noise frequency. Therefore, the PDN and the IAs should be described in frequency domain, and the PDN and IAs should be given for each frequency concerned.

The PDN can be represented either by an impedance matrix or an admittance matrix. This technical report uses an admittance matrix because admittance is more convenient than impedance to combine other models to the black box model.

4 Modelling

4.1 Terminals and objectives

As shown in Figure 1 and Figure 3, an input signal vector is applied to the IC through input terminals. The signal vector activates the IC and it causes IAs inside the IC. Therefore, the voltages and currents of the input terminals are conditions for the modelling. Noise voltages and currents at the input terminals are not the objectives of the modelling.

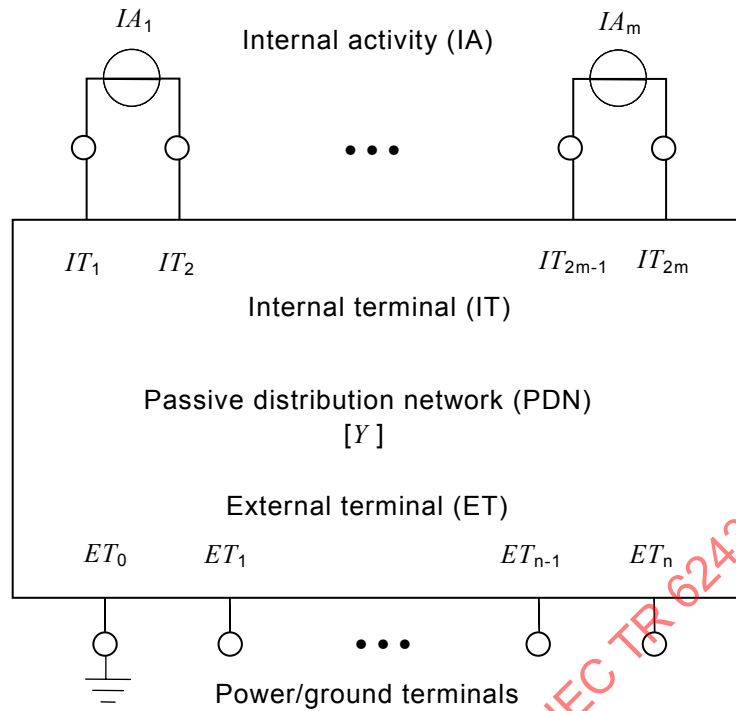
For the output pins of the IC, the modelling board provides typical loads. These loads generate IAs at the output circuits of the IC and consequently, from the IAs noise voltages and noise currents appear at the power/ ground terminals. This effect is included into the black box modelling. Output terminals themselves are also a source of conducted emissions, but the black box modelling given in this technical report cannot handle these emissions, because the characteristics of output circuits are non-linear. To simulate conducted emissions through output terminals, other black box modelling such as IMIC or IBIS has to be combined with this black box modelling.

Users cannot manipulate the internal terminals shown in Figure 2 that connect the IAs to the PDN. Therefore, the noise voltages and noise currents of internal terminals are also not the objectives of the black box modelling. But for the first step of this study, these terminals have to be used for the modelling, because these terminals provide the noise sources to the PDN. They are necessary particularly when a model is built from design data.

As the result, the objectives of the black box modelling are to provide models that can be used for numerical calculation of conducted emissions through power and ground terminals of an IC, which is applicable for an application board.

The ICEM-CE model structure for the black box modelling is shown in Figure 4. The IAs are expressed by current sources, and the PDN is given as an admittance matrix.

The noise voltages of the power/ ground terminals are defined with reference to a reference ground terminal (ET0) that is directly connected to the reference plane of the modelling board. The other power/ ground terminals of the PDN are named as ETx. The value of n is the number of power/ ground terminals minus one. The number of IAs is m . Therefore there are $2 \cdot m$ internal terminals, and these terminals are named as ITx as shown in Figure 4.



IEC 2277/10

Figure 4 – Structure of the ICEM-CE for IC black box modelling

4.2 Admittance matrix

The PDN in Figure 4 is assumed to be a linear circuit. Therefore, the PDN can be expressed using an admittance matrix based on the nodal analysis method. The equation that expresses the IC, shown as Figure 4, is given below.

$$\begin{bmatrix} Y_{ET1 ET1} & \dots & Y_{ET1 ETn} & Y_{ET1 IT1} & \dots & Y_{ET1 IT2m} \\ \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ Y_{ETn ET1} & \dots & Y_{ETn ETn} & Y_{ETn IT1} & \dots & Y_{ETn IT2m} \\ Y_{IT1 ET1} & \dots & Y_{IT1 ETn} & Y_{IT1 IT1} & \dots & Y_{IT1 IT2m} \\ \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ Y_{IT2m ET1} & \dots & Y_{IT2m ETn} & Y_{IT2m IT1} & \dots & Y_{IT2m IT2m} \end{bmatrix} \times \begin{bmatrix} V_{ET1} \\ \vdots \\ V_{ETn} \\ V_{IT1} \\ \vdots \\ V_{IT2m} \end{bmatrix} = \begin{bmatrix} I_{ET1} \\ \vdots \\ I_{ETn} \\ I_{IT1} \\ \vdots \\ I_{IT2m} \end{bmatrix} \quad (1)$$

Here, V_{ETx} and I_{ETx} are the noise voltage and the noise current of ETx, respectively. V_{ITx} and I_{ITx} represent the noise voltage and the noise current of ITx, respectively.

NOTE Equation 1 describes the PDN without using variables of voltages and currents for internal nodes, which connect passive elements making up the PDN. Annex A gives the proof of the equation.

The admittance matrix is regular and its dimension is $(n+2m, n+2m)$. For simplicity, Equation (1) is represented using sub-matrices and vectors as follows. In this equation, IAs substitute the currents of the internal terminals.

$$\begin{bmatrix} [Y_{ET ET}] & [Y_{ET IT}] \\ [Y_{IT ET}] & [Y_{IT IT}] \end{bmatrix} \times \begin{bmatrix} [V_{ET}] \\ [V_{IT}] \end{bmatrix} = \begin{bmatrix} [I_{ET}] \\ [I_{IT}] \end{bmatrix} \quad (2)$$

where,

$[Y_{ETET}]$ is the regular admittance sub-matrix that represents interactions between ETs;
 $[Y_{ETIT}]$ is the admittance sub-matrix that represents interactions between ETs and ITs;
 $[Y_{ITET}]$ is the admittance sub-matrix that represents interactions between ITs and ETs;
 $[Y_{ITIT}]$ is the regular admittance sub-matrix that represents interactions between ITs;
 $[V_{ET}]$ is the voltage vector that represents noise voltages of ETs;
 $[V_{IT}]$ is the voltage vector that represents noise voltages of ITs;
 $[I_{ET}]$ is the current vector that represents noise currents of ETs; and
 $[I_{IT}]$ is the current vector that represents noise currents of ITs.
 $[I_{IT}]$ is given as follows.

$$[I_{IT}] = [IA] \equiv \begin{bmatrix} IA_1 \\ -IA_1 \\ \cdot \\ \cdot \\ IA_m \\ -IA_m \end{bmatrix} \quad (3)$$

4.3 Matrix compaction

$[V_{IT}]$ is eliminated out from Equation (2), as follows.

Equation (2) can be expanded into following two equations, combining Equation (3).

$$[Y_{ETET}] \times [V_{ET}] + [Y_{ETIT}] \times [V_{IT}] = [I_{ET}] \quad (4)$$

$$[Y_{ITET}] \times [V_{ET}] + [Y_{ITIT}] \times [V_{IT}] = [IA] \quad (5)$$

From Equation (5), $[V_{IT}]$ is obtained as follows.

$$[V_{IT}] = [Y_{ITIT}]^{-1} \times ([IA] - [Y_{ITET}] \times [V_{ET}]) \quad (6)$$

By substituting Equation (6) by Equation (4), $[V_{IT}]$ can be eliminated out from Equation (4).

$$([Y_{ETET}] - [Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times [Y_{ITET}]) \times [V_{ET}] = [I_{ET}] - [Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times [IA] \quad (7)$$

The coefficient of $[V_{ET}]$ in the left-hand side is an admittance matrix whose dimension is (n, n). And the second term of the right-hand side is a current vector with n-dimension. The dimension of $[IA]$ is n, and the dimension of $[Y'_{ETET}]$ is (n, n). Therefore, $[IA]$ and $[Y'_{ETET}]$ can be defined as follows.

$$[IA'] \equiv -[Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times [IA] \quad (8)$$

$$[Y'_{ETET}] \equiv [Y_{ETET}] - [Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times [Y_{ITET}] \quad (9)$$

Then, Equation (7) becomes very simple.

$$[Y'_{ETET}] \times [V_{ET}] = [I_{ET}] + [I_A'] \quad (10)$$

4.4 Black box model structure

In Equations (8) and (9), $[I_A']$ and $[Y'_{ETET}]$ are constant. Therefore $[I_A']$ and $[Y'_{ETET}]$ are named as "equivalent internal activities (equivalent IAs)" and "equivalent passive distribution network (equivalent PDN)", respectively.

Equation (10) means that the black box model structure consists of an equivalent PDN and equivalent IAs as illustrated in the dotted area of Figure 5.

Compared with Figure 4, the IAs at the internal terminals are modified and transferred to the parallel positions to the external terminals. And the PDN is modified and simplified.

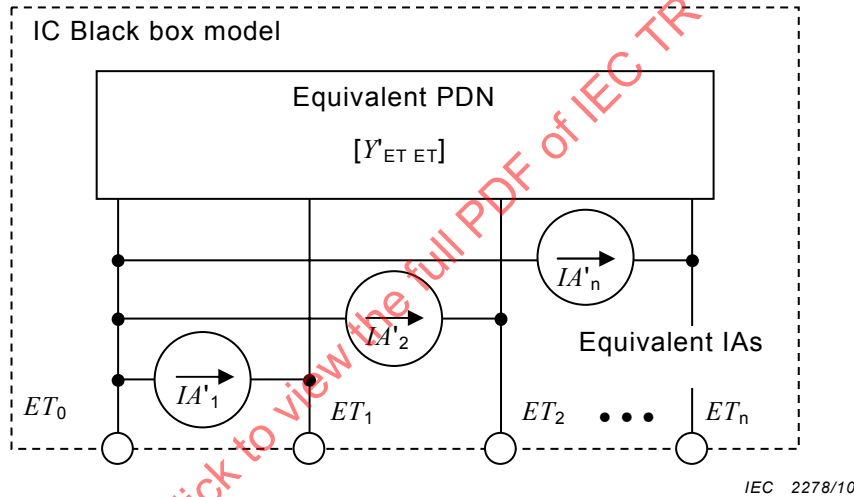
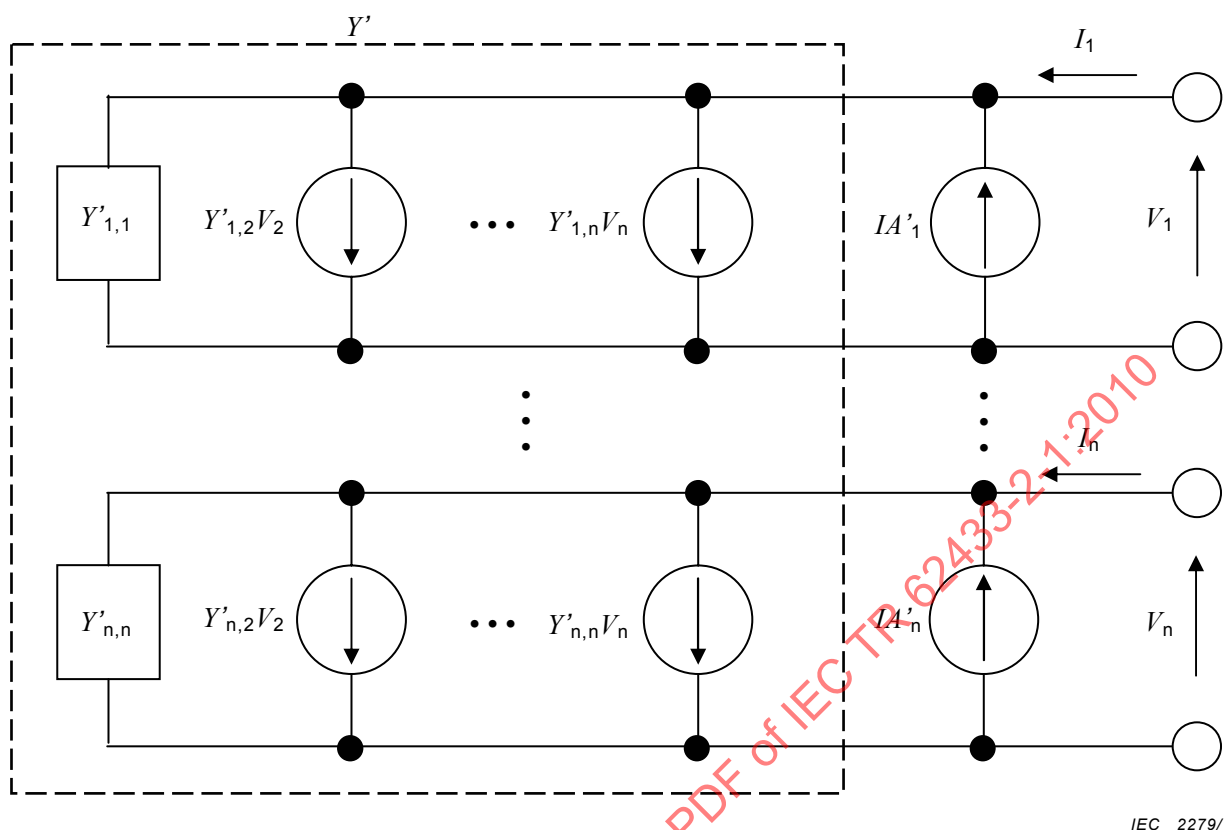


Figure 5 – IC Black box model structure

The IC black box model structure, as shown in Figure 5, is modelled using the expression having the (n+1) external terminals including the reference, where the number of the independent terminal voltage is n. Equation (10) is the Y matrix expression that determines the n external terminal voltages except for the reference as independent variables, and it is the n port circuit which has the reference terminal as the common negative terminal and the other terminals as the positive terminals. A n port circuit of black box model is expressed with circuit elements as shown in Figure 6. It consists of the parallel connection of passive elements having the admittance of the diagonal elements of the Y matrix, voltage controlled current sources having the current of the product of the non-diagonal element value and the other port voltage, and the independent current source having the current calculated from Equation (8).

The Y matrix expression of Equation (10) can be converted into an expression using Z or S matrices easily using conversion formulas.



IEC 2279/10

Figure 6 – IC black box model description with circuit elements

5 Parameter extractions

5.1 General

The black box model for conducted emission consists of two components, the equivalent IAs and the equivalent PDN. To build a black box model from measurements, elements of these two components should be obtained. This clause describes the methods used to obtain these components from measurements.

The equivalent IAs depend on the operational mode and power supply condition of the IC. Therefore, the typical power supply condition and the repetitive specific input signal vector that corresponds to the operational mode should be applied to the power/ ground terminals and the input terminals of the modelling board during the measurements of equivalent IAs, respectively.

The equivalent PDN is assumed as a linear function, but it actually depends on voltages. Therefore, the typical power supply is given to the power/ground terminals of the modelling board during the measurements. Relatively small signals should be used for the measurements to assure the assumption is valid.

5.2 Equivalent internal activities

From Equation (10), the equivalent noise current sources can be,

$$[IA'] = -[I_{ET}], \text{ when } [V_{ET}] = [0] \quad (11)$$

This means that the equivalent IAs can be obtained by measuring the $[I_{ET}]$ under the condition that all the external terminals are RF shorted to the reference terminal. The configuration of the measurement setup is shown in Figure 7.

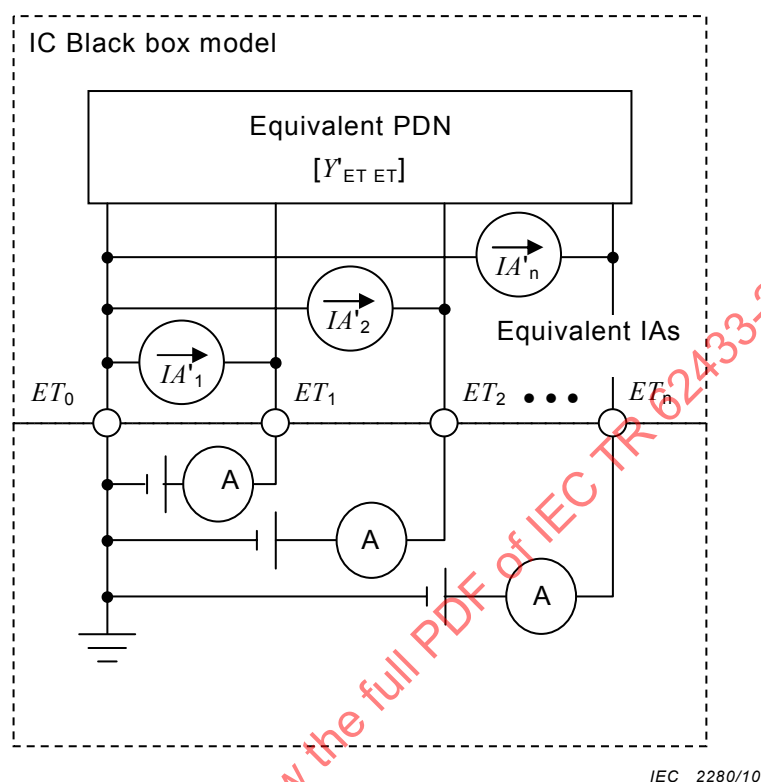


Figure 7 – Setup for extraction of equivalent IAs

Each value of $[I_{ET}]$ is a complex number; therefore, the amplitude and phase for each current element should be measured.

One way is to measure the amplitude and phase in frequency domain directly for each external terminal for each frequency concerned. In this method, the phases should be determined with reference to the cycle of the input signal vector. The definition is given in Figure 8.

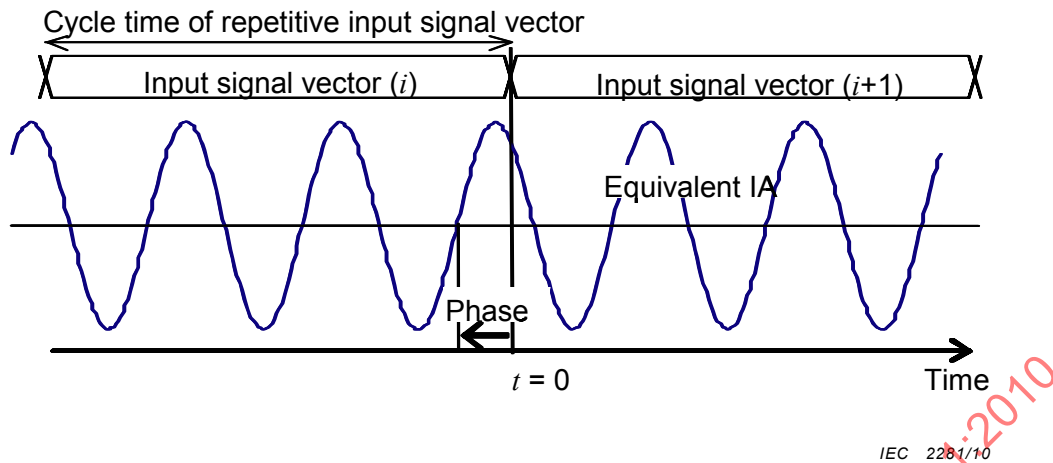


Figure 8 – Definition of phase

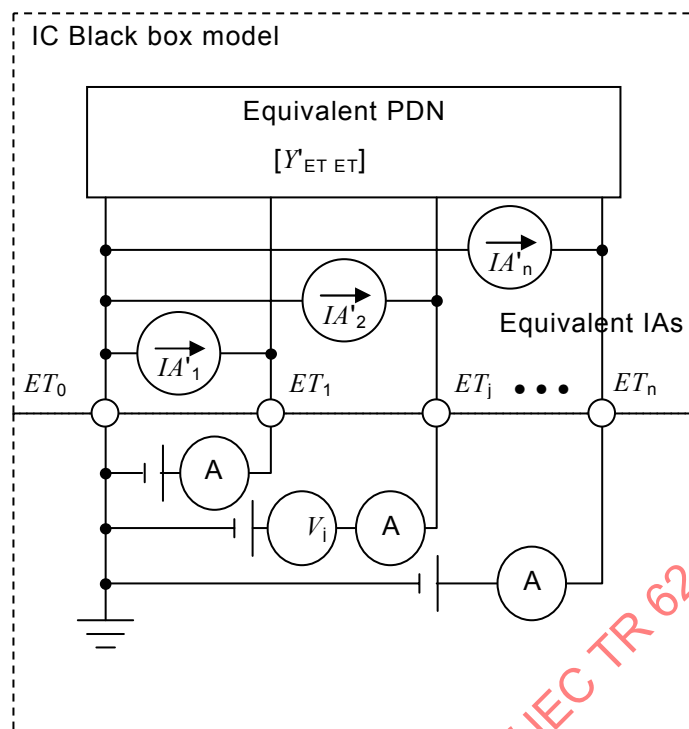
The other way is to measure the waveforms of the external terminals in the time domain. The time is also determined with reference to the start of the cycle of the input signal vector. After that, the waveforms should be converted into frequency domain using the Fourier transformation.

5.3 Equivalent passive distribution network

Now all elements of the equivalent IAs are already known. Therefore each element of the admittance matrix of equivalent PDN can be derived from Equation (10) as shown in Equation (12).

$$Y'_{ij} = \frac{I_i + IA_i}{V_j}, \text{ at all } V_{i \neq j} = 0 \quad (12)$$

Here, I_i is the measured current while V_j is the given signal voltage for the measurement. The configuration of the measurement setup for Y'_{ij} is shown in Figure 9. In this measurement, the phase of V_j and I_i should be given with reference to the cycle of the input vector, because the input signal vector determines the phase of IA.

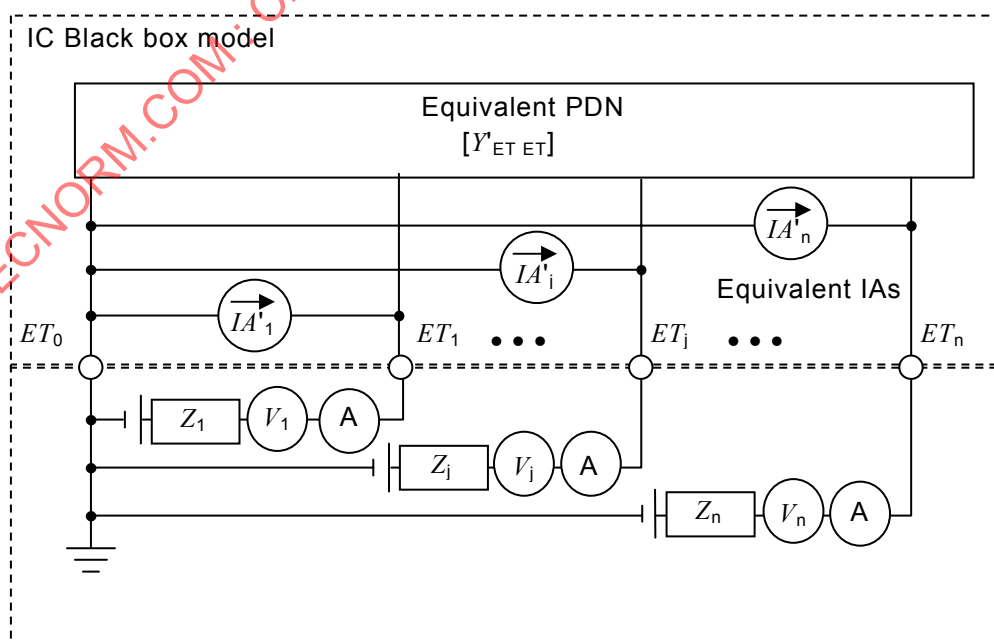


IEC 2282/10

Figure 9 – Setup for extraction of equivalent PDN

5.4 Parameter extraction method using finite impedance termination

The parameter extraction method explained above is the one by using RF short termination for each external port. In reality a complete RF short is difficult for some cases, in particular for measurements of the real devices. Thus a parameter extraction method using finite impedance termination is described herein.



IEC 2283/10

Figure 10 – Setup for extraction of equivalent IAs and PDN

Figure 10 shows the setup structure of limited impedance termination. Each terminal is terminated with a series of a DC power supply, an AC voltage source, a current meter, and a finite impedance element. The circuit of Figure 10 can be expressed using n independent equations. The number of elements of Y' is n^2 and that of the IA' is n . Then the number of unknowns is $n(n+1)$. Then $n(n+1)$ equations are necessary to get all element values of Y' and IA' . As the circuit of Figure 10 has n independent equations for each excitation, it needs $(n+1)$ independent sets of external AC voltage sources to determine the all unknown values.

For Figure 10, its terminal condition is expressed as below.

$$[V_{ET}] = [Z_{PSPS}] \times [I_{ET}] + [V] \quad (13)$$

$$[I_{ET}] = [Z_{PSPS}]^{-1} \times [[V_{ET}] - [V]] = [Y_{PSPS}] \times [[V_{ET}] - [V]] \quad (14)$$

The combination of Equations (10) and (13), or Equations (10) and (14), give the following equations.

$$[Y'_{ETET}] \times [[Z_{PSPS}] \times [I_{ET}] + [V]] = [I_{ET}] + [IA'] \quad (15)$$

$$[Y'_{ETET}] \times [V_{ET}] = [[Y_{PSPS}] \times [[V_{ET}] - [V]]] + [IA'] \quad (16)$$

By using Equation (15), the combination according to $(n+1)$ of input $[V]$ and its response $[I_{ET}]$ leads $[Y'_{ETET}]$ and $[IA']$. And by using Equation (16), the combination according to $(n+1)$ of input $[V]$ and its response $[V_{ET}]$ leads $[Y'_{ETET}]$ and $[IA']$.

To do this for example, we can input one AC voltage source at one external terminal while setting all other AC sources to zero, and repeat this for each external terminal. There will also be one case where all AC sources are zero. When we solve the equations from real measurement data, we can add the other drive patterns (the drive from plural ports) because with measurement error, it is useful to use the least-squares method to optimize the parameters.

5.5 Black box model including the reference terminal

The reference terminal is not included in $[IA']$ and $[Y']$ described above. When we implement ICs on a board, expanding $[IA']$ and $[Y']$ so that they include the reference terminal is convenient because generally the reference terminal is necessary when an IC is placed on a board like the other terminals. As shown in detail in Annex A, IA' element of the reference terminal is calculated from the summation of IA' elements with the reference terminal set as zero. The Y' element of the reference terminal is calculated from the summation of Y' elements where the reference terminal along a row or a column is zero.

6 Implementation

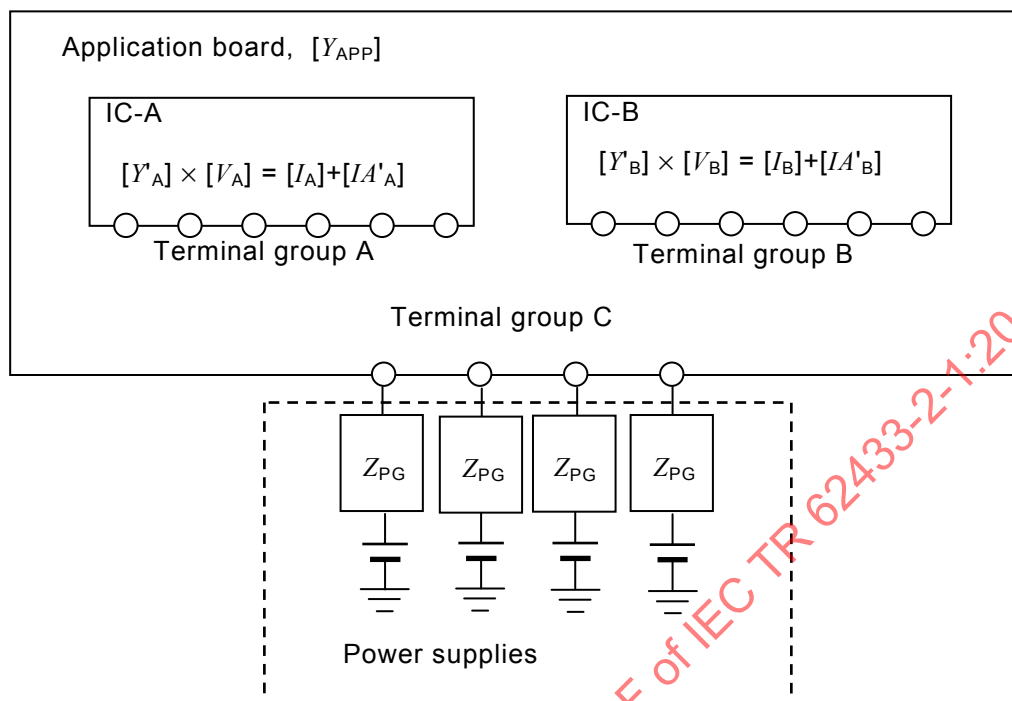
6.1 General

This clause describes the methodology for implementation of the black box models into an application board, taking as an example an application board with two black box models. An example is given in Annex B.

6.2 Configuration of the application board

The configuration of the application board is shown in Figure 11. The board contains two ICs, IC-A and IC-B, and these are connected to the application board using the terminal group A and the terminal group B, respectively.

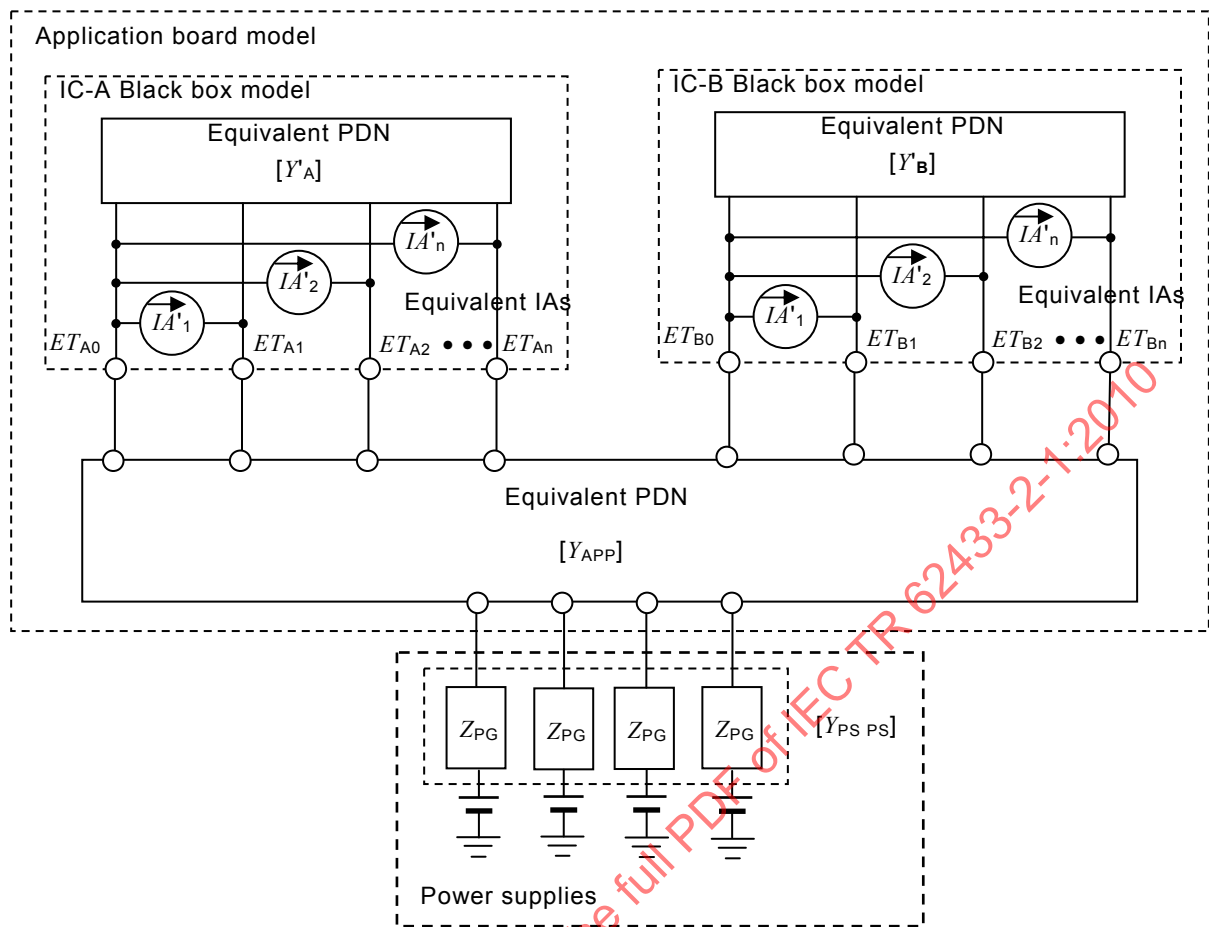
The board is also equipped with the terminal group C. The application board receives power supplies and ground from the outside environment using these terminals.



IEC 2284/10

Figure 11 – Configuration of the application board

The components for simulation of the application board consist of IC-A black box model, IC-B black box model, PDN model of the power/ ground network of the application board, and models of the power supplies. The connection of the components for simulation is shown in Figure 12.



IEC 2285/10

Figure 12 – Setup for simulation of the application board

Let's suppose that the black box models for IC-A and IC-B, and the admittance matrix of the application board are already known as follows. Each IC model used here is the black box model including its reference terminal.

$$[Y'_A] \times [V_A] = [I_A] + [I'_A] \quad (17)$$

$$[Y'_B] \times [V_B] = [I_B] + [I'_B] \quad (18)$$

Here, $[V_A]$, $[V_B]$ and $[V_C]$ are the noise voltage vectors of terminal group A, B and C, respectively. $-[I_A]$, $-[I_B]$ and $[I_C]$ are the noise current vectors of terminal group A, B and C, respectively.

And the admittance matrix of the application board is given as follows.

$$[Y_{APP}] = \begin{bmatrix} [Y_{AA}] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] \end{bmatrix} \quad (19)$$

In Equation (19), the sub-matrix $[Y_{AB}]$ represents the interactions between terminal A and terminal B, the sub-matrix $[Y_{AC}]$ represents interactions between terminal A and terminal C, etc.

6.3 Implementation of black box models

The whole application board can be expressed by Equation (20) as shown below.

$$\begin{bmatrix} [Y_{AA}] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] \end{bmatrix} \times \begin{bmatrix} [V_A] \\ [V_B] \\ [V_C] \end{bmatrix} = \begin{bmatrix} -[I_A] \\ -[I_B] \\ [I_C] \end{bmatrix} \quad (20)$$

The currents of terminal group A and B have negative signs, since the noise currents to the IC models and the noise currents to the application board are opposite.

$[I_A]$ and $[I_B]$ in Equation (20) can be eliminated out by substituting these using Equation (17) and (18). As the result, the following equation that represents the whole system is obtained.

$$\begin{bmatrix} [Y_{AA}] + [Y'_A] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] + [Y'_B] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] \end{bmatrix} \times \begin{bmatrix} [V_A] \\ [V_B] \\ [V_C] \end{bmatrix} = \begin{bmatrix} [I'_A] \\ [I'_B] \\ [I_C] \end{bmatrix} \quad (21)$$

6.4 Solutions to noise voltages and noise currents

Initially, one supposes that as a general boundary condition of the system, an admittance matrix of power supplies $[Y_{PSPS}]$ is given. The relationship between $[V_C]$ and $[I_C]$ is given by the following equation.

$$[Y_{PSPS}] \times [V_C] = -[I_C] \quad (22)$$

Equation (21) becomes Equation (23) by substituting $[I_C]$ using Equation (22).

$$\begin{bmatrix} [Y_{AA}] + [Y'_A] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] + [Y'_B] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] + [Y_{PSPS}] \end{bmatrix} \times \begin{bmatrix} [V_A] \\ [V_B] \\ [V_C] \end{bmatrix} = \begin{bmatrix} [I'_A] \\ [I'_B] \\ [0] \end{bmatrix} \quad (23)$$

Then, the general solutions of $[V_A]$, $[V_B]$ and $[V_C]$ can be derived as follows.

$$\begin{bmatrix} [V_A] \\ [V_B] \\ [V_C] \end{bmatrix} = \begin{bmatrix} [Y_{AA}] + [Y'_A] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] + [Y'_B] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] + [Y_{PSPS}] \end{bmatrix}^{-1} \times \begin{bmatrix} [I'_A] \\ [I'_B] \\ [0] \end{bmatrix} \quad (24)$$

And the general solutions of $[I_A]$, $[I_B]$ and $[I_C]$ are obtained from Equation (20) using voltage vectors given in Equation (24).

$$\begin{bmatrix} -[I_A] \\ -[I_B] \\ [I_C] \end{bmatrix} = \begin{bmatrix} [Y_{AA}] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] \end{bmatrix} \times \begin{bmatrix} [V_A] \\ [V_B] \\ [V_C] \end{bmatrix}$$

$$= \begin{bmatrix} [Y_{AA}] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] \end{bmatrix} \times \begin{bmatrix} [Y_{AA}] + [Y'_A] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] + [Y'_B] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] + [Y_{PSPS}] \end{bmatrix}^{-1} \times \begin{bmatrix} [I'_A] \\ [I'_B] \\ [0] \end{bmatrix} \quad (25)$$

Second, one considers a specific boundary condition that the impedances of the power supplies are low enough compared to other components. This condition is specific but it is a normal assumption for many applications. In this case, $[V_C]$ can be assumed as $[0]$.

The particular solutions of the noise voltage vectors for this condition are obtained from Equation (21).

$$\begin{bmatrix} [Y_{AA}] + [Y'_A] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] + [Y'_B] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] \end{bmatrix} \times \begin{bmatrix} [V_A] \\ [V_B] \\ [0] \end{bmatrix} = \begin{bmatrix} [I'_{A'}] \\ [I'_{B'}] \\ [I_C] \end{bmatrix} \quad (26)$$

$$\begin{bmatrix} [V_A] \\ [V_B] \end{bmatrix} = \begin{bmatrix} [Y_{AA}] + [Y'_A] & [Y_{AB}] \\ [Y_{BA}] & [Y_{BB}] + [Y'_B] \end{bmatrix}^{-1} \times \begin{bmatrix} [I'_{A'}] \\ [I'_{B'}] \end{bmatrix} \quad (27)$$

By setting $[V_C]$ as $[0]$ in Equation (20), the noise current vectors are derived as follows.

$$\begin{bmatrix} -[I_A] \\ -[I_B] \\ [I_C] \end{bmatrix} = \begin{bmatrix} [Y_{AA}] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] \end{bmatrix} \times \begin{bmatrix} [V_A] \\ [V_B] \\ [0] \end{bmatrix} \quad (28)$$

$$\begin{bmatrix} -[I_A] \\ -[I_B] \\ [I_C] \end{bmatrix} = \begin{bmatrix} [Y_{AA}] & [Y_{AB}] \\ [Y_{BA}] & [Y_{BB}] \\ [Y_{CA}] & [Y_{CB}] \end{bmatrix} \times \begin{bmatrix} [V_A] \\ [V_B] \end{bmatrix} \quad (29)$$

As described in this clause, using the black box model, the noise voltages and the noise currents of an application board can be obtained by simple matrix calculations.

Annex A (informative)

Nodal equation

A.1 Purpose

This annex is intended to review the fundamentals of the nodal equation. The annex gives proof of Equation (1) that represents characteristics of a PDN using only its external nodes; i.e. external terminals and internal terminals.

A.2 Review

Consider a passive distribution network with $(n + 1)$ nodes. The 0 node is the reference node. For each node, the following equation is derived from Kirchhoff's first law.

$$I_i = \sum_{j \neq i} y_{ij} \times (V_i - V_j) \quad (\text{A.1})$$

$$I_i = \sum_{j \neq i} y_{ij} \times V_i - \sum_{j \neq i} y_{ij} \times V_j \quad (\text{A.2})$$

Here, V_i and I_i are the voltage and the current flowing into the node i , respectively. y_{ij} is the admittance of the element that is located between node i and node j .

Using an admittance matrix, Equation (A.2) can be rewritten as a nodal equation as follows.

$$\begin{bmatrix} \sum_{j \neq 0} y_{0,j} & -y_{0,1} & \cdot & -y_{0,i-1} & -y_{0,i} & -y_{0,i+1} & \cdot & -y_{0,n-1} & -y_{0,n} \\ -y_{1,0} & \sum_{j \neq 1} y_{1,j} & \cdot & -y_{1,i-1} & -y_{1,i} & -y_{1,i+1} & \cdot & -y_{1,n-1} & -y_{1,n} \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ -y_{i-1,0} & -y_{i-1,1} & \cdot & \sum_{j \neq i-1} y_{i-1,j} & -y_{i-1,i} & -y_{i-1,i+1} & \cdot & -y_{i-1,n-1} & -y_{i-1,n} \\ -y_{i,0} & -y_{i,1} & \cdot & -y_{i,i-1} & \sum_{j \neq i} y_{i,j} & -y_{i,i+1} & \cdot & -y_{i,n-1} & -y_{i,n} \\ -y_{i+1,0} & -y_{i+1,1} & \cdot & -y_{i+1,i-1} & -y_{i+1,i} & \sum_{j \neq i+1} y_{i+1,j} & \cdot & -y_{i+1,n-1} & -y_{i+1,n} \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ -y_{n-1,0} & -y_{n-1,1} & \cdot & -y_{n-1,i-1} & -y_{n-1,i} & -y_{n-1,i+1} & \cdot & \sum_{j \neq n-1} y_{n-1,j} & -y_{n-1,n} \\ -y_{n,0} & -y_{n,1} & \cdot & -y_{n,i-1} & -y_{n,i} & -y_{n,i+1} & \cdot & -y_{n,n-1} & \sum_{j \neq n} y_{n,j} \end{bmatrix} \begin{bmatrix} V_0 \\ V_1 \\ \cdot \\ V_{i-1} \\ V_i \\ V_{i+1} \\ \cdot \\ V_{n-1} \\ V_n \end{bmatrix} = \begin{bmatrix} I_0 \\ I_1 \\ \cdot \\ I_{i-1} \\ I_i \\ I_{i+1} \\ \cdot \\ I_{n-1} \\ I_n \end{bmatrix} \quad (\text{A.3})$$

The value of each diagonal element is the summation of admittances of passive elements that are connected to the corresponding node. The matrix is symmetrical because $y_{ij} = y_{ji}$.

In Equation (A.3) the summation of all elements in each column or each row becomes zero. Namely this matrix is singular. Therefore we usually use the partial matrix and the partial

vector except the reference node. With these relations, we can generate a matrix including the reference node from the partial matrix excluding the reference node.

A.3 Proof of Equation (1)

Consider the PDN that consists of n -nodes. And m -nodes are external nodes and n minus m nodes are internal nodes. Then, Equation (A.3) can be written as follows.

$$\begin{bmatrix} Y_{11} & \cdot & Y_{1m} & Y_{1m+1} & \cdot & Y_{1n} \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ Y_{m1} & \cdot & Y_{mm} & Y_{mm+1} & \cdot & Y_{mn} \\ Y_{m+11} & \cdot & Y_{m+1m} & Y_{m+1m+1} & \cdot & Y_{m+1n} \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ Y_{n1} & \cdot & Y_{nm} & Y_{nm+1} & \cdot & Y_{nn} \end{bmatrix} \cdot \begin{bmatrix} V_1 \\ \cdot \\ V_m \\ V_{m+1} \\ \cdot \\ V_n \end{bmatrix} = \begin{bmatrix} I_1 \\ \cdot \\ I_m \\ I_{m+1} \\ \cdot \\ I_n \end{bmatrix} \quad (\text{A.4})$$

$$\begin{bmatrix} [Y_{EE}] & [Y_{EI}] \\ [Y_{IE}] & [Y_{II}] \end{bmatrix} \times \begin{bmatrix} [V_E] \\ [V_I] \end{bmatrix} = \begin{bmatrix} [I_E] \\ [I_I] \end{bmatrix} \quad (\text{A.5})$$

where,

$[Y_{EE}]$ is the regular admittance matrix that represents interactions between external nodes;

$[Y_{EI}]$ is the matrix that represents admittances between external and internal nodes;

$[Y_{IE}]$ is the matrix that represents admittances between internal and external nodes;

$[Y_{II}]$ is the regular matrix that represents admittances between internal nodes;

$[V_E]$ is the vector that represents voltages of external nodes;

$[V_I]$ is the vector that represents voltages of internal nodes;

$[I_E]$ is the vector that represents currents of external nodes; and

$[I_I]$ is the vector that represents currents of internal nodes.

Equation (A.5) can be expanded into following two equations.

$$[Y_{EE}] \times [V_E] + [Y_{EI}] \times [V_I] = [I_E] \quad (\text{A.6})$$

$$[Y_{IE}] \times [V_E] + [Y_{II}] \times [V_I] = [I_I] \quad (\text{A.7})$$

Note that $[I_I]$ is $[0]$, because the outside environment cannot access internal nodes. From Equation (A.7), $[V_I]$ is obtained as follows.

$$[V_I] = [Y_{II}]^{-1} \times [Y_{IE}] \times [V_E] \quad (\text{A.8})$$

By substituting Equation (A.8) into Equation (A.6), $[V_I]$ can be eliminated.

$$([Y_{EE}] + [Y_{IE}] \times [Y_{II}]^{-1} \times [Y_{IE}]) \times [V_E] = [I_E] \quad (\text{A.9})$$

The coefficient of $[V_E]$ is an admittance matrix that is represented only by external nodes.

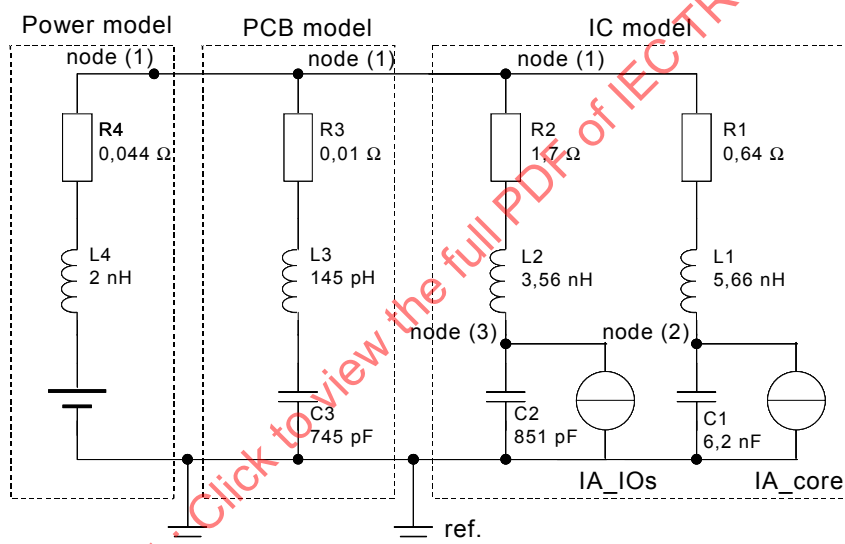
Annex B (informative)

Example of black box modelling

B.1 Objective

This annex gives an example of black box modelling and its application taking an example of ICEM-CE model.

A diagram of the ICEM-CE model that includes the IC, PCB, and power source models is given in Figure A.1. The IC model has two IAs, an IA for core activity and an IA for I/O activity. And the IC model has one external terminal (node (1)), and two internal terminals (node (2), (3)). The IC is operated under a 10 MHz clock, and the operational mode needs four machine cycles. Therefore, the cycle time of the operation is 400 ns. The Waveforms of the IAs over the operational cycle time are given in Figure B.1b).



IEC 2286/10

Figure B.1a) – Circuit diagram

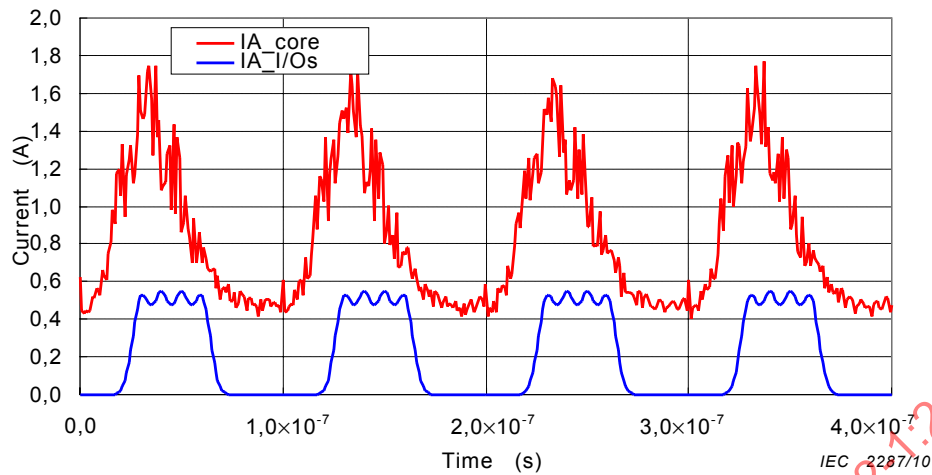


Figure B.1b) – Waveforms of internal activities

Figure B.1 – The ICEM-CE model

B.2 Black box modelling

B.2.1 Equivalent PDN

Equation (2) for the IC model becomes as Equation (B.1).

$$\begin{bmatrix} (R_1 + j\omega L_1)^{-1} + (R_2 + j\omega L_2)^{-1} & -(R_1 + j\omega L_1)^{-1} & -(R_2 + j\omega L_2)^{-1} \\ -(R_1 + j\omega L_1)^{-1} & (R_1 + j\omega L_1)^{-1} + j\omega C_1 & 0 \\ -(R_2 + j\omega L_2)^{-1} & 0 & (R_2 + j\omega L_2)^{-1} + j\omega C_2 \end{bmatrix} \times \begin{bmatrix} V_1 \\ V_2 \\ V_3 \end{bmatrix} = \begin{bmatrix} I_1 \\ I_{A_{core}} \\ I_{A_{I/Os}} \end{bmatrix} \quad (B.1)$$

The admittance matrix of Equation (B.1) can be compacted using Equation (2). As a result, the admittance matrix, voltage vector and current vector become simple complex numbers as shown below.

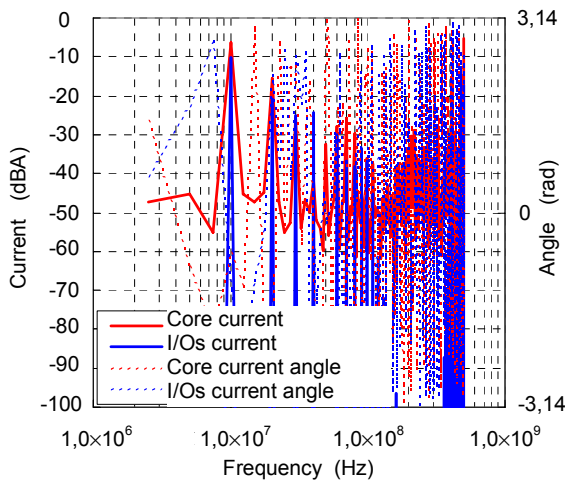
$$Y'_{ETET} \times V_1 = I_1 + IA' \quad (B.2)$$

$$Y'_{ETET} \equiv [Y_{ETET}] - [Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times [Y_{ITET}] \quad (B.3)$$

B.2.2 Equivalent IA

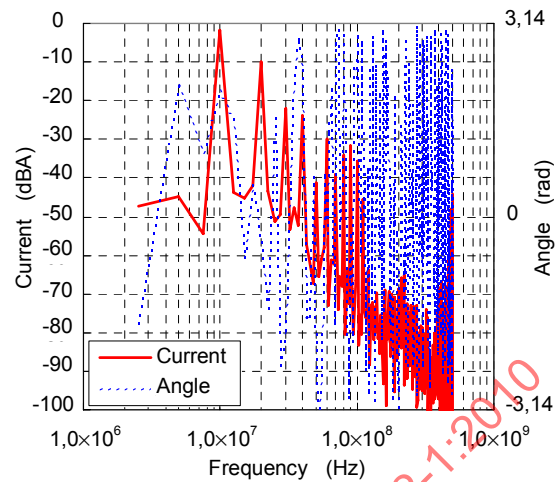
According to Equation (8), the equivalent IA can be obtained using the following equation. IA_{core} and $IA_{I/Os}$ can be derived from waveforms using Fourier transformation.

$$IA' = -[Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times \begin{bmatrix} IA_{core} \\ IA_{I/Os} \end{bmatrix} \quad (B.4)$$



IEC 2288/10

Figure B.2a) – IA_core and IA_I/Os



IEC 2289/10

Figure B.2b) – Equivalent IA

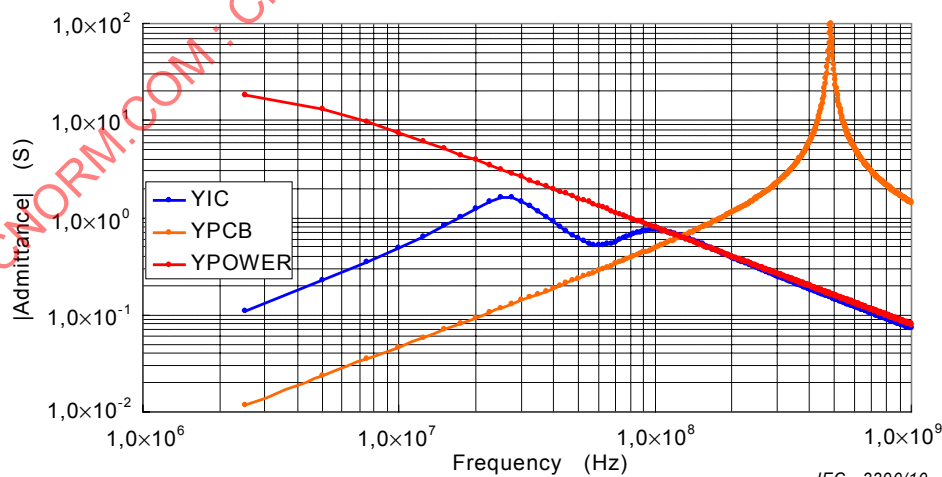
Figure B.2 – Spectrum of equivalent IA

B.3 Noise voltage and noise current

The PCB and power source models are given in Equation (B.5) and (B.6), respectively. Figure B.3 shows the calculated admittance of the IC, PCB and power source.

$$Y_{PCB} = \left(0,01 + j\omega \times 145E-12 + \frac{1}{j\omega \times 745E-12} \right)^{-1} \quad (B.5)$$

$$Y_{Power} = (0,044 + j\omega \times 2E-9)^{-1} \quad (B.6)$$



IEC 2290/10

Figure B.3 – Calculated admittances

The noise voltage and noise current of node (1) can be calculated using the following equations. Figure B.4 shows the results.

$$V_1 = (Y'_{ETET} + Y_{PCB} + Y_{Power})^{-1} \times I_A' \quad (B.7)$$

$$I_{\text{PCB}} + I_{\text{Power}} = (Y_{\text{PCB}} + Y_{\text{Power}}) \times V_1 \quad (\text{B.8})$$

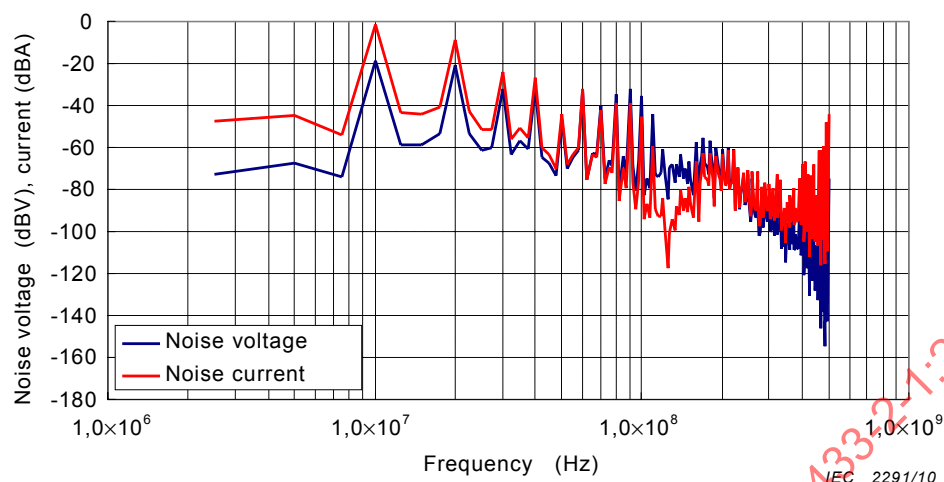


Figure B.4 – Noise voltage and noise current

IECNORM.COM : Click to view the full PDF of IEC TR 62433-2-1:2010

Bibliography

IEC 61967 (all parts), *Integrated Circuits – Measurement of electromagnetic emissions*

IEC 62014-1, *Electronic design automation libraries – Part 1: Input/output buffer information specifications (IBIS version 3.2)*

IEC/TS 62433-1, *EMC IC modelling – Part 1: General modelling framework*¹

IEC/TS 62404, *Logic digital integrated circuits – Specification for I/O Interface Model for Integrated Circuit (IMIC version 1.3)*

IECNORM.COM : Click to view the full PDF of IEC TR 62433-2-1:2010

¹ To be published.

IECNORM.COM : Click to view the full PDF of IEC TR 62433-2-1:2010

SOMMAIRE

AVANT-PROPOS.....	32
1 Domaine d'application	34
2 Circuit intégré et carte de modélisation.....	34
3 Hypothèses	36
3.1 ICEM-CE	36
3.2 Boîte noire	38
4 Modélisation	38
4.1 Bornes et objectifs.....	38
4.2 Matrice d'admittance	39
4.3 Compactage de matrice.....	40
4.4 Structure du modèle de la boîte noire	41
5 Extractions de paramètres.....	43
5.1 Généralités.....	43
5.2 Activités internes équivalentes	43
5.3 Réseau de distribution passif équivalent.....	45
5.4 Méthode d'extraction des paramètres par terminaison à impédance limitée	46
5.5 Modèle de la boîte noire incluant la borne de référence.....	47
6 Mise en œuvre	47
6.1 Généralités.....	47
6.2 Configuration de la carte d'application.....	48
6.3 Mise en œuvre des modèles de boîte noire	50
6.4 Solutions pour les tensions et les courants de bruit	50
Annexe A (informative) Équation nodale.....	52
Annexe B (informative) Exemple de modèle de boîte noire	55
Bibliographie.....	59
Figure 1 – Circuit intégré et sa carte de modélisation.....	35
Figure 2 – Structure de base d'un modèle ICEM-CE pour le circuit intégré.....	36
Figure 3 – Circuit intégré et sa carte de modélisation par ICEM-CE	37
Figure 4 – Structure du modèle ICEM-CE pour le modèle de la boîte noire d'un circuit intégré	39
Figure 5 – Structure de modèle de boîte noire d'un circuit intégré.....	42
Figure 6 – Description d'un modèle de boîte noire d'un circuit intégré avec des éléments de circuit.....	43
Figure 7 – Montage pour l'extraction des IA équivalentes.....	44
Figure 8 – Définition de la phase	45
Figure 9 – Montage pour l'extraction d'un PDN équivalent	46
Figure 10 – Montage pour l'extraction des IA et d'un PDN équivalents	46
Figure 11 – Configuration de la carte d'application.....	48
Figure 12 – Montage pour la simulation de la carte d'application.....	49
Figure B.1 – Le modèle ICEM-CE	56
Figure B.2 – Spectre d'une IA équivalente	57
Figure B.3 – Admittances calculées	57

Figure B.4 – Tension de bruit et courant de bruit	58
---	----

IECNORM.COM : Click to view the full PDF of IEC TR 62433-2-1:2010

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

MODÈLES DE CIRCUITS INTÉGRÉS CEM –

Partie 2-1: Théorie du modèle de la boîte noire pour les émissions conduites

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La tâche principale des comités d'étude de la CEI consiste à préparer des normes internationales. Toutefois, un comité d'étude peut proposer la publication d'un rapport technique lorsqu'il a rassemblé des données dont le type est différent de celui des données qui sont normalement publiées comme une norme internationale, par exemple "état de la technique".

La CEI 62433-2-1, qui est un rapport technique, a été préparée par le sous-comité 47A: circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte du présent rapport technique est issu des documents suivants:

Projet d'enquête	Rapport de vote
47A/826A/DTR	47A/834/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation du présent rapport technique.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Une liste de toutes les parties de la série IEC 62433, sous le titre général *Modèles de circuits intégrés CEM* peut être consulté sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

MODÈLES DE CIRCUITS INTÉGRÉS CEM –

Partie 2-1: Théorie du modèle de la boîte noire pour les émissions conduites

1 Domaine d'application

La présente partie de la CEI 62433-2-1 couvre le modèle de la boîte noire qui permet de créer un modèle d'émissions conduites très simple et très rapide et peut offrir une protection complète des informations propriétaires des fabricants de circuits intégrés.

Ce rapport technique est destiné à fournir un support théorique sur le modèle de la boîte noire pour les émissions conduites des circuits intégrés.

2 Circuit intégré et carte de modélisation

La Figure 1 représente un circuit intégré et une carte de modélisation. Le circuit intégré est doté de broches d'alimentation/mise à la terre, de broches d'entrée et de broches de sortie. Un circuit intégré doit généralement posséder différentes connexions d'alimentation, notamment pour alimenter les circuits analogiques, les circuits d'entrées/sorties et les circuits des noyaux numériques. Chacune de ces alimentations peut comporter plusieurs broches.

Un circuit intégré ne peut pas s'activer seul. Pour être correctement activé, un circuit intégré doit être raccordé à des alimentations, à un ensemble de signaux d'entrée ou à un vecteur de signal d'entrée et à des charges appropriées pour les broches de sortie.

La carte de modélisation est utilisée pour satisfaire à ces exigences. La carte de modélisation couvre les exigences minimales pour l'activation. Elle délivre l'alimentation et les signaux d'entrée au circuit intégré, et elle fournit les charges typiques pour les broches de sortie. En outre, les broches d'alimentation/mise à la terre d'une même catégorie sont connectées ensemble dans la carte de modélisation. On a ainsi une seule broche pour chaque catégorie d'alimentation/mise à la terre au niveau de l'interface de la carte de modélisation.

La carte sert également à extraire les paramètres de modélisation du circuit intégré. La modélisation du circuit intégré inclut la carte. La relation entre la modélisation d'un circuit intégré et la carte de modélisation est la même que la relation entre les données mesurées et la carte de mesure qui affecte les données de mesure. Il convient donc que la carte de modélisation soit aussi simple et générale que possible.

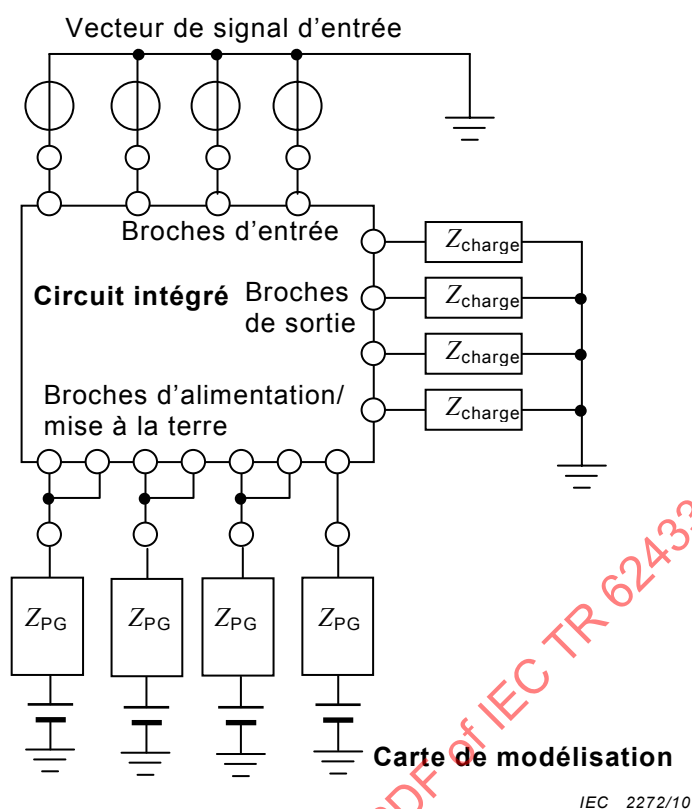


Figure 1a) – Structure entière

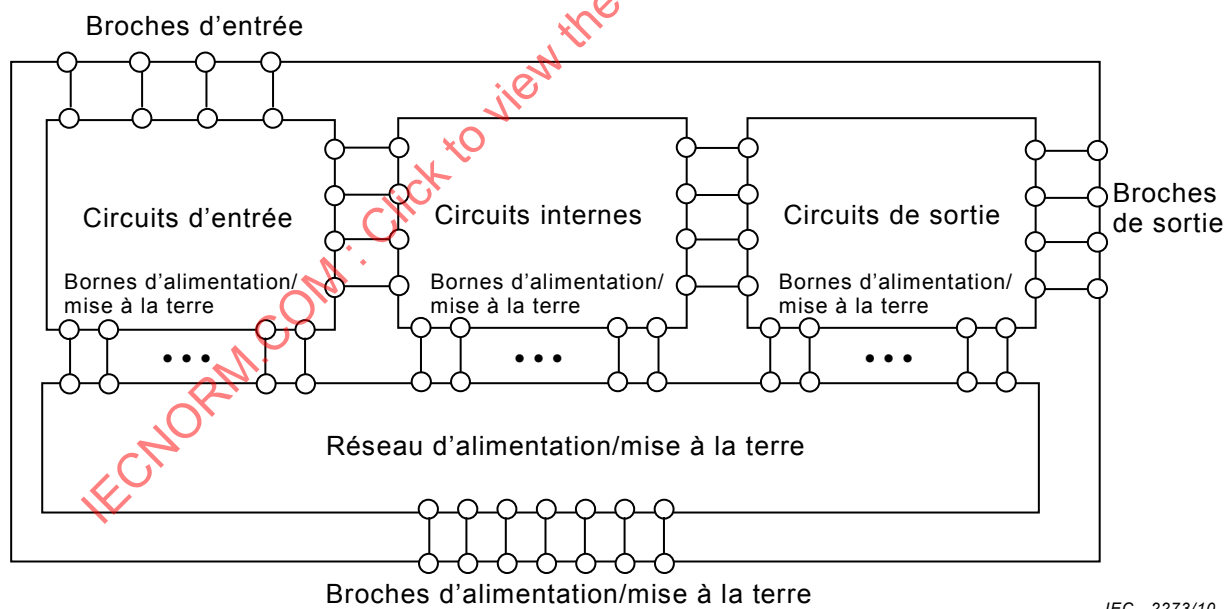


Figure 1b) – Structure de la partie circuit intégré

Figure 1 – Circuit intégré et sa carte de modélisation

3 Hypothèses

3.1 ICEM-CE

L'ICEM-CE est un modèle macro qui donne une approximation du comportement des émissions conduites d'un circuit intégré utilisant deux types de composants, les activités internes (IA)¹ et le réseau de distribution passif (PDN)² comme cela est représenté à la Figure 2. Ces deux types de composants sont connectés par des bornes internes (IT)³.

Les IA représentent des sources de bruit qui proviennent de la commutation des dispositifs actifs situés à l'intérieur du circuit intégré. Le PDN représente les caractéristiques de propagation du bruit des bornes internes vers les bornes externes (ET)⁴.

Le modèle de la boîte noire pour les ICEM-CE est basée sur ce modèle ICEM-CE.

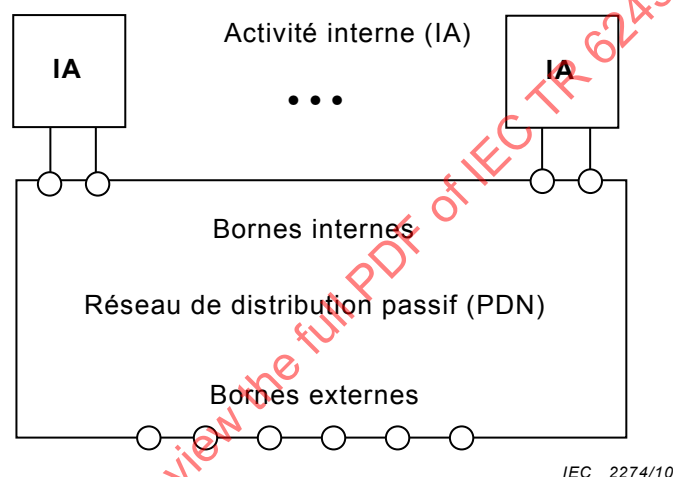


Figure 2 – Structure de base d'un modèle ICEM-CE pour le circuit intégré

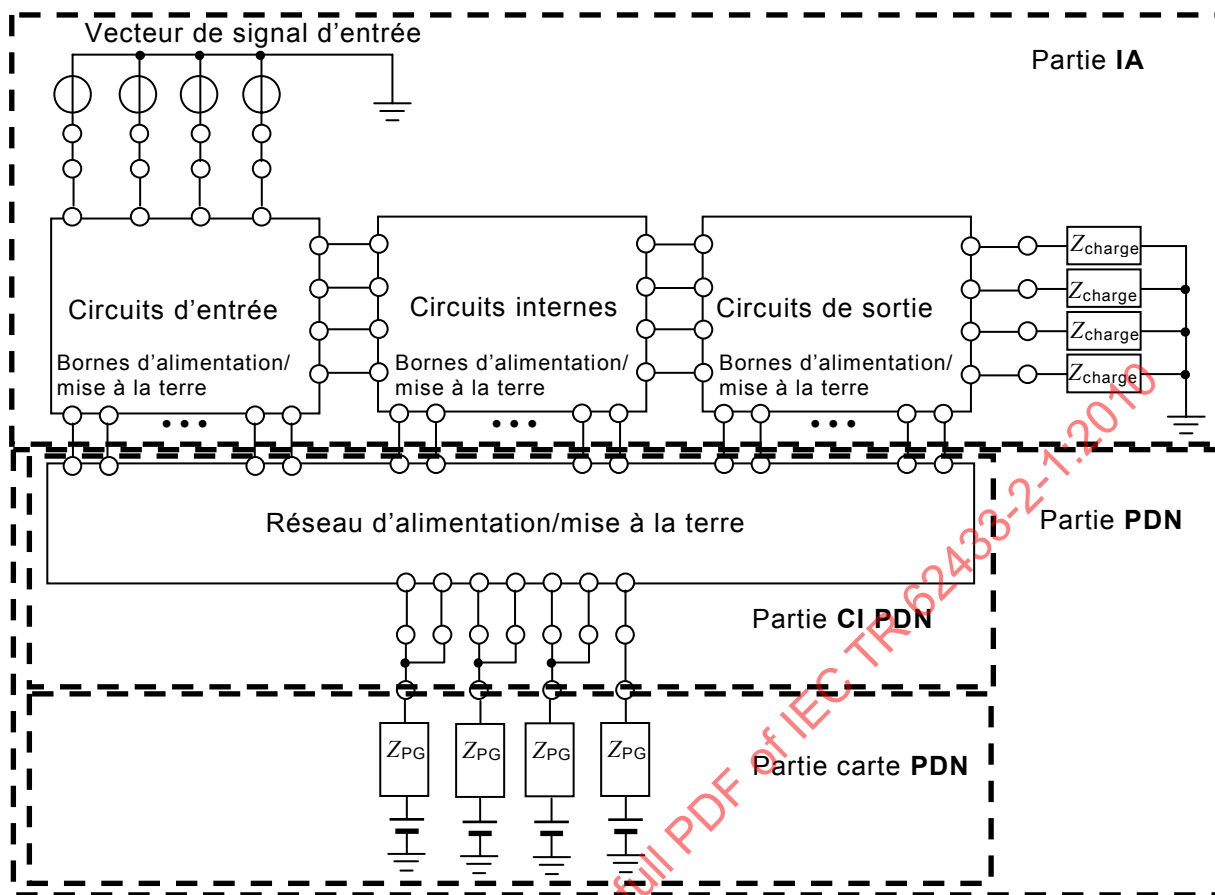
La Figure 3 présente la façon de créer un modèle ICEM-CE pour l'exemple d'un circuit intégré et sa carte de modélisation représentée à la Figure 1. La Figure 3a) représente l'affectation des IA et PDN. La partie IA inclut des générateurs de vecteurs d'entrée et des charges de sortie sur la carte de modélisation. La partie PDN est constituée de la partie PDN du circuit intégré et de la partie PDN de la carte. La partie PDN du circuit intégré est constituée du réseau alimentation/mise à la terre de la puce et du boîtier du circuit intégré. La Figure 3b) représente la structure ICEM-CE du circuit intégré et de sa carte de modélisation avec des IA et des PDN.

¹ IA = *internal activity*.

² DN = *passive distribution network*.

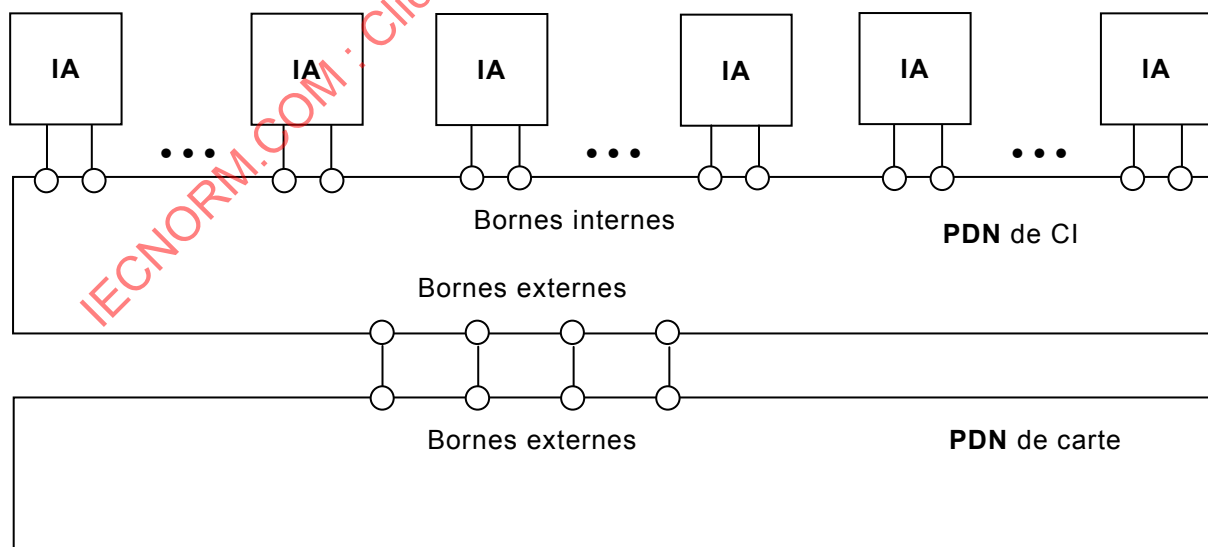
³ IT = *internal terminals*.

⁴ ET = *external terminals*.



IEC 2275/10

Figure 3a) – Affection des IA et PDN



IEC 2276/10

Figure 3b) – Structure des IA et PDN

Figure 3 – Circuit intégré et sa carte de modélisation par ICEM-CE

3.2 Boîte noire

Dans le modèle de la boîte noire, le PDN est décrit en utilisant une matrice numérique. Pour le représenter par une matrice, on suppose que le PDN est un circuit linéaire. Bien que les PDN soient souvent non linéaires, le fait de considérer qu'ils soient linéaires est généralement valide parce que les tensions de bruit sont assez petites par rapport aux tensions d'alimentation du PDN.

Les éléments de la matrice dépendent de la fréquence du bruit. Il convient donc de décrire le PDN et les IA dans le domaine fréquentiel et il convient de donner les IA et le PDN pour chaque fréquence concernée.

Le PDN peut être représenté par une matrice d'impédance ou par une matrice d'admittance. Le présent rapport technique utilise une matrice d'admittance car l'admittance convient mieux que l'impédance pour associer d'autres modèles au modèle de boîte noire.

4 Modélisation

4.1 Bornes et objectifs

Comme le représentent la Figure 1 et la Figure 3, un vecteur de signal d'entrée est appliqué au circuit intégré par des bornes d'entrée. Le vecteur de signal active le circuit intégré et les IA se trouvent à l'intérieur du circuit intégré. Les tensions et les courants des bornes d'entrée sont donc des conditions pour la modélisation. Les tensions et les courants de bruit présents au niveau des bornes d'entrée ne font pas partie des objectifs de la modélisation.

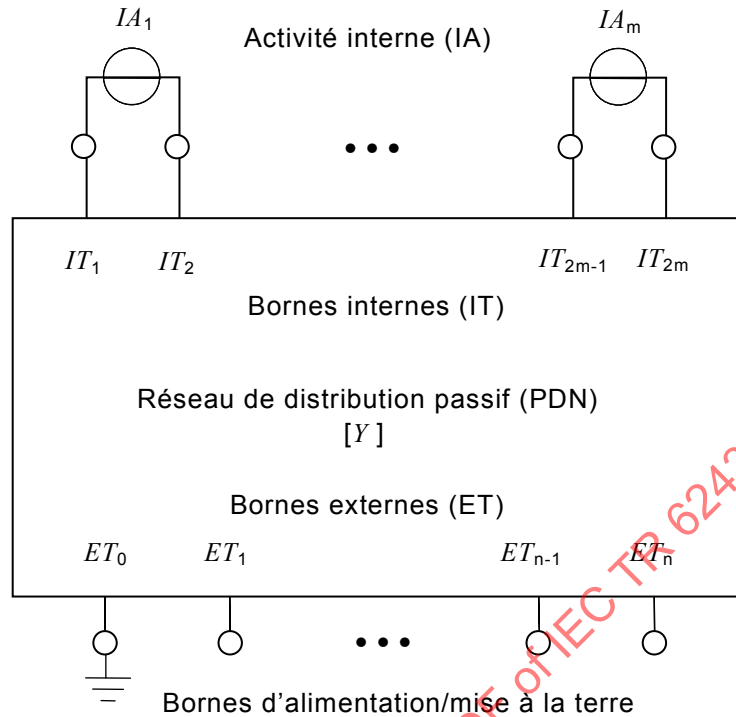
Pour les broches de sortie du circuit intégré, la carte de modélisation fournit les charges typiques. Ces charges génèrent des IA au niveau des circuits de sortie du circuit intégré et on voit donc apparaître des tensions et des courants de bruit au niveau des bornes d'alimentation/mise à la terre. Cet effet est inclut dans le modèle de la boîte noire. Les bornes de sortie sont également une source d'émissions conduites, mais le modèle de la boîte noire donné dans ce rapport technique ne peut pas traiter ces émissions, parce que les caractéristiques des circuits de sortie ne sont pas linéaires. Pour simuler des émissions conduites à travers des bornes de sortie, un autre modèle de boîte noire tel que l'IMIC ou l'IBIS doit être combiné à ce modèle de boîte noire.

Les utilisateurs ne peuvent pas manipuler les bornes internes, représentées à la Figure 2, qui connectent les IA au PDN. Par conséquent, les tensions et les courants de bruit des bornes internes ne font pas partie des objectifs du modèle de la boîte noire. Mais dans le cadre de la première étape de cette étude, ces bornes doivent être utilisées pour la modélisation, parce qu'elles fournissent les sources de bruit du PDN. Elles sont particulièrement nécessaires quand un modèle est construit à partir de données de conception.

Il en résulte que le modèle de la boîte noire a pour objectif de fournir des modèles qui peuvent être utilisés pour le calcul numérique des émissions conduites à travers des bornes d'alimentation/mise à la terre d'un circuit intégré, ce qui peut être appliqué à une carte d'application.

La structure du modèle ICEM-CE pour le modèle de la boîte noire est représentée à la Figure 4. Les IA sont exprimés par des sources de courant et le PDN est donné comme une matrice d'admittance.

Les tensions de bruit des bornes d'alimentation/mise à la terre sont définies par rapport à une borne de mise à la terre de référence (ET0) qui est directement reliée au plan de référence de la carte de modélisation. Les autres bornes d'alimentation/mise à la terre du PDN sont appelées ETx. La valeur de n est le nombre de bornes d'alimentation/mise à la terre moins 1. Le nombre de IA est m . Il y a donc $2m$ bornes internes et ces bornes sont appelées ITx comme cela est représenté à la Figure 4.



IEC 2277/10

Figure 4 – Structure du modèle ICEM-CE pour le modèle de la boîte noire d'un circuit intégré

4.2 Matrice d'admittance

On suppose que le PDN de la Figure 4 est un circuit linéaire. Le PDN peut donc être exprimé en utilisant une matrice d'admittance basée sur la méthode d'analyse nodale. L'équation qui exprime le circuit intégré, représenté à la Figure 4, est donnée ci-dessous.

$$\begin{bmatrix} Y_{ET1 ET1} & \dots & Y_{ET1 ETn} & Y_{ET1 IT1} & \dots & Y_{ET1 IT2m} \\ \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ Y_{ETn ET1} & \dots & Y_{ETn ETn} & Y_{ETn IT1} & \dots & Y_{ETn IT2m} \\ Y_{IT1 ET1} & \dots & Y_{IT1 ETn} & Y_{IT1 IT1} & \dots & Y_{IT1 IT2m} \\ \vdots & \ddots & \vdots & \vdots & \ddots & \vdots \\ Y_{IT2m ET1} & \dots & Y_{IT2m ETn} & Y_{IT2m IT1} & \dots & Y_{IT2m IT2m} \end{bmatrix} \cdot \begin{bmatrix} V_{ET1} \\ \vdots \\ V_{ETn} \\ V_{IT1} \\ \vdots \\ V_{IT2m} \end{bmatrix} = \begin{bmatrix} I_{ET1} \\ \vdots \\ I_{ETn} \\ I_{IT1} \\ \vdots \\ I_{IT2m} \end{bmatrix} \quad (1)$$

Ici, V_{ETx} et I_{ETx} représentent la tension de bruit et le courant de bruit d'ETx, respectivement. V_{ITx} et I_{ITx} représentent la tension de bruit et le courant de bruit d'ITx, respectivement.

NOTE L'équation 1 décrit le PDN sans utiliser les variables des tensions et des courants pour les nœuds internes, qui connectent les éléments passifs constituant le PDN. L'Annexe 1 donne les preuves de l'équation.

La matrice d'admittance est régulière et sa dimension est $(n+2m, n+2m)$. À des fins de simplicité, l'Équation (1) est représentée en utilisant des sous-matrices et des vecteurs comme suit. Dans cette équation, les IA remplacent les courants des bornes internes.

$$\begin{bmatrix} [Y_{ETET}] & [Y_{ETIT}] \\ [Y_{ITET}] & [Y_{ITIT}] \end{bmatrix} \times \begin{bmatrix} [V_{ET}] \\ [V_{IT}] \end{bmatrix} = \begin{bmatrix} [I_{ET}] \\ [I_{IT}] \end{bmatrix} \quad (2)$$

où,

$[Y_{ETET}]$ est la sous-matrice d'admittance régulière qui représente les interactions entre les ET;

$[Y_{ETIT}]$ est la sous-matrice d'admittance qui représente les interactions entre les ET et les IT;

$[Y_{ITET}]$ est la sous-matrice d'admittance qui représente les interactions entre les IT et les ET;

$[Y_{ITIT}]$ est la sous-matrice d'admittance régulière qui représente les interactions entre les IT;

$[V_{ET}]$ est le vecteur de tension qui représente des tensions de bruit des ET;

$[V_{IT}]$ est le vecteur de tension qui représente des tensions de bruit des IT;

$[I_{ET}]$ est le vecteur de courant qui représente des courants de bruit des ET; et

$[I_{IT}]$ est le vecteur de courant qui représente des courants de bruit des IT.

$[I_{IT}]$ est déterminé comme suit.

$$[I_{IT}] = [I] \equiv \begin{bmatrix} IA_1 \\ -IA_1 \\ \vdots \\ IA_m \\ -IA_m \end{bmatrix} \quad (3)$$

4.3 Compactage de matrice

$[V_{IT}]$ est éliminé de l'équation (2), comme suit.

L'Équation (2) peut être écrite sous la forme des deux équations suivantes, en combinant l'Équation (3).

$$[Y_{ETET}] \times [V_{ET}] + [Y_{ETIT}] \times [V_{IT}] = [I_{ET}] \quad (4)$$

$$[Y_{ITET}] \times [V_{ET}] + [Y_{ITIT}] \times [V_{IT}] = [I] \quad (5)$$

À partir de l'équation (5), $[V_{IT}]$ est obtenu comme suit.

$$[V_{IT}] = [Y_{ITIT}]^{-1} \times ([I] - [Y_{ITET}] \times [V_{ET}]) \quad (6)$$

En remplaçant l'Équation (6) par l'Équation (4), $[V_{IT}]$ peut être éliminé de l'Équation (4).

$$([Y_{ETET}] - [Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times [Y_{ITET}]) \times [V_{ET}] = [I_{ET}] - [Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times [I] \quad (7)$$

Le coefficient de $[V_{ET}]$ est une matrice d'admittance de dimension (n x n). Et le terme de droite de l'égalité est un vecteur de courant de dimension n. La dimension de $[I']$ est n, et la dimension de $[Y'_{ETET}]$ est (n x n). Ainsi, $[I']$ et $[Y'_{ETET}]$ peuvent être définis comme suit.

$$[L'] \equiv -[Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times [L] \quad (8)$$

$$[Y'_{ETET}] \equiv [Y_{ETET}] - [Y_{ETIT}] \times [Y_{ITIT}]^{-1} \times [Y_{ITET}] \quad (9)$$

On peut alors simplifier l'Équation (7) comme suit.

$$[Y'_{ETET}] \times [V_{ET}] = [I_{ET}] + [L'] \quad (10)$$

4.4 Structure du modèle de la boîte noire

Dans les Équations (8) et (9), $[L']$ et $[Y'_{ETET}]$ sont constants. On appelle $[L']$ et $[Y'_{ETET}]$ "activités internes équivalentes" (IA équivalentes) et "réseau de distribution passif équivalent" (PDN équivalent), respectivement.

L'Équation (10) signifie que la structure du modèle de boîte noire est composée d'un PDN équivalent et de IA équivalentes comme cela est illustré par la zone pointillée de la Figure 5.

Par rapport à la Figure 4, les IA au niveau des bornes internes sont modifiées et transférées aux positions parallèles aux bornes externes. Et le PDN est modifié et simplifié.

IECNORM.COM : Click to view the full PDF of IEC TR 62433-2-1:2010

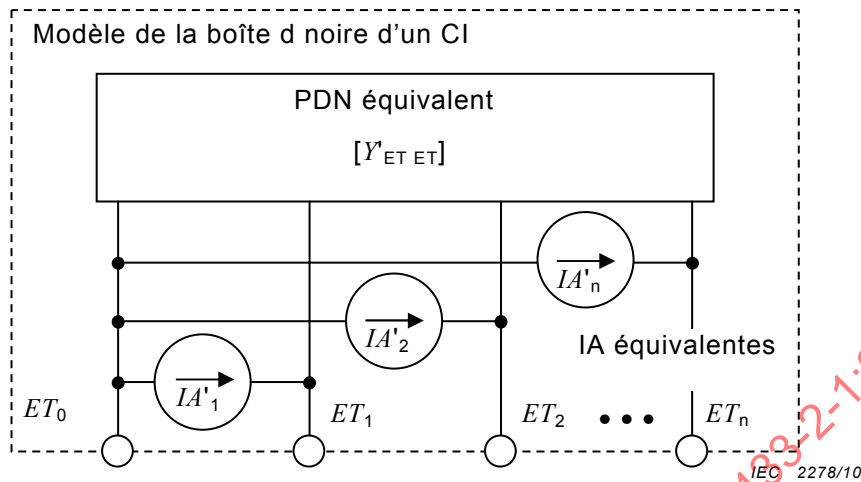
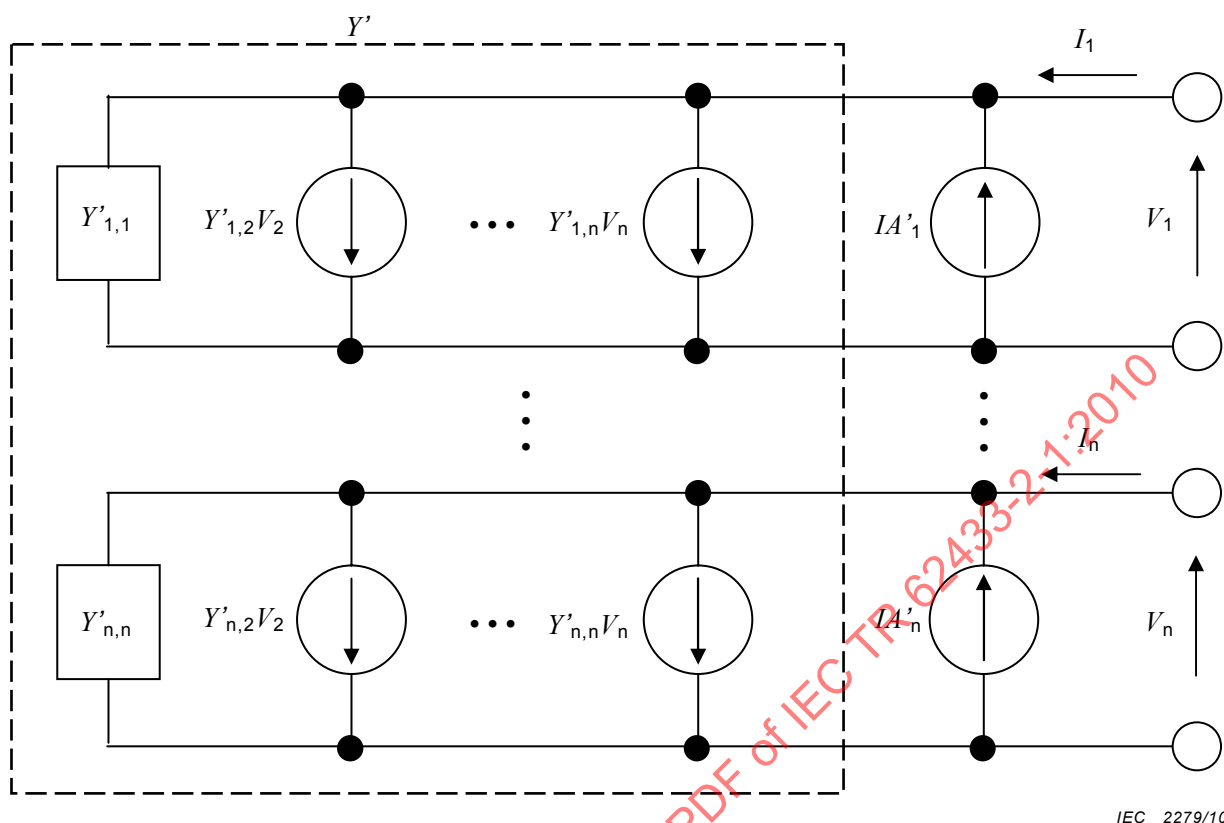


Figure 5 – Structure de modèle de boîte noire d'un circuit intégré

La structure du modèle de boîte noire d'un circuit intégré, comme cela est représenté à la Figure 5, est un modèle utilisant l'expression ayant les $(n+1)$ bornes externes incluant la borne de référence, où le nombre de tensions de bornes indépendantes est n . L'Équation (10) est l'expression de la matrice Y qui détermine les n tensions des bornes externes à l'exception de la référence comme des variables indépendantes, et c'est le circuit à n ports qui a la borne de référence comme borne négative commune et les autres bornes comme bornes positives. Un circuit à n ports d'un modèle de boîte noire est exprimé avec des éléments de circuit comme cela est représenté à la Figure 6. Il est constitué de la connexion parallèle d'éléments passifs ayant l'admittance des éléments de la diagonale de la matrice Y , de sources de courant commandées en tension dont le courant est le produit de la valeur des éléments ne faisant pas partie de la diagonale et de la tension de l'autre port, et de la source de courant indépendante dont le courant est calculé à partir de l'Équation (8).

L'expression de la matrice Y de l'Équation (10) peut être convertie en une expression utilisant des matrices Z ou S obtenues facilement à l'aide des formules de conversion.



IEC 2279/10

Figure 6 – Description d'un modèle de boîte noire d'un circuit intégré avec des éléments de circuit

5 Extractions de paramètres

5.1 Généralités

Le modèle de boîte noire pour une émission conduite est constitué de deux composants, les IA équivalentes et le PDN équivalent. Pour construire un modèle de boîte noire à partir de mesures, il convient d'obtenir les éléments de ces deux composants. Cette section décrit les méthodes utilisées pour obtenir ces composants à partir des mesures.

Les IA équivalentes dépendent du mode opérationnel et des tensions d'alimentation du circuit intégré. Par conséquent, il convient d'appliquer les tensions d'alimentation typiques et le vecteur de signal d'entrée spécifique répétitif qui correspond au mode opérationnel aux bornes d'alimentation/mise à la terre et aux bornes d'entrée de la carte de modélisation pendant les mesures des IA équivalentes, respectivement.

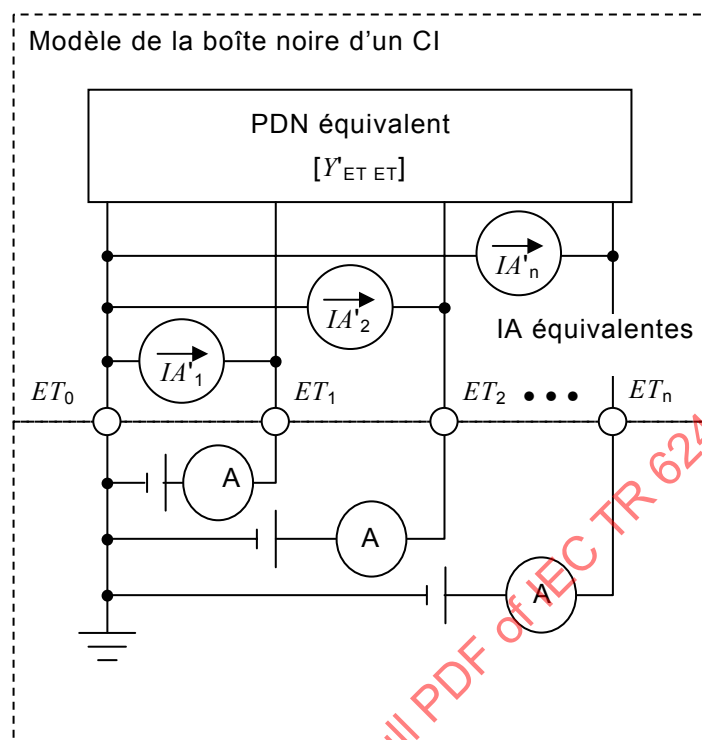
On suppose que le PDN équivalent est une fonction linéaire, mais en réalité il dépend des tensions. Par conséquent, il convient que les tensions d'alimentation typiques soient délivrées aux bornes d'alimentation/mise à la terre de la carte de modélisation pendant les mesures. Il convient d'utiliser des signaux de mesure relativement petits par rapport aux tensions d'alimentation pour garantir que les hypothèses sont valides.

5.2 Activités internes équivalentes

À partir de l'Équation (10), on peut écrire les sources de courant de bruit équivalentes sous la forme,

$$[IA'] = -[I_{ET}], \text{ quand } [V_{ET}] = [0] \quad (11)$$

Ceci signifie que les IA équivalentes peuvent être obtenues en mesurant $[I_{ET}]$ dans des conditions où toutes les bornes externes sont court-circuitées en RF à la borne de référence. La configuration du système de mesure est représentée à la Figure 7.



IEC 2280/10

Figure 7 – Montage pour l'extraction des IA équivalentes

Chaque valeur de $[I_{ET}]$ est un nombre complexe. Il convient donc de mesurer l'amplitude et la phase pour chaque élément de courant.

Une manière de procéder consiste à mesurer l'amplitude et la phase dans le domaine fréquentiel directement pour chaque borne externe pour chaque fréquence concernée. Dans cette méthode, il convient de déterminer les phases en se référant au cycle du vecteur de signal d'entrée. La définition est donnée à la Figure 8

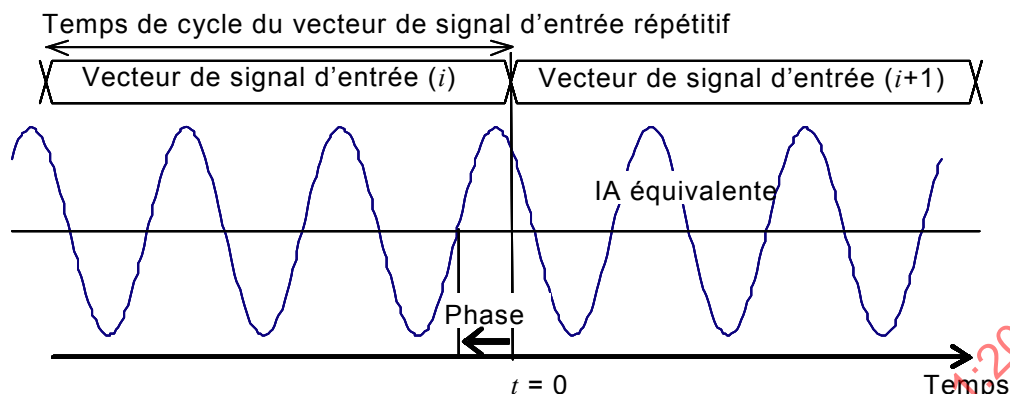


Figure 8 – Définition de la phase

IEC 2281/10

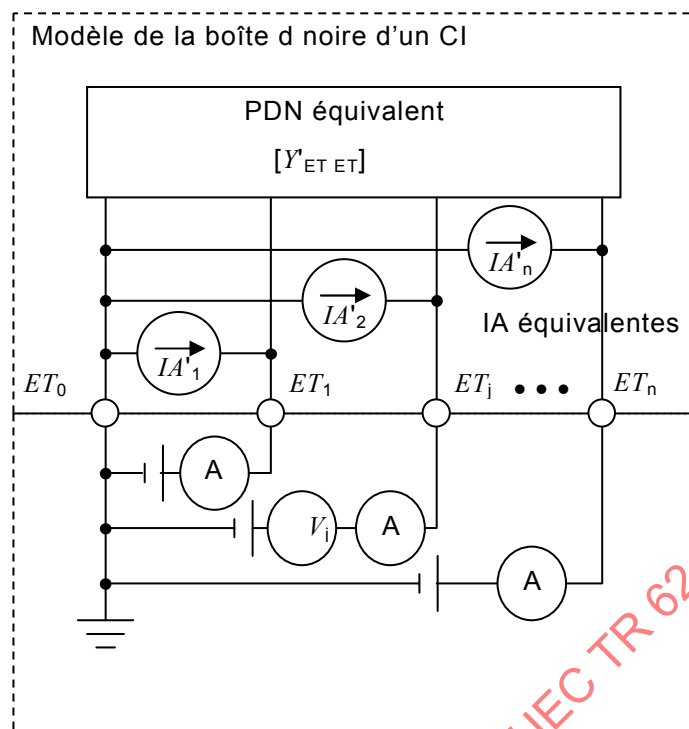
L'autre manière consiste à mesurer les formes d'onde des bornes externes dans le domaine temporel. Le temps est également déterminé en se référant au début du cycle du vecteur de signal d'entrée. Après cela, il convient de convertir les formes d'onde dans le domaine fréquentiel en utilisant une Transformée de Fourier.

5.3 Réseau de distribution passif équivalent

On connaît maintenant tous les éléments des IA équivalentes. Par conséquent, chaque élément d'un PDN équivalent peut être dérivé de l'Équation (10) comme le montre l'Équation (12).

$$Y'_{ij} = \frac{I_i + I'_i}{V_j}, \text{ pour tous les } V_{i \neq j} = 0 \quad (12)$$

Ici, I_i est le courant mesuré alors que V_j est la tension du signal donnée pour la mesure. La configuration du système de mesure pour Y'_{ij} est représentée à la Figure 9. Dans cette mesure, il convient de donner la phase de V_j et I_i en se référant au cycle du vecteur d'entrée, parce que le vecteur de signal d'entrée détermine la phase des IA.

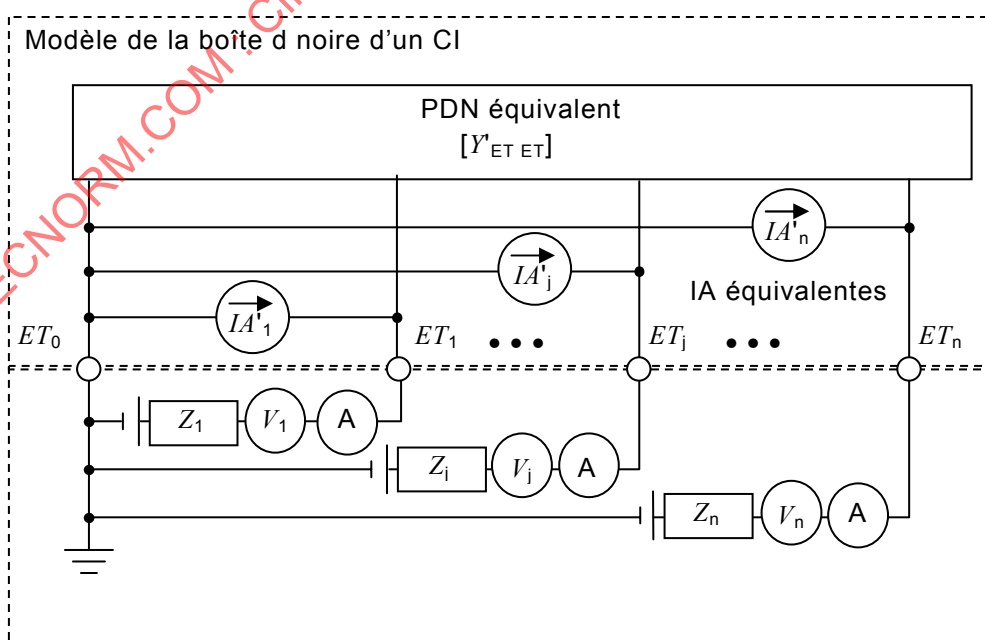


IEC 2282/10

Figure 9 – Montage pour l'extraction d'un PDN équivalent

5.4 Méthode d'extraction des paramètres par terminaison à impédance limitée

La méthode d'extraction des paramètres expliquée ci-dessus utilise des terminaisons court-circuitées en RF pour chaque port externe. En réalité, il est difficile dans certains cas de réaliser un court-circuit RF complet, en particulier pour les mesures des dispositifs réels. C'est pourquoi on décrit ici une méthode d'extraction des paramètres utilisant une terminaison à impédance limitée.



IEC 2283/10

Figure 10 – Montage pour l'extraction des IA et d'un PDN équivalents

La Figure 10 montre la structure du montage d'une terminaison à impédance limitée. Chaque borne est reliée à une alimentation en courant continu, une source de tension de bruit en courant alternatif, un ampèremètre et un élément d'impédance limitée. Le circuit de la Figure 10 a n équations indépendantes. Le nombre d'éléments de Y' est n^2 et le nombre d'éléments de IA' est n . Le nombre d'inconnus est $n(n+1)$. Les $n(n+1)$ équations sont donc nécessaires pour obtenir toutes les valeurs des éléments de Y' et de IA' . Le circuit de la Figure 10 a n équations indépendantes pour chaque excitation. Par conséquent, il suffit d'avoir $(n+1)$ modèles de sources de tension de bruit en courant alternatif indépendantes.

Pour la Figure 10, la condition sur les bornes est exprimée sous la forme ci-dessous.

$$[V_{ET}] = [Z_{PSPS}] \times [I_{ET}] + [V] \quad (13)$$

$$[I_{ET}] = [Z_{PSPS}]^{-1} \times [[V_{ET}] - [V]] = [Y_{PSPS}] \times [[V_{ET}] - [V]] \quad (14)$$

La combinaison des Équations (10) et (13) ou Équations (10) et (14) donne les équations suivantes.

$$[Y'_{ETET}] \times [[Z_{PSPS}] \times [I_{ET}] + [V]] = [I_{ET}] + [IA'] \quad (15)$$

$$[Y'_{ETET}] \times [V_{ET}] = [[Y_{PSPS}] \times [[V_{ET}] - [V]]] + [IA'] \quad (16)$$

En utilisant l'Équation (15), la combinaison entre les $(n+1)$ éléments de l'entrée $[V]$ et sa réponse $[I_{ET}]$ donne $[Y'_{ETET}]$ et $[IA']$. Et en utilisant l'Équation (16), la combinaison entre les $(n+1)$ éléments de l'entrée $[V]$ et sa réponse $[V_{ET}]$ donne $[Y'_{ETET}]$ et $[IA']$.

Pour obtenir ceci, on peut, par exemple, délivrer une source de tension en courant alternatif sur une borne externe et mettre à zéro toutes les autres sources de courant alternatif, et répéter ceci pour chaque borne externe. Il y aura également le cas où toutes les sources de courant alternatif sont à zéro. Quand on résout les équations à partir des données de mesures réelles, on peut ajouter les autres modèles d'excitation (l'excitation provenant de plusieurs ports) parce qu'en raison des erreurs de mesure, la méthode des moindres carrés permet d'optimiser les paramètres.

5.5 Modèle de la boîte noire incluant la borne de référence

La borne de référence n'est pas incluse dans $[IA']$ ni $[Y']$ décrits ci-dessus. Quand on met en œuvre des circuits intégrés sur une carte, il est pratique de développer $[IA']$ et $[Y']$ de sorte qu'ils incluent la borne de référence. En effet, la borne de référence est généralement nécessaire quand un circuit intégré est placé sur une carte comme les autres bornes. Comme cela est représenté en détail à l'Annexe A, l'élément de IA' de la borne de référence est calculé à partir de la somme des éléments de IA' avec la borne de référence mise à zéro. L'élément Y' de la borne de référence est calculé à partir de la somme des éléments de Y' où la borne de référence le long d'une ligne ou d'une colonne est zéro.

6 Mise en œuvre

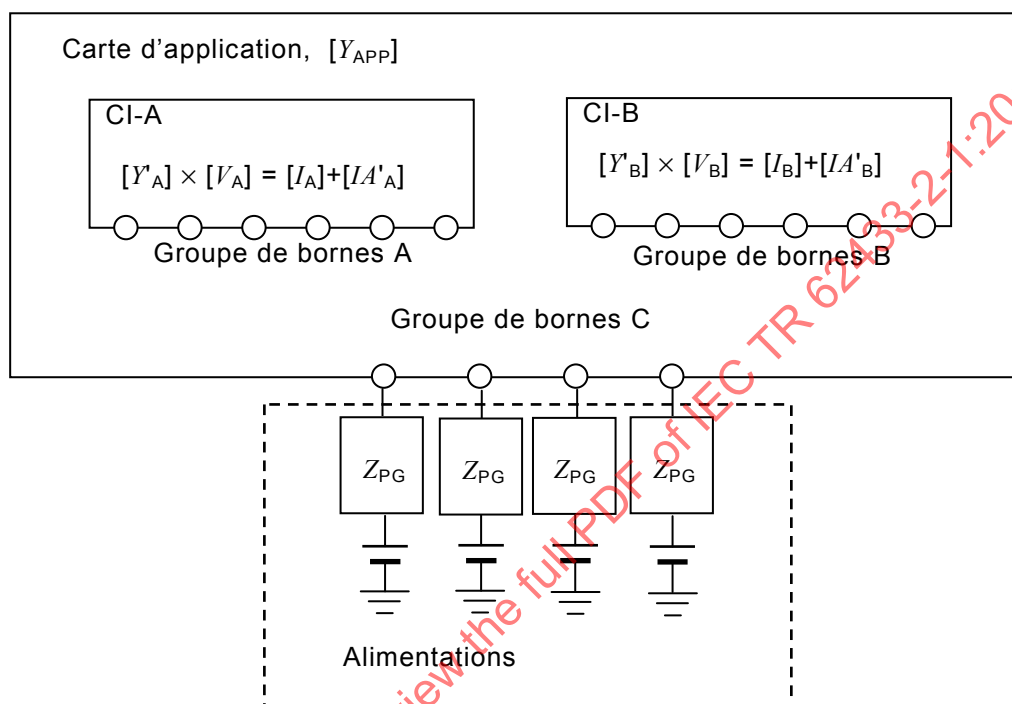
6.1 Généralités

La présente section décrit la méthodologie pour la mise en œuvre des modèles de la boîte noire dans une carte d'application, en prenant comme exemple une carte d'application avec deux modèles de boîte noire. Un exemple est donné à l'Annexe B.

6.2 Configuration de la carte d'application

La configuration de la carte d'application est représentée à la Figure 11. La carte contient deux circuits intégrés, CI-A et CI-B. Ces circuits intégrés sont connectés à la carte d'application en utilisant le groupe de bornes A et le groupe de bornes B, respectivement.

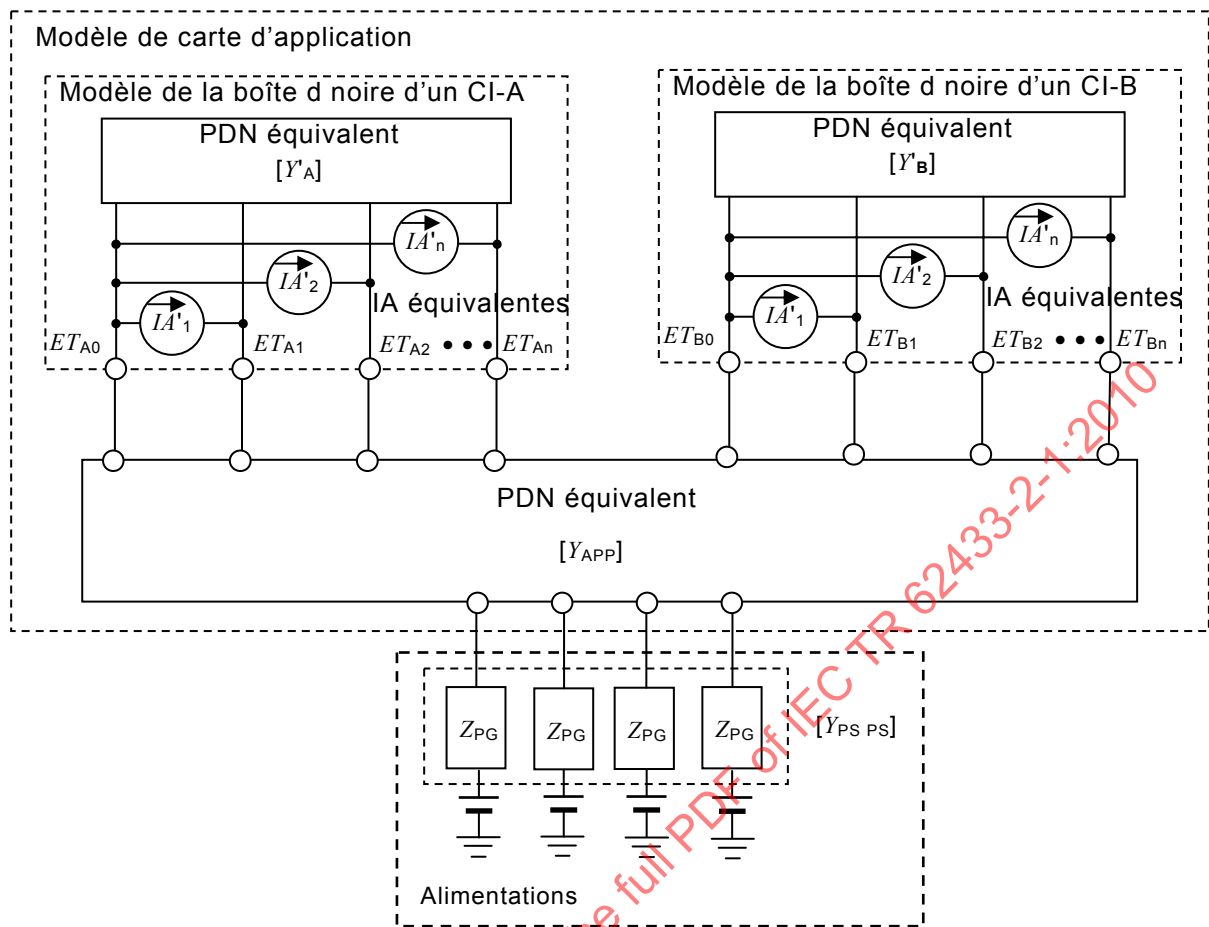
La carte est également équipée du groupe de bornes C. La carte d'application reçoit des alimentations/mises à la terre depuis l'environnement extérieur en utilisant ces bornes.



IEC 2284/10

Figure 11 – Configuration de la carte d'application

Les composants pour la simulation de la carte d'application composée du modèle de la boîte noire d'un CI-A, du modèle de la boîte noire d'un CI-B, du modèle PDN du réseau alimentation/mise à la terre de la carte d'application et les modèles d'alimentations. La connexion des composants pour la simulation est illustrée à la Figure 12.



IEC 2285/10

Figure 12 – Montage pour la simulation de la carte d'application

On suppose que les modèles de boîte noire pour CI-A et CI-B, et la matrice d'admittance de la carte d'application sont déjà connus et sont définis comme suit. Les Y' et IA' à utiliser ici sont des modèles incluant la borne de référence.

$$[Y'_A] \times [V_A] = [I_A] + [IA'_A] \quad (17)$$

$$[Y'_B] \times [V_B] = [I_B] + [IA'_B] \quad (18)$$

Ici, $[V_A]$, $[V_B]$ et $[V_C]$ sont les vecteurs de tension de bruit des groupes de bornes A, B et C, respectivement. $-[I_A]$, $-[I_B]$ et $[I_C]$ sont les vecteurs de courant de bruit des groupes de bornes A, B et C, respectivement.

Et la matrice d'admittance de la carte d'application est donnée comme suit.

$$[Y_{APP}] = \begin{bmatrix} [Y_{AA}] & [Y_{AB}] & [Y_{AC}] \\ [Y_{BA}] & [Y_{BB}] & [Y_{BC}] \\ [Y_{CA}] & [Y_{CB}] & [Y_{CC}] \end{bmatrix} \quad (19)$$

Dans l'Équation (19), la sous-matrice $[Y_{AB}]$ représente les interactions entre la borne A et la borne B, la sous-matrice $[Y_{AC}]$ représente les interactions entre la borne A et la borne C, etc.