

INTERNATIONAL STANDARD

NORME INTERNATIONALE



Dynamic on-resistance test method guidelines for GaN HEMT based power conversion devices

Lignes directrices pour les méthodes d'essai de résistance dynamique à l'état passant des dispositifs de conversion de puissance fondés sur les HEMT en GaN

IECNORM.COM : Click to view the full PDF of IEC 63373:2022



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2022 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Secretariat
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee, ...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

IEC Products & Services Portal - products.iec.ch

Discover our powerful search engine and read freely all the publications previews. With a subscription you will always have access to up to date content tailored to your needs.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 300 terminological entries in English and French, with equivalent terms in 19 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC -

webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études, ...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

IEC Products & Services Portal - products.iec.ch

Découvrez notre puissant moteur de recherche et consultez gratuitement tous les aperçus des publications. Avec un abonnement, vous aurez toujours accès à un contenu à jour adapté à vos besoins.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 300 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 19 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



Dynamic on-resistance test method guidelines for GaN HEMT based power conversion devices

Lignes directrices pour les méthodes d'essai de résistance dynamique à l'état passant des dispositifs de conversion de puissance fondés sur les HEMT en GaN

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.99

ISBN 978-2-8322-1076-6

Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Normative references	6
3 Terms, definitions, symbols and abbreviated terms.....	6
3.1 Terms and definitions.....	6
3.2 Symbols and abbreviated terms	6
4 Test circuits and waveforms	7
4.1 General.....	7
4.2 Inductive and resistive switching methods.....	7
4.3 Pulsed current-voltage (I-V) method.....	10
5 Requirements	12
Bibliography.....	14
Figure 1 – Inductive-resistive load “double-pulse” test circuit for hard-switching evaluation	8
Figure 2 – Depiction of the hard-switching “double-pulse” test circuit (showing its similarity to a boost converter).....	8
Figure 3 – Simplified flowchart for inductive and/or resistive switching based dynamic on-resistance test	9
Figure 4 – Representative continuous-pulse hard-switching waveforms for measuring dynamic on-resistance using the test circuits in Figure 1 and Figure 2	10
Figure 5 – Example test circuit for soft-switching on-resistance measurement (the gate and drain terminals are pulsed with independent voltage signals)	10
Figure 6 – Simplified flowchart for soft switching based dynamic on-resistance test.....	11
Figure 7 – Illustrative timing diagram for measuring dynamic ON-resistance under OFF-state stress in soft-switching mode	12

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**DYNAMIC ON-RESISTANCE TEST METHOD GUIDELINES
FOR GaN HEMT BASED POWER CONVERSION DEVICES**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

IEC 63373 has been prepared by IEC technical committee 47: Semiconductor devices. It is an International Standard.

This standard is based upon JEP173 [1].¹ It is used with permission of the copyright holder, JEDEC Solid State Technology Association.

The text of this International Standard is based on the following documents:

Draft	Report on voting
47/2690/CDV	47/2735/RVC

Full information on the voting for its approval can be found in the report on voting indicated in the above table.

The language used for the development of this International Standard is English.

¹ Numbers in square brackets refer to the Bibliography.

This document was drafted in accordance with ISO/IEC Directives, Part 2, and developed in accordance with ISO/IEC Directives, Part 1 and ISO/IEC Directives, IEC Supplement, available at www.iec.ch/members_experts/refdocs. The main document types developed by IEC are described in greater detail at www.iec.ch/standardsdev/publications.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under webstore.iec.ch in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The "colour inside" logo on the cover page of this document indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM : Click to view the full PDF of IEC 63373:2022

INTRODUCTION

This document is intended for use in the GaN power semiconductor and related power electronic industries, and provides guidelines for measuring the dynamic ON-resistance of GaN power devices.

Gallium Nitride (GaN) lateral power High Electron Mobility Transistor (HEMT) conducts through a two-dimensional electron gas (2DEG) in ON-state operation. Due to the various stress conditions that the device encounters during power electronic switching applications, some charge could get trapped in specific regions of the transistor structure. The trapped electrons cause an increased ON-resistance when operated in a switching environment. This phenomenon is known as current collapse and the ON-resistance at switching operation is called dynamic ON-resistance in order to distinguish from DC ON-resistance. Increased dynamic ON-resistance translates to higher power loss, thereby reducing overall system efficiency. Not verifying the dynamic ON-resistance characteristic can put GaN device reliability at risk [2].

The test methods provided in this document can be used as a guideline for measuring dynamic ON-resistance of GaN power device, focused on lateral HEMT technologies. These three test methods can be applied for datasheet, process control, technology development, final tests and other usage. Parasitic effects impact high precision measurements and wafer level tests can minimize parasitic effects. Additionally, self-heating can impact the package level tests depending upon the package thermal characteristics.

IECNORM.COM : Click to view the full PDF of IEC 63373:2022

DYNAMIC ON-RESISTANCE TEST METHOD GUIDELINES FOR GaN HEMT BASED POWER CONVERSION DEVICES

1 Scope

In general, dynamic ON-resistance testing is a measure of charge trapping phenomena in GaN power transistors. This publication provides guidelines for testing dynamic ON-resistance of GaN lateral power transistor solutions. The test methods can be applied to the following:

- a) GaN enhancement and depletion-mode discrete power devices [3];
- b) GaN integrated power solutions;
- c) the above in wafer and package levels.

The prescribed test methods can be used for device characterization, production testing, reliability evaluations and application assessments of GaN power conversion devices. This document is not intended to cover the underlying mechanisms of dynamic ON-resistance and its symbolic representation for product specifications.

2 Normative references

There are no normative references in this document.

3 Terms, definitions, symbols and abbreviated terms

3.1 Terms and definitions

No terms and definitions are listed in this document.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.2 Symbols and abbreviated terms

Symbol or abbreviation	Name or term
DUT	Device Under Test
V_{DD}	Supply voltage
V_{DS}	Drain to Source Voltage of DUT
V_{GS}	Gate to Source Voltage of DUT
D1	Free-wheeling diode
L	Inductance
R	Resistance
C	Capacitance
I_D	Drain current of DUT in ON-state
$V_{DS(ON)}$	Drain to Source Voltage of DUT in ON-state
$R_{DS(ON)}$	Drain to Source Resistance of DUT in ON-state

Symbol or abbreviation	Name or term
$V_{DS(OFF)}$	Drain to source voltage of DUT in OFF-state
$V_{GS(ON)}$	Gate to source voltage of DUT in ON-state
$V_{GS(OFF)}$	Gate to source voltage of DUT in OFF-state
t_{off}	OFF-state pulse width
t_{on}	ON-state pulse width
$t_{m,on}$	measurement timing in ON-pulse
t_{dn}	Soft-switching delay time between the OFF and ON pulse or vice-versa, with $n = 1$ or 2
f	Frequency
N	Number of pulses
T_C	Case temperature
P_{Peak}	Instantaneous peak power, applicable for only hard switching
E_{Pulse}	Energy dissipated per pulse, applicable for only hard switching

4 Test circuits and waveforms

4.1 General

GaN power transistors typically are being targeted for both hard and soft-switching topologies for power conversion applications.

Hard switching conditions refer to the overlap of the voltage and current waveforms when the power device switches either from ON-to-OFF or OFF-to-ON states. Typical hard-switching topologies include totem-pole Power Factor Correction (PFC) boost converters, buck converters, motor control inverter and single ended fly-back circuits.

Soft switching conditions refer to conditions where there is no or minimal overlap of the voltage and current waveforms when the GaN power device switches between the ON- and OFF-states. Typical soft-switching topologies include Zero Voltage Switching (ZVS) converters, LLC converters, Active Clamp Fly-back (ACF), etc.

Resistive load switching is another type that is not typically seen in the power electronic applications whose overlap of voltage and current waveforms fall in between the hard and soft switching types. However, the easier implementation of this switching type makes it attractive for the device level characterization and testing purposes.

As described above, current-voltage loci are the crux that determines the switching type. The loci of above three switching types are explained with great detail in here [4]. The following 4.2 and 4.3 cover the dynamic ON-resistance measurement methods for these three switching types.

Minimizing parasitic effects when performing high precision measurements is recommended. Wafer level tests can be used to minimize parasitic effects when performing high precision measurements. For package level tests, the impact of package thermal characteristics should be considered so as to minimize any device under test (DUT) self-heating implications.

4.2 Inductive and resistive switching methods

A hard-switching inductive and resistive loaded test vehicle that is analogous to what is generally termed the “double-pulse” tester in power electronic applications [2] is shown in

Figure 1. Another depiction of the double-pulse tester is shown in Figure 2, which illustrates that the double-pulse tester is equivalent to a boost converter with the input tied to the output [5]; note that $R_{Load} = 0$ in this depiction.

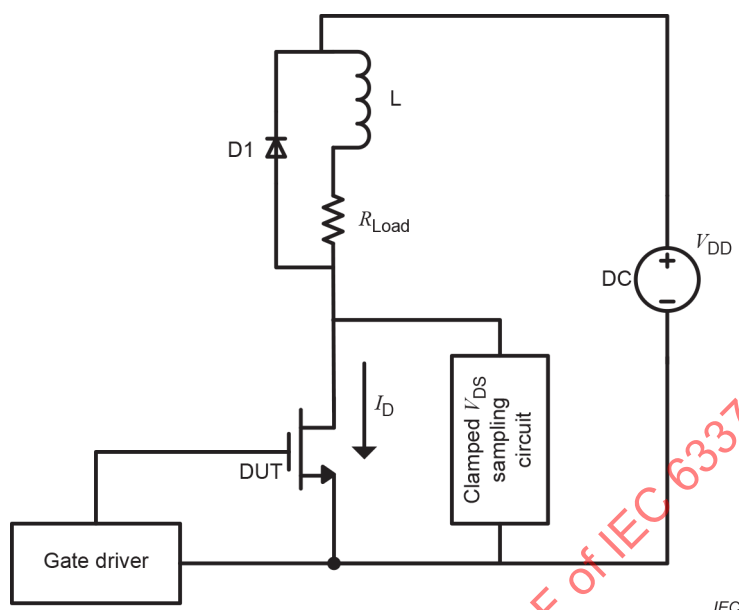


Figure 1 – Inductive-resistive load “double-pulse” test circuit for hard-switching evaluation

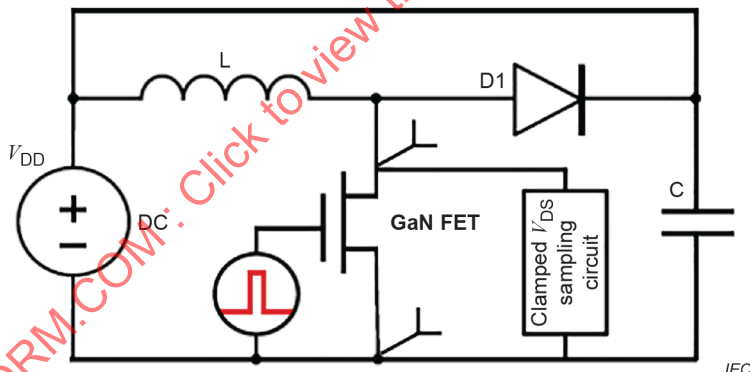
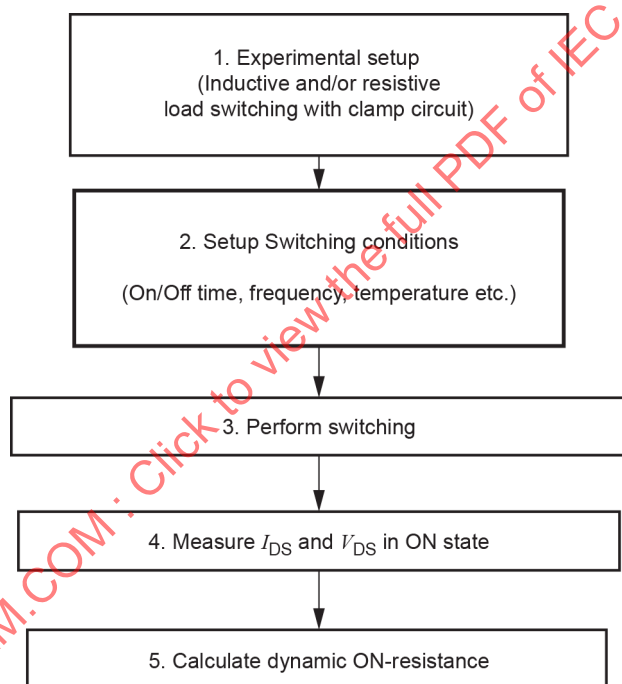


Figure 2 – Depiction of the hard-switching “double-pulse” test circuit (showing its similarity to a boost converter)

When a power transistor switches at high voltages, measuring the drain-to-source ON-state voltage with a passive probe in combination with an oscilloscope can be quite challenging, as the oscilloscope's dynamic-range precision may not be adequate. As an example, consider a device with an ON-state voltage of 0,5 V at 1 A of drain current switching from 400 V in the OFF-state. An 8-bit oscilloscope configured to measure the 400 V OFF-state voltage will have a resolution of 1,562 5 V ($= 400/2^8$), which is not sufficient to measure the 0,5 V ON-state voltage. The measurable voltage has an error of more than 3 times the actual voltage in this example and this further increase to 30 times to detect a 10 % dynamic ON-state voltage drift. To circumvent such problems, a circuit may be employed to clamp the high OFF-state voltage on a low-voltage measurement probe without compromising the ON-state voltage.

Since the clamped sampling circuit reduces the voltage swing quite significantly on the measurement probe, the dynamic ON-state voltage of the power transistor can be effectively measured, from which its dynamic ON-resistance is calculated using Ohm's law. Some examples of voltage clamp sampling circuits are reported in [6] and [7].

It is to be noted that if $R_{Load} = 0$ in Figure 1 (which makes the circuits of Figure 1 and Figure 2 identical), the circuit is nothing but a standard power electronics double-pulse or boost test circuit. The hard-switching circuits presented in Figure 1 and Figure 2 provide the flexibility of running tests either in single-pulse, double-pulse or continuous-pulse modes. They provide high impedance on the drain, which lowers V_{DS} without the need for an additional synchronized tester resource. A high impedance may also be achieved by setting $L = 0$ and using a high-value resistor making this a pure resistive switching. The single and double-pulse test modes are often advantageous in production environments where fast switching characterization is needed, whereas the continuous-pulse test mode is beneficial for longer-term device characterization and reliability evaluation. The flow chart for inductive and/or resistive switching load-based measurement is presented in Figure 3, and Figure 4 shows the representative hard-switching waveforms of a GaN power transistor in the Figure 1 and Figure 2 test circuits when subjected to continuous gate pulses. In a pure resistive switching load test circuit, the DUT current in ON-state stays constant unlike the inductive load circuit where the current increases linearly with time. A high-performance clamp circuit design may be required to measure the drain-to-source dynamic ON-resistance in $<1 \mu s$ after the device transitions from the OFF-state to the ON-state. The $R_{DS(ON)}$ is evaluated dynamically during the period when the transistor gate is ON as $R_{DS(ON)} = V_{DS(ON)}/I_D$.



IEC

Figure 3 – Simplified flowchart for inductive and/or resistive switching based dynamic on-resistance test

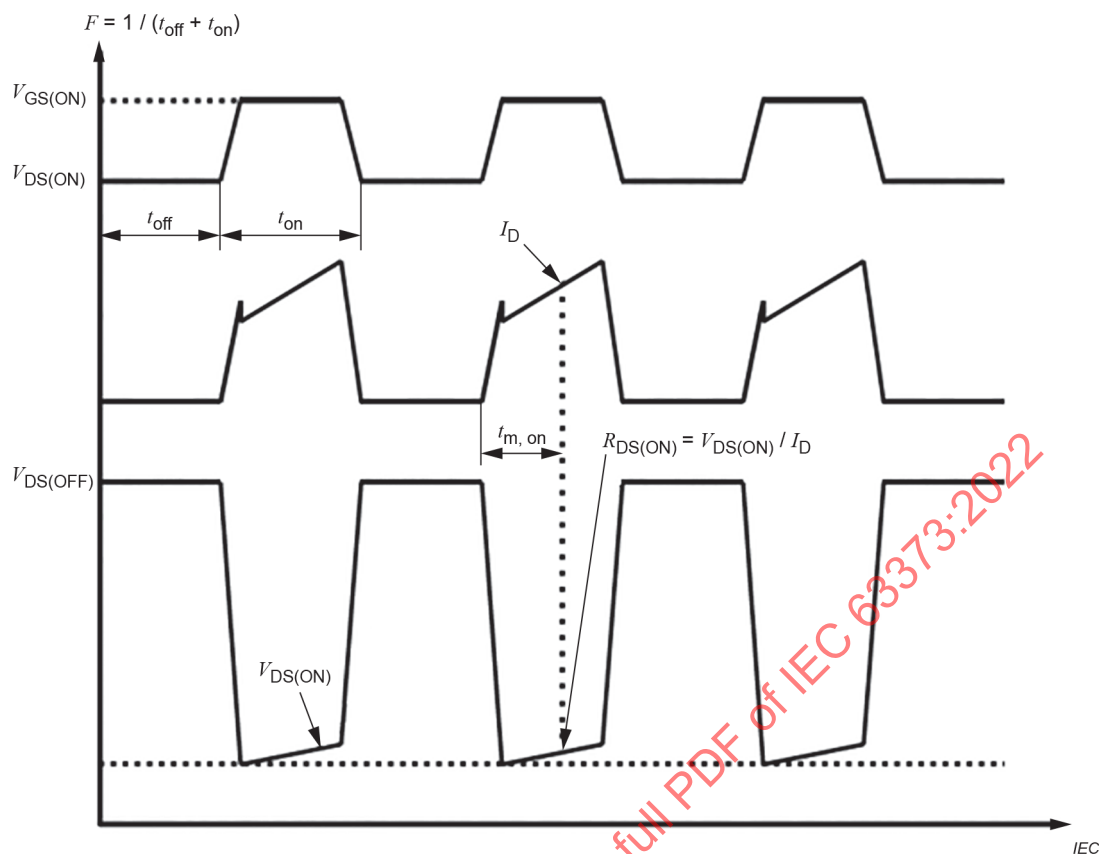


Figure 4 – Representative continuous-pulse hard-switching waveforms for measuring dynamic on-resistance using the test circuits in Figure 1 and Figure 2

4.3 Pulsed current-voltage (I-V) method

The pulsed I-V technique is analogous to soft switching, which is widely used in GaN RF electronics. This method involves pulsing the gate and drain voltage signals independently, and hence is branded as a classic “double pulse” technique in the RF world, thus potentially leading to confusion since this term is used in the power electronics world to refer to a hard-switching test, as discussed above. Using this approach, a few manufacturers have developed systems to fulfil power electronic requirements [8]. Figure 5 and Figure 6 provide simplified test setup and test flow respectively for soft switching.

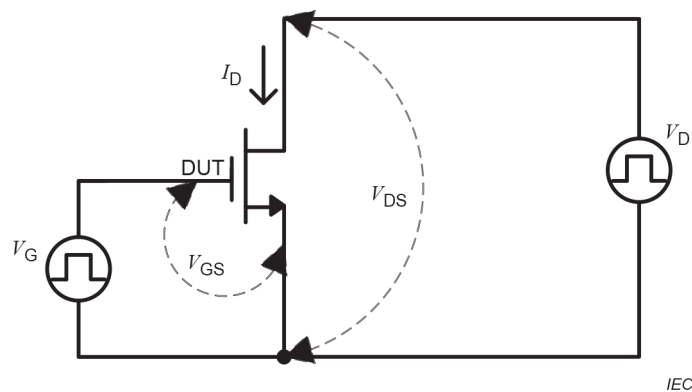


Figure 5 – Example test circuit for soft-switching on-resistance measurement (the gate and drain terminals are pulsed with independent voltage signals)

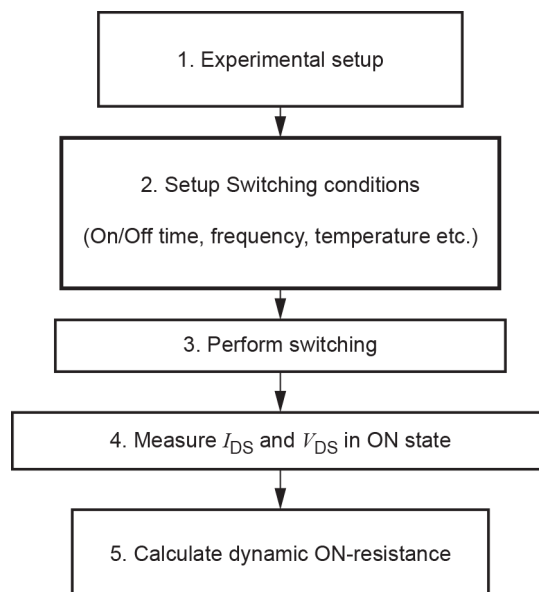
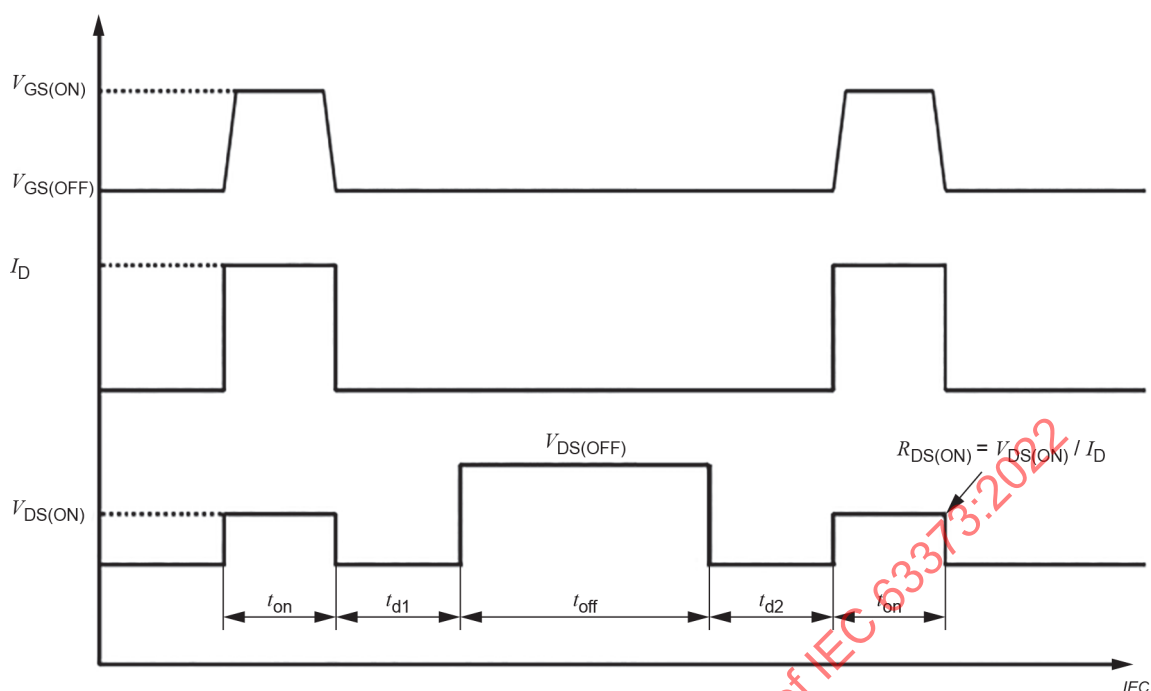


Figure 6 – Simplified flowchart for soft switching based dynamic on-resistance test

As illustrated in Figure 7, the gate is initially pulsed ON while the drain is pulsed to a low value $V_{DS(ON)}$ such that the transistor is in the linear region of operation, where the ON-resistance may be evaluated as $R_{DS(ON)} = V_{DS(ON)}/I_D$. After a pause t_{d1} where gate and drain voltage are both zero, the drain is set to a high stress value while the gate remains OFF for a time t_{off} . Subsequently, after a second wait period t_{d2} where both gate and drain are again both zero, the ON-state gate and drain signals are repeated and the $R_{DS(ON)}$ is again measured. This measured $R_{DS(ON)}$ is compared to the initially measured value to see if any change has occurred due to the high drain voltage stress. This procedure may be repeated, with the drain stress voltage stepped to a higher value between each $R_{DS(ON)}$ measurement. Note that the stress time t_{off} , represents both the DC and pulsed states. As an example, the DC state can correspond to reliability stress time in qualification. On the other hand, the pulsed state may correspond to soft-switching applications. Similar methods may be employed with continuous switching of both gate and drain pulses with a definite frequency. The soft switching test methods described above may be applied for wafer and package level characterization, and reliability evaluations.



NOTE Measurement windows are interleaved with stress periods.

Figure 7 – Illustrative timing diagram for measuring dynamic ON-resistance under OFF-state stress in soft-switching mode

5 Requirements

The list below provides the critical parameters whose numerical values are required to be recorded:

- V_{DD} Supply voltage;
- T_C Case temperature;
- I_D Drain current of DUT in ON-state;
- t_{off} OFF-state pulse width;
- t_{on} ON-state pulse width;
- $t_{m,on}$ Measurement timing in ON-pulse;
- t_{dn} Delay time between the OFF and ON pulse or vice-versa, with $n = 1$ or 2 , applicable only for soft switching;
- f Frequency;
- N Number of pulses;
- P_{Peak} Instantaneous peak power (optional), applicable only for hard switching;
- E_{Pulse} Energy dissipated per pulse (optional), applicable only for hard switching.

For a desired target DUT case temperature ' T_C ', it is recommended to minimize self-heating effect to avoid any of its impact on dynamic ON-resistance measurement data. Choosing a low turn-on duty cycle in the test method will allow the case temperature to be very close to the DUT junction temperature.

During all the continuous mode operating tests, it is recommended to note down the time stamps at which the measurements are performed once the test begins for appropriate interpretation of results over time.

Provided that the test includes non-continuous switching such as the single-pulse mode or the traditional double-pulse test mode, it is required that individual ON and OFF pulse widths for such tests be specified.

IECNORM.COM : Click to view the full PDF of IEC 63373:2022

Bibliography

- [1] JEP173, "DYNAMIC ON-RESISTANCE TEST METHOD GUIDELINES FOR GaN HEMT BASED POWER CONVERSION DEVICES, VERSION 1.0" January 2019
 - [2] S. Kaneko, M. Kuroda, M. Yanagihara, A. Ikoshi, H. Okita, T. Morita, K. Tanaka, M. Hikita, Y. Uemoto, S. Takahashi and T. Ueda, "Current-collapse-free Operations up to 850 V by GaN-GIT utilizing Hole Injection from Drain," *Proc. 2015 IEEE ISPSD*, pp 41 – 44
 - [3] Kevin J. Chen, Oliver Häberlen, Alex Lidow, Chun Iin Tsai, Tetsuzo Ueda, Yasuhiro Uemoto, and Yifeng Wu, "GaN-on-Si Power Technology: Devices and Applications," *IEEE Transactions on Electron Devices*, vol. 64, no. 3, pp. 779 – 795, March 2017
 - [4] Jungwoo Joh, Naveen Tipirneni, Sameer Pendharkar, and Srikanth Krishnan, "Current Collapse in GaN Heterojunction Field Effect Transistors for High-voltage Switching Applications," *Proc. 2014 IEEE IRPS*, pp 6C.5.1 - 6C.5.4
 - [5] S. R. Bahl, D. Ruiz and D. Seup Lee, "Product-level Reliability of GaN Devices," *Proc. 2016 IEEE IRPS*, pp 4A-3-1 - 4A-3-6
 - [6] J. Everts, P. Jacqmaer, R. Gelagaev, J. Das, M. Germain, J. Van den Keybus and J. Driesen, "A Hard Switching VIENNA Boost Converter for Characterization of AlGaIn/GaN/AlGaIn Power DHFETs," *Proc. 2010 PCIM Europe*
 - [7] B. Lu, T. Palacios, D. Risbud, S. Bahl and D. I. Anderson, "Extraction of Dynamic On-resistance in GaN Transistors," *Proc. 2011 IEEE CSICS*, pp 1 – 4
 - [8] H. Wang, J. Wei, R. Xie, C. Liu, G. Tang, and K. J. Chen, "Maximizing the Performance of 650-V p-GaN Gate HEMTs: Dynamic RON Characterization and Circuit Design Considerations," *IEEE Trans. Electron Devices*, vol. 32, no. 7, pp. 5539 - 5549, July 2017
-

IECNORM.COM : Click to view the full PDF of IEC 63373:2022

SOMMAIRE

AVANT-PROPOS	17
INTRODUCTION.....	19
1 Domaine d'application	20
2 Références normatives	20
3 Termes, définitions, symboles et termes abrégés	20
3.1 Termes et définitions	20
3.2 Symboles et termes abrégés.....	20
4 Circuits d'essai et formes d'onde	21
4.1 Généralités	21
4.2 Méthodes de commutation inductive et résistive	22
4.3 Méthode de courant-tension (I-V) d'impulsion	25
5 Exigences.....	26
Bibliographie.....	28
Figure 1 – Circuit d'essai "double impulsion" à charge inductive-résistive pour l'évaluation de la commutation dure	22
Figure 2 – Représentation du circuit d'essai "double impulsion" pour l'évaluation de la commutation dure (indiquant sa similitude avec un convertisseur élévateur)	23
Figure 3 – Organigramme simplifié de l'essai de résistance dynamique à l'état passant fondé sur la commutation inductive et/ou résistive	24
Figure 4 – Formes d'onde représentatives de commutation dure à impulsions continues pour le mesurage de la résistance dynamique à l'état passant à l'aide des circuits d'essai de la Figure 1 et de la Figure 2	24
Figure 5 – Exemple de circuit d'essai pour le mesurage de la résistance à l'état passant de la commutation douce (les bornes de la grille et du drain sont pulsées avec des signaux de tension indépendants)	25
Figure 6 – Organigramme simplifié de l'essai de résistance dynamique à l'état passant fondé sur la commutation douce	25
Figure 7 – Diagramme temporel représentatif du mesurage de la résistance dynamique à l'état passant sous contrainte à l'état bloqué en mode de commutation douce	26

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

LIGNES DIRECTRICES POUR LES MÉTHODES D'ESSAI DE RÉSISTANCE DYNAMIQUE À L'ÉTAT PASSANT DES DISPOSITIFS DE CONVERSION DE PUISSANCE FONDÉS SUR LES HEMT EN GaN

AVANT-PROPOS

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

L'IEC 63373 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs. Il s'agit d'une Norme internationale.

La présente norme repose sur le document JEP173 [1].¹ Elle est utilisée avec la permission du détenteur du droit d'auteur, JEDEC Solid State Technology Association.

¹ Les nombres entre crochets renvoient à la Bibliographie.

Le texte de cette Norme internationale est issu des documents suivants:

Projet	Rapport de vote
47/2690/CDV	47/2735/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à son approbation.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous www.iec.ch/members_experts/refdocs. Les principaux types de documents développés par l'IEC sont décrits plus en détail sous www.iec.ch/standardsdev/publications.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de ce document indique qu'il contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer ce document en utilisant une imprimante couleur

INTRODUCTION

Le présent document est destiné à être utilisé dans les industries de semiconducteurs de puissance en GaN et les industries connexes de l'électronique de puissance, et fournit des lignes directrices de mesure de la résistance dynamique à l'état passant des dispositifs de puissance en GaN.

Les transistors de puissance latéraux à mobilité des électrons élevée (HEMT- High Electron Mobility Transistor) en nitrure de gallium (GaN) conduisent le courant à travers un gaz bidimensionnel d'électrons (2DEG) en mode de fonctionnement à l'état passant. En raison des différentes conditions de contrainte que le dispositif rencontre lors des applications de commutation électronique de puissance, certaines charges peuvent être piégées dans des régions spécifiques de la structure du transistor. Les électrons piégés provoquent une augmentation de la résistance à l'état passant lorsqu'ils sont utilisés dans un environnement de commutation. Ce phénomène est connu sous le nom de chute de courant et la résistance à l'état passant lors des opérations de commutation est appelée résistance dynamique à l'état passant afin de la différencier de la résistance à l'état passant en courant continu. L'augmentation de la résistance dynamique à l'état passant se traduit par une perte de puissance plus élevée, réduisant ainsi l'efficacité globale du système. Ne pas vérifier la caractéristique de la résistance dynamique à l'état passant peut mettre en danger la fiabilité des dispositifs en GaN [2].

Les méthodes d'essai fournies dans le présent document peuvent être utilisées comme lignes directrices de mesure de la résistance dynamique à l'état passant des dispositifs de puissance en GaN, fondés sur les technologies de HEMT latéraux. Ces trois méthodes d'essai peuvent être appliquées pour les fiches techniques, le contrôle des processus, le développement des technologies, les essais finaux et d'autres utilisations. Les effets parasites influent sur les mesurages de haute précision et les essais au niveau de la plaquette peuvent réduire le plus possible les effets parasites. Par ailleurs, l'autoéchauffement peut influencer sur les essais au niveau du boîtier selon les caractéristiques thermiques du boîtier.

LIGNES DIRECTRICES POUR LES MÉTHODES D'ESSAI DE RÉSISTANCE DYNAMIQUE À L'ÉTAT PASSANT DES DISPOSITIFS DE CONVERSION DE PUISSANCE FONDÉS SUR LES HEMT EN GaN

1 Domaine d'application

En règle générale, l'essai de résistance dynamique à l'état passant est une mesure des phénomènes de piégeage de charge dans les transistors de puissance en GaN. La présente publication donne des lignes directrices pour l'essai de résistance dynamique à l'état passant des solutions de transistors de puissance latéraux en GaN. Les méthodes d'essai peuvent être appliquées aux éléments suivants:

- a) dispositifs de puissance discrets en GaN à mode d'enrichissement et de déplétion [3];
- b) solutions de puissance intégrées en GaN;
- c) dispositifs et solutions ci-dessus au niveau des plaquettes et des boîtiers.

Les méthodes d'essai spécifiées peuvent être utilisées pour la caractérisation des dispositifs, les essais de production, les évaluations de fiabilité et les évaluations de l'application des dispositifs de conversion de puissance en GaN. Le présent document n'est pas destiné à couvrir les mécanismes sous-jacents de la résistance dynamique à l'état passant et sa représentation symbolique pour les spécifications du produit.

2 Références normatives

Le présent document ne contient aucune référence normative.

3 Termes, définitions, symboles et termes abrégés

3.1 Termes et définitions

Aucun terme n'est défini dans le présent document.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.2 Symboles et termes abrégés

Symbole ou abréviation	Nom ou terme
DUT	device under test (dispositif en essai)
V_{DD}	tension d'alimentation
V_{DS}	tension drain-source du DUT
V_{GS}	tension grille-source du DUT
D1	diode de roue libre
L	inductance
R	résistance
C	capacité

Symbole ou abréviation	Nom ou terme
I_D	courant de drain du DUT à l'état passant
$V_{DS(ON)}$	tension drain-source du DUT à l'état passant
$R_{DS(ON)}$	résistance drain-source du DUT à l'état passant
$V_{DS(OFF)}$	tension drain-source du DUT à l'état bloqué
$V_{GS(ON)}$	tension grille-source du DUT à l'état passant
$V_{GS(OFF)}$	tension grille-source du DUT à l'état bloqué
t_{off}	largeur d'impulsion à l'état bloqué
t_{on}	largeur d'impulsion à l'état passant
$t_{m,on}$	temps de mesure de l'impulsion à l'état passant
t_{dn}	temps d'attente de la commutation douce entre l'impulsion à l'état bloqué et l'impulsion à l'état passant ou inversement, avec $n = 1$ ou 2
f	fréquence
N	nombre d'impulsions
T_C	température du boîtier
P_{Peak}	puissance de crête instantanée, applicable uniquement pour la commutation dure
E_{Pulse}	énergie dissipée par impulsion, applicable uniquement pour la commutation dure

4 Circuits d'essai et formes d'onde

4.1 Généralités

Les transistors de puissance en GaN sont généralement destinés aux topologies de commutations dures et douces pour les applications de conversion de puissance.

Les conditions de commutation dure font référence au chevauchement des formes d'onde de tension et de courant lorsque le dispositif de puissance passe de l'état passant ON à l'état bloqué OFF ou de OFF à ON. Les topologies types de commutation dure comprennent les convertisseurs élévateurs à correction du facteur de puissance en totem pôle, les convertisseurs abaisseurs, les onduleurs de commande de moteur et les circuits indirects à une seule extrémité.

Les conditions de commutation douce font référence aux conditions dans lesquelles le chevauchement des formes d'onde de tension et de courant est inexistant ou minimal lorsque le dispositif de puissance en GaN commute entre les états ON et OFF. Les topologies types de commutation douce comprennent les convertisseurs ZVS (Zero Voltage Switching - convertisseurs de commutation à tension nulle), les convertisseurs LLC (logical link control – convertisseurs à contrôle de liaison logique), les circuits ACF (Active Clamp Fly-back - circuits indirects à verrouillage actif), etc.

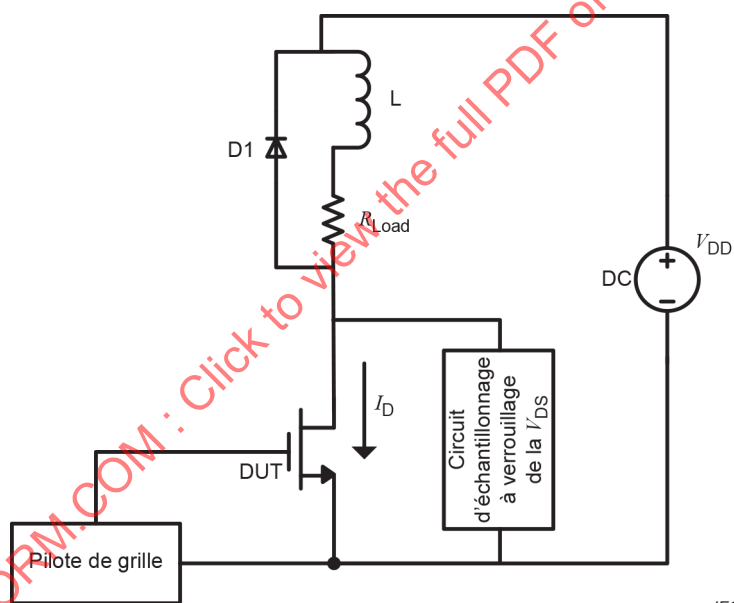
La commutation de charge résistive est un autre type de commutation qui n'est généralement pas utilisée dans les applications de l'électronique de puissance et dont le chevauchement des formes d'onde de tension et de courant se situe entre les types de commutation dure et douce. Cependant, la facilité de mise en œuvre de ce type de commutation la rend intéressante pour la caractérisation et les essais au niveau du dispositif.

Comme cela est décrit ci-dessus, les schémas de commutation courant-tension constituent l'élément crucial qui détermine le type de commutation. Les schémas des trois types de commutation ci-dessus sont expliqués en détail en [4]. Les 4.2 et 4.3 suivants traitent des méthodes de mesure de la résistance dynamique à l'état passant pour ces trois types de commutation.

Il est recommandé de réduire le plus possible les effets parasites pendant les mesurages de haute précision. Il est possible d'utiliser les essais au niveau de la plaquette afin de réduire le plus possible les effets parasites lors des mesurages de haute précision. Pour les essais au niveau du boîtier, il convient de prendre en considération l'impact des caractéristiques thermiques du boîtier afin de réduire le plus possible les effets d'autoéchauffement du dispositif en essai (DUT – device under test).

4.2 Méthodes de commutation inductive et résistive

La Figure 1 représente un véhicule d'essai de commutation dure à charge inductive et résistive, similaire au dispositif généralement appelé appareil de contrôle à "double impulsion" dans les applications de l'électronique de puissance [2]. La Figure 2 donne une autre représentation de l'appareil de contrôle à "double impulsion" et indique que cet appareil est équivalent à un convertisseur élévateur avec l'entrée attachée à la sortie [5]. Noter que $R_{Load} = 0$ dans cette représentation graphique.



IEC

Figure 1 – Circuit d'essai "double impulsion" à charge inductive-résistive pour l'évaluation de la commutation dure

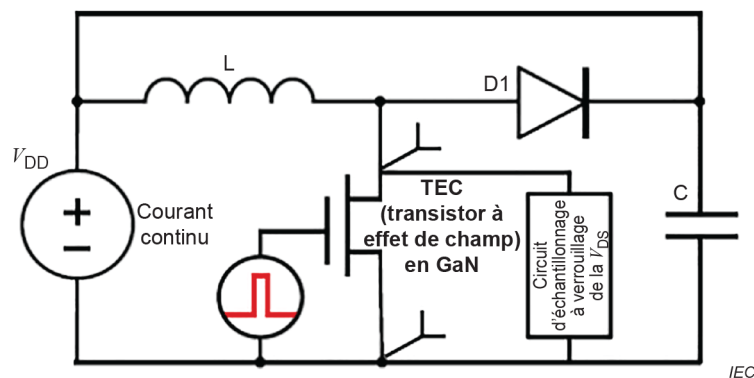


Figure 2 – Représentation du circuit d'essai "double impulsion" pour l'évaluation de la commutation dure (indiquant sa similitude avec un convertisseur élévateur)

Lorsqu'un transistor de puissance commute à des tensions élevées, le mesurage de la tension drain-source à l'état passant à l'aide d'une sonde passive combinée à un oscilloscope peut s'avérer assez difficile, car la précision de la plage dynamique de l'oscilloscope peut ne pas être adéquate. Prenons l'exemple d'un dispositif dont la tension passe de 400 V à l'état bloqué à une tension de 0,5 V à l'état passant pour 1 A de courant de drain. Un oscilloscope de 8 bits configuré pour mesurer la tension de 400 V à l'état bloqué présente une résolution de 1,562 5 V ($= 400/2^8$), ce qui n'est pas suffisant pour mesurer la tension de 0,5 V à l'état passant. Dans cet exemple, la tension mesurable présente une erreur supérieure à 3 fois la tension réelle et cette erreur augmente jusqu'à 30 fois pour détecter une dérive dynamique de 10 % de la tension à l'état passant. Pour contourner ces problèmes, un circuit peut être utilisé pour verrouiller la tension élevée à l'état bloqué sur une sonde de mesure à basse tension sans compromettre la tension à l'état passant.

Dans la mesure où le circuit d'échantillonnage à verrouillage de tension réduit de manière assez significative l'oscillation de la tension sur la sonde de mesure, la tension dynamique à l'état passant du transistor de puissance peut être mesurée efficacement. À partir de cette tension, la résistance dynamique à l'état passant du transistor de puissance est calculée en utilisant la loi d'Ohm. Quelques exemples de circuits d'échantillonnage à verrouillage de tension sont consignés en [6] et [7].

Il faut noter que si $R_{Load} = 0$ à la Figure 1 (ce qui rend les circuits de la Figure 1 et la Figure 2 identiques), le circuit n'est rien d'autre qu'un circuit d'essai normalisé double impulsion ou un circuit d'essai élévateur de l'électronique de puissance. Les circuits de commutation dure représentés à la Figure 1 et la Figure 2 offrent la possibilité de réaliser des essais en modes à impulsion unique, à double impulsion ou à impulsion continue. Ils fournissent une haute impédance sur le drain, ce qui abaisse V_{DS} sans la nécessité d'une ressource d'essai synchronisée supplémentaire. Une impédance élevée peut également être obtenue en établissant $L = 0$ et en utilisant une résistance de grande valeur, ce qui en fait une commutation purement résistive. Les modes d'essai à une seule impulsion et à double impulsion sont souvent avantageux dans les environnements de production dans lesquels une caractérisation rapide de la commutation est nécessaire, tandis que le mode d'essai à impulsion continue est bénéfique pour la caractérisation à plus long terme des dispositifs et l'évaluation de la fiabilité. L'organigramme de mesure de la charge de commutation inductive et/ou résistive est représenté à la Figure 3. La Figure 4 représente les formes d'onde de commutation dure représentatives d'un transistor de puissance en GaN des circuits d'essai de la Figure 1 et de la Figure 2 lorsqu'ils sont soumis à des impulsions de grille continues. Dans un circuit d'essai de charge de commutation purement résistive, le courant du DUT à l'état passant reste constant, contrairement au circuit de charge inductive dont le courant augmente linéairement en fonction du temps. Un circuit de verrouillage haute performance peut être exigé pour mesurer la résistance dynamique drain-source à l'état passant en valeur $< 1 \mu s$ après la transition du dispositif de l'état bloqué à l'état passant. La résistance $R_{DS(ON)}$ est évaluée dynamiquement lorsque la grille du transistor est à l'état passant de sorte que $R_{DS(ON)} = V_{DS(ON)}/I_D$.