

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Generic semiconductor qualification guidelines –
Part 1: Guidelines for IC reliability qualification**

**Dispositifs à semiconducteurs – Lignes directrices génériques concernant la
qualification des semiconducteurs –
Partie 1: Lignes directrices concernant la qualification de la fiabilité des circuits
intégrés**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2021 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee, ...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

IEC online collection - oc.iec.ch

Discover our powerful search engine and read freely all the publications previews. With a subscription you will always have access to up to date content tailored to your needs.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 000 terminological entries in English and French, with equivalent terms in 18 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC -

webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études, ...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

IEC online collection - oc.iec.ch

Découvrez notre puissant moteur de recherche et consultez gratuitement tous les aperçus des publications. Avec un abonnement, vous aurez toujours accès à un contenu à jour adapté à vos besoins.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 000 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Generic semiconductor qualification guidelines –
Part 1: Guidelines for IC reliability qualification**

**Dispositifs à semiconducteurs – Lignes directrices génériques concernant la
qualification des semiconducteurs –
Partie 1: Lignes directrices concernant la qualification de la fiabilité des circuits
intégrés**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.01

ISBN 978-2-8322-1017-2

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	4
INTRODUCTION.....	6
1 Scope.....	7
2 Normative references	7
3 Terms and definitions	8
4 Product categories and applications	8
5 Failure.....	9
5.1 Failure distribution	9
5.2 Early failure	10
5.2.1 Description	10
5.2.2 Early failure rate	11
5.2.3 Screening	15
5.3 Random failure	17
5.3.1 Description	17
5.3.2 Mean failure rate	18
5.4 Wear-out failure	21
5.4.1 Description	21
5.4.2 Wear-out failure rate	21
6 Reliability test.....	24
6.1 Reliability test description	24
6.2 Reliability test plan	24
6.2.1 Procedures for creating a reliability test plan	24
6.2.2 Estimation of the test time required to confirm the TDDb from the number of test samples	27
6.2.3 Estimation of the number of samples required to confirm the TDDb from the test time	28
6.3 Reliability test methods	29
6.4 Acceleration models for reliability tests	33
6.4.1 Arrhenius model	33
6.4.2 V-model.....	33
6.4.3 Absolute water vapor pressure model	33
6.4.4 Coffin-Manson model.....	33
6.5 Concept of family	34
6.5.1 General	34
6.5.2 Conducting life test using family	34
6.5.3 Verification of early failure rate using family	37
7 Stress test methods.....	39
8 Supplementary tests	40
9 Summary table of assumptions	40
10 Summary	42
Bibliography.....	43
Figure 1 – Bathtub curve.....	10
Figure 2 – Failure process of IC manufacturing lots during the early failure period.....	11
Figure 3 – Weibull conceptual diagram of the early failure rate	12

Figure 4 – Example of a failure ratio: α (in hundreds) and the number of failures for CL of 60 %	14
Figure 5 – Screening and estimated early fail rate in Weibull diagram.....	16
Figure 6 – Bathtub curve setting the point immediately after production as the origin.....	17
Figure 7 – Bathtub curve setting the point after screening as the origin.....	17
Figure 8 – Conceptual diagram of calculation method for the mean failure rate from the exponential distribution	18
Figure 9 – Conceptual diagram of calculation method for the mean failure rate as an extension of early failure	19
Figure 10 – Conceptual diagram of the wear-out failure	21
Figure 11 – Conceptual diagram describing the concept of the acceleration test	22
Figure 12 – Concept of the reliability test in a Weibull diagram (based on sample size)	26
Figure 13 – Concept of the reliability test in a Weibull diagram (based on test time)	29
Figure 14 – Difference in sampling sizes according to the m value (image).....	30
Figure 15 – How the screening defect rate is seen depending on the difference of chip size (example)	37
Table 1 – Examples of product categories.....	9
Table 2 – Cumulative failure probability 0,1 % over 10 years [$\times 10^{-6}$] for the third, fifth and seventh years	26
Table 3 – Major reliability (life) test methods and purposes	31
Table 4 – Examples of the number of test samples and the test time in typical reliability (life) test methods	32
Table 5 – Concept of family (example)	34
Table 6 – Concept of difference/failure mechanism/corresponding test item (examples).....	36
Table 7 – Factors for calculation examples of early failure rate using family data	38
Table 8 – LTPD sampling table for acceptance number $A_c = 0$	39
Table 9 – Major reliability (strength) test methods and purposes	39
Table 10 – Supplementary tests.....	40
Table 11 – Accelerating factors, calculation formulae and numerical values ^a	41

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
GENERIC SEMICONDUCTOR QUALIFICATION GUIDELINES –****Part 1: Guidelines for IC reliability qualification****FOREWORD**

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 63287-1 has been prepared by IEC technical committee 47: Semiconductor devices.

This first edition of IEC 63287-1 cancels and replaces the first edition of IEC 60749-43 published in 2017. This edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the previous edition:

- a) the document has been renamed and renumbered to distinguish it from the IEC 60749 (all parts);
- b) a new section concerning the concept of "family" has been added with appropriate renumbering of the existing text.

The text of this International Standard is based on the following documents:

DRAFT	Report on voting
47/2703/FDIS	47/2720/RVD

Full information on the voting for its approval can be found in the report on voting indicated in the above table.

The language used for the development of this International Standard is English.

This document was drafted in accordance with ISO/IEC Directives, Part 2, and developed in accordance with ISO/IEC Directives, Part 1 and ISO/IEC Directives, IEC Supplement, available at www.iec.ch/members_experts/refdocs. The main document types developed by IEC are described in greater detail at www.iec.ch/standardsdev/publications.

A list of all parts in the IEC 63287 series, published under the general title *Semiconductor, devices – Generic semiconductor qualification guidelines*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under webstore.iec.ch in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

This document provides guidelines for semiconductor IC vendors in the preparation of detailed reliability test plans for device qualification. Such plans are intended to be prepared before commencing qualification tests and after consultation with the user of their semiconductor integrated circuit product.

The guideline gives some examples for creating reliability qualification test plans to determine appropriate reliability test conditions based on the use conditions and requirements for each application of semiconductor integrated circuits. Categories are set for automotive applications and for general applications as a target of reliability. The grade for automotive use is further classified into two grades according to applications. The guideline assumes annual operating hours, useful life, etc. for each grade, and defines the verification methods for early failure rate and wear-out failure to propose appropriate reliability tests, and at the same time, presents concepts to properly ensure the quality of semiconductor integrated circuits using screening techniques which are designed to reduce the early failure rate.

The test conditions and the values of acceleration factors presented in this guideline are shown to provide examples of calculations for obtaining reliability test conditions in order to verify the required quality standards and are not designed to define the standards to ensure reliability of semiconductor integrated circuits.

NOTE Qualification tests are tests in which the semiconductor vendor takes account of the reliability required by its product users.

IECNORM.COM : Click to view the full PDF of IEC 63287-1:2021

SEMICONDUCTOR DEVICES – GENERIC SEMICONDUCTOR QUALIFICATION GUIDELINES –

Part 1: Guidelines for IC reliability qualification

1 Scope

This part of IEC 63287 gives guidelines for reliability qualification plans of semiconductor integrated circuit products. This document is not intended for military- and space-related applications.

NOTE 1 The manufacturer can use flexible sample sizes to reduce cost and maintain reasonable reliability by this guideline adaptation based on EDR-4708, AEC Q100, JESD47 or other relevant document can also be applicable if it is specified.

NOTE 2 The Weibull distribution method used in this document is one of several methods to calculate the appropriate sample size and test conditions of a given reliability project.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60749-5, *Semiconductor devices – Mechanical and climatic test methods – Part 5: Steady-state temperature humidity bias life test*

IEC 60749-6, *Semiconductor devices – Mechanical and climatic test methods – Part 6: Storage at high temperature*

IEC 60749-15, *Semiconductor devices – Mechanical and climatic test methods – Part 15: Resistance to soldering temperature for through-hole mounted devices*

IEC 60749-20, *Semiconductor devices – Mechanical and climatic test methods – Part 20: Resistance of plastic encapsulated SMDs to the combined effect of moisture and soldering heat*

IEC 60749-21, *Semiconductor devices – Mechanical and climatic test methods – Part 21: Solderability*

IEC 60749-23, *Semiconductor devices – Mechanical and climatic test methods – Part 23: High temperature operating life*

IEC 60749-25, *Semiconductor devices – Mechanical and climatic test methods – Part 25: Temperature cycling*

IEC 60749-26, *Semiconductor devices – Mechanical and climatic test methods – Part 26: Electrostatic discharge (ESD) sensitivity testing – Human body model (HBM)*

IEC 60749-28, *Semiconductor devices – Mechanical and climatic test methods – Part 28: Electrostatic discharge (ESD) sensitivity testing – Charged device model (CDM) – Device level*

IEC 60749-29, *Semiconductor devices – Mechanical and climatic test methods – Part 29: Latch-up test*

IEC 60749-42, *Semiconductor devices – Mechanical and climatic test methods – Part 42: Temperature and humidity storage*

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1

failure mode

classification of a fault phenomenon which causes product failure

Note 1 to entry: Disconnection, a short circuit, occasional loss, abrasion, characteristic deterioration, etc. are typical items considered as failure modes.

3.2

failure mechanism

physical, chemical or other process that results in a product failure to meet functional requirements (or failure modes)

3.3

integrated circuit

IC

microcircuit in which all or some of the circuit elements are inseparably associated and electrically interconnected so that it is considered to be indivisible for the purpose of construction and commerce

Note 1 to entry: IEC 60749-10-03

4 Product categories and applications

Quality-related requirements, operating hours, and field operating condition of ICs depend on the applications of products in which they are used. As an example of creating scientific test plans, their applications are broadly classified into three product categories: Automotive Use A; Automotive Use B; and Consumer Use. Table 1 shows a list of quality-related requirements according to each product category and the definition of their use conditions.

Table 1 – Examples of product categories

Category	Automotive Use A	Automotive Use B	Consumer Use
Criteria for category	Applications for automotive use directly relating to safety. (Failures can cause accidents.)	Applications for automotive use not directly relating to safety.	Home or office electronics, toys, appliances and server applications.
Examples of applications	Powertrains, brakes, driving support systems, airbags	Navigation systems, car air-conditioners, audio systems	Home electronics, toys, appliances
Annual operating hours	500 h Differs depending on whether or not to work with KEY ON/OFF.	500 h	Up to 8 760 h Differs among applications.
Useful life	15 years (cumulative failure probability: 0,1 %)	15 years (cumulative failure probability: 0,1 %)	Up to 10 years (cumulative failure probability: 0,1 %) Differs among applications.
Assumed operating conditions (examples of conditions which differ among applications)	Example of engine compartment $T_{a,min} = -40\text{ °C} / T_{a,max} = 125\text{ °C}$ $T_{j,typ} = 100\text{ °C} / T_{j,max} = 150\text{ °C}$ min. RH: 0 / max. RH: 100 %, RH (during 10 % driving) (during 70 % stop) Example of interior environment $T_a = -40\text{ °C (min.)} / 85\text{ °C (max.)}$ $T_j = 85\text{ °C (typ.)} / 125\text{ °C (max.)}$ RH = 0 (min.) / 100 % (max.), RH (during 10 % driving) (during 70 % stop)		$T_{a,min} = 0\text{ °C} / T_{a,max} = 70\text{ °C}$ $T_j = 70\text{ °C} / 105\text{ °C (max.)}$ RH = 10 (min.) / 80 % (max.) RH (during 20 % power on) (during 60 % power off)
Early failure rate	1×10^{-6} or below per annum	50×10^{-6} or below per annum	Up to 500×10^{-6} per annum Differs among applications.
Random failure rate	10 FIT or below	50 FIT or below	>50 FIT (typical) Differs among applications.
NOTE These are examples of application conditions and requirements that do not have to all be met to be relevant for each use case.			

5 Failure

5.1 Failure distribution

Failure distribution of ICs can be broadly divided into three regions: early failure portion (e.g., $t_{ELF} = 1$ year), random failure portion, and wear-out failure portion. Figure 1 shows the relationship between the field use time and the instantaneous failure rate (bathtub curve). Failure distributions for each region are described in detail in 5.2 to 5.4.

Most early failures are screened within manufacturing processes of IC vendors. However, ICs not fully screened can expose problems in a relatively short period after their operation starts in the field.

Random failure has been considered to achieve a certain failure rate with respect to time, but actually, it is appropriate to consider as an extension of the early failure region where the failure rate continues to decline. Potentially induced failures outside of the supplier's control, such as ESD, EOS and soft errors, should not be included in the failure rate calculations unless a total fail rate that includes these types of fail modes is intended.

Wear-out failure is a failure which occurs due to the end of life of IC components such as transistors and interconnections, and indicates the life of the ICs themselves. Wear-out failure is a failure which depends on the usage load profile (time windows may be different). The number of failures increases with time, and every IC will eventually cause a failure beyond the intended design life of the part. Wear-out failures are not considered in the same manner, because they have a totally different mechanism and therefore also a different mathematical description (failure distribution). Therefore, it is important to prevent this failure during the durable period. For ICs, the time to reach the cumulative failure probability of 0.15 over the design life of the part in the given application is generally defined as their design lifetime.

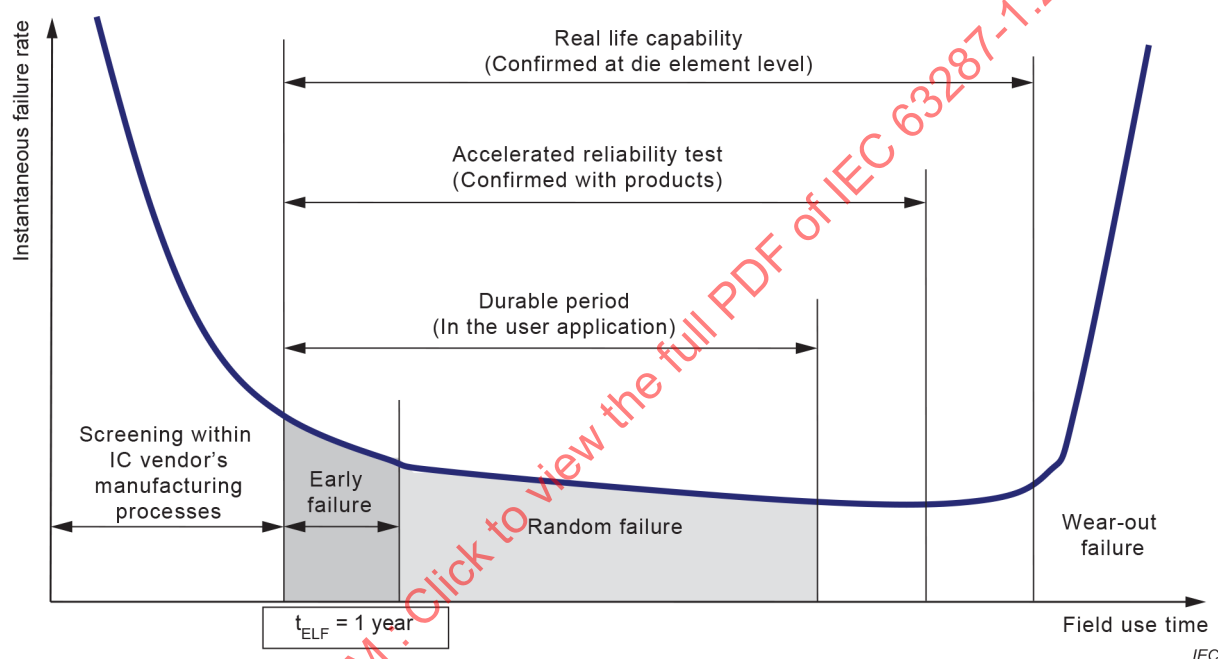


Figure 1 – Bathtub curve

5.2 Early failure

5.2.1 Description

Since ICs contain very small feature sizes and are dense and complex, they are susceptible to defects generated in manufacturing processes. For this reason, good devices which satisfy required characteristics and functions are sorted out at the final stage of manufacturing processes. The ratio of good devices to the total amount produced and tested in this process is called yield. When sorting good devices, they are measured for as many items as possible including characteristics and functions required. However, some of these sorted good devices can include those with built-in latent defects or weaknesses which does not influence electrical characteristics, and they operate properly during sorting. When the yield is high, devices with these potential defects are less likely to be included. In contrast, when the yield is relatively low, there is a high possibility of mixture of these latent defect devices with good ones. Devices with these potential defects can eventually fail during use due to the shortened lifetime or the intensity of the user application.

A small amount of tested good devices which contain such defects is included in the manufacturing lot and, as such, its failure rate decreases with time. This is because non-defective ICs which are unlikely to cause a failure remain when defective ICs are removed after they cause a failure. In such a case, the shape parameter of the Weibull distribution: m is less than 1 ($m < 1$).

To be more specific, when a manufacturing lot has good devices with a potential defect as shown in Figure 2, electronic products using such devices may cause a failure during use, and faulty ICs are removed by application screening, repair (component replacement) or disposition. This leaves reliable ICs.

NOTE It is much preferred to screen out these failures, latent or otherwise, at the IC manufacturer rather than have them reach the user, where it is more expensive to correct.

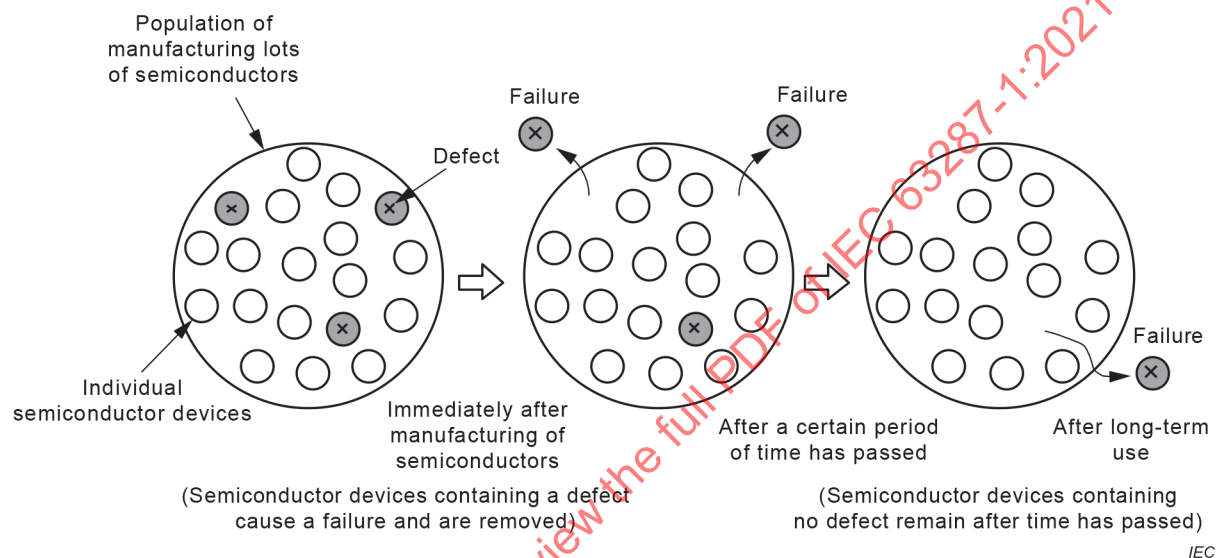


Figure 2 – Failure process of IC manufacturing lots during the early failure period

For this reason, reducing defects generated in manufacturing processes is the major countermeasure against such failures. Another possible countermeasure is to change the design to a structure not susceptible to defects if it is feasible.

There are also screening techniques such as burn-in, which operate ICs under relatively harsh conditions of temperature and/or voltage to induce the defects to fail in advance and remove them by sorting. This acts to consume the early failure period of ICs before shipment, which can reduce impacts of the early failure after shipment. Screening can be optimized if the effect of the above defect reduction is confirmed.

5.2.2 Early failure rate

5.2.2.1 Early failure rate definition

The early failure rate indicates the probability of degradation failures resulting from manufacturing defects which occur within one year (defined early failure period) after shipment by IC manufacturers and the operation starts in the field (within assembly manufacturers' processes and in end user applications).

The early failure rate is often expressed as "cumulative failure probability", where the failure rate which occurs during the defined early failure period is numerically expressed in percentage (%) or parts per million (10^{-6}).

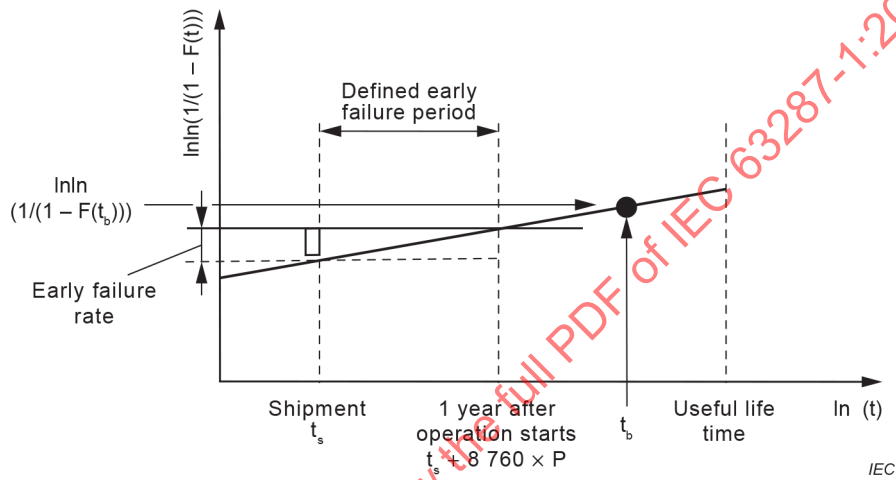
5.2.2.2 Cumulative fail probability

In general, the cumulative failure probability is expressed as follows.

When the Weibull distribution shape parameter is expressed as m , scale parameter η and time t , the cumulative failure probability $F(t)$: from 0 to t is defined by Formula (1).

$$F(t) = 1 - \exp\left(-\frac{t^m}{\eta^m}\right) \quad (1)$$

Figure 3 shows the concept of the early failure rate using a Weibull distribution chart.



Key

t_b : Field use time;

t_s : Value converting the time between screening period to shipment into field use time;

P: Operating ratio ($0 < P \leq 1$).

Figure 3 – Weibull conceptual diagram of the early failure rate

The following sections describe how to calculate the early failure rate from the confirmation result of the cumulative failure convergence at screening test.

5.2.2.3 Calculation of the early failure rate

Suppose that the cumulative failure probability $F(t_b)$ with the field use time t_b was obtained as the confirmation result of the cumulative failure convergence at screening test. The Weibull scale parameter η is obtained from the following formula:

$$\eta = \frac{t_b}{\left[-\ln(1 - F(t_b))\right]^{\frac{1}{m}}} \quad (2)$$

Where m indicates the value obtained from the experiment result or an estimated value. However, in the above formula, if there are zero failures, then $F(t_b) = 0$, and the scale parameter η is undefined, as the denominator goes to 0.

For this reason, the χ^2 (chi-squared) distribution shall be used to define the cumulative failure probability $F_c(t_b)$ taking account of the confidence level.

However, this is based on the premise that the number of samples N is sufficiently large.

NOTE Typical confidence level used in failure rate calculations for semiconductor devices is 60 %.

The cumulative failure probability at the specified confidence level and at the field use time $F_c(t_b)$ is given by Formula (3).

$$F_c(t_b)|_g = \chi^2_{g, \frac{d}{2 \times N}} \quad (3)$$

where

χ^2 is Chi-square distribution;

g is the confidence level (CL in %);

d is the degree of freedom = $(2 \times f) + 2$;

f is the number of failures;

N is the number of samples.

Substituting (3) into (2) yields the scale parameter taking account of the confidence level:

$$\eta_c = \frac{t_b}{[-\ln(1 - F_c(t_b))]^{\frac{1}{m}}} \quad (4)$$

When the value converting the screening period until shipment into field use time t_s and the calculated value η_c are used, the early failure rate taking account of the confidence level after shipment: $F_c(t_1, t_s)$ is given by the following:

If failures are found during the early failure period, η is used instead of η_c and the early failure rate takes no account of the confidence level after shipment. $F(t_1, t_s)$ is given by the following:

$$F_c(t_1, t_s) = 1 - \exp\left[-\frac{(t_1 - t_s)^m}{\eta_c^m}\right] \quad (5)$$

$$F(t_1, t_s) = 1 - \exp\left[-\frac{(t_1 - t_s)^m}{\eta^m}\right] \quad (6)$$

For both Formulae (5) and (6), $t_1 = 365 \times 24 \times P$

where

P is the operating ratio ranged from 0 (always off) to 1 (always on);

t_1 is the time point of 1 year after operation start measured in hours (constant on = 8 760 hours).

5.2.2.4 Calculation of a failure rate ratio

The failure rate ratio: α between the early failure rate F_c taking account of a confidence level with g (in %) and the early failure rate F taking no account of the confidence level is expressed by the following formulae:

$$F_c = \chi^2_{g, \frac{d}{2 \times N}} \quad (7)$$

$$F = \frac{f}{N} \quad (8)$$

where f = Number of failures in N = Number of samples.

$$\alpha = \frac{F_c}{F} = \frac{\chi^2_{g, \frac{d}{2 \times N}}}{\left(\frac{f}{N}\right)} = (N/f) \chi^2_{g, \frac{d}{2 \times N}} \quad (9)$$

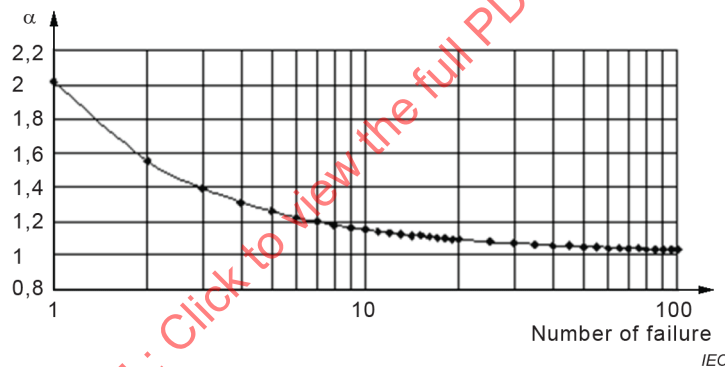


Figure 4 – Example of a failure ratio: α (in hundreds) and the number of failures for CL of 60 %

F is determined by the number of failures, not by the number of test samples: N .

As the number of failures increases, the ratio between the rates taking account of and without taking account of the confidence level comes closer to 1.

From Figure 4, when the cumulative number of failures is 50, the failure rate difference between the early failure rate taking account of the confidence level: F_c and the early failure rate taking no account of the confidence level: F is 5 % ($\alpha = 105$ for $N = 50$ versus $\alpha = 100$ for large N).

Therefore, if the difference in the early failure rate depends on the number of failures and the incorporation of the confidence level is allowable, the early failure rate can be used without accounting for the confidence level.

EXAMPLE:

When a confirmation result of the cumulative failure convergence at screening test is obtained using:

$$m = 0,3; t_b = 70\,298 \text{ hours}; N = 2\,000; \text{ and } f = 69,$$

and the early failure rate $F_c(t_1, t_s)$ using:

$$\text{CL of } 60\%; t_s = 70\,298 \text{ hours}; P = 1$$

The scale parameter with confidence level is calculated as $\eta_c = 5,57 \times 10^{52}$ from Formula (4).

The early failure rate with confidence level is calculated as $F_c(t_1; t_s) = 129 \times 10^{-6}$ from Formula (5).

The scale parameter taking no account of the confidence level $\eta = 2,15 \times 10^{53}$ from Formula (2).

The early failure rate taking no account of the confidence level $F(t_1; t_s) = 124 \times 10^{-6}$ from Formula (6).

Thus, in this example, the failure rate difference between the early failure rate taking account of the confidence level F_c and the early failure rate without taking account of the confidence level F is $(129 - 124)/124 = 4\%$.

5.2.3 Screening

Since ICs contain very small feature sizes and are dense with complex geometry, they are susceptible to defects generated in manufacturing processes. Therefore, some lots classified as 'good devices' contain potential failures with a minor intrinsic defect which does not influence measured electrical characteristics. This allows the device to operate to specification during the sorting process. Removing potential failures before shipment and thus reducing or eliminating the early field failure rate is called screening.

General screening methods to remove devices containing such minor intrinsic defects include the application of stricter stresses such as voltage and temperature than those under actual use conditions, combining a product test and burn-in, methods to remove initial defects in packages using X-ray inspections and visual inspections and combining mounting stress and stresses under a temperature cycle test, etc. Screening conditions need to be adjusted when necessary depending on the target early failure rate. They should be examined in a manner that the screening itself will not influence the useful life significantly, i.e. reduce the time to wear out. By stabilizing the product manufacturing lines and manufacturing the product carefully to reduce intrinsic manufacturing defects, the product early failure rate can also be reduced.

Burn-in has generally been conducted after packaging, but recently, it is common to conduct it to die on wafers. Both methods will produce the same effect in terms of the purpose of removing manufacturing defects in device die. Figure 5 shows the relationship between the screening and the early failure rate which can be statistically estimated.

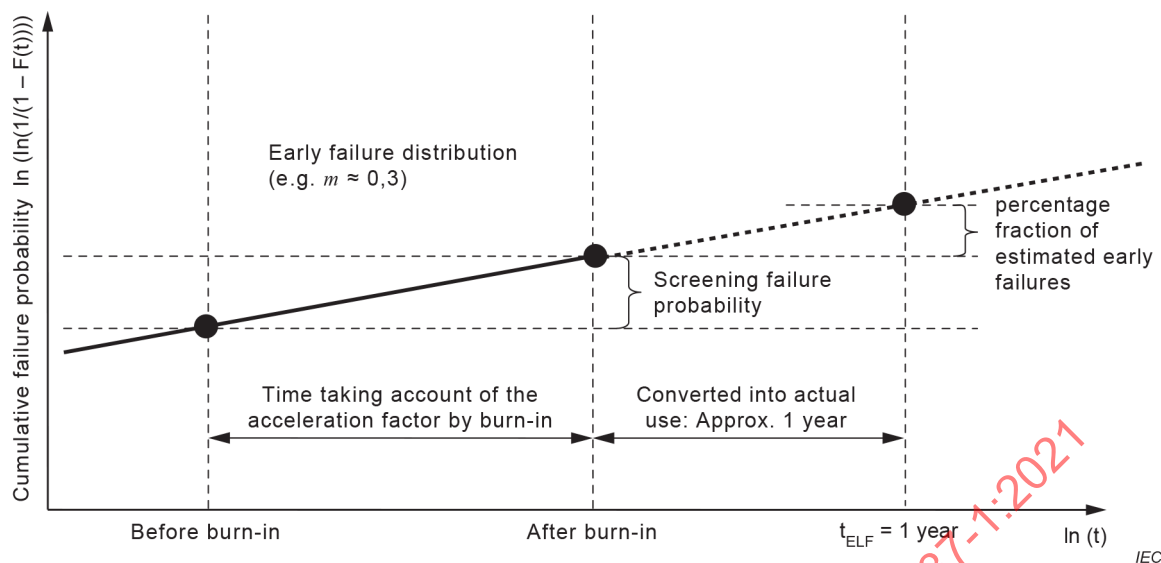


Figure 5 – Screening and estimated early fail rate in Weibull diagram

Figure 5 shows the verification method for the early failure rate after screening which can be estimated statistically. In some cases, burn-in is repeated until no actual burn-in failure occurs to confirm the convergence of the screening but, as shown in Figure 5, the early failure always occurs even at a slight rate when it is statistically estimated in the Weibull distribution. For this reason, the sampling becomes meaningless unless data is statistically analysed taking account of the experimental parameter, acceleration factor, and failure mode even when the burn-in is unreasonably repeated until no burn-in failure occurs.

The m value calculated with the failure probability of the burn-in process does not reflect the failures which occurred and were removed in the test processes before the burn-in process. If the m value is calculated without considering failures in the test processes before burn-in, it becomes larger. Therefore, the early failure rate estimated from the m value tends to become a poorer estimate than the actual quality. In general, it is necessary to calculate the m -value taking account of the failure probability before and after burn-in as shown in Figure 5 to estimate the early failure.

Verification of the early failure distribution and rate based on this concept should be incorporated into the verification of the product reliability, which is also the most effective means to improve the actual delivery quality.

Since the early failure depends on the intrinsic manufacturing defect rate of the manufacturing line, the early failure rate of other products in the same manufacturing line and with the same design standard can also be estimated easily as long as the manufacturing defect rate and the convergent characteristics (m -value of the Weibull distribution) of the early failure are understood.

EXAMPLE:

Calculation method for the early failure probability in the field:

When t_1 is the time until shipment taking account of the screening (converted into the time in the use environment per Figure 6), then the cumulative failure probability after shipment is:

$$F(t: t_1) = 1 - \exp \left[\frac{(t + t_1)^m - t_1^m}{\eta^m} \right] \quad (10)$$

and the failure rate after shipment (see Figure 7) is:

$$\lambda(t:t_1) = \frac{m \times (t + t_1)^{(m-1)}}{\eta^m} \quad (11)$$

Note that the cumulative failure probability for one year after shipment is $F(8\,760 \text{ h}: t_1)$ where 1 year = 8 760 h.

When m and η are obtained from the screening data, quantitative calculations are enabled.

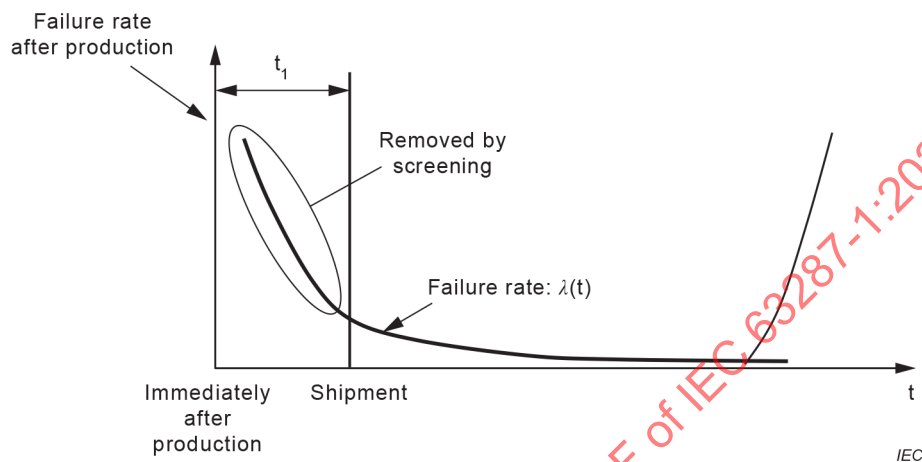


Figure 6 – Bathtub curve setting the point immediately after production as the origin

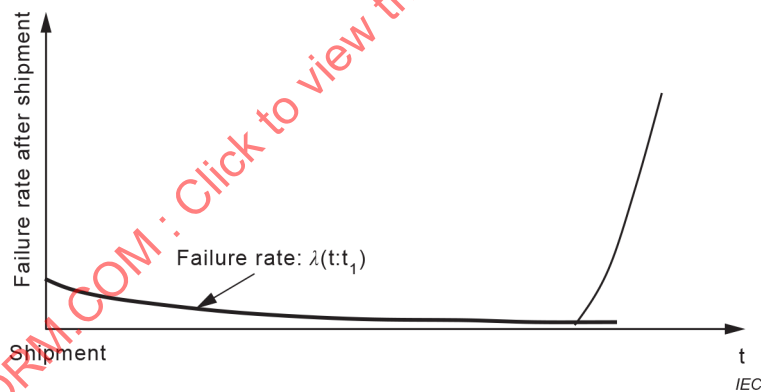


Figure 7 – Bathtub curve setting the point after screening as the origin

5.3 Random failure

5.3.1 Description

Random failure generally indicates a failure which occurs between the end of the defined early failure period (in this case, 1 year) and the end of the useful life or onset of the wearout period. It is appropriate to estimate that failures which occur after the defined early failure period are caused by the exposure of surviving early failures which were not completely removed by screening, and in most cases, the Weibull distribution shape parameter: m is not exactly 1. It is sometimes considered that these failures are incidental failures caused by disturbance factors which are not related to manufacturing defects and, to be more specific, by incidental factors.

5.3.2 Mean failure rate

Mean failure rate is calculated by converting the probability of failures which occur between the end of defined early failure period and the end of the useful life into the probability of occurrence per unit time. In general, it indicates a numerical value expressed in FIT (Failure In Time = number of failures per 10^9 device-hours, e.g., 1 FIT = 1 PPM per 1 000 hours of operation). This estimate can be used because the useful life period exhibits failure rates close to constant.

Since the mean failure rate based on an exponential distribution assuming the Weibull distribution shape parameter $m = 1$ (constant failure rate) is calculated statistically using the operating life test result, the value is uniquely determined by the number of samples, the time, and the acceleration factor of the test. Therefore, the calculated value does not always indicate the actual quality. The mean failure rate calculated using the exponential distribution is just conceptual and, in reality, the actual failure rate after the defined early failure period also becomes a region where numbers of failures gradually decrease. Though it depends on the acceleration factor, the wearout failure is not expected to occur by design and built in margin during an accelerated operating life test of about 1 000 hours, and it is appropriate to consider that the failures during the operating life test period remain with the Weibull distribution shape parameter: $m < 1$, if the number of random failures caused by disturbance factors is small enough. Therefore, it is practical to extend the early failure distribution after screening to the assumed operating time considering that the mean failure occurs as an extension of the early failure, and express the estimated cumulative failure probability as the failure rate per unit time in FIT. Figure 8 shows the concept describing the calculation method for the mean failure rate using an exponential distribution from the operating life test result; Figure 9 shows the concept describing the calculation method for the mean failure rate taking account of the Weibull distribution shape parameter: m as the extension of the early failure.

In the method to calculate the mean failure rate by an exponential distribution based on the operating life test result, the FIT value tends to be larger because the mean failure rate is calculated by fixing $m = 1$ uniquely taking no account of the actual failure distribution, and using a small amount of test samples, test acceleration factor, and test time. In the example of Figure 8, it is calculated to be approximately 1,36 FIT when the number of failures in the operating life test is $f = 0$ ($rc(0; 0,6) = 0,92$) with CL of 60 % and $n = 77$.

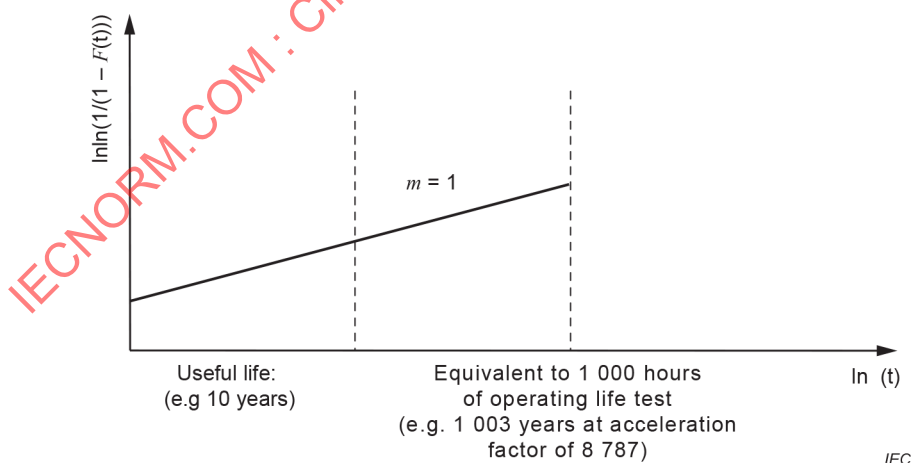


Figure 8 – Conceptual diagram of calculation method for the mean failure rate from the exponential distribution

EXAMPLE 1:

$$\lambda = \frac{r_c(f,g)}{N \times T \times A_{cc}} \times 10^9 \text{ FIT} \quad (12)$$

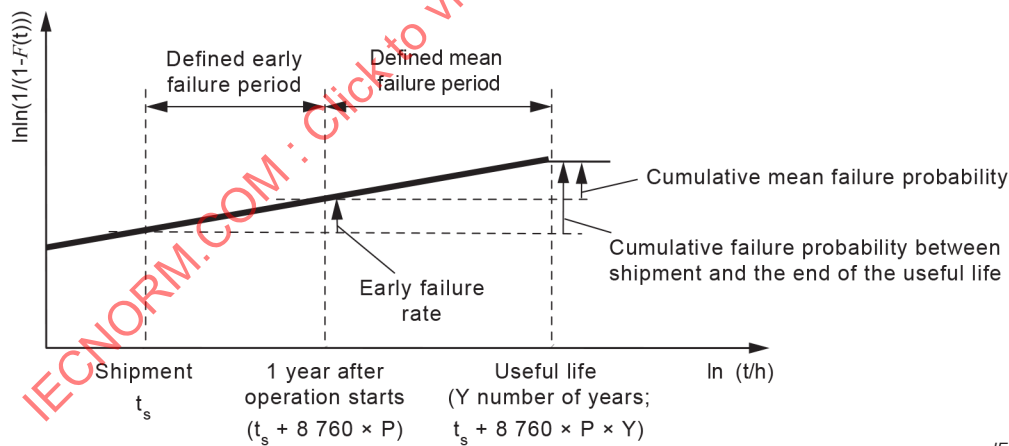
where

- λ is the failure rate;
- f is the number of failures;
- g is the confidence level (unit %);
- $r_c(f, g)$ is the corrected number of failures with CL of g (in %) when the actual number of failures is f , e.g.: when $f = 0$ and $g = 60\%$ then $r_c(0, 0,6) = 0,92$;
- N is the number of samples for the operating life test: 77;
- T is the operating life test time: 1 000 hours;
- A_{cc} is the acceleration factor for the reliability test is 8 787 times.

Then, the mean failure rate is:

$$\lambda = \frac{0,92}{77 \times 1000 \times 8\,787} \times 10^9 \text{ h}^{-1} = 1,36 \text{ FIT}$$

On the other hand, when the actual failure distribution (m value) is taken into account for the calculation, the cumulative failure probability (cumulative mean failure probability) between the end of the defined early failure period and the end of the useful life is calculated, which is converted into the mean failure rate. This calculation method has advantages such as high credibility of data because it is calculated based on the confirmation result of the cumulative failure convergence at screening test.



IEC

Figure 9 – Conceptual diagram of calculation method for the mean failure rate as an extension of early failure

Method for calculating mean failure rate with the Weibull model is defined as follows because the early failure rate during the defined early failure period is defined separately and the defined mean failure period is considered as an extension of the early failure, not the conventional exponent function distribution.

Defined mean failure period: period between the end of the defined early failure period and the end of the useful life.

The above relationships are expressed by a mathematical formula taking account of the confidence level as follows:

$F_c(t)$:	Cumulative mean failure probability
$\lambda(t)$:	Mean failure rate
$F_c(t_Y, t_s)$:	Cumulative failure probability between shipment and the end of the useful life
$F_c(t_1, t_s)$:	Cumulative failure probability during the defined early failure period
Y	Useful life (number of years)
P	Operating ratio ($0 < P \leq 1$)

$$F_c(t_Y : t_s) = 1 - \exp \left[- \frac{(t_Y + t_s)^m - t_s^m}{\eta_c^m} \right] \quad (13)$$

$$t_Y = Y \times 365 \times 24 \times P \quad (14)$$

$$F_c(t) = F_c(t_Y : t_s) - F_c(t_1 : t_s) \quad (15)$$

$$\lambda(t) = \frac{F_c(t_Y : t_s) - F_c(t_1 : t_s)}{(Y - 1) \times 365 \times 24} \quad (16)$$

When F_c is substituted with F and η_c with η in the above formula, it presents the mean failure rate taking no account of the confidence level.

EXAMPLE 2:

a) When a confirmation result of the cumulative failure convergence at screening test are obtained:

$$m = 0,3; t_b = 70\,298 \text{ h}; N = 2\,000; \text{ and } f = 69$$

the mean failure rate taking account of:

$$t_s = 70\,298 \text{ h}; P = 1; \text{ useful life of 10 years; and CL of 60 \%}$$

are expressed as follows:

$$\eta_c = 5,57 \times 10^{52} \text{ from Formula (4); } F_c(t_1, t_s) = 129 \times 10^{-6} \text{ from Formula (5); and } F_c(t_Y, t_s) = 898 \times 10^{-6} \text{ from Formula (8)}$$

the cumulative mean failure probability is $769 \times 10^{-6} \text{ h}^{-1}$ and the mean failure rate is 9,8 FIT.

b) When the confidence level is not considered,

$$\eta = 2,15 \times 10^{53} \text{ from Formula (2); } F(t_1, t_s) = 124 \times 10^{-6} \text{ from Formula (6); and } F(t_Y, t_s) = 862 \times 10^{-6} \text{ by substituting } F_c \text{ with } F \text{ and } \eta_c \text{ with } \eta \text{ in Formula (8).}$$

the cumulative mean failure rate is $738 \times 10^{-6} \text{ h}^{-1}$ and the mean failure rate is 9,4 FIT.

5.4 Wear-out failure

5.4.1 Description

Wear-out failure indicates the life of ICs themselves. When entering the wear-out failure region, every IC will eventually cause a failure. Therefore, this failure shall be prevented during the durable useful life period. For this reason, each IC vendor incorporates "reliability design" in the design phase to prevent the occurrence of the wear-out failure during the durable period by providing adequate design margin. In the wear-out failure region where the useful life is confirmed, the Weibull distribution shape parameter: m is larger than 1 ($m > 1$).

Design standards (e.g. manufacturing conditions, design conditions) which satisfy the reliability (or design specifications), for which the life converted into the actual use is required, are determined through design review based on the test results using the TEG (Test Element Group) for evaluation, etc. with elements constituting ICs (e.g. transistors, interconnections) and assembly elements such as packages, and ICs shall be designed based on them.

The shape parameter m of the wear-out failure is obtained from experiment results or an estimated value. If its value can be fixed, reliability targets in the field are set by drawing a Weibull diagram with the shape parameter m which passes the failure rate assumed from the number of test samples and the test time, and a reliability test to confirm that the reliability is exactly what was assumed is conducted by the acceleration test.

5.4.2 Wear-out failure rate

Figure 10 and Figure 11 show the conceptual diagrams describing the concept of the wear-out failure rate and the acceleration test.

Based on these conceptual diagrams, the following describes the calculation methods for the number of samples and the time for the reliability test.

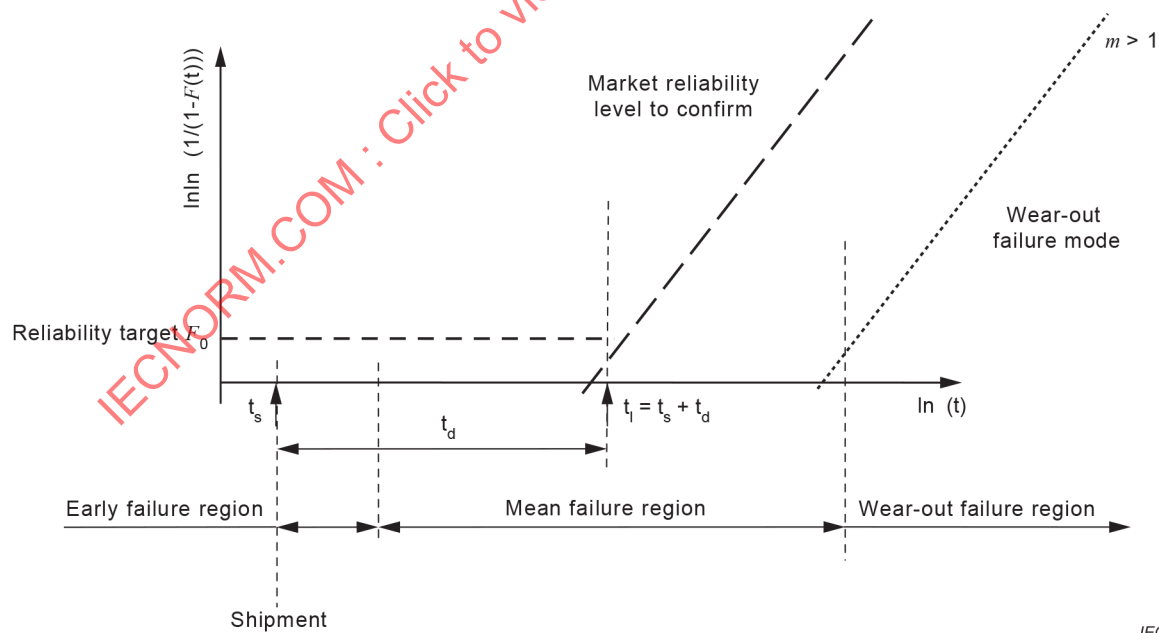


Figure 10 – Conceptual diagram of the wear-out failure

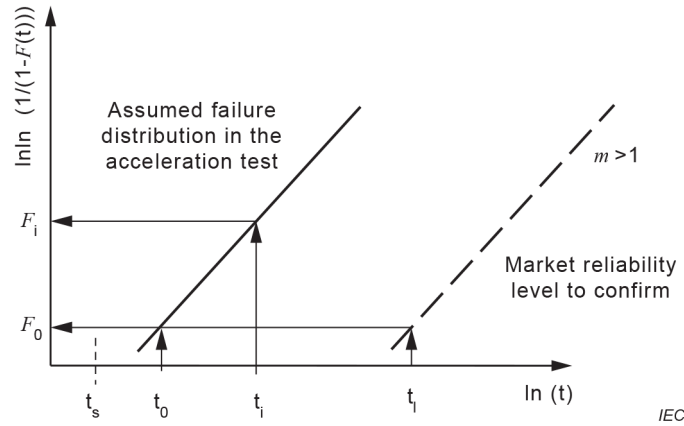


Figure 11 – Conceptual diagram describing the concept of the acceleration test

The time to achieve the failure probability t_0 confirmed in the acceleration test corresponding to the field use time until the useful life t_l is expressed by the following formula:

$$t_0 = \frac{t_l}{A_{cc}} \quad (17)$$

where

$$t_l = t_s + t_d$$

t_s is the value converting the screening period until shipment into field use time;

t_d is the durable period;

A_{cc} is the acceleration factor.

From CL of g (in %) and the number of samples n_i , the estimated maximum failure rate (estimated cumulative failure probability) F_i calculated from the binomial distribution when the number of failures is 0 is expressed by the following formula:

$$F_i = 1 - \left(1 - \frac{g}{100}\right)^{\frac{1}{n_i}} \quad (18)$$

Formula (18) can also be expressed by the following formula:

$$n_i = \frac{\ln\left(1 - \frac{g}{100}\right)}{\ln(1 - F_i)} \quad (19)$$

The cumulative failure probability for the assumed failure distribution in the acceleration test is expressed by the following formulas:

$$F_i = 1 - \exp\left(-\frac{t_i^m}{\eta^m}\right) \quad (20)$$

$$F_0 = 1 - \exp\left(-\frac{t_0^m}{\eta^m}\right)^{\frac{1}{n_i}} \quad (21)$$

where

t_i test time including screening time conducted until shipment;

F_0 cumulative failure probability to confirm during the durable period.

The following formula is obtained from the above Weibull formulae:

$$\frac{\ln(1-F_i)}{\ln(1-F_0)} = \left(\frac{t_i}{t_0}\right)^{\frac{1}{m}} = \left(t_i \times \frac{A_{cc}}{t_i}\right)^m \quad (22)$$

Once CL of g (in %) and the number of samples: n_i are fixed, the estimated cumulative failure rate: F_i is obtained, and the test time including screening time conducted until shipment: t_i can be calculated from the cumulative failure probability to confirm during the durable period: F_0 and Formula (22).

If a binomial distribution is applied with the number of failures: 0, the test time including screening time conducted until shipment: t_i is expressed as follows:

$$t_i = \left[\frac{\ln\left(1 - \frac{g}{100}\right)}{n_i \times \ln(1-F_0)} \right]^{\frac{1}{m}} = \frac{t_l}{A_{cc}} \left[\frac{\ln\left(1 - \frac{g}{100}\right)}{n_i \times \ln(1-F_0)} \right]^{\frac{1}{m}} \quad (23)$$

If the test is conducted using samples for which the screening of the field use time: t_s was conducted until shipment, the test time excluding the screening time conducted until shipment: t_i is expressed as follows:

$$t_i = t_l - \frac{t_s}{A_{cc}} \quad (24)$$

The estimated cumulative failure rate: F_i is obtained from the test time excluding the screening time conducted until shipment: t_i ; the cumulative failure probability to confirm during the durable period: F_0 ; and Formula (22), and the number of samples: n_i can be calculated from CL of g (in %).

$$t_i = t_d + \frac{t_s}{A_{cc}} \quad (25)$$

$$F_i = 1 - \exp\left[\left(t_i \times \frac{A_{cc}}{t_l}\right)^m \times \ln(1-F_0)\right] \quad (26)$$

When a binomial distribution is applied with the number of failures is 0, the number of samples n_i is expressed as follows:

$$n_i = \left(\frac{t_0}{t_i} \right)^m \times \frac{\ln\left(1 - \frac{g}{100}\right)}{\ln(1 - F_0)} = \left(\frac{t_i}{A_{cc} \times t_i} \right)^m \times \frac{\ln\left(1 - \frac{g}{100}\right)}{\ln(1 - F_0)} \quad (27)$$

6 Reliability test

6.1 Reliability test description

Product reliability tests are conducted mainly to confirm the useful life (wear-out failure) and stability of the designed circuit. The wear-out failure causes a failure when the IC reaches the end of its intrinsic usefulness (intrinsic mode). Though the time before causing a failure depends on variations during manufacturing and stress in use, every IC will eventually reach the end of its life. For this reason, the failure rate increases sharply after the durable period is over. The reliability test is conducted to confirm that the wear-out failure is within the desired cumulative failure probability during the period assuming actual use. Since $m > 1$ in the wear-out failure, a reliability test using only a small number of samples (e.g. a couple to dozens of samples) can also be equivalent to a test which is several times to several hundred times the period assuming actual use. This is true if a significant number of samples ($> 50\%$) can be stressed to failure and whose fail times can be sequentially arranged into a Weibull slope. If not, estimates of slope parameters shall be used in lifetime calculations as described earlier.

The reliability test is a means to confirm the useful life carefully designed in the design phase, and not a means to confirm delivery quality. Manufacturing defects which influence delivery quality should be handled as the early failure, and be isolated from the concept of the reliability test. For countermeasures against the early failures, see Clause 8.

6.2 Reliability test plan

6.2.1 Procedures for creating a reliability test plan

Reliability tests are conducted by accelerating voltage, temperature, humidity, etc. of the actual use environment. Since the test is designed to detect wear-out failure, the assumed failure distribution tends to have fewer variations, and it can serve the purpose with a small amount of samples in a short test time by greatly accelerating the conditions. However, since there are also mechanisms which are accelerated slightly, considerations should be given to the number of test samples and the test time according to acceleration factors for failure mechanisms. It should also be noted that the test becomes meaningless when an excessively severe stress is applied to fracture the test piece if the failure mechanism is not correlated with failures which occur in the field. When acceleration conditions are set, it is necessary to accelerate the conditions within a range in which the failure mode, the failure mechanism, and the acceleration factor are constant.

The example below describes how to create a reliability test plan to confirm that the wear-out failure is 0,1 % or below after 10 years of the period assuming actual use utilizing acceleration, taking the time-dependent dielectric breakdown (TDDB).

- a) Decide reliability test methods appropriate for the failure mode and mechanism to detect.
As a rule, conduct more than one reliability test to confirm the assumed failure mode and mechanism. This section takes an "operating life test" as an example as a reliability test method to confirm the TDDB.
- b) Calculate the acceleration factor for the reliability test. Since the acceleration of the TDDB is promoted by the electric field and the temperature, set a higher electric field and temperature than those under the actual use environment as the test conditions. In this example, the voltage and the temperature are accelerated under the following conditions, and the acceleration factor is 966 times.

EXAMPLE:

Voltage in actual use: 2,5 V; test voltage: 3,4 V; $\beta = 4,0 \text{ V}^{-1}$ yields the voltage acceleration factor:

$$\alpha_V = \exp[\beta \times (V_2 - V_1)] = 36,6 \quad (28)$$

Temperature in actual use: 70 °C; test temperature: 125 °C; $E_a = 0,7 \text{ eV}$ yields the thermal acceleration factor:

$$\alpha_T = \exp\left[\frac{E_a}{k} \times \left(\frac{1}{T_1} - \frac{1}{T_2}\right)\right] = 26,4 \quad (29)$$

Multiplying the two yields the acceleration factor for the reliability test:

$$A_{cc} = \alpha_V \times \alpha_T = 36,6 \times 26,4 = 966 \quad (30)$$

- c) Assume the failure distribution. In general, when the failure distribution was obtained in a process reliability test using a TEG before the product reliability test is conducted and it is known, the m value obtained from the TEG may be used.
- d) Draw a failure distribution which passes the cumulative failure probability 0,1 % for the time interval of 10 years based on the assumed failure distribution. In this example, a Weibull distribution and the shape parameter: $m = 3$ are used. Normally, draw a failure distribution which passes the cumulative failure probability: 0,1 % during the assumed service life ($10/966 = 90,7 \text{ h}$ in this example using the acceleration factor is 966 times). Change the life and the cumulative failure probability to confirm when necessary, for example, by changing them to 0,1 % in 15 years for automotive use. If the ratio between the operating time and the non-operating time (duty) can be incorporated, it can also be included.
- e) Finalize the test plan from the relationship between the test time at which the failure distribution crosses the cumulative failure probability to confirm during the acceleration test mentioned in item d) above. Since wear-out failures are infrequently detected in actual product reliability tests, the reliability test results can be substituted with a statistical number of failure occurrences using the confidence level such as CL of 60 %.

In the example of Figure 12 below, the probability of 0,1 % for the time interval of 10 years can be confirmed with the number of samples: 77 and the test time: 208 hours; and the number of samples: 22 and the test time is 317 hours. In this way, the reliability test can be optimized by changing the combination of the test time and the number of test samples. When the number of test samples needs to be reduced, the test time should be extended instead. In contrast, when the reliability evaluation needs to be completed in a short period of time, it can be achieved by increasing the number of samples.

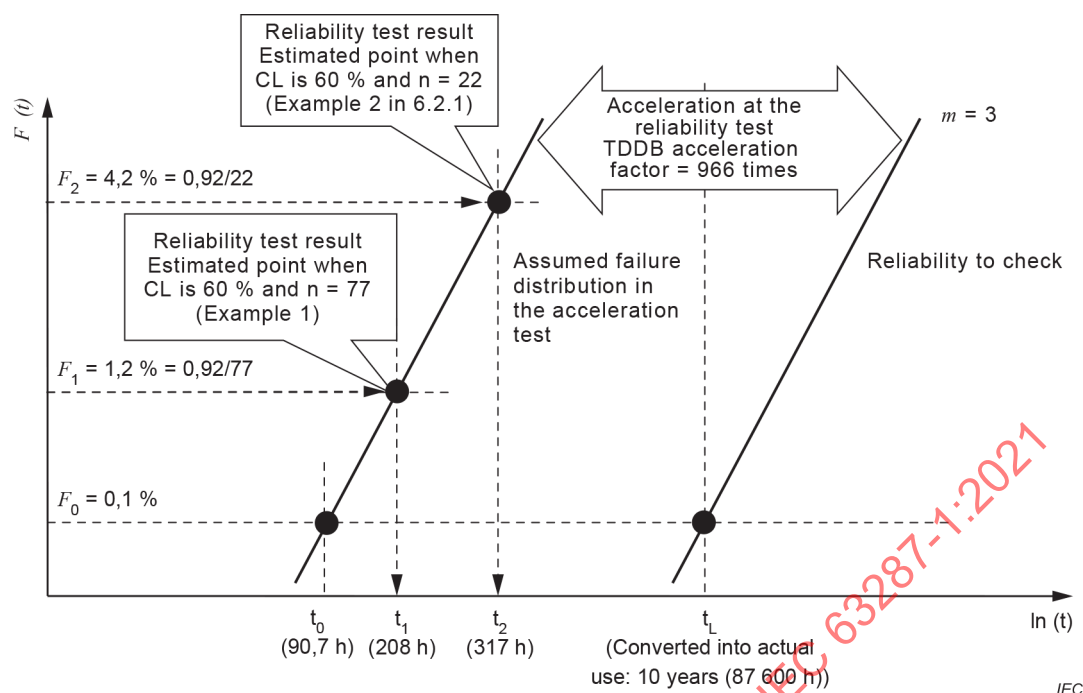


Figure 12 – Concept of the reliability test in a Weibull diagram (based on sample size)

In principle, a test plan should have a margin taking account of variations, and it should not be a plan to exactly confirm 0,1 %. The example of TDDb assumes $m = 3$, but when the m value is small, the probability of occurrence of wear-out failure during the period assuming actual use increases in the confirmation of 0,1 % for the time interval of 10 years. Therefore, the target cumulative failure probability in 10 years needs to be set lower than 0,1 %. Table 2 shows the cumulative failure rate of the third, fifth, and seventh years with the target set at 0,1 % for the time interval of 10 years when m is between 1 to 5. As shown in the table, even when the target cumulative failure probability of the wear-out failure is set at 0,1 %, the wear-out failure is less likely to pose a problem within the period assuming actual use as long as the m value is large. The concept of the reliability test is that the test scale which can confirm the "wear-out failure of 0,1 % or below" is enough to verify the risk of the occurrence of wear-out failures, and it does not assume the acceptance of the occurrence of 0,1 % wear-out failures.

Table 2 – Cumulative failure probability 0,1 % over 10 years [$\times 10^{-6}$] for the third, fifth and seventh years

m value	third year	fifth year	seventh year	tenth year
1,0	300	500	700	1 000
2,0	90	250	490	
3,0	27	125	343	
5,0	2,0	31	168	

6.2.2 describes the calculation method for the necessary test time and number of samples shown in Figure 12 and Figure 13.

6.2.2 Estimation of the test time required to confirm the TDDb from the number of test samples

An estimate of the failure probability can be confirmed using the available number of samples, taking account of the confidence level.

When the Weibull function is expressed in a simple manner, the cumulative failure probability F_0 is expressed by the following formula:

$$F_0 = 1 - \exp(-A \times t_0^m) \quad (31)$$

where A is a constant including the shape parameter m and the scale parameter η ; Positional parameter $\gamma = 0$.

$$1 - F_0 = \exp(-A \times t_0^m) \quad (32)$$

$$\ln(1 - F_0) = -A \times t_0^m \quad (33)$$

Similarly, since $\ln(1 - F_1) = -A \times t_1^m$, the following relationship is established:

$$\left[\frac{\ln(1 - F_1)}{\ln(1 - F_0)} \right] = \left(\frac{t_1}{t_0} \right)^m \quad (34)$$

EXAMPLE 1:

For CL of 60 % and 77 samples: $F_1 = 0,92/77 = 1,2$ %. By substituting the parameter, the required test time can be calculated. When 77 samples are used, the cumulative wear-out failure probability of 0,1 % for a time interval of 10 years can be confirmed in 208 hours.

$$t_1 = t_0 \times \left[\frac{\ln(1 - F_1)}{\ln(1 - F_0)} \right]^{\frac{1}{m}} = \frac{t_l}{A_{cc}} \times \left[\frac{\ln(1 - F_1)}{\ln(1 - F_0)} \right]^{\frac{1}{m}} = \frac{10 \times 8\,760 \text{ h}}{966} \times \left[\frac{\ln(1 - 0,0012)}{\ln(1 - 0,001)} \right]^{\frac{1}{3}} = 208 \text{ h}$$

EXAMPLE 2:

Similarly, when 22 samples are used, $F_2 = 0,92/22 = 4,2$ %, and the cumulative wear-out failure probability of 0,1 % for a time interval of 10 years can be confirmed in 317 hours.

$$t_2 = t_0 \times \left[\frac{\ln(1 - F_2)}{\ln(1 - F_0)} \right]^{\frac{1}{m}} = \frac{t_l}{A_{cc}} \times \left[\frac{\ln(1 - F_2)}{\ln(1 - F_0)} \right]^{\frac{1}{m}} = \frac{10 \times 8\,760 \text{ h}}{966} \times \left[\frac{\ln(1 - 0,0042)}{\ln(1 - 0,001)} \right]^{\frac{1}{3}} = 317 \text{ h}$$

where

t_0 time to achieve the failure probability confirmed in the acceleration test;

t_1, t_2 test time to obtain;

t_l duration of use in the field: 10 years = 87 600 h;

F_0 cumulative failure probability to confirm with the life time: 0,1 % = 0,001;

F_1, F_2 failure probability which can be confirmed from the number of test samples, which is calculated using the confidence level. Example 1: 1,2 %; Example 2: 4,2 %;

m Weibull shape parameter of the failure: $m = 3$;

A_{cc} Acceleration factor for the reliability test: 966 times.

6.2.3 Estimation of the number of samples required to confirm the TDDB from the test time

The estimation of the failure probability can be confirmed with the test time, substituting the parameter, and deciding the necessary test parameter from the calculated result.

$$\left[\frac{\ln(1-F_3)}{\ln(1-F_0)} \right] = \left(\frac{t_3}{t_1} \right)^m = \left(\frac{t_3 \times A_{cc}}{t_1} \right)^m$$

$$\ln(1-F_3) = \left(\frac{t_3 \times A_{cc}}{t_1} \right)^m \times \ln(1-F_0) \quad (35, 36, 37)$$

$$F_3 = 1 - \exp \left[\left(\frac{t_3 \times A_{cc}}{t_1} \right)^m \times \ln(1-F_0) \right]$$

EXAMPLE 1:

When the reliability test with $t_3 = 500$ h is conducted, the number of samples with which the failure probability of 15,4 % can be confirmed can serve the test purpose. When CL is 60 %, the number of samples is $0,92/15,4 \% = 5,97$, which indicates that 500 h of the test conducted with 6 samples can confirm the cumulative wear-out failure probability of 0,1 % for a time interval of 10 years.

$$F_3 = 1 - \exp \left[\left(\frac{t_3 \times A_{cc}}{t_1} \right)^m \times \ln(1-F_0) \right] = 1 - \exp \left[\left(\frac{500 \times 966}{87\,600} \right)^3 \times \ln(1-0,001) \right] = 0,154 = 15,4 \%$$

EXAMPLE 2:

Similarly, when the test with $t_4 = 100$ h is conducted, the number of samples is $0,92/0,134 \% = 686,6$, and the cumulative wear-out failure probability of 0,1 % for a time interval of 10 years can be confirmed with 687 samples.

$$F_4 = 1 - \exp \left[\left(\frac{t_4 \times A_{cc}}{t_1} \right)^m \times \ln(1-F_0) \right] = 1 - \exp \left[\left(\frac{100 \times 966}{87\,600} \right)^3 \times \ln(1-0,001) \right] = 0,001\,34 = 0,134 \%$$

where

t_3, t_4 test time to be conducted: Example 1: 500 h; Example 2: 100 h;

t_1 duration of use in the field: 10 years = 87 600 h;

F_0 cumulative failure probability to confirm with the life time: 0,1 %;

F_3, F_4 failure probability which can be confirmed with the planned test time;

m Weibull shape parameter of the failure: $m = 3$;

A_{cc} acceleration factor for the reliability test: 966 times.

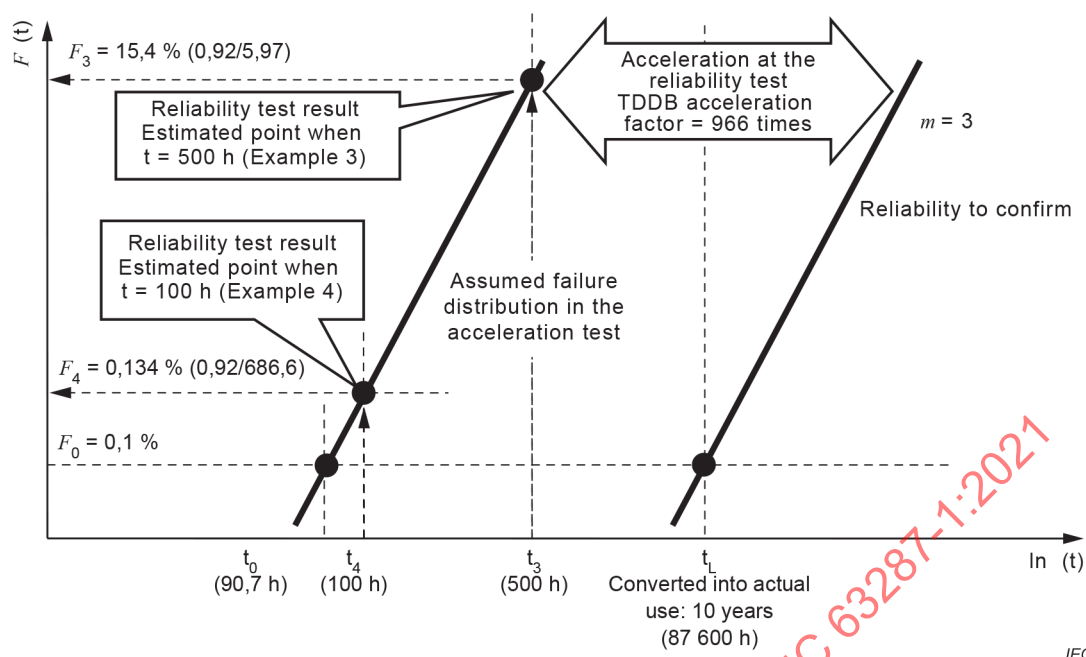


Figure 13 – Concept of the reliability test in a Weibull diagram (based on test time)

6.3 Reliability test methods

Table 3 and Table 4 show product reliability test methods with finished products and the major purposes of each test method. The test methods listed in Table 3 shall be used for tests conducted using this reliability test plan. Table 4 shows an example of the number of test samples and the test time in typical reliability (life) test methods. See each test standard for more details. General test scales are listed in consideration of industrial standards but the test scale can be changed flexibly as long as it is possible to confirm that the cumulative failure probability of the wear-out failure during useful life is 0,1 % or below. However, the wear-out failure confirmation level during the useful life needs to be statistically explainable to change the test scale. In most tests, stress conditions can be accelerated by voltage, temperature, humidity, etc. Reliability during the useful life can be confirmed in a short period of time using these acceleration conditions. Table 4 shows an example of the number of test samples and the test time required to confirm the cumulative wear-out failure probability of 0,1 % for a time interval of 10 years taking acceleration models and factors of typical reliability test methods (life confirmation) as an example. As shown in the Table 4, the life can be confirmed with a small number of samples in a short period of time according to the test acceleration factor. Detailed descriptions of acceleration models and acceleration factors are shown in the bibliography which should be referred to when necessary. Note that the accuracy of the life test calculation may deteriorate when the number of samples is reduced unreasonably if the m value is small and the variations in the failure distribution are large. Therefore, sampling with consideration given to the wear-out failure distribution is necessary (see Figure 14).

NOTE 1 Each test in Table 4 contains only one relevant failure mechanism detectable from that test. Multiple fail mechanisms are similarly accounted for and their fail rates summed to represent a true set of test conditions and sample sizes.

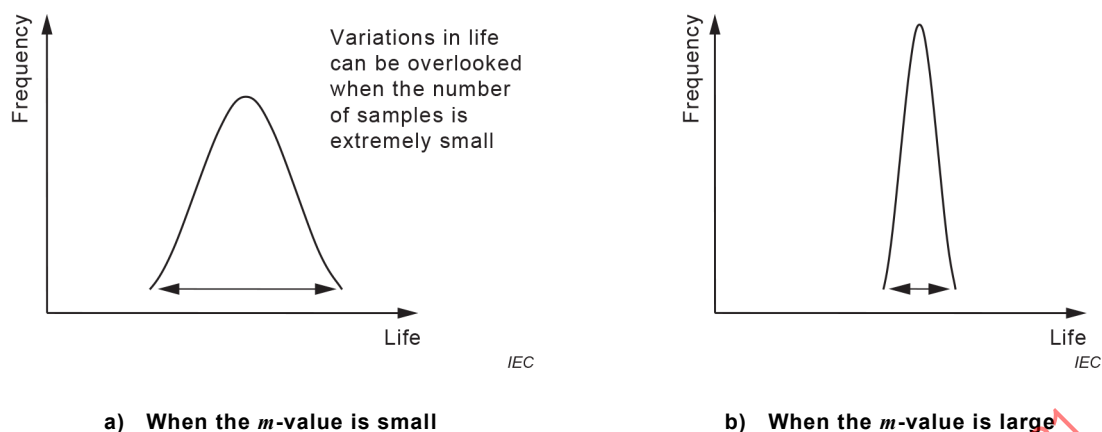


Figure 14 – Difference in sampling sizes according to the m value (image)

Since the useful life is carefully designed in the design phase, it is technically feasible to have a reliability test evaluation using representative models for a new product of the same design standard, with the same functions, and at the same plant as those of the existing products which have actual records of reliability test evaluations if the IC vendor and the user agree on the identity and the equivalence. To be more specific, the reliability (life) of products whose circuit design was made using the existing wafer manufacturing process and design standard at the same plant can be evaluated with the results of the reliability test of prior existing products. Hence, by explaining the equivalence based on the result of the analysis of the difference between the prior products and the new products, it can be considered as "evaluation with representative models."

Previously, wafers and dies sold received a reliability test after packaging, but currently, development of a method to conduct a reliability test in wafer form has been promoted due to problems such as the total test turnaround time including the creation of test samples. The same concept of the test with the package sealed basically applies even when the reliability test is conducted in the wafer form. However, since it is necessary to examine the test conditions when conducting operating life tests of package products, with junction temperature: T_j taking account of package heat resistance, an appropriate test environment temperature: T_a in consideration of heat dissipation by self-heating needs to be set when the test is conducted in the wafer form. Failure criteria shall follow individual standards.

Table 3 – Major reliability (life) test methods and purposes

Test method	Purpose	Failure mechanisms
High temperature operating life IEC 60749-23	This test provides for the methods to evaluate the endurance of ICs when they are submitted to electric stress and thermal stress of long duration.	Breakdown of oxide film over time by the electric field, migration of metal film interconnection
Temperature humidity bias IEC 60749-5	This test provides for the methods to evaluate the endurance of IC devices when they are used in high temperature and high humidity ambient.	Electrolytic corrosion of metal film interconnection, ion migration between metal interconnection, leak current caused by water
Temperature humidity storage IEC 60749-42	This test provides for the methods to evaluate the endurance of plastic moulded package ICs when they are used in high temperature and high humidity ambient.	Corrosion of metal film interconnection, leak current caused by water
Resistance of plastic encapsulated SMDs to the combined effect of moisture and soldering heat IEC 60749-20	This test provides for the methods to evaluate the resistance and the endurance of plastic moulded SMD after moisture absorption during storage and after being submitted to soldering heat stress when mounted on the printed circuit board.	Package cracks, separations inside the package
Temperature cycle IEC 60749-25	This test provides for the methods to evaluate the endurance of ICs when they are exposed to repeated temperature variation cycles between high temperature and low temperature.	Package cracks, chip cracks
High temperature storage IEC 60749-6	This test provides for the methods to evaluate the endurance of ICs when stored under high temperature for a long time.	Failure of non-volatile memory data retention Al-stress induced voiding

Table 4 – Examples of the number of test samples and the test time in typical reliability (life) test methods

Test method	Assumed failure mode	Failure distribution	Acceleration parameter	Acceleration formula	Acceleration factor	Reliability qualification plan to confirm the life of 10 years / 0,1 %						
High temperature operating life IEC 60749-23	TDDB (Time-dependent dielectric breakdown of oxide film)	Weibull distribution $m = 3$	Activation energy: $E_a = 0,7\text{eV}$	Formula (38)	77,8	Number of test samples	11	22	45	77	154	231
			Voltage acceleration factor: $\beta = 4,0$	Formula (39)	36,6	Test time (h)	136	108	84	70	55	48
Temperature humidity bias IEC 60749-5	Corrosion of metallic fine wiring	Weibull distribution $m = 4$	Water vapor pressure acceleration : $n = 2$	Formula (40)	497,7	Number of test samples	11	22	45	77	154	231
Temperature humidity storage IEC 60749-42						Test time (h)	538	450	358	329	276	250
Temperature cycle IEC 60749-25	Au wire fracture	Weibull distribution $m = 5$	Temperature difference acceleration : $n = 4$	Formula (41)	40,9	Number of test samples	11	22	45	77	154	231
						Test time (cycles)	437	379	327	294	256	236
High temperature storage IEC 60749-6	Failure of nonvolatile memory data retention	Weibull distribution $m = 4$	Activation energy: $E_a = 1.0 \text{ eV}$	Formula (38)	2816,7	Number of test samples	11	22	45	77	154	231
						Test time (h)	95	79	66	57	48	44

Preconditions

Confirm level: Cumulative failure probability: 0,1 % or below

Mean use environment temperature: $T_j = 55^\circ\text{C}$, $T_a = 40^\circ\text{C}$,

Accelerated environment temperature: $T_j = 125^\circ\text{C}$ (operating life test); $T_a = 85^\circ\text{C}$ (thermal humidity test);

$T_a = 150^\circ\text{C}$ (high temperature exposure test)

Mean use environment relative humidity: 30 %

Accelerated environment relative humidity: 85 %

Use environment temperature difference: 85°C

Accelerated environment temperature difference: 215°C (range from -65°C to 150°C)

Changes in temperature environment: Twice/day

Working voltage: 2,5 V

Acceleration voltage: 3,4 V

Temperature cycle acceleration with $40^\circ\text{C}/30\%$ relative humidity and $85^\circ\text{C}/30\%$ relative humidity

Vapor pressure at $85^\circ\text{C}/85\%$ relative humidity: 49,37 kPa and $40^\circ\text{C}/30\%$ relative humidity: 2,213 kPa

6.4 Acceleration models for reliability tests

6.4.1 Arrhenius model

$$\alpha_T = \exp \left[\frac{E_a}{k} \times \left(\frac{1}{T_1} - \frac{1}{T_2} \right) \right] \quad (38)$$

where

E_a is the activation energy for the relevant failure mechanism being modelled;

k is the Boltzmann constant;

T_1 is the absolute temperature in actual use;

T_2 is the absolute stress test temperature.

6.4.2 V-model

$$\alpha_V = \exp[\beta \times (V_2 - V_1)] \quad (39)$$

where

β is the constant depending on dielectric material, device structure, etc.;

V_1 is the voltage in actual use;

V_2 is the stress test voltage.

6.4.3 Absolute water vapor pressure model

$$\alpha_{vp} = \left(\frac{V_{p2}}{V_{p1}} \right)^n \quad (40)$$

where

V_{p1} is the actual use environment water vapor pressure;

V_{p2} is the test environment water vapor pressure;

n is the acceleration exponent (empirically determined).

6.4.4 Coffin-Manson model

$$\alpha_{\Delta T} = \left(\frac{\Delta T_2}{\Delta T_1} \right)^m \quad (41)$$

where

ΔT_1 is the temperature difference in actual use;

ΔT_2 is the stress test temperature difference;

m is the Coffin-Manson exponent dependent on material hardness.

6.5 Concept of family

6.5.1 General

"Family" or "grouping" is the name of the method that uses the reliability test data of the existing products that are representative models or substitutes for the same targeted use environment in place of the reliability test result of each product.

6.5.2 Conducting life test using family

The useful life in the expected operating condition of the application is carefully planned in to the design of semiconductor integrated circuits. The concept of family can be applied to a new product of the same design standard, with the same functions and from the same manufacturing line as those of existing products. It is technically feasible to utilise the existing records of reliability test evaluations to model the reliability of the new product. Specific examples in which the concept of family is applied are shown in Table 5. When using the reliability test data in family, it is important to have the technical grounds that a product is regarded as family and it should be based on the assumption that the generated failure mechanism and failure phenomena do not change from those of the existing products. It is recommended that the semiconductor vendor and the user agree that there is no change in the failure mechanism between existing products and a new product and determine the extent in which the reliability test data can be used. If there is any change from the existing products that cannot be substituted with the existing reliability test data, an additional test that takes into consideration the generated failure mechanism and failure phenomena are required. If there are multiple combinations of differences, considerations should be given to the interaction of the combinations. The application use environment shall be considered to ensure appropriate enveloping or family.

Table 5 – Concept of family (example)

Difference between existing products and new product	Failure mechanism confirmation	Utilisation of family test data	
		Data that can be used	Data that cannot be used
Device function	When there are variations in the stresses applied to transistors, fine wiring, and interconnection oxide film due to the difference in functions, it may be necessary to check for differences, mainly in the tolerance of the following: • time-dependent dielectric breakdown; • hot carrier injection; • electro-migration; • bias temperature instability.	When there is no difference in the stresses applied to transistors, interconnections, etc., the reliability data of the wafer manufacturing process and package manufacturing process can be used, e.g. • high temperature operating life; • low temperature operating life; • high temperature storage; • thermal humidity bias; • temperature cycle, etc.	When there are variations in the stresses applied to transistors, interconnections, etc., existing data cannot be used and reliability testing related to the wafer manufacturing process is necessary.

Difference between existing products and new product	Failure mechanism confirmation	Utilisation of family test data	
		Data that can be used	Data that cannot be used
Wafer manufacturing process	Difference in the wafer manufacturing process may cause changes in the reliability of transistors, fine wiring, and interconnection oxide film. When a completely new wafer manufacturing process or structure is adopted, tests mainly focused on the following shall be conducted: - time-dependent dielectric breakdown; - hot carrier injection; - electro-migration. When the wafer manufacturing process with the same design standard is produced at another plant, necessary test items should be decided on the basis of the results of the wafer level reliability tests.	There may be cases in which the reliability data of the package manufacturing process can be used. However, it is necessary to verify that the parts interfacing with the wafer manufacturing process (e.g.: wire bonding, chip surface adhesiveness) are not affected. When the wafer manufacturing process with the same design standard is produced at another plant, there may be cases in which the reliability data can be partially used. - Thermal humidity bias - Temperature cycle, etc.	In case of a new wafer manufacturing process, existing data of the test items related to the wafer manufacturing process cannot be used, e.g. - High temperature operating life - Low temperature operating life - High temperature storage, etc.
Package manufacturing process	Difference in the package manufacturing process may cause changes in resistance to reflow, resistance to humidity, and resistance to thermal cycling. When a completely new package manufacturing process or structure is adopted, tests mainly focused on the following shall be conducted. - resistance to soldering heat; - resistance to corrosion; - package cracks. When a package with the same materials and the structure is produced at another plant, necessary test items should be decided on the basis of material characteristics etc.	There may be cases in which the reliability data of the wafer manufacturing process can be used. However, it is necessary to verify that the parts interfacing with the package manufacturing process (e.g.: wire bonding, chip surface adhesiveness) are not affected. When the package with the same materials and the structure is produced at another plant, there may be cases in which the reliability data can be partially used: - high temperature operating life; - low temperature operating life, etc.	In the case of a new package manufacturing process, the existing data of the test items related to the wafer manufacturing process cannot be used. However, when there are reliability records in the existing materials and the existing structures (such as thickness of encapsulation resin), the existing data can be used. For example, when there is no change in the package thickness and the difference is only the number of pins, the data can be handled as family data. - high temperature storage; - thermal humidity bias; - temperature cycle, etc.

NOTE Verification on whether the existing test data can be used or not, based on the differences. The above examples describe the differences generally found in new products as representative examples. When there is no difference in terms of family (e.g.: change in ROM code, etc.), consideration can be given to the maximum utilization of the existing test data.

As in Table 5, the concept of family makes reliability tests more efficient by analysing the differences between the new product and the existing products. It is necessary in difference analysis to accurately associate a changed element with a possible reliability problem by focusing on the device structures, constituent materials, manufacturing lines, etc. When the failure mechanisms shown in Table 5 are summarized further in the relationship of causes and test items, Table 6 is produced.

Table 6 – Concept of difference/failure mechanism/corresponding test item (examples)

Difference	Change factor	Failure mechanism	Failure mode	Test method
Encapsulation resin material	Adhesiveness to chip	Peeling of encapsulation resin interface	Disconnection of bonding wire	Soldering heat resistance test Temperature cycle test
	Constituent chemical materials (halogen, ionizable substance, etc.)	Abnormal growth of intermetallic compound. Corrosion	Removal or disconnection/short circuit of bonding wire	High temperature storage test Thermal humidity bias test
	Thermal expansion coefficient	Mechanical stress	Chip cracks	Temperature cycle test
Lead frame material	Adhesiveness to encapsulation resin	Peeling of encapsulation resin interface	Disconnection of bonding wire	Soldering heat resistance test Temperature cycle test
	Pin surface condition	Uneven solder plating	Soldering defect	Solderability test
Wafer manufacturing line	Transistor gate oxide film, multi-layer interconnection etc	Time-dependent dielectric breakdown of oxide film Hot carrier injection Negative bias temperature instability Electro-migration, stress migration	Circuit operation defect	High temperature operation test Low temperature operation test
	Adhesiveness to resin	Peeling interface between resin and chip	Removal or disconnection of bonding wire	Soldering heat resistance test
	Au-Al alloy growth	Decrease in wire bond strength	Removal of bonding wire	High temperature storage test Temperature cycle test
Passivation film material	Stress, mechanical strength of film	Passivation film cracks, stress migration	Disconnection or short circuit of fine metallic wiring	Soldering heat resistance test Temperature cycle test High temperature storage test
	Impurities in film, permeability of water	Defect or fault of passivation film composition	Leak current increase, disconnection	Thermal humidity bias test
Circuit/function addition	Circuit characteristics margin	Hot carrier injection, Negative bias temperature instability	Defect of circuit operation due to variation in transistor threshold values and decrease of transistor driving ability	Low temperature operation test High temperature operation test
	Electric discharge path in chip	Electrostatic breakdown	Transistor thin film destruction, P/N bonding disruption	Electrostatic discharge test

6.5.3 Verification of early failure rate using family

Verification of early failure rate can also be conducted using the concept of family. Screening, which is represented in burn-in, is conducted with the purpose of removing manufacturing defects produced in the wafer process. Therefore, it is possible to conduct verification using a wafer process family without taking account of the difference of package shapes. In addition, if based on the assumption that equal stress can be applied at the element level, it is possible to use the data of device groups that have different functions such as MCU, Digital, Analogue, Memory, etc. Conversely, because use of a reliability test (life test) does not provide good estimation accuracy to verify the early failure rate of several dozen to hundred ppm, it is effective to actively use the data of a family of products from which more data items are available.

Manufacturing defects can be indicated as "manufacturing defect rate" using the number of defects per unit area of a wafer. Therefore, the early failure rate will have a certain correlation with the manufacturing defect rate. The manufacturing defect rate stays almost the same for the same line and the same manufacturing process even for different products. However, as the chip size varies for each product, there is a difference in the value of the screening defect rate even if the manufacturing defect rate is the same. As the chip size becomes smaller, the probability of defects in one chip decreases. Therefore, in the screening defect rate, the smaller the chip size, the lower the defect rate. Conversely, it is not so difficult to estimate the screening defect rate of product C based on the chip size of product C by normalizing each of the screening defect rates from the screening data of products A and B. A conceptual diagram is shown in Figure 15. In this way, by using the product group data for the same wafer process family, verification of the early failure rate using the concept of family becomes possible.

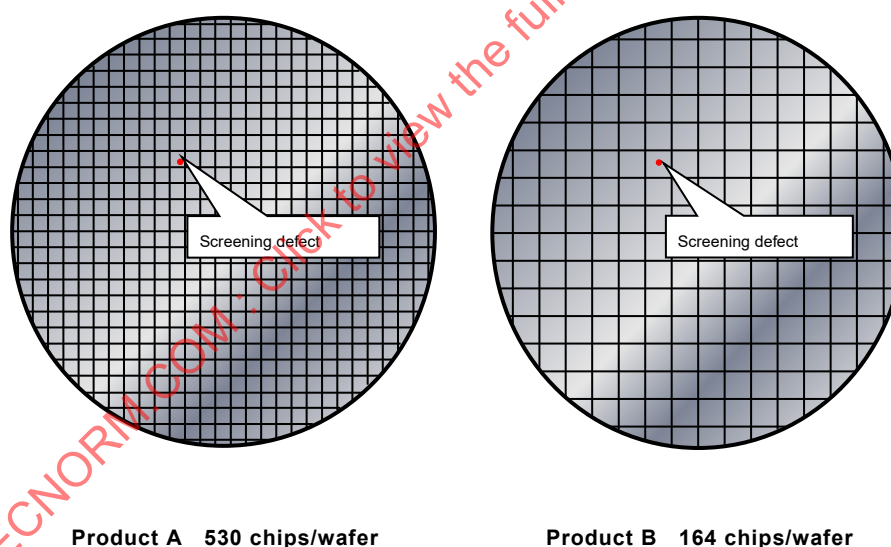


Figure 15 – How the screening defect rate is seen depending on the difference of chip size (example)

In the example of Figure 15, as product A has one screening defect in 530 chips, the defect rate is 0,19 %. In the same way, product B has the rate of 0,61 % for 164 chips. Looking at the value of the defect rate alone, the difference is large even in the same manufacturing process. However, in reality, the result is the same when the defect rate is normalized using the chip size.

By using the data of products A and B, which are existing products, in addition to the data obtained for new product C in this way, it is possible to use more screening defect rate data. When the early failure rate in the field is calculated using these data based on the statistical concept indicated in 5.2.1 and 5.2.3, more accurate and effective estimation of the field quality becomes possible.

Shown below are examples of early failure rate calculations using family data. The early failure rate is determined by the manufacturing defect rate, acceleration rate and convergent characteristics of screening. Therefore, family data used in the calculation of early failure is generally data from the same manufacturing line and manufacturing process. This is an example of a case where family data is applied to similar products with different IC chip size.

Product A is an existing product with basic data such as screening defect rate, and below an example is shown of the derivation of screening conditions for a similar new Product B made in the same factory and manufacturing process, with only a different chip size. For an easier understanding, the acceleration factor used will be the same data of 6.2 "Reliability test plan" and the voltage acceleration and temperature acceleration of Product B are presupposed to be the same conditions as Product A. Also, the target of early failure rate is set as less than or equal to 50 ppm/1 year (500 hours). Refer to Table 7 for further details.

Table 7 – Factors for calculation examples of early failure rate using family data

		Product A (Existing product)	Product B (New product)
IC chip size		8,0 mm ²	4,0 mm ²
Screening defect rate		0,1 %/1 hour burn-in	Estimated from the chip size
Screening acceleration rate	Voltage acceleration	36,6 times	36,6 times
	Temperature acceleration	26,4 times	26,4 times
	Total acceleration	966 times	966 times
Convergence of screening (Weibull distribution)		m = 0,1	m = 0,1
Estimated early failure rate		42,5 ppm/1 year (500 h)	—

The early failure rate estimated, based on factors of Table 7 by the method indicated in 5.2.2 "Early failure rate", is about 42,5 ppm which is less than the target failure rate of 50 ppm.

Next, $F(t_b)$ of Product B is calculated. $F(t_b) = 0,1 \%$ for Product A but Product B has a smaller chip size than that of Product A. Therefore, $F(t_b)$ of Product B shall be smaller than 0,1 %. The cumulative failure probability $F(t_b)$ is calculated statistically using probability density function etc. In this example, $F(t_b)$ of Product B calculated statistically was 0,05 %. Using this value to calculate the estimated early failure rate after performing an hour of burn-in gives an estimated rate of about 21,3 ppm. As the targeted early failure rate is equal to or less than 50 ppm, although an hour performance of burn-in satisfies the target sufficiently, it indicates excessive quality of Product B. Here, the burn-in time that satisfies 50 ppm or less/1 year for Product B is calculated to be 0,4 h, meaning that 0,4 h of burn-in is sufficient for Product B to obtain the quality equivalent to that of Product A.

By using such a method, estimating the screening time or conditions of a new product with no production record is possible and allows the determination of a provisional screening conditions for new products before obtaining the actual data. By being able to assume the screening conditions during the development stage, screening cost can be estimated and there are great benefits such as accurate estimation of product cost during the initial stage of product development.

7 Stress test methods

Unlike the reliability test (e.g., TDDb) which is designed to confirm the lifetime due to a particular fail mechanism, the stress test (e.g., HTOL, THB) aims to confirm tolerance (strength) for mechanical and environmental stresses received in customers' processes or in the field, and does not aim to confirm particular failure mechanisms which progress over operating hours. In general, the stress test does not confirm the reliability by setting a target failure rate, and instead, it judges the reliability according to the product category determined by strength or acceptance against standard values. The number of test samples has conventionally been determined based on the LTPD sampling standard (LTPD 10 %) and Table 8 shows an acceptance number for $Ac = 0$. However, unlike manufacturing defects, the strength distribution is determined by materials and structures, hence it does not have large variations. The same applies to tests such as electrostatic breakdown in which the strength is determined by circuit designs, circuit layouts, and device structures. Stress test conditions simulate stresses received in the field and are set more strictly than actual stresses received in the field. Some tests such as the solderability test set test conditions more strictly than those under the real environment by pre-treatment, hence actual risks are small, for example, even when 5 samples with LTPD 50 % or 11 samples with LTPD 20 % are used for sampling, which are sufficient as the test scale. For tests which may produce different results depending on variations in materials, it is only necessary to give considerations such as deciding the sampling size taking account of variations in materials. For example, since the result of the terminal stress test depends on the terminal thickness, risks of reducing the number of samples can be reduced taking account of variations by conducting the test using samples created with the lower limit (thin) of the thickness specifications. Major reliability (strength) test methods are shown in Table 9. The test methods listed in Table 9 shall be used for tests conducted using this reliability test plan.

Table 8 – LTPD sampling table for acceptance number $Ac = 0$

LTPD	50 %	20 %	10 %
Sample size	5	11	22

Table 9 – Major reliability (strength) test methods and purposes

Test method	Purpose	Failure mechanisms
Resistance to soldering temperature for through-hole mounted devices IEC 60749-15	This test provides for the methods to evaluate the resistance to heat working on the ICs during soldering.	Package cracks, separations inside the package
Solderability IEC 60749-21	This test provides for the methods to evaluate the solderability of the terminals of ICs.	Failure of soldering to the terminal
Electrostatic discharge (ESD) sensitivity testing – Human body model (HBM) IEC 60749-26	This test prescribes procedure of evaluating the endurance of an IC to human body electrostatic discharging while the IC is handled until mounting into electronic equipment.	Mainly diffusion bonding disruption, oxide film destruction
Electrostatic discharge (ESD) sensitivity testing – Direct contact charged device model (DC-CDM) IEC 60749-28	This test specifies the test method for clarifying resistance when integrated circuits are exposed to the electrostatic discharge of the charged device model during handling until integrated circuits are mounted in electronic equipment.	Mainly oxide film destruction
Latch-up test IEC 60749-29	This test defines the test methods for evaluating the latch-up susceptibility of ICs with CMOS structure.	Interconnection melting and junctional disruption mainly caused by overcurrent

8 Supplementary tests

Table 10 shows supplementary test methods and their purpose. Although these are established test methods, their use as reliability tests is questionable due to no correlation in terms of failure detection of ICs or their duplication of other test methods. In light of this, these test methods are classed as "supplementary tests" in this document, with a lower priority.

Table 10 – Supplementary tests

Test method	Purpose	Major detectable failures
Cold IEC 60068-2-1	This test provides for the methods to evaluate the endurance of ICs when stored under low temperature for a long time.	In general, there is no failure mode of ICs which becomes apparent when exposed at a low temperature.
Damp heat cyclic (12 h + 12 h cycle) IEC 60068-2-30)	This test provides for the method to evaluate the endurance of ICs when they are exposed temperature changes under high humidity conditions.	Cracks caused by package respiration and freezing.
Rapid change of temperature – two-fluid-bath method IEC 60749-11	This test provides for the method to evaluate the endurance of ICs when they are submitted to rapid changes in the temperature.	Package cracks

9 Summary table of assumptions

A summary table of assumptions such as calculation formulae and numerical values is given in Table 11 (see Bibliography, [4]).

Table 11 – Accelerating factors, calculation formulae and numerical values^a

Accelerating factor	Acceleration model	Coefficient (reference value)	Remarks
Temperature	Arrhenius model $TTF = A \times \exp\left(\frac{E_a}{k \times T}\right)$	Ea: 1,0 eV to 1,26 eV Ea: 0,55 eV to 0,6 eV Ea: 0,8 eV to 1,0 eV Ea: 0,7 eV to 0,9 eV Ea: 0,3 eV to 1,1 eV Ea: -0,1 eV to -0,2 eV	Al-Au alloy Electro-migration of Al Electro-migration of Cu Al corrosion (moisture ingress) Time-dependent dielectric breakdown (TDDB) of oxide film Hot carrier injection (HCI)
Electric field (voltage)	E model (Vg model) $TTF = A \times \exp(-\gamma \times E_{ox})$ $TTF = A \times \exp(-\phi \times V_g)$ V_g^{-n} model (Power-law model) $TTF = A \times V_g^{-n}$	γ : 2 cm/MV to 4 cm/MV β : 3/V to 8/V N: 30 to 50	TDDB of gate oxide (Tox > 5 nm) TDDB of ultrathin gate oxide (Tox < 2 nm)
Temperature difference	Temperature difference acceleration model $TTF = A \times \Delta T^{-n}$ Modified Coffin-Manson model [6] (Norris-Landzberg Model) $TTF = A \times f^m \times \Delta T^{-n} \times \exp\left(\frac{E_a}{k \times T_{max}}\right)$	n: 6 to 7,5 n: 4,4 to 11 n: 4 to 7 n = 5 m = 1/3 n = 1,9	Al slide Interlayer film cracks Au wire fracture Package cracks Soldering thermal fatigue
Humidity (water vapor)	Absolute water vapor pressure model $TTF = A \times P_p^{-n}$ Relative humidity model $TTF = A \times RH^{-n} \times \exp\left(\frac{E_a}{k \times T}\right)$	n = 2 n: 4 to 6 n: 2,7 to 3,0	Al corrosion
Electric current	Black model $TTF = A \times J^{-n} \times \exp\left(\frac{E_a}{k \times T}\right)$ Substrate current model $TTF = A \times I_{sub}^{-n}$	n: 1 to 3 n: 1 to 2 n: 2 to 4	Electromigration of Al Electromigration of Cu Hot carrier injection (NMOS)
^a Failure at low temperature can be caused by hot carrier injection. However, its activation energy is sufficiently low and the stress voltage condition is limited in the actual product. Circuit design considerations to avoid this failure are sufficiently well known that this failure is not a dominant failure mode.			

10 Summary

This document describes methods to assess the reliability and quality of ICs. Product categories were set for automotive applications and for general applications as a target of reliability. The category for automotive use was further classified into two sub-categories according to applications. Annual operating hours, useful life, etc. were assumed for each category to define verification methods for early failure rate and wear-out failure.

In general, ICs tend to cause failures in early failure mode more often, and the random failure and the wear-out failure infrequently occur.

Since early failures are mainly caused by manufacturing defects, the early failure rate can be reduced by screening potential failures. Concerning the wear-out failure, the reliability test accelerating environmental conditions such as voltage, temperature, and humidity allows to confirm that the failure does not occur during the durable period.

The early failure rate can be estimated statistically using the convergent characteristics obtained from the failure probability by screening in each process such as the probe test and burn-in as well as the acceleration factors according to failure modes, and the screening conditions and time to achieve the target early failure rate can be fixed. The wear-out failure can be verified with a small number of samples in a short period of time by setting voltage, temperature, and humidity within the appropriate range of stress according to failure modes to confirm and applying stress which accelerates the stress in the actual field environment. If the acceleration factor is large, the time or the number of samples for the reliability test can be reduced without being bound by the conventional concept of 1 000 h by giving sufficient considerations to the accuracy of the test, such as variations in the failure distribution.

The publication of this document aims at demonstrating that reliability test costs and period can be reduced by introducing appropriate reliability test times and number of test samples per the methods introduced in this guideline, and that it is important to precisely screen the early failures which determine the actual field quality. However, it is important to verify the grounds for the acceleration factor, the Weibull shape parameter, etc. used to decide the screening conditions or the reliability test conditions, not limited to the early failure and the wear-out failure, and be able to explain the validity of the test.

Bibliography

- [1] IEC 60068-2-1, *Environmental testing – Part 2-1: Tests: Test A: Cold*
 - [2] IEC 60068-2-30, *Environmental testing – Part 2-30: Tests: Test Db: Damp heat, cyclic (12 + 12 h cycle)*
 - [3] IEC 60749-11, *Semiconductor devices – Mechanical and climatic test methods – Part 11: Rapid change of temperature – Two-fluid-bath method*
 - [4] JEITA EDR-4704A, *Application Guide of the Accelerated Life Test for Semiconductor Devices*, Japan Electronics and Information Technology Industries Association (JEITA), 2007
 - [5] JEDEC JESD94A, *Application Specific Qualification Using Knowledge Based Test Methodology*, 2007
 - [6] JEDEC JEP122, *Failure Mechanisms and Models for Semiconductor Devices*
 - [7] JP001, *Joint publication. foundry process. qualification guidelines. (Wafer Fabrication Manufacturing Sites)*
 - [8] IECQ (Parts 01-03), *IEC Quality Assessment System for Electronic Components (IECQ System)*
 - [9] JEDEC JESD74, *Early Life Failure Rate Calculation*
 - [10] JEITA EDR-4705, *Report on Failure Mechanism of LSI and Reliability Test Method*
 - [11] JEDEC JESD47, *Failure mechanism based stress test qualification for integrated circuits*
 - [12] JEDEC JEP122, *Failure Mechanisms and Models for Semiconductor Devices*
 - [13] JEDEC JESD85, *Calculating Failure Rates in Units of FITS*
 - [14] JEITA EDR-4708, *Guideline for LSI Reliability Qualification Plan*
 - [15] AEC Q100, *Stress Test Qualification for Integrated Circuits*
-

SOMMAIRE

AVANT-PROPOS	46
INTRODUCTION.....	48
1 Domaine d'application	49
2 Références normatives	49
3 Termes et définitions	50
4 Catégories de produits et applications	50
5 Défaillance	51
5.1 Distribution des défaillances	51
5.2 Défaillance précoce	52
5.2.1 Description	52
5.2.2 Taux de défaillance précoce	54
5.2.3 Dépistage	57
5.3 Défaillance aléatoire	60
5.3.1 Description	60
5.3.2 Taux moyen de défaillance	60
5.4 Défaillance par usure	63
5.4.1 Description	63
5.4.2 Taux de défaillance par usure	64
6 Essai de fiabilité	66
6.1 Description	66
6.2 Plan d'essai de fiabilité	67
6.2.1 Modes opératoires pour la création d'un plan d'essai de fiabilité	67
6.2.2 Estimation de la durée d'essai exigée pour confirmer le TDDB à partir du nombre d'échantillons d'essai	69
6.2.3 Estimation du nombre d'échantillons exigé pour confirmer le TDDB à partir de la durée d'essai	70
6.3 Méthodes d'essai de fiabilité	71
6.4 Modèles d'accélération pour les essais de fiabilité	75
6.4.1 Modèle d'Arrhenius	75
6.4.2 Modèle en tension V	75
6.4.3 Modèle de pression de vapeur d'eau absolue	75
6.4.4 Modèle de Coffin-Manson	75
6.5 Concept de famille	76
6.5.1 Généralités	76
6.5.2 Réalisation de l'essai de durée de vie avec application du concept de famille	76
6.5.3 Vérification du taux de défaillance précoce par le concept de famille	79
7 Méthodes d'essai sous contrainte	81
8 Essais supplémentaires	83
9 Tableau récapitulatif des hypothèses	83
10 Résumé	85
Bibliographie	86
Figure 1 – Courbe en baignoire	52
Figure 2 – Procédé d'identification des défaillances sur les lots de fabrication de CI au cours de la période de défaillance précoce	53

Figure 3 – Modèle de Weibull représentant le concept du taux de défaillance précoce.....	54
Figure 4 – Exemple d'un ratio de taux de défaillance: α (en centaines) en fonction du nombre de défaillances pour un CL de 60 %	57
Figure 5 – Dépistage et taux estimé de défaillances précoces sur un diagramme de Weibull	58
Figure 6 – Courbe en baignoire prenant comme origine le point immédiatement après la production.....	59
Figure 7 – Courbe en baignoire prenant comme origine le point après dépistage	60
Figure 8 – Modèle de la méthode de calcul du taux moyen de défaillance à partir de la loi exponentielle.....	61
Figure 9 – Modèle de la méthode de calcul du taux moyen de défaillance en tant qu'extension de la défaillance précoce.....	62
Figure 10 – Modèle de la défaillance par usure.....	64
Figure 11 – Modèle décrivant le concept de l'essai accéléré	64
Figure 12 – Concept de l'essai de fiabilité sur un diagramme de Weibull (fondé sur la taille d'échantillon).....	68
Figure 13 – Concept de l'essai de fiabilité sur un diagramme de Weibull (fondé sur la durée d'essai).....	71
Figure 14 – Différence de tailles d'échantillonnage en fonction de la valeur m (image).....	72
Figure 15 – Perception du taux de défauts vus au dépistage selon la différence de taille de puce (exemple).....	80
Tableau 1 – Exemples de catégories de produits	51
Tableau 2 – Taux de défaillance cumulée pour une probabilité de défaillance cumulée de 0,1 % sur 10 ans [$\times 10^{-6}$] pour les troisième, cinquième et septième années	69
Tableau 3 – Principales méthodes d'essai de fiabilité (durée de vie) et objectifs visés	73
Tableau 4 – Exemples du nombre d'échantillons d'essai et de la durée d'essai avec des méthodes types d'essai de fiabilité (durée de vie)	74
Tableau 5 – Concept de famille (exemple)	76
Tableau 6 – Concept de différence/mécanisme de défaillance/élément soumis à l'essai correspondant (exemples).....	78
Tableau 7 – Facteurs appliqués dans les exemples de calculs du taux de défaillance précoce utilisant les données de famille.....	81
Tableau 8 – Tableau d'échantillonnage en fonction du LTPD avec le nombre d'acceptation $A_c = 0$	82
Tableau 9 – Principales méthodes d'essai de fiabilité (résistance aux contraintes) et objectifs visés	82
Tableau 10 – Essais supplémentaires	83
Tableau 11 – Facteurs d'accélération, formules de calcul et valeurs numériques ^a	84

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – LIGNES DIRECTRICES GÉNÉRIQUES CONCERNANT LA QUALIFICATION DES SEMICONDUCTEURS –

Partie 1: Lignes directrices concernant la qualification de la fiabilité des circuits intégrés

AVANT-PROPOS

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments du présent document de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

La Norme internationale IEC 63287-1 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs.

Cette première édition de l'IEC 63287-1 annule et remplace la première édition de l'IEC 60749-43 parue en 2017. Cette édition constitue une révision technique.

Cette édition inclut les modifications techniques majeures suivantes par rapport à l'édition précédente:

- a) le document a été renommé et renuméroté afin de le différencier de l'IEC 60749 (toutes les parties);

- b) une nouvelle section portant sur le concept de famille a été ajoutée avec une renumérotation appropriée du texte existant.

Le texte de cette Norme internationale est issu des documents suivants:

DRAFT	Rapport de vote
47/2703/FDIS	47/2720/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à son approbation.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous www.iec.ch/members_experts/refdocs. Les principaux types de documents développés par l'IEC sont décrits plus en détail sous www.iec.ch/standardsdev/publications.

Une liste de toutes les parties de la série IEC 63287, publiées sous le titre général *Dispositifs à semiconducteurs – Lignes directrices génériques concernant la qualification des semiconducteurs*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous webstore.iec.ch dans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer ce document en utilisant une imprimante couleur.

INTRODUCTION

Le présent document donne aux fournisseurs de circuits intégrés (CI) à semiconducteurs des lignes directrices pour la préparation de plans d'essais de fiabilité détaillés concernant la qualification des dispositifs. De tels plans sont destinés à être préparés avant le début des essais de qualification et après consultation de l'utilisateur de leur produit de CI à semiconducteurs.

Les lignes directrices fournissent quelques exemples de création de plans d'essais de qualification pour déterminer les conditions adaptées aux essais de fiabilité et fondées sur les conditions et les exigences d'utilisation des circuits intégrés à semiconducteurs pour chaque application. Des catégories de produits ont été établies avec un objectif de fiabilité pour les applications automobiles et les usages généraux. La catégorie relative à l'utilisation dans le secteur automobile est, par ailleurs, subdivisée en deux sous-catégories en fonction des applications. Les lignes directrices prennent pour hypothèse, pour chaque catégorie, des heures de fonctionnement annuelles, une durée de vie utile, etc., et définissent les méthodes de vérification du taux de défaillance précoce et de la défaillance par usure afin de proposer des essais de fiabilité appropriés. Elles présentent également des concepts qui visent à assurer la qualité des CI à semiconducteurs en utilisant des techniques de dépistage conçues pour réduire le taux de défaillance précoce.

Les conditions d'essai et les valeurs des facteurs d'accélération présentées dans ces lignes directrices sont destinées à fournir des exemples de calculs de fiabilité afin de vérifier les normes de qualité exigées, et ne sont pas conçues pour définir les normes qui visent à assurer la fiabilité des CI à semiconducteurs.

NOTE Les essais de qualification sont des essais au cours desquels le fournisseur de semiconducteurs tient compte de la fiabilité exigée par les utilisateurs de ses produits.

DISPOSITIFS À SEMICONDUCTEURS – LIGNES DIRECTRICES GÉNÉRIQUES CONCERNANT LA QUALIFICATION DES SEMICONDUCTEURS –

Partie 1: Lignes directrices concernant la qualification de la fiabilité des circuits intégrés

1 Domaine d'application

La présente partie de l'IEC 63287 fournit des lignes directrices concernant les plans de qualification de la fiabilité des produits de CI à semiconducteurs. Le présent document n'est pas destiné aux applications militaires et spatiales.

NOTE 1 Le fabricant peut utiliser des tailles d'échantillons flexibles afin de réduire les coûts tout en maintenant une fiabilité raisonnable par l'adaptation des présentes lignes directrices fondées sur l'EDR-4708. S'ils sont spécifiés, les documents AEC Q100, JESD47 ou tout autre document pertinent spécifié peuvent également être applicables.

NOTE 2 La méthode de la loi de Weibull utilisée dans le présent document n'est qu'une méthode parmi d'autres permettant de calculer la taille d'échantillon et les conditions d'essai appropriées pour un projet de fiabilité donné.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60749-5, *Dispositifs à semiconducteurs - Méthodes d'essais mécaniques et climatiques – Partie 5: Essai continu de durée de vie sous température et humidité avec polarisation*

IEC 60749-6, *Dispositifs à semiconducteurs - Méthodes d'essais mécaniques et climatiques – Partie 6: Stockage à haute température*

IEC 60749-15, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 15: Résistance à la température de brasage pour dispositifs par trous traversants*

IEC 60749-20, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 20: Résistance des CMS à boîtier plastique à l'effet combiné de l'humidité et de la chaleur de brasage*

IEC 60749-21, *Dispositifs à semiconducteurs – Méthodes d'essai mécaniques et climatiques – Partie 21: Brasabilité*

IEC 60749-23, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 23: Durée de vie en fonctionnement à haute température*

IEC 60749-25, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 25: Cycles de température*

IEC 60749-26, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 26: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle du corps humain (HBM)*

IEC 60749-28, *Dispositifs à semiconducteurs – Méthodes d'essai mécaniques et climatiques – Partie 28: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle de dispositif chargé (CDM) – Niveau du dispositif*

IEC 60749-29, *Dispositifs à semiconducteurs – Méthodes d'essai mécaniques et climatiques – Partie 29: Essai de verrouillage*

IEC 60749-42, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 42: Stockage de température et d'humidité*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.1

mode de défaillance

classification d'un phénomène de défaut qui provoque la défaillance d'un produit

Note 1 à l'article: Une coupure de l'alimentation, un court-circuit, une perte occasionnelle, l'abrasion, la dégradation de caractéristiques, etc. sont des éléments types considérés comme des modes de défaillance.

3.2

mécanisme de défaillance

procédé physique, chimique ou autre qui génère la défaillance d'un produit l'empêchant de satisfaire aux exigences fonctionnelles (ou modes de défaillance)

3.3

circuit intégré

CI

microcircuit dans lequel tout ou partie des éléments constitutifs du circuit sont solidaires les uns des autres et interconnectés électriquement, de sorte qu'il soit considéré comme indivisible à des fins de fabrication et de commercialisation

Note 1 à l'article: IEC 521-10-03

4 Catégories de produits et applications

Les exigences liées à la qualité, les heures de fonctionnement et les conditions de fonctionnement des CI dans leur champ d'application dépendent des applications des produits dans lesquelles ils sont utilisés. À titre d'exemple de création de plans d'essais scientifiques, leurs applications sont généralement divisées en trois catégories de produits: Utilisation dans le secteur automobile A, Utilisation dans le secteur automobile B et Utilisation dans les produits grand public. Le Tableau 1 présente une liste d'exigences liées à la qualité en fonction de chaque catégorie de produits, ainsi que la définition de leurs conditions d'utilisation.

Tableau 1 – Exemples de catégories de produits

Catégorie	Utilisation dans le secteur automobile A	Utilisation dans le secteur automobile B	Utilisation dans les produits grand public
Critères de la catégorie	Applications dans le secteur automobile directement liées à la sécurité. (Des défaillances peuvent provoquer des accidents.)	Applications dans le secteur automobile non directement liées à la sécurité.	Produits électroniques (domicile ou bureau), jouets, appareils domestiques et applications serveurs.
Exemples d'applications	Groupes propulseurs, freins, systèmes d'aide à la conduite, coussins de sécurité gonflables	Systèmes de navigation, climatiseurs de voiture, systèmes audio	Produits électroniques à usage domestique, jouets, électroménager
Heures de fonctionnement annuelles	500 h Varie en fonction de la position de clé nécessaire pour le fonctionnement (MARCHE/ARRÊT).	500 h	Jusqu'à 8 760 h Varie selon les applications.
Durée de vie utile	15 ans (probabilité de défaillance cumulée: 0,1 %)	15 ans (probabilité de défaillance cumulée: 0,1 %)	Jusqu'à 10 ans (probabilité de défaillance cumulée: 0,1 %) Varie selon les applications.
Conditions de fonctionnement présumées (exemples de conditions qui varient selon les applications)	Exemple d'un compartiment moteur $T_{a,min} = -40\text{ °C} / T_{a,max} = 125\text{ °C}$ $T_{j,typ} = 100\text{ °C} / T_{j,max} = 150\text{ °C}$ Humidité relative (HR) min: 0 / HR max.: 100 %, HR (avec 10 % de conduite) (avec 70 % d'arrêt) Exemple d'environnement intérieur $T_a = -40\text{ °C (min.)} / 85\text{ °C (max.)}$ $T_j = 85\text{ °C (typ.)} / 125\text{ °C (max.)}$ HR = 0 (min.) / 100 % (max.), HR (avec 10 % de conduite) (avec 70 % d'arrêt)		$T_{a,min} = 0\text{ °C} / T_{a,max} = 70\text{ °C}$ $T_j = 70\text{ °C} / 105\text{ °C (max.)}$ HR = 10 (min.) / 80 % (max.), HR (avec 20 % sous tension) (avec 60 % hors tension)
Taux de défaillance précoce	1×10^{-6} par an ou moins	50×10^{-6} par an ou moins	Jusqu'à 500×10^{-6} par an Varie selon les applications.
Taux de défaillance aléatoire	Intensité de défaillance (FIT- failure in time) ≤ 10	FIT ≤ 50	FIT > 50 (valeur type) Varie selon les applications.
NOTE Dans ces exemples, les conditions et les exigences d'application ne doivent pas toutes être satisfaites pour être pertinentes dans chaque cas d'utilisation.			

5 Défaillance

5.1 Distribution des défaillances

La distribution des défaillances des CI peut généralement être répartie en trois régions: la région des défaillances précoces (par exemple $t_{ELF} = 1$ an), la région des défaillances aléatoires et la région des défaillances par usure. La Figure 1 représente la relation entre la durée d'utilisation sur le terrain et le taux instantané de défaillance (courbe en baignoire). Les distributions de défaillances pour chaque région sont détaillées de 5.2 à 5.4.

La majorité des défaillances précoces sont détectées au cours des procédés de fabrication des fournisseurs de CI. Cependant, les CI non totalement contrôlés peuvent engendrer des

problèmes pendant une durée relativement courte après le début de leur fonctionnement dans leur champ d'application.

La défaillance aléatoire est considérée comme atteignant un certain taux de défaillance en fonction du temps, mais, en fait, il est approprié de la considérer comme une extension de la région des défaillances précoces dans laquelle le taux de défaillance continue à décroître. Il convient de ne pas inclure dans les calculs du taux de défaillance les défaillances potentiellement induites en dehors du processus de contrôle du fournisseur, telles que les décharges électrostatiques (DES), les surcharges électriques (EOS - *electrical overstress*) et les erreurs logicielles, sauf si un taux de défaillance global qui inclut ces types de modes de défaillance est prévu.

La défaillance par usure est une défaillance qui se produit en fin de vie des composants constitutifs du CI tels que les transistors et les interconnexions et indique la durée de vie des CI à proprement parler. La défaillance par usure est une défaillance qui dépend du profil de charge d'utilisation (les plages de temps peuvent être différentes). Le nombre de défaillances augmente au fil du temps et chaque CI finit par provoquer une défaillance au-delà de la durée de vie spécifiée prévue du produit. Les défaillances par usure ne sont pas prises en considération de la même manière, car elles présentent des mécanismes de défaillance totalement différents et, de ce fait, présentent également une description mathématique différente (distribution des défaillances). Par conséquent, il est important d'empêcher cette défaillance au cours de la période de durabilité. Pour les CI, le temps nécessaire pour atteindre la probabilité de défaillance cumulée de 0,15 % pendant la durée de vie spécifiée indiquée dans l'application donnée est généralement défini comme leur durée de vie spécifiée.

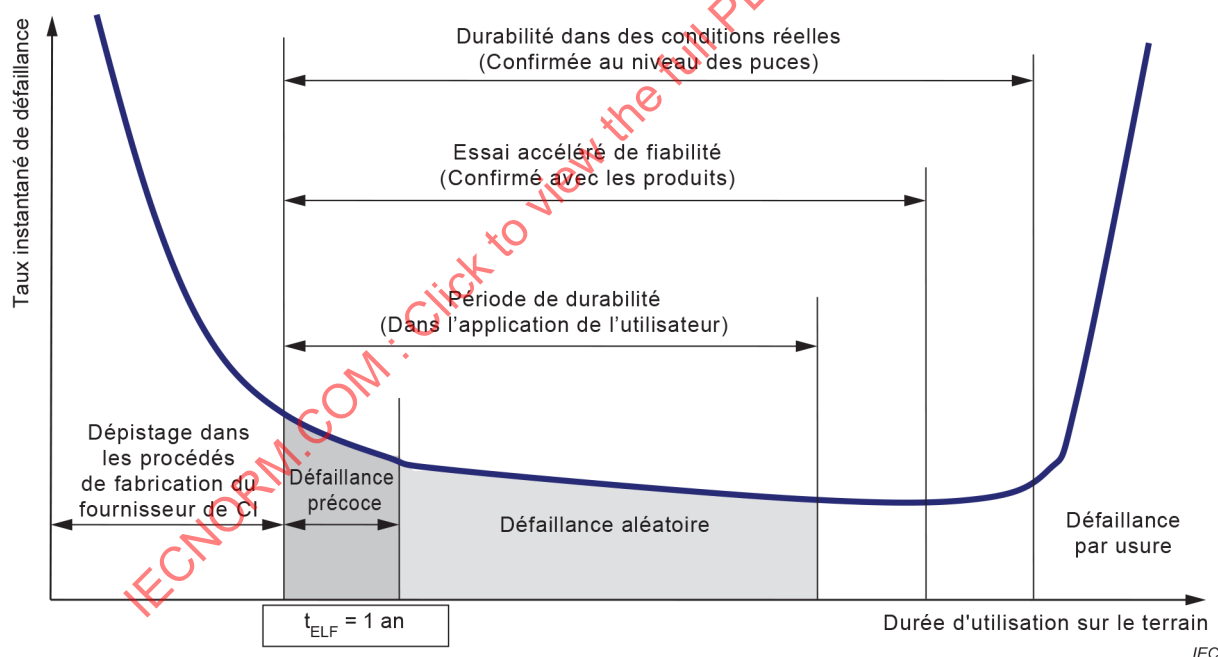


Figure 1 – Courbe en baignoire

5.2 Défaillance précoce

5.2.1 Description

Dans la mesure où les CI contiennent des éléments de très petite taille et qu'ils sont caractérisés par une forte densité d'éléments et une grande complexité, ils sont exposés aux défauts générés au cours des procédés de fabrication. De ce fait, les CI opérationnels qui satisfont aux caractéristiques et fonctions exigées sont triés à la dernière étape des procédés de fabrication. Le rapport des CI opérationnels par rapport à la quantité totale produite et soumise à l'essai dans le cadre de ce procédé est appelé "rendement". Au cours du tri des CI opérationnels, des mesures sont effectuées sur autant de paramètres que possible, y compris

les caractéristiques et fonctions exigées. Cependant, certains de ces CI opérationnels triés peuvent inclure des défauts internes latents ou des faiblesses qui n'ont aucun impact sur les caractéristiques électriques, de sorte qu'ils fonctionnent correctement au moment du tri. Lorsque le rendement est élevé, la probabilité d'avoir des CI qui présentent des défauts potentiels est moins élevée. En revanche, lorsque le rendement est relativement faible, la probabilité de mélange de CI qui présentent des défauts latents avec des CI opérationnels est élevée. Les CI qui présentent ces défauts potentiels peuvent finir par provoquer une défaillance au cours de leur utilisation en raison de leur durée de vie plus courte ou de l'intensité de leur utilisation dans l'application.

Un petit nombre de CI opérationnels soumis à l'essai qui présentent de tels défauts est inclus dans le lot de fabrication et, de ce fait, le taux de défaillance du lot diminue au fil du temps. La décroissance du taux de défaillance est due au fait que les CI défectueux sont éliminés après avoir provoqué une défaillance alors que les CI non défectueux, qui ne sont pas susceptibles de provoquer une défaillance, subsistent. Dans ce cas, le paramètre de forme de la loi de Weibull: m est inférieur à 1 ($m < 1$).

Pour être plus précis, lorsqu'un lot de fabrication contient des CI opérationnels présentant un défaut potentiel comme cela est représenté à la Figure 2, les produits électroniques utilisant ces CI peuvent entraîner une défaillance pendant leur utilisation. Les CI potentiellement défectueux sont éliminés par un dépistage applicatif, par réparation (remplacement du composant) ou par mise au rebut. Ce procédé contribue à produire des CI fiables.

NOTE Il est largement préférable de dépister ces défaillances, dues à des défauts latents ou autres, au niveau du fabricant de CI, plutôt qu'au niveau de l'utilisateur, auquel cas la correction du défaut est plus onéreuse.

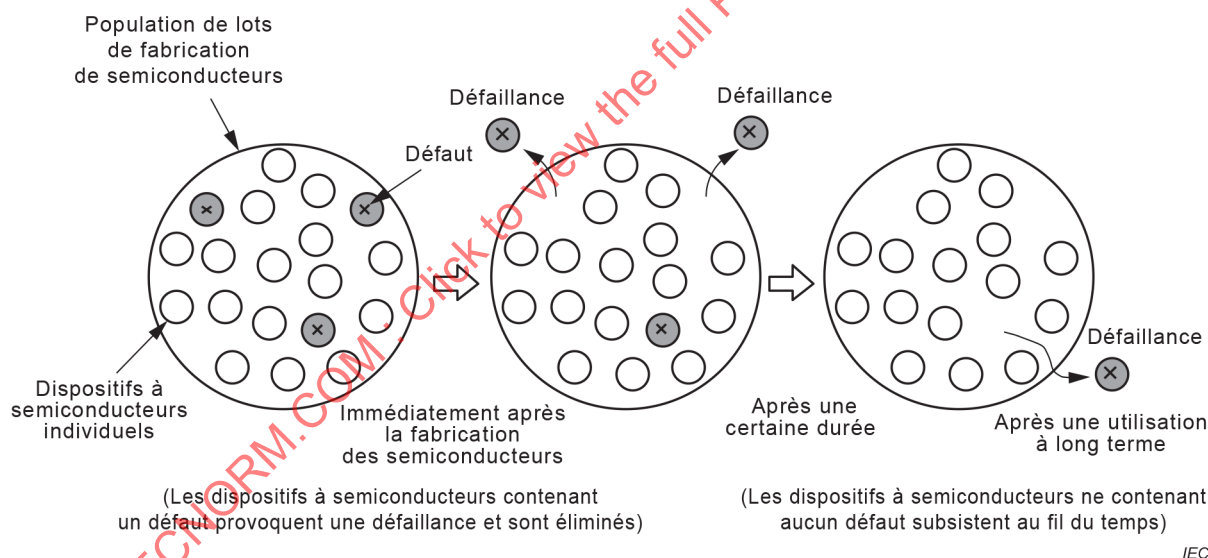


Figure 2 – Procédé d'identification des défaillances sur les lots de fabrication de CI au cours de la période de défaillance précoce

De ce fait, la réduction des défauts générés au cours des procédés de fabrication constitue la principale disposition de prévention contre ce type de défaillances. Une autre disposition de prévention possible consiste à modifier la conception en une structure non sensible aux défauts, dans la mesure du possible.

Il existe également des techniques de dépistage, telles que le déverminage, qui font fonctionner les CI dans des conditions de température et/ou tension extrêmes afin d'induire l'apparition des défauts précoces et de les éliminer par le tri. Ce procédé a pour but de consommer la période de défaillance précoce des CI avant l'expédition, ce qui peut réduire l'impact de la défaillance précoce après expédition. Le dépistage peut être optimisé si l'effet de la réduction des défauts susmentionnés est confirmé.

5.2.2 Taux de défaillance précoce

5.2.2.1 Définition

Le taux de défaillance précoce indique la probabilité de défaillances résultant de défauts de fabrication qui apparaissent sur une année (période de défaillance précoce définie), après expédition par les fabricants de CI et le début du fonctionnement dans le champ d'application (ceci incluant les procédés de fabrication de l'assembleur et les applications de l'utilisateur final).

Le taux de défaillance précoce est souvent exprimé en "probabilité de défaillance cumulée", pour laquelle le taux de défaillance qui apparaît pendant la période de défaillance précoce définie est exprimé sous forme de valeur numérique, en pourcentage (%) ou en pièces par million (10^{-6}).

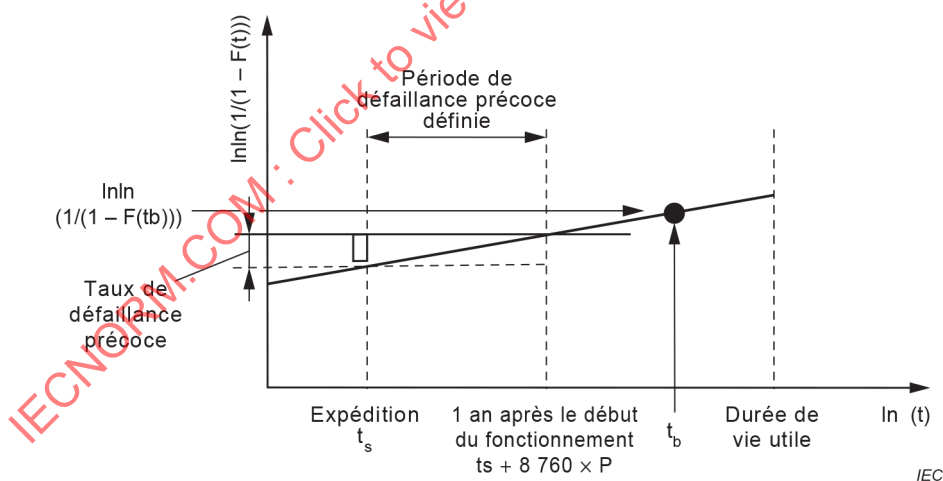
5.2.2.2 Probabilité de défaillance cumulée

En général, la probabilité de défaillance cumulée est exprimée de la manière suivante.

Lorsque le paramètre de forme de la loi de Weibull est m , le paramètre d'échelle η et le temps t , la probabilité de défaillance cumulée $F(t)$: de 0 à t est définie par la Formule (1).

$$F(t) = 1 - \exp\left(-\frac{t^m}{\eta^m}\right) \quad (1)$$

La Figure 3 représente le concept du taux de défaillance précoce par un graphique de loi de Weibull.



Légende

t_b : Durée d'utilisation sur le terrain

t_s : Valeur de conversion de la durée entre la période de dépistage et l'expédition en durée d'utilisation sur le terrain;

P: Ratio de fonctionnement ($0 < P \leq 1$)

Figure 3 – Modèle de Weibull représentant le concept du taux de défaillance précoce

Les sections suivantes décrivent la méthode de calcul du taux de défaillance précoce à partir du résultat de confirmation de la convergence des défaillances cumulées lors de l'essai de dépistage.

5.2.2.3 Calcul du taux de défaillance précoce

Il est admis que la probabilité de défaillance cumulée $F(t_b)$ avec la durée d'utilisation sur le terrain t_b a été obtenue comme résultat de confirmation de la convergence des défaillances cumulées lors de l'essai de dépistage. Le paramètre d'échelle de la loi de Weibull η est déterminé d'après la formule suivante:

$$\eta = \frac{t_b}{[-\ln(1 - F(t_b))]^{\frac{1}{m}}} \quad (2)$$

Où m indique la valeur obtenue à partir du résultat expérimental, ou est une valeur estimée. Cependant, dans la formule ci-dessus, s'il n'y a aucune défaillance, alors $F(t_b) = 0$, et le paramètre d'échelle η est non défini, car le dénominateur tend vers 0.

De ce fait, la loi χ^2 (khi carré) doit être utilisée pour définir la probabilité de défaillance cumulée $F_c(t_b)$ compte tenu du niveau de confiance.

Cependant, ce raisonnement est fondé sur l'hypothèse selon laquelle le nombre d'échantillons N est suffisamment grand.

NOTE Le niveau de confiance type utilisé pour le calcul des taux de défaillance des dispositifs à semiconducteurs est de 60 %.

La probabilité de défaillance cumulée au niveau de confiance spécifié et à la durée d'utilisation sur le terrain $F_c(t_b)$ est donnée par la Formule (3).

$$F_c(t_b)|_g = \chi^2_{\frac{d}{g, 2 \times N}} \quad (3)$$

où

- χ^2 est la loi de khi carré;
- g est le niveau de confiance (CL - *confidence level*) (en %);
- d est le degré de liberté = $(2 \times f) + 2$;
- f est le nombre de défaillances;
- N est le nombre d'échantillons.

Transposer le résultat de (3) dans (2) permet d'obtenir le paramètre d'échelle qui tient compte du niveau de confiance:

$$\eta_c = \frac{t_b}{[-\ln(1 - F_c(t_b))]^{\frac{1}{m}}} \quad (4)$$

Lorsque la valeur de conversion de la durée entre la période de dépistage et l'expédition en durée d'utilisation sur le terrain t_s et la valeur calculée η_c sont utilisées, le taux de défaillance précoce tenant compte du niveau de confiance après expédition: $F_c(t_1, t_s)$ est donné par les formules suivantes:

Lorsque des défaillances sont détectées au cours de la période de défaillance précoce, η est utilisé à la place de η_c et le taux de défaillance précoce ne tient pas compte du niveau de confiance après expédition. $F(t_1, t_s)$ est donné par les formules suivantes:

$$F_c(t_1, t_s) = 1 - \exp \left[- \frac{(t_1 - t_s)^m}{\eta_c^m} \right] \quad (5)$$

$$F(t_1, t_s) = 1 - \exp \left[- \frac{(t_1 - t_s)^m}{\eta^m} \right] \quad (6)$$

Pour les deux Formules (5) et (6), $t_1 = 365 \times 24 \times P$

où

P est le ratio de fonctionnement qui varie de 0 (toujours hors service) à 1 (toujours en service);

t_1 est le point temporel qui correspond à 1 an après le début du fonctionnement, mesuré en heures (fonctionnement constant = 8 760 h).

5.2.2.4 Calcul d'un ratio de taux de défaillance

Le ratio de taux de défaillance, α , entre le taux de défaillance précoce F_c tenant compte d'un niveau de confiance g (en %) et le taux de défaillance précoce F ne tenant pas compte du niveau de confiance, est exprimé par les formules suivantes:

$$F_c = \chi^2_{g, \frac{d}{2 \times N}} \quad (7)$$

$$F = \frac{f}{N} \quad (8)$$

où f = Nombre de défaillances pour N = Nombre d'échantillons.

$$\alpha = \frac{F_c}{F} = \frac{\chi^2_{g, \frac{d}{2 \times N}}}{\left(\frac{f}{N} \right)} = (N/f) \chi^2_{g, \frac{d}{2 \times N}} \quad (9)$$

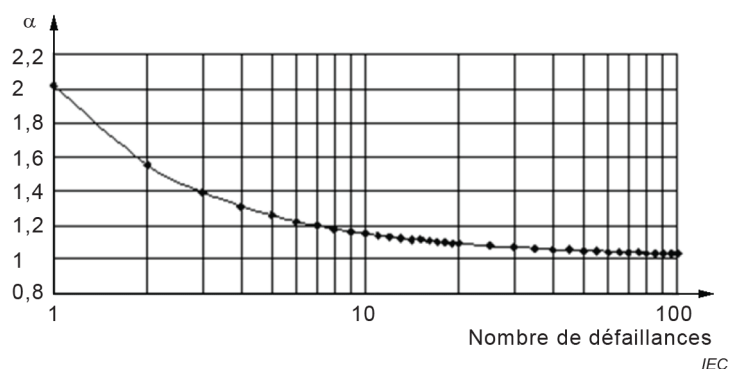


Figure 4 – Exemple d'un ratio de taux de défaillance: α (en centaines) en fonction du nombre de défaillances pour un CL de 60 %

F est déterminé par le nombre de défaillances, et non par le nombre d'échantillons d'essai: N .

À mesure de l'augmentation du nombre de défaillances, le ratio entre les taux de défaillance tenant compte et ne tenant pas compte du niveau de confiance tend vers 1.

Sur la Figure 4, lorsque le nombre cumulé de défaillances est de 50, la différence de taux de défaillance entre le taux de défaillance précoce tenant compte du niveau de confiance F_c et le taux de défaillance précoce ne tenant pas compte du niveau de confiance: F est de 5 % ($\alpha = 105$ pour $N = 50$ contre $\alpha = 100$ avec une valeur N élevée).

Par conséquent, si la différence de taux de défaillance précoce dépend du nombre de défaillances et si l'intégration du niveau de confiance est permise, le taux de défaillance précoce peut être utilisé sans tenir compte du niveau de confiance.

EXEMPLE:

Lorsque le résultat de confirmation de la convergence des défaillances cumulées dans le cadre de l'essai de dépistage est obtenu avec les valeurs:

$$m = 0,3; t_b = 70\,298 \text{ h}; N = 2\,000; \text{ et } f = 69,$$

et le taux de défaillance précoce $F_c(t_1, t_s)$ avec les valeurs:

$$\text{CL de 60 \%}; t_s = 70\,298 \text{ h}; P = 1$$

Le paramètre d'échelle tenant compte du niveau de confiance est de $\eta_c = 5,57 \times 10^{52}$, calculé à partir de la Formule (4).

Le taux de défaillance précoce tenant compte du niveau de confiance est de $F_c(t_1; t_s) = 129 \times 10^{-6}$, calculé à partir de la Formule (5).

Le paramètre d'échelle ne tenant pas compte du niveau de confiance est de $\eta = 2,15 \times 10^{53}$, calculé à partir de la Formule (2).

Le taux de défaillance précoce ne tenant pas compte du niveau de confiance est de $F(t_1; t_s) = 124 \times 10^{-6}$, calculé à partir de la Formule (6).

Ainsi, dans cet exemple, la différence de taux de défaillance entre le taux de défaillance précoce tenant compte du niveau de confiance, F_c , et le taux de défaillance précoce ne tenant pas compte du niveau de confiance, F , est de $(129/124) = 4 \%$.

5.2.3 Dépistage

Dans la mesure où les CI contiennent des éléments de très petite taille, et qu'ils sont caractérisés par une forte densité d'éléments et une configuration complexe, ils sont exposés aux défauts générés au cours des procédés de fabrication. Par conséquent, certains lots

classés comme des "CI opérationnels" contiennent des CI qui présentent des défaillances potentielles avec un défaut intrinsèque mineur, sans influence sur les caractéristiques électriques mesurées. Cette situation permet aux CI de fonctionner selon les spécifications pendant le tri. L'élimination des défaillances potentielles avant l'expédition, permettant ainsi de réduire ou d'éliminer le taux de défaillance précoce dans le champ d'application, est appelée "dépistage".

Les méthodes générales de dépistage destinées à éliminer les dispositifs contenant ces défauts intrinsèques mineurs incluent l'application de contraintes (par exemple, tension et température) plus strictes que celles rencontrées dans des conditions d'utilisation réelles et la combinaison d'un essai de produit et d'un déverminage. Il existe également des méthodes visant à éliminer les défauts initiaux dans les boîtiers en utilisant des contrôles par rayons X et des examens visuels et combinant les contraintes au niveau de l'assemblage et celles d'un essai de cycle de température, etc. Il est nécessaire d'ajuster les conditions du dépistage, le cas échéant, en fonction du taux de défaillance précoce ciblé. Il convient de les examiner de sorte que le dépistage n'ait en lui-même aucun impact significatif sur la durée de vie utile, c'est-à-dire qu'il ne réduise pas le temps jusqu'à l'usure. Le taux de défaillance précoce d'un produit peut également être réduit par la stabilisation des chaînes de fabrication des produits et par l'apport du plus grand soin à la fabrication du produit, afin d'en réduire les défauts de fabrication intrinsèques.

Le déverminage est généralement effectué après l'encapsulation, mais il est aujourd'hui de plus en plus réalisé sur les plaquettes. Les deux méthodes produisent le même effet en matière d'élimination des défauts de fabrication au niveau des puces du dispositif. La Figure 5 représente la relation entre le dépistage et le taux de défaillance précoce, qui peut faire l'objet d'une estimation statistique.

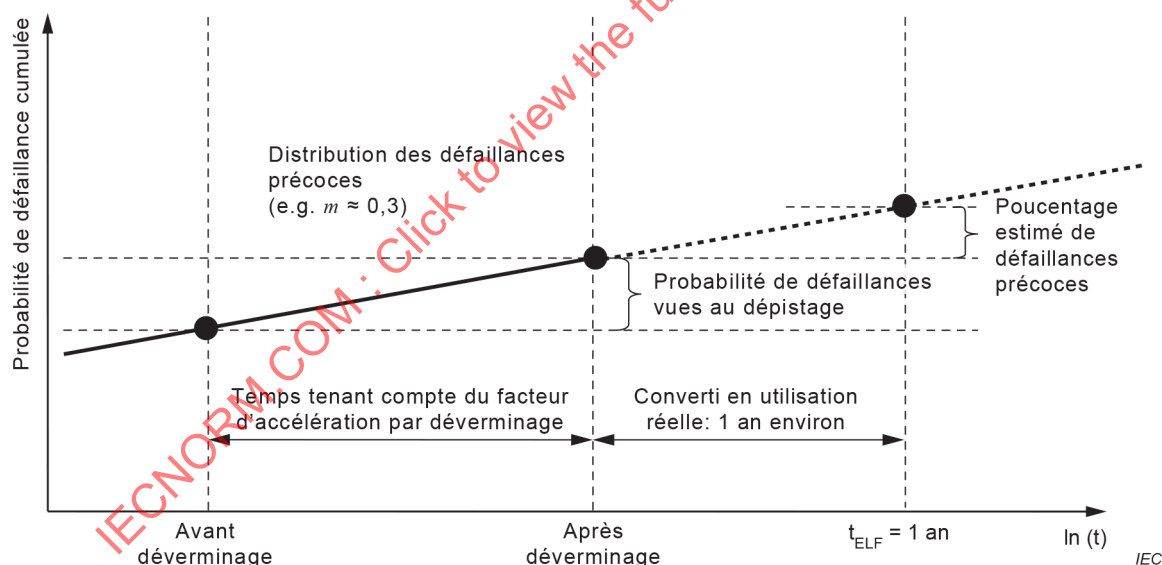


Figure 5 – Dépistage et taux estimé de défaillances précoces sur un diagramme de Weibull

La Figure 5 représente la méthode de vérification du taux de défaillance précoce après dépistage, qui peut faire l'objet d'une estimation statistique. Dans certains cas, le déverminage est répété jusqu'à ce qu'aucune défaillance réelle ne se produise, afin de confirmer la convergence du dépistage, mais, comme cela est présenté à la Figure 5, la défaillance précoce se produit toujours, même à un faible taux, lorsqu'elle fait l'objet d'une estimation statistique d'après la loi de Weibull. De ce fait, l'échantillonnage n'a de sens que si les données sont analysées statistiquement compte tenu du paramètre expérimental, du facteur d'accélération et du mode de défaillance, même lorsque le déverminage est répété de manière excessive jusqu'à ce qu'aucune défaillance ne se produise.

La valeur m calculée avec la probabilité de défaillance du procédé de déverminage ne reflète pas les défaillances qui se sont produites et qui ont été éliminées au cours des processus d'essai précédant le déverminage. Si la valeur m est calculée sans tenir compte des défaillances pendant les processus d'essai avant déverminage, elle devient plus élevée. Par conséquent, le taux de défaillance précoce estimé à partir de la valeur m tend à être inférieur à la qualité réelle. Pour estimer la défaillance précoce, il est généralement nécessaire de calculer la valeur m en tenant compte de la probabilité de défaillance avant et après déverminage, comme cela est représenté à la Figure 5.

Il convient d'intégrer la vérification de la distribution des défaillances précoces et du taux fondé sur ce concept, dans le procédé de vérification de la fiabilité du produit qui est également la méthode la plus efficace pour améliorer la qualité de livraison réelle.

Étant donné que la défaillance précoce dépend du taux de défauts de fabrication intrinsèque de la chaîne de fabrication, le taux de défaillance précoce des autres produits fabriqués sur la même chaîne et en utilisant la même norme de conception peut également être estimé aisément tant que le taux de défauts de fabrication et que les caractéristiques convergentes (valeur m de la loi de Weibull) de la défaillance précoce sont appréhendés.

EXEMPLE:

Méthode de calcul de la probabilité de défaillance précoce dans le champ d'application:

Soit t_1 le temps jusqu'à expédition tenant compte du dépistage (converti en temps dans l'environnement d'utilisation, voir Figure 6). La probabilité de défaillance cumulée après expédition est alors:

$$F(t : t_1) = 1 - \exp \left[- \frac{(t + t_1)^m - t_1^m}{\eta^m} \right] \quad (10)$$

et le taux de défaillance après expédition (voir Figure 7) est:

$$\lambda(t : t_1) = \frac{m \times (t + t_1)^{(m-1)}}{\eta^m} \quad (11)$$

À noter que la probabilité de défaillance cumulée sur un an après expédition est $F(8\,760 \text{ h} : t_1)$ où 1 an = 8 760 h.

Lorsque m et η sont obtenus à partir des données de dépistage, un calcul quantitatif est possible.

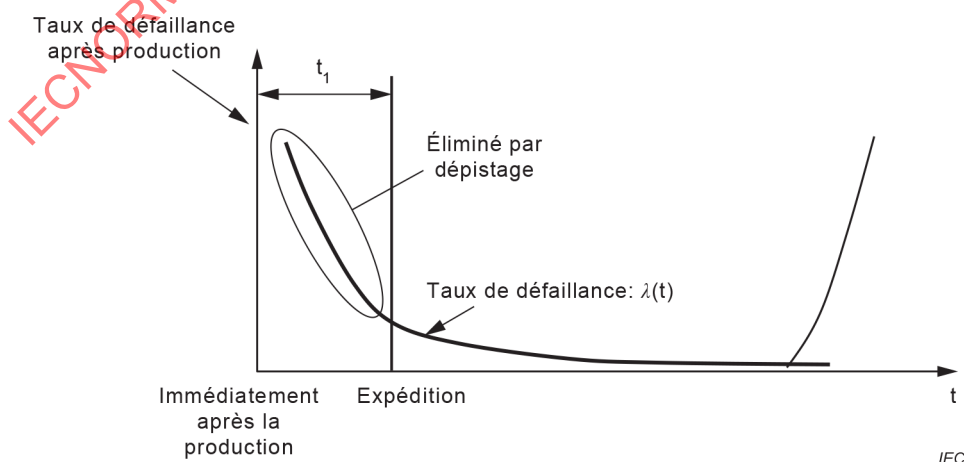


Figure 6 – Courbe en baignoire prenant comme origine le point immédiatement après la production

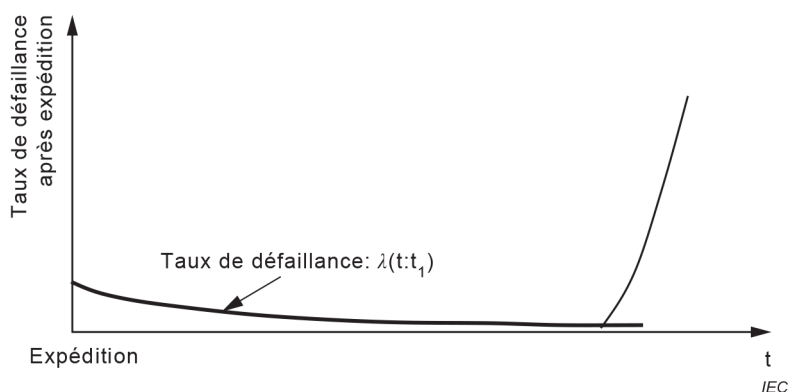


Figure 7 – Courbe en baignoire prenant comme origine le point après dépistage

5.3 Défaillance aléatoire

5.3.1 Description

Une défaillance aléatoire indique généralement une défaillance qui se produit entre la fin de la période de défaillance précoce définie (dans le cas présent 1 an) et la fin de la durée de vie utile ou le début de la période d'usure. Il est approprié d'envisager que les défaillances qui se produisent après la période de défaillance précoce définie sont dues au maintien des défaillances précoces qui n'ont pas été totalement éliminées par dépistage et, dans la plupart des cas, le paramètre de forme de la loi de Weibull: m n'est pas exactement égal à 1. Il est parfois considéré que ces défaillances sont dues à des facteurs de perturbation non liés à des défauts de fabrication et, pour être plus précis, provoquées par des facteurs occasionnels.

5.3.2 Taux moyen de défaillance

Le calcul du taux moyen de défaillance s'effectue par conversion de la probabilité d'occurrence de défaillances entre la fin de la période de défaillance précoce définie et la fin de la durée de vie utile, en probabilité d'occurrence par unité de temps. En général, ce taux est une valeur numérique exprimée en densité de défaillances (FIT), soit le nombre de défaillances pour 10^9 dispositifs-heures, par exemple 1 FIT = 1 ppm toutes les 1 000 h de fonctionnement. Cette estimation peut être utilisée, car la durée de vie utile présente des taux de défaillance sensiblement constants.

Dans la mesure où le taux moyen de défaillance fondé sur une loi exponentielle prenant pour hypothèse un paramètre de forme de la loi de Weibull $m = 1$ (taux de défaillance constant) est calculé par la méthode statistique au moyen du résultat de l'essai de durée de vie en fonctionnement, sa valeur est déterminée de manière unique par le nombre d'échantillons, la durée et le facteur d'accélération de l'essai. Par conséquent, la valeur calculée n'indique pas toujours la qualité réelle. Le taux moyen de défaillance calculé en utilisant la loi exponentielle est simplement conceptuel et, en fait, le taux de défaillance réel après la période de défaillance précoce définie devient également une région de diminution progressive du nombre de défaillances. Bien qu'elle dépende du facteur d'accélération, la défaillance par usure n'est pas susceptible de se produire au cours d'un essai accéléré de durée de vie en fonctionnement d'environ 1 000 h, du fait de la marge de conception et de construction. Il est par ailleurs approprié de considérer que les défaillances pendant la période d'essai de durée de vie en fonctionnement subsistent avec le paramètre de forme de la loi de Weibull: $m < 1$, si le nombre de défaillances aléatoires dues à des facteurs de perturbation est suffisamment réduit. Par conséquent, il est commode d'étendre la distribution des défaillances précoces après dépistage au temps de fonctionnement présumé, en considérant que la défaillance moyenne se produit comme une extension de la défaillance précoce, et d'exprimer la probabilité estimée de défaillance cumulée en taux de défaillance par unité de temps en FIT. La Figure 8 représente le concept décrivant la méthode de calcul du taux moyen de défaillance qui utilise une loi exponentielle à partir du résultat de l'essai de durée de vie en fonctionnement. La Figure 9 représente le concept décrivant la méthode de calcul du taux moyen de défaillance qui tient

compte du paramètre de forme de la loi de Weibull: m , en tant qu'extension de la défaillance précoce.

Dans la méthode de calcul du taux moyen de défaillance par une loi exponentielle fondée sur le résultat de l'essai de durée de vie en fonctionnement, la valeur de FIT tend à être surestimée, car le taux moyen de défaillance est calculé en fixant uniquement $m = 1$, sans tenir compte de la distribution réelle des défaillances, et au moyen d'un petit nombre d'échantillons d'essai, d'un facteur d'accélération d'essai et d'une durée d'essai. Dans l'exemple de la Figure 8, ce taux est calculé à approximativement 1,36 FIT lorsque le nombre de défaillances pendant l'essai de durée de vie en fonctionnement est $f = 0$ ($r_c(0; 0,6) = 0,92$) avec $CL = 60\%$ et $n = 77$.

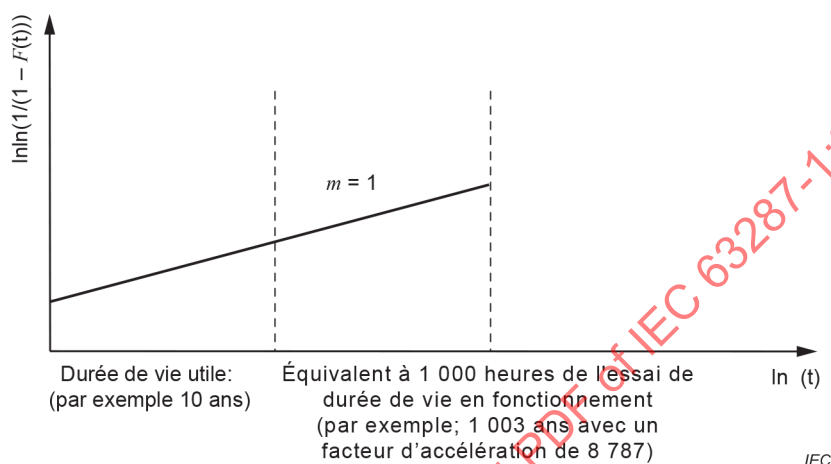


Figure 8 – Modèle de la méthode de calcul du taux moyen de défaillance à partir de la loi exponentielle

EXEMPLE 1:

$$\lambda = \frac{r_c(f, g)}{N \times T \times A_{cc}} \times 10^9 \text{ FIT} \quad (12)$$

où

- λ est le taux de défaillance;
- f est le nombre de défaillances;
- g est le niveau de confiance (en %);
- $r_c(f, g)$ est le nombre corrigé de défaillances avec un CL de g (en %) lorsque le nombre réel de défaillances est f , par exemple lorsque $f = 0$ et $g = 60\%$, alors $r_c(0; 0,6) = 0,92$
- N est le nombre d'échantillons pour l'essai de durée de vie en fonctionnement: 77;
- T est la durée de l'essai de durée de vie en fonctionnement: 1 000 h;
- A_{cc} est le facteur d'accélération pour l'essai de fiabilité: 8 787.

Le taux moyen de défaillance est alors de:

$$\lambda = \frac{0,92}{77 \times 1000 \times 8\,787} \times 10^9 \text{ h}^{-1} = 1,36 \text{ FIT}$$

D'autre part, lorsque la distribution réelle des défaillances (valeur m) est prise en compte pour le calcul, la probabilité de défaillance cumulée (probabilité de défaillance moyenne cumulée) entre la fin de la période de défaillance précoce définie et la fin de la durée de vie utile est calculée et convertie en taux moyen de défaillance. Cette méthode de calcul présente plusieurs avantages, notamment la crédibilité élevée des données, car les calculs sont effectués sur la

base du résultat de confirmation de la convergence des défaillances cumulées lors de l'essai de dépistage.

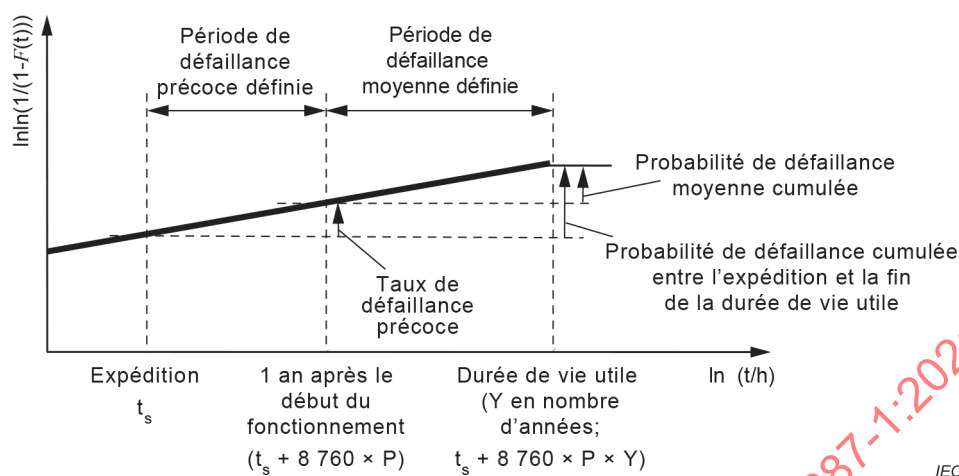


Figure 9 – Modèle de la méthode de calcul du taux moyen de défaillance en tant qu'extension de la défaillance précoce

La méthode de calcul du taux moyen de défaillance avec le modèle de Weibull est définie en considérant le taux de défaillance précoce séparément de la période de défaillance moyenne définie considérée comme une extension de la défaillance précoce, et non comme, classiquement, suivant une loi exponentielle.

Période de défaillance moyenne définie: période entre la fin de la période de défaillance précoce définie et la fin de la durée de vie utile.

Les relations ci-dessus sont exprimées par une formule mathématique qui tient compte du niveau de confiance de la manière suivante:

$F_c(t)$: Probabilité de défaillance moyenne cumulée

$\lambda(t)$: Taux moyen de défaillance

$F_c(t_Y, t_s)$: Probabilité de défaillance cumulée entre l'expédition et la fin de la durée de vie utile

$F_c(t_1, t_s)$: Probabilité de défaillance cumulée au cours de la période de défaillance précoce définie

Y : Durée de vie utile (en nombre d'années)

P : Ratio de fonctionnement ($0 < P \leq 1$)

$$F_c(t_Y : t_s) = 1 - \exp \left[- \frac{(t_Y + t_s)^m - t_s^m}{\eta_c^m} \right] \quad (13)$$

$$t_Y = Y \times 365 \times 24 \times P \quad (14)$$

$$F_c(t) = F_c(t_Y : t_s) - F_c(t_1 : t_s) \quad (15)$$

$$\lambda(t) = \frac{F_c(t_Y : t_s) - F_c(t_1 : t_s)}{(Y - 1) \times 365 \times 24} \quad (16)$$

Lorsque F_c est remplacé par F et η_c par η dans la formule ci-dessus, cette probabilité correspond au taux moyen de défaillance sans tenir compte du niveau de confiance.

EXEMPLE 2:

- a) Lorsqu'un résultat de confirmation de la convergence des défaillances cumulées est obtenu lors de l'essai de dépistage:

$$m = 0,3; t_b = 70\,298 \text{ h}; N = 2\,000 \text{ et } f = 69,$$

le taux moyen de défaillance tenant compte de ces paramètres:

$$t_s = 70\,298 \text{ h}; P = 1; \text{ durée de vie utile de 10 ans; CL de 60 \%}$$

est exprimé comme suit:

$$\eta_c = 5,57 \times 10^{52} \text{ dans la Formule (4); } F_c(t_1, t_s) = 129 \times 10^{-6} \text{ dans la Formule (5); et } F_c(t_Y, t_s) = 898 \times 10^{-6} \text{ dans la Formule (8)}$$

La probabilité de défaillance moyenne cumulée est de $769 \times 10^{-6} \text{ h}^{-1}$ et le taux moyen de défaillance est de 9,8 FIT.

- b) Lorsque le niveau de confiance n'est pas pris en considération

$$\eta = 2,15 \times 10^{53} \text{ dans la Formule (2); } F(t_1, t_s) = 124 \times 10^{-6} \text{ dans la Formule (6); et } F(t_Y, t_s) = 862 \times 10^{-6} \text{ en remplaçant } F_c \text{ par } F \text{ et } \eta_c \text{ par } \eta \text{ dans la Formule (8).}$$

Le taux moyen de défaillance cumulée est de $738 \times 10^{-6} \text{ h}^{-1}$ et le taux moyen de défaillance est de 9,4 FIT.

5.4 Défaillance par usure

5.4.1 Description

La défaillance par usure indique la durée de vie des CI à proprement parler. En entrant dans la région des défaillances par usure, chaque CI finit par provoquer une défaillance. Par conséquent, cette défaillance doit être empêchée pendant la durée de vie utile. De ce fait, chaque fournisseur de CI intègre une "fiabilité théorique" dans la phase de conception afin d'empêcher l'apparition de la défaillance par usure pendant la période de durabilité, en fixant une marge de conception appropriée. Dans la région des défaillances par usure située au-delà de la durée de vie utile, le paramètre de forme de la loi de Weibull, m , est supérieur à 1 ($m > 1$).

Les normes de conception (par exemple, les conditions de fabrication ou de conception) qui satisfont à un niveau de fiabilité (ou aux spécifications de conception) pour lequel une conversion de la durée de vie en temps d'utilisation réelle est exigée, sont déterminées par une revue de conception fondée sur les résultats d'essai qui utilisent le groupe d'éléments d'essai (TEG - *test element group*) pour l'appréciation, etc., avec les éléments constitutifs des CI (par exemple, transistors, interconnexions) et les éléments d'assemblage (par exemple, boîtiers). Par ailleurs, les CI doivent être conçus sur la base de ces normes.

Le paramètre de forme m de la défaillance par usure est obtenu à partir des résultats expérimentaux, ou est une valeur estimée. Si sa valeur peut être fixée, des objectifs de fiabilité dans le champ d'application sont fixés en traçant un diagramme de Weibull avec le paramètre de forme m qui atteint le taux de défaillance présumé à partir du nombre d'échantillons et de la durée d'essai, et un essai de fiabilité, destiné à confirmer que la fiabilité correspond exactement aux hypothèses formulées, est réalisé par le biais d'un essai accéléré.

5.4.2 Taux de défaillance par usure

La Figure 10 et la Figure 11 représentent les modèles qui décrivent le concept du taux de défaillance par usure et de l'essai accéléré.

Sur la base de ces modèles, les paragraphes suivants décrivent les méthodes de calcul utilisées pour obtenir le nombre d'échantillons et la durée de l'essai de fiabilité.

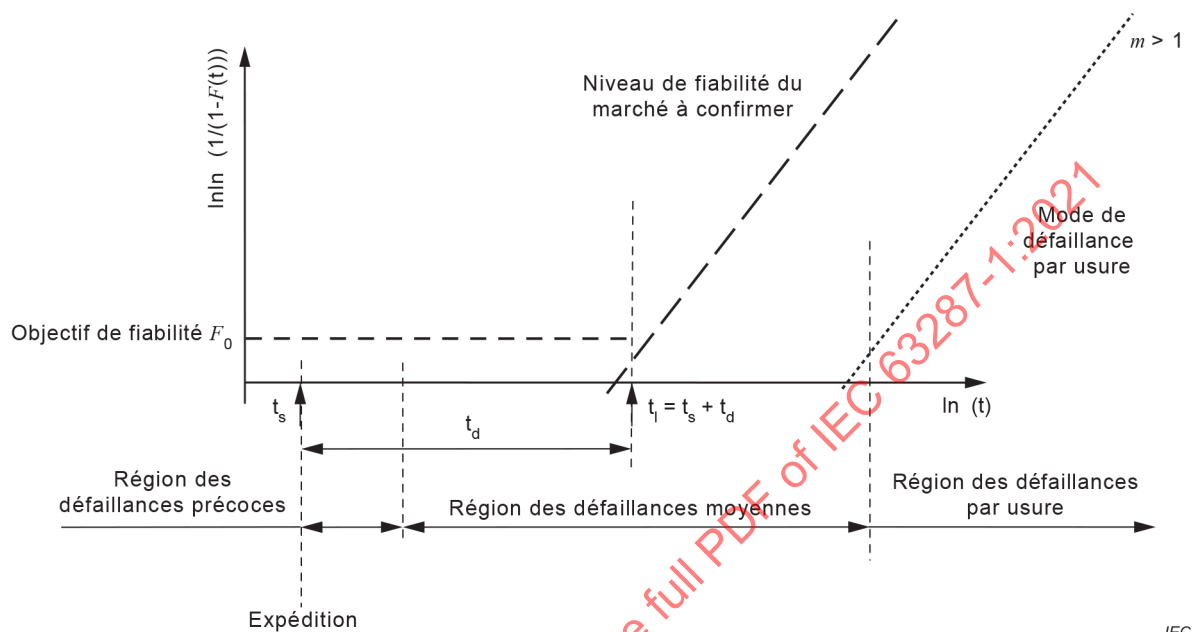


Figure 10 – Modèle de la défaillance par usure

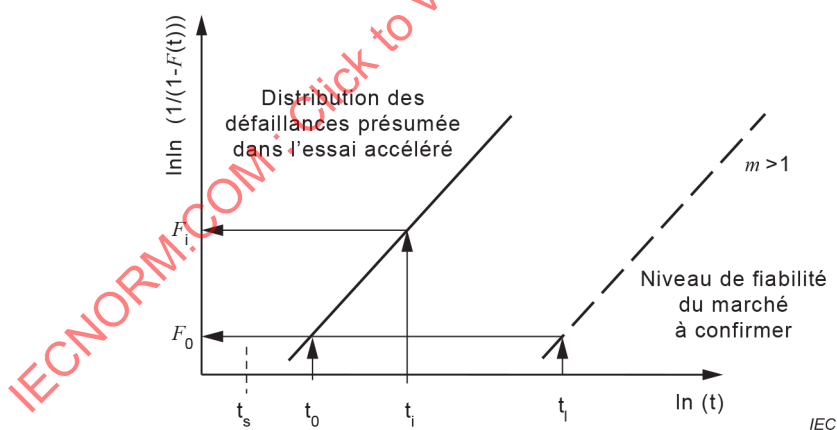


Figure 11 – Modèle décrivant le concept de l'essai accéléré

Le temps t_0 nécessaire pour atteindre la probabilité de défaillance confirmée lors de l'essai accéléré correspondant à la durée d'utilisation sur le terrain jusqu'à la durée de vie utile t_l est exprimé par la formule suivante:

$$t_0 = \frac{t_l}{A_{cc}} \quad (17)$$

où

$$t_i = t_s + t_d$$

t_s est la valeur de conversion de la durée entre la période de dépistage et l'expédition en durée d'utilisation sur le terrain;

t_d est la période de durabilité;

A_{cc} est le facteur d'accélération.

À partir d'un CL de g (en %) et du nombre d'échantillons n_i , le taux de défaillance maximal estimé (probabilité estimée de défaillance cumulée), F_i , calculé à partir de la loi binomiale lorsque le nombre de défaillances est nul, est exprimé par la formule suivante:

$$F_i = 1 - \left(1 - \frac{g}{100}\right)^{\frac{1}{n_i}} \quad (18)$$

La Formule (18) peut également être exprimée sous la forme suivante:

$$n_i = \frac{\ln\left(1 - \frac{g}{100}\right)}{\ln(1 - F_i)} \quad (19)$$

La probabilité de défaillance cumulée pour la distribution des défaillances présumée au cours de l'essai accéléré est exprimée par les formules suivantes:

$$F_i = 1 - \exp\left(-\frac{t_i^m}{\eta^m}\right)^{\frac{1}{n_i}} \quad (20)$$

$$F_0 = 1 - \exp\left(-\frac{t_0^m}{\eta^m}\right)^{\frac{1}{n_i}} \quad (21)$$

où

t_i durée d'essai incluant la durée du dépistage réalisé jusqu'à expédition;

F_0 probabilité de défaillance cumulée à confirmer pendant la période de durabilité.

La formule suivante résulte des formules de Weibull précédentes:

$$\frac{\ln(1 - F_i)}{\ln(1 - F_0)} = \left(\frac{t_i}{t_0}\right)^{\frac{1}{m}} = \left(t_i \times \frac{A_{cc}}{t_l}\right)^m \quad (22)$$

Après fixation du CL de g (en %) et du nombre d'échantillons n_i , le taux estimé de défaillances cumulées: F_i est obtenu, et la durée, y compris la durée de dépistage, de l'essai réalisé jusqu'à expédition t_i peut être calculée à partir de la probabilité de défaillance cumulée à confirmer pendant la période de durabilité: F_0 et de la Formule (22).

Si une loi binomiale est appliquée avec un nombre de défaillances nul, 0, la durée, y compris la durée de dépistage, de l'essai réalisé jusqu'à expédition: t_i s'exprime sous la forme suivante:

$$t_i = \left[\frac{\ln\left(1 - \frac{g}{100}\right)}{n_i \times \ln(1 - F_0)} \right]^{\frac{1}{m}} = \frac{t_l}{A_{cc}} \left[\frac{\ln\left(1 - \frac{g}{100}\right)}{n_i \times \ln(1 - F_0)} \right]^{\frac{1}{m}} \quad (23)$$

Si l'essai est réalisé avec des échantillons pour lesquels le dépistage a été réalisé jusqu'à expédition durant la durée t_s convertie en durée d'utilisation sur le terrain, la durée de l'essai réalisé jusqu'à expédition, à l'exclusion de la durée de dépistage: t_i s'exprime sous la forme suivante:

$$t_i = t_l - \frac{t_s}{A_{cc}} \quad (24)$$

Le taux estimé de défaillances cumulées: F_i est obtenu à partir de la durée, à l'exclusion de la durée de dépistage, de l'essai réalisé jusqu'à expédition t_i ; de la probabilité de défaillance cumulée à confirmer pendant la période de durabilité: F_0 ; et à partir de la Formule (22). Le nombre d'échantillons: n_i peut être calculé à partir d'un CL de g (en %).

$$t_i = t_d + \frac{t_s}{A_{cc}} \quad (25)$$

$$F_i = 1 - \exp\left[\left(t_i \times \frac{A_{cc}}{t_l}\right)^m \times \ln(1 - F_0)\right] \quad (26)$$

Lorsqu'une loi binomiale est appliquée avec un nombre de défaillances nul, le nombre d'échantillons n_i s'exprime sous la forme:

$$n_i = \left(\frac{t_0}{t_i}\right)^m \times \frac{\ln\left(1 - \frac{g}{100}\right)}{\ln(1 - F_0)} = \left(\frac{t_l}{A_{cc} \times t_i}\right)^m \times \frac{\ln\left(1 - \frac{g}{100}\right)}{\ln(1 - F_0)} \quad (27)$$

6 Essai de fiabilité

6.1 Description

Les essais de fiabilité des produits visent principalement à confirmer la durée de vie utile (défaillance par usure) et la stabilité du circuit conçu. La défaillance par usure provoque une défaillance lorsque le CI atteint la fin de son utilisabilité intrinsèque (mode intrinsèque). Bien que le temps qui précède l'occurrence d'une défaillance dépende des variations de fabrication et de contraintes qui apparaissent pendant l'utilisation, chaque CI finit par atteindre sa fin de vie. De ce fait, le taux de défaillance augmente nettement à l'issue de la période de durabilité. L'essai de fiabilité est réalisé pour confirmer que la défaillance par usure se situe dans les limites de la probabilité de défaillance cumulée souhaitée au cours de la période d'utilisation réelle présumée. Puisque $m > 1$ dans le cas de la défaillance par usure, un essai de fiabilité qui n'utilise qu'un petit nombre d'échantillons (par exemple, entre quelques échantillons et plusieurs dizaines) peut également être l'équivalent d'un essai qui représente de plusieurs fois à plusieurs centaines de fois la période d'utilisation réelle présumée. Cela se vérifie si un

nombre significatif d'échantillons (> 50 %) peuvent être mis en défaillance sous l'effet de contraintes, et si leur durée de fonctionnement avant défaillance peut être ordonnée de manière séquentielle sur une courbe de Weibull. Dans le cas contraire, des estimations des paramètres de pente doivent être utilisées dans les calculs de la durée de vie, comme cela est décrit précédemment.

L'essai de fiabilité permet de confirmer la durée de vie utile soigneusement étudiée au cours de la phase de conception, mais ne permet pas de confirmer la qualité de la livraison. Il convient de traiter les défauts de fabrication qui influent sur la qualité de la livraison de la même façon que les défaillances précoces, et de les exclure du concept de l'essai de fiabilité. Pour les dispositions de prévention contre les défaillances précoces, voir l'Article 8.

6.2 Plan d'essai de fiabilité

6.2.1 Modes opératoires pour la création d'un plan d'essai de fiabilité

Les essais de fiabilité consistent à durcir, par un facteur d'accélération, les conditions d'utilisation (tension, température, humidité, etc.), par rapport à l'environnement d'utilisation réel. Étant donné que l'essai est conçu pour détecter les défaillances par usure, la distribution des défaillances présumée tend à avoir moins de variations et le net durcissement des conditions permet d'utiliser un petit nombre d'échantillons pendant une courte durée d'essai. Cependant, comme certains mécanismes sont également légèrement accélérés au cours de l'essai, il convient de choisir soigneusement le nombre d'échantillons et la durée de l'essai en fonction des facteurs d'accélération des mécanismes de défaillance. Il convient également de noter que l'essai devient peu significatif en cas d'application d'une contrainte excessive qui vise à casser la pièce en essai, si le mécanisme de défaillance n'est pas corrélé à des défaillances qui se produisent dans le champ d'application. Après établissement des conditions d'accélération, il est nécessaire d'accélérer les conditions sur une plage dans laquelle le mode de défaillance, le mécanisme de défaillance et le facteur d'accélération sont constants.

L'exemple ci-après décrit la méthode qui permet de créer un plan d'essai de fiabilité destiné à confirmer que la défaillance par usure est inférieure ou égale à 0,1 % après une période d'utilisation réelle présumée de 10 ans, en utilisant l'accélération, et en prenant en considération le claquage diélectrique en fonction du temps (TDDB - *time-dependent dielectric breakdown*).

- a) Choisir des méthodes d'essai de fiabilité adaptées au mode et au mécanisme de défaillance à détecter.

De manière générale, réaliser plusieurs essais de fiabilité pour confirmer le mode et le mécanisme de défaillance présumés. La présente partie utilise un "essai de durée de vie en fonctionnement" comme exemple de méthode d'essai de fiabilité pour confirmer le TDDB.

- b) Calculer le facteur d'accélération pour l'essai de fiabilité. Puisque l'accélération du TDDB est favorisée par le champ électrique et la température, fixer des conditions d'essai de champ électrique et de température d'essai supérieures à celles rencontrées dans l'environnement d'utilisation réel. Dans cet exemple, la tension et la température sont accélérées dans les conditions qui suivent, et le facteur d'accélération est de 966.

EXEMPLE:

Tension en utilisation réelle: 2,5 V; tension d'essai: 3,4 V; $\beta = 4,0 \text{ V}^{-1}$ donne le facteur d'accélération en tension:

$$\alpha_V = \exp[\beta \times (V_2 - V_1)] = 36,6 \quad (28)$$

Température en utilisation réelle: 70 °C; température d'essai: 125 °C; $E_a = 0,7 \text{ eV}$ donne le facteur d'accélération thermique:

$$\alpha_T = \exp\left[\frac{E_a}{k} \times \left(\frac{1}{T_1} - \frac{1}{T_2}\right)\right] = 26,4 \quad (29)$$

La multiplication de ces deux paramètres donne le facteur d'accélération pour l'essai de fiabilité:

$$A_{cc} = \alpha_V \times \alpha_T = 36,6 \times 26,4 = 966 \quad (30)$$

- c) Définir par hypothèse la distribution des défaillances. En général, lorsque la distribution des défaillances a été obtenue dans le cadre d'un essai de fiabilité de procédé qui utilise un TEG avant que l'essai de fiabilité du produit ait été réalisé et lorsque cette distribution est connue, la valeur m déterminée à partir du TEG peut être utilisée.
- d) Tracer une distribution des défaillances qui atteint la probabilité de défaillance cumulée de 0,1 % pour l'intervalle de temps de 10 ans, fondée sur la distribution des défaillances présumée. Dans cet exemple, une loi de Weibull et le paramètre de forme: $m = 3$ sont utilisés. Tracer normalement une distribution des défaillances qui atteint la probabilité de défaillance cumulée de 0,1 % pendant la durée de vie utile présumée (dans cet exemple, 10 ans / 966 = 90,7 h en prenant un facteur d'accélération de 966). Modifier la durée de vie et la probabilité de défaillance cumulée à confirmer si nécessaire, par exemple, en les passant à 0,1 % sur 15 ans pour une utilisation dans le secteur automobile. Si le rapport entre la durée de fonctionnement et la durée hors fonctionnement (service) peut être incorporé, il peut également être inclus.
- e) Finaliser le plan d'essai à partir de la relation liant les moments de l'essai auxquels la distribution des défaillances croise la probabilité de défaillance cumulée à confirmer pendant l'essai accéléré mentionné au point d) ci-dessus. Puisque les défaillances par usure sont peu nombreuses durant les essais réels de fiabilité des produits, les résultats de ces essais peuvent être remplacés par un nombre statistique d'occurrences de défaillances avec un niveau de confiance tel qu'un CL de 60 %.

Dans l'exemple de la Figure 12 ci-après, la probabilité de 0,1 % pour l'intervalle de temps de 10 ans peut être confirmée avec 77 échantillons et une durée d'essai de 208 h; ainsi qu'avec 22 échantillons et une durée d'essai de 317 h. Ainsi, l'essai de fiabilité peut être optimisé par modification de la combinaison durée d'essai/nombre d'échantillons d'essai. Lorsqu'il s'avère nécessaire de réduire le nombre d'échantillons d'essai, il convient en contrepartie d'allonger la durée d'essai. En revanche, lorsqu'il s'avère nécessaire d'apprécier la fiabilité sur une période courte, cette opération peut être réalisée par augmentation du nombre d'échantillons.

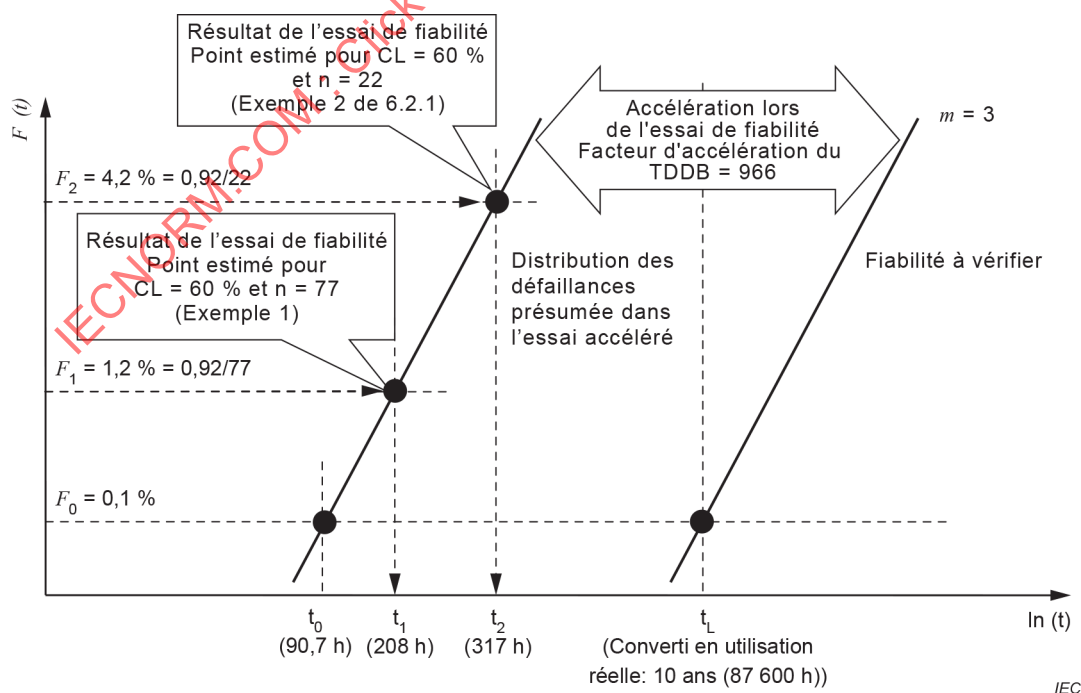


Figure 12 – Concept de l'essai de fiabilité sur un diagramme de Weibull (fondé sur la taille d'échantillon)

En principe, il convient qu'un plan d'essai comporte une marge qui tienne compte des variations, tout comme il convient que ce plan ne fournisse pas une confirmation exacte de 0,1 %. L'exemple de TDDb prend pour hypothèse que $m = 3$, mais lorsque la valeur m est faible, la probabilité d'occurrence de la défaillance par usure au cours de la période d'utilisation réelle présumée augmente dans la confirmation de 0,1 % pour l'intervalle de temps de 10 ans. Par conséquent, il est nécessaire de fixer la probabilité ciblée de défaillance cumulée sur 10 ans à moins de 0,1 %. Le Tableau 2 présente le taux de défaillance cumulée des troisième, cinquième et septième années en fixant la probabilité ciblée à 0,1 % pour l'intervalle de temps de 10 ans, lorsque m est compris entre 1 et 5. Comme cela est présenté dans le tableau, même lorsque la probabilité ciblée de défaillance cumulée de la défaillance par usure est fixée à 0,1 %, cette défaillance par usure est moins susceptible de poser problème au cours de la période d'utilisation réelle présumée tant que la valeur m est élevée. Selon le concept de l'essai de fiabilité, l'échelle de cet essai, qui peut confirmer la "défaillance par usure inférieure ou égale à 0,1 %" est suffisante pour vérifier le risque d'occurrence des défaillances par usure, et ne prend pas pour hypothèse l'acceptation du taux d'occurrence de défaillances par usure de 0,1 %.

Tableau 2 – Taux de défaillance cumulée pour une probabilité de défaillance cumulée de 0,1 % sur 10 ans [$\times 10^{-6}$] pour les troisième, cinquième et septième années

valeur m	troisième année	cinquième année	septième année	dixième année
1,0	300	500	700	1 000
2,0	90	250	490	
3,0	27	125	343	
5,0	2,0	31	168	

La méthode de calcul de la durée d'essai et du nombre d'échantillons nécessaires représentés à la Figure 12 et à la Figure 13 est décrite en 6.2.2.

6.2.2 Estimation de la durée d'essai exigée pour confirmer le TDDb à partir du nombre d'échantillons d'essai

Une estimation de la probabilité de défaillance peut être confirmée par le nombre d'échantillons disponibles, compte tenu du niveau de confiance.

Lorsque la fonction de Weibull est exprimée de manière simple, la probabilité de défaillance cumulée F_0 est exprimée par la formule suivante:

$$F_0 = 1 - \exp(-A \times t_0^m) \quad (31)$$

où A est une constante incluant le paramètre de forme m et le paramètre d'échelle η ; paramètre de position $\gamma = 0$.

$$1 - F_0 = \exp(-A \times t_0^m) \quad (32)$$

$$\ln(1 - F_0) = -A \times t_0^m \quad (33)$$

Selon le même raisonnement, puisque $\ln(1 - F_1) = -A \times t_1^m$, la relation suivante est établie:

$$\left[\frac{\ln(1-F_1)}{\ln(1-F_0)} \right] = \left(\frac{t_1}{t_0} \right)^m \quad (34)$$

EXEMPLE 1:

Pour un CL de 60 % et 77 échantillons: $F_1 = 0,92/77 = 1,2 \%$. La durée d'essai exigée peut être calculée en remplaçant le paramètre. Lorsque 77 échantillons sont utilisés, la probabilité de défaillance par usure cumulée de 0,1 % pour un intervalle de temps de 10 ans peut être confirmée en 208 h.

$$t_1 = t_0 \times \left[\frac{\ln(1-F_1)}{\ln(1-F_0)} \right]^{\frac{1}{m}} = \frac{t_l}{A_{cc}} \times \left[\frac{\ln(1-F_1)}{\ln(1-F_0)} \right]^{\frac{1}{m}} = \frac{10 \times 8\,760 \text{ h}}{966} \times \left[\frac{\ln(1-0,0012)}{\ln(1-0,001)} \right]^{\frac{1}{3}} = 208 \text{ h}$$

EXEMPLE 2:

Selon le même raisonnement, lorsque 22 échantillons sont utilisés, $F_2 = 0,92/22 = 4,2 \%$, et la probabilité de défaillance par usure cumulée de 0,1 % pour un intervalle de temps de 10 ans peut être confirmée en 317 h.

$$t_2 = t_0 \times \left[\frac{\ln(1-F_2)}{\ln(1-F_0)} \right]^{\frac{1}{m}} = \frac{t_l}{A_{cc}} \times \left[\frac{\ln(1-F_2)}{\ln(1-F_0)} \right]^{\frac{1}{m}} = \frac{10 \times 8\,760 \text{ h}}{966} \times \left[\frac{\ln(1-0,0042)}{\ln(1-0,001)} \right]^{\frac{1}{3}} = 317 \text{ h}$$

où

t_0 temps nécessaire pour obtenir la probabilité de défaillance par usure attendue pour la durée de vie pendant l'essai accéléré

t_1, t_2 durée d'essai à obtenir;

t_l durée d'utilisation dans le champ d'application: 10 ans = 87 600 h;

F_0 probabilité de défaillance cumulée à confirmer pendant la durée de vie: 0,1 % = 0,001;

F_1, F_2 probabilité de défaillance qui peut être confirmée à partir du nombre d'échantillons d'essai, calculé en utilisant le niveau de confiance. Exemple 1: 1,2 %; Exemple 2: 4,2 %;

m paramètre de forme de la loi de Weibull associé à la défaillance: $m = 3$;

A_{cc} Facteur d'accélération pour l'essai de fiabilité: 966.

6.2.3 Estimation du nombre d'échantillons exigé pour confirmer le TDDb à partir de la durée d'essai

L'estimation de la probabilité de défaillance peut être confirmée à partir de la durée d'essai, par remplacement du paramètre et par détermination du paramètre d'essai nécessaire à partir du résultat calculé.

$$\left[\frac{\ln(1-F_3)}{\ln(1-F_0)} \right] = \left(\frac{t_3}{t_l} \right)^m = \left(\frac{t_3 \times A_{cc}}{t_l} \right)^m$$

$$\ln(1-F_3) = \left(\frac{t_3 \times A_{cc}}{t_l} \right)^m \times \ln(1-F_0) \quad (35, 36, 37)$$

$$F_3 = 1 - \exp \left[\left(\frac{t_3 \times A_{cc}}{t_l} \right)^m \times \ln(1-F_0) \right]$$