

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Integrated circuits – Three dimensional integrated circuits –
Part 3: Model and measurement conditions of through-silicon via**

**Circuits intégrés – Circuits intégrés tridimensionnels –
Partie 3: Modèle et conditions de mesure des trous de liaison à travers le
silicium**

IECNORM.COM : Click to view the full PDF of IEC 63011-3:2018



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2018 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 21 000 terms and definitions in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 21 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Integrated circuits – Three dimensional integrated circuits –
Part 3: Model and measurement conditions of through-silicon via**

**Circuits intégrés – Circuits intégrés tridimensionnels –
Partie 3: Modèle et conditions de mesure des trous de liaison à travers le
silicium**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.200

ISBN 978-2-8322-6276-4

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Normative references	6
3 Terms, definitions and abbreviated terms	7
3.1 Terms and definitions.....	7
3.2 Abbreviated terms.....	7
4 Measurement conditions to specify TSV characteristics	7
4.1 Supply chain and TSV circuit model.....	7
4.2 Reference model of TSV electrical characteristics.....	8
4.3 Measurement conditions to specify TSV electrical characteristics	9
4.3.1 General	9
4.3.2 Resistance measurement	9
4.3.3 Capacitance measurement	10
Annex A (informative) Explanatory note	12
A.1 Purpose of establishment.....	12
A.2 Reference dimension of the TSV model	12
A.3 Other considerations for implementation	13
A.3.1 General	13
A.3.2 Keep out zone	13
Figure 1 – Reference of a multi-chip interconnect system	6
Figure 2 – 3-D IC Supply chain model.....	7
Figure 3 – TSV electrical characteristic model	8
Figure 4 – Resistance measurement method	10
Figure 5 – Capacitance measurement method	10
Figure 6 – Measurement conditions to specify TSV electrical characteristics when substrate is not connected to power supply.....	11
Figure A.1 – Structure of the TSV model.....	13
Figure A.2 – KOZ definition.....	14
Table 1 – Policy for model standardization.....	9
Table A.1 – Parameters and reference values of the TSV model.....	12
Table A.2 – Parameters affecting KOZ.....	14

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**INTEGRATED CIRCUITS –
THREE DIMENSIONAL INTEGRATED CIRCUITS –****Part 3: Model and measurement conditions
of through-silicon via****FOREWORD**

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 63011-3 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this International Standard is based on the following documents:

FDIS	Report on voting
47A/1057/FDIS	47A/1063/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 63011 series, under the general title *Integrated circuits – Three dimensional integrated circuits*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM : Click to view the full PDF of IEC 63011-3:2018

INTRODUCTION

The embedded system implementation such as digital consumer and mobile devices is a history of functional integration and power reduction for faster and smaller. At the beginning, the embedded system was developed by various digital ASIC chips to implement required functions. They were then integrated on one chip as a system on chip (SoC), which includes application processor and peripheral I/F logic, such as PCIe, SATA, USB, and DDRx memory controller. Because required performance and image resolution is growing, SoC has embedded many functions through adopting advanced semiconductor technology.

Since advanced semiconductor technology is complicated and its development cost is higher, the application is limited to use only for a few products. Those SoC's cost is not appropriate for all embedded systems. Multi-chip implementation is a way to solve this issue. It implements very large logic gate on the separated SoC and ASIC logic chips, connecting each other. This multi-chip interconnection technique provides also implementation of heterogeneous technology VLSI chips.

This document is focused to interconnect methodology to implement multi-chip VLSI for three-dimensional integrated circuit. Thanks to through-silicon via (TSV) and micro bump interconnect technology; the wire number between VLSI can be tremendously wider. It also allows to connect chips with on-chip bus interconnection, which has several thousand signal connections.

IECNORM.COM : Click to view the full PDF of IEC 63011-3:2018

INTEGRATED CIRCUITS – THREE DIMENSIONAL INTEGRATED CIRCUITS –

Part 3: Model and measurement conditions of through-silicon via

1 Scope

This part of IEC 63011 specifies a reference model of through-silicon via (TSV) electrical characteristics required for an interface design in three dimensional integrated circuit (3-D IC) to transmit and receive digital data and measurement conditions for resistance and capacitance to specify TSV characteristics in 3-D IC.

3-D IC specifications covered by this document are the following:

- application: digital consumer and mobile;
- operating voltage: 0,1 V to 5,0 V,
- operating frequency: less than 2,0 GHz.

This document does not describe the equipment for the measurement. Figure 1 describes a typical case of multi-chip interconnect system discussed in this document.

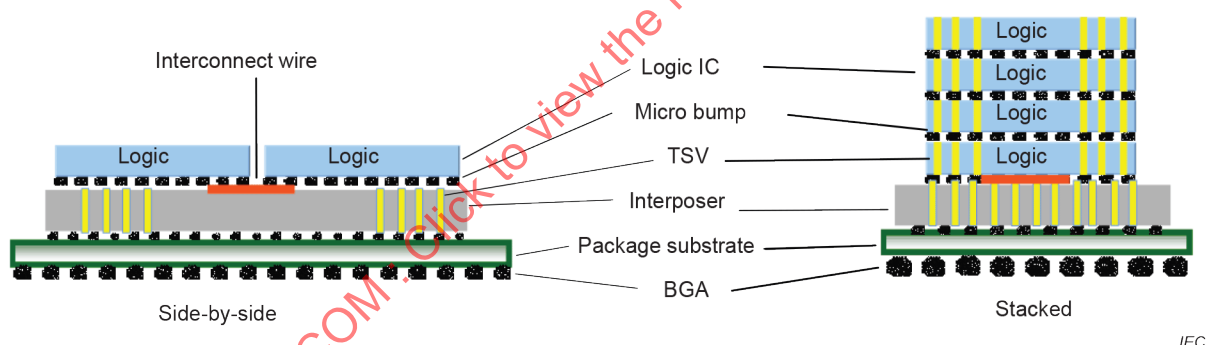


Figure 1 – Reference of a multi-chip interconnect system

Power devices, RF devices and micro-electromechanical systems (MEMS) are not in the scope of this document.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 63011-1, *Integrated circuits – Three dimensional integrated circuits – Part 1: Terminology*

3 Terms, definitions and abbreviated terms

3.1 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 63011-1 apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

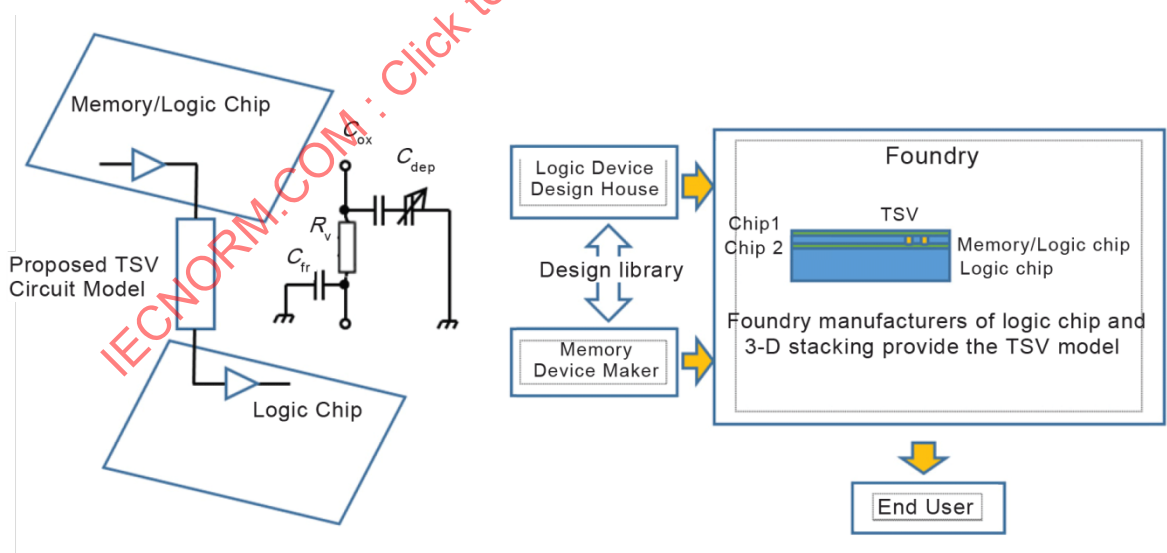
3.2 Abbreviated terms

3-D IC	three-dimensional integrated circuit
ASIC	application specific integrated circuit
NMOS	N-channel MOSFET
PMOS	P-channel MOSFET
SoC	system on chip
TSV	through-silicon via
VLSI	very large scale integration

4 Measurement conditions to specify TSV characteristics

4.1 Supply chain and TSV circuit model

3-D IC supply chain employing the TSV circuit model is shown in Figure 2. Foundry manufacturers of logic chip and 3-D stacking provide the TSV model. The circuit model is determined based on an actual experimental result.



IEC

Figure 2 – 3-D IC Supply chain model

4.2 Reference model of TSV electrical characteristics

Reference model of TSV electrical characteristics shown in Figure 3 is composed of a capacitance (C_v) and a resistance (R_v). C_v is the total capacitance and consists of capacitance of oxide layer (C_{ox}), capacitance by depletion layer (C_{dep}) and fringe capacitance (C_{fr}). C_{ox} and C_{dep} are capacitances between the TSV and the semiconductor substrate and dependent on the voltage applied to the TSV since depletion layer exists. C_{fr} is a fringe capacitance between a bump and the semiconductor substrate. The node of C_{dep} is connected to the ground through the substrate. When the interval of TSV is very short, coupling model is recommended. Table 1 shows a policy for model standardization. Circuit definition explains the view of proposed model. The device structure is the structure which will be the requisite in the case of using the proposed model. Measurement condition explains device structure and operating conditions for measurement. The parameters of the TSV model are derived from TSV and its surrounding structure. An example of a typical concept is shown in Annex A.

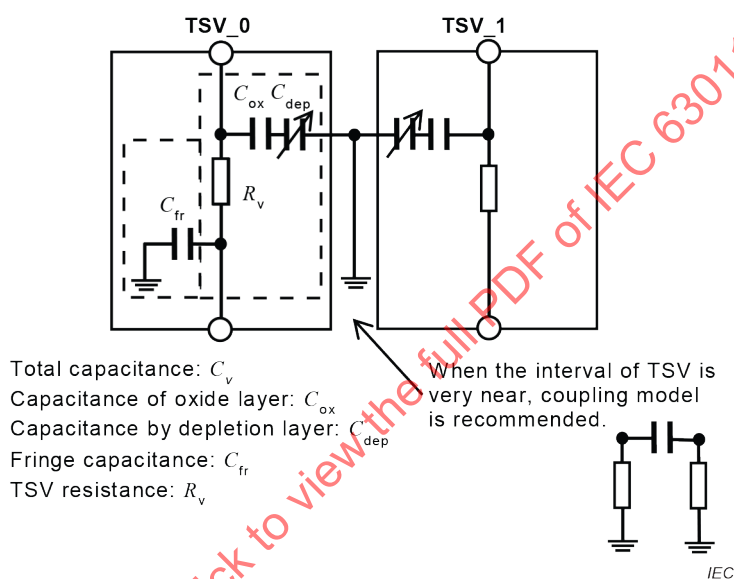


Figure 3 – TSV electrical characteristic model

Table 1 – Policy for model standardization

Item	Subitem	Policy
Circuit definition	Parameter	Resistance is defined with average value. Capacitance is defined by a waveform. Fringe capacitance is removable Inductance is not included because of little influence.
	Model for every application	No definition
Device structure	Surrounding TSV	No definition When the interval of TSV is very short, coupling model is recommended.
	Semiconductor substrate power supply	Substrate is connected to the ground. The defined TSV circuit model is inapplicable when substrate isn't connected to power supply.
	Semiconductor substrate	P type
Measurement condition	Structure	TSV array There is difference from single TSV and array TSVs.
	Frequency	Frequency dependence of capacitance is measured.
	Voltage	Voltage dependence of capacitance is measured.

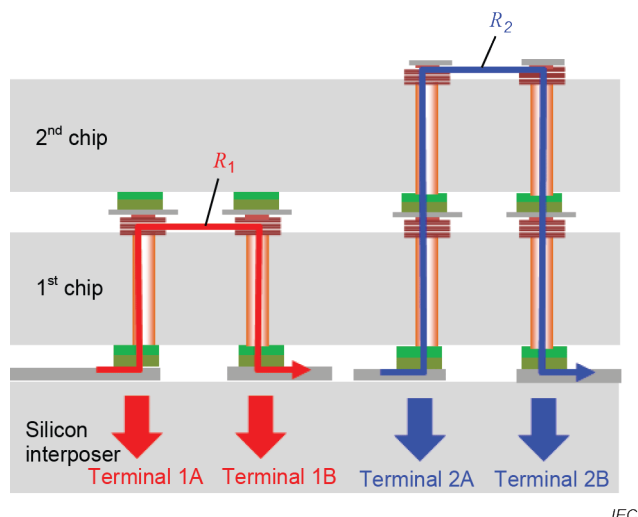
4.3 Measurement conditions to specify TSV electrical characteristics

4.3.1 General

The electrical characteristics of the TSV shall be measured with the defined conditions.

4.3.2 Resistance measurement

TSV resistance (R_v), consisting of bulk resistances of LSI interconnect, TSV, bumps and their contact resistances, is obtained by four point measurement. A constant current (I) is supplied via current supply wirings connecting to terminal 1A and terminal 1B, and the generated voltage (V) between wirings connecting to the terminals is measured by voltmeter as shown in Figure 4. According to Ohm's law, a pair resistance for the first chip (R_1) is defined as V/I . Based on the same setup, a resistance for the first chip and the second chip (R_2) is obtained. TSV resistance (R_v) is defined as $(R_2 - R_1)/2$. This method is only valid when the second chip is essentially the same as the first chip. To minimize measurement error, the voltage measurement wiring should be connected as close as possible.

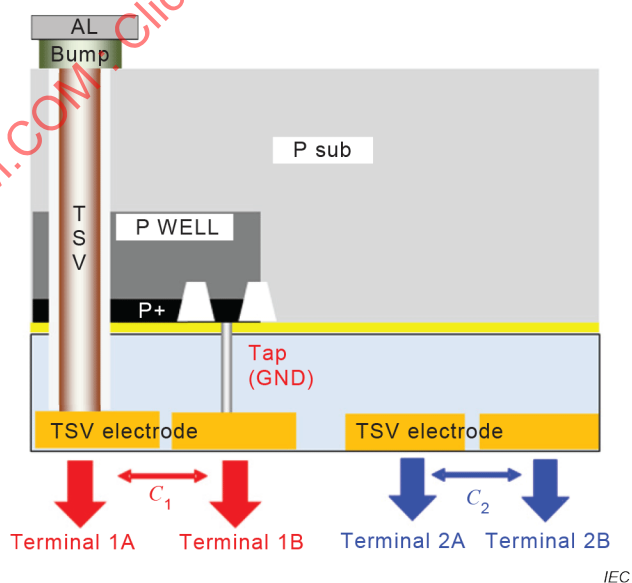


TSV resistance (R_v) is defined as $R_v = R_2 - R_1/2$, where R_1 is the first chip, and R_2 is the second chip.

Figure 4 – Resistance measurement method

4.3.3 Capacitance measurement

TSV capacitance (C_v) is obtained by electrical impedance measurement. Overall capacitance (C_1) between terminal 1A and terminal 1B is measured by an impedance meter as a function of signal frequency (f) and DC voltage (V_{dc}) as shown in Figure 5. This capacitance (C_1) is composed of TSV capacitance (C_v) and the parasitic capacitance (C_2) caused by the measurement wiring and experimental setup. Therefore, TSV capacitance (C_v) is given by $C_1 - C_2$. Parasitic capacitance (C_2) between terminal 2A and terminal 2B is obtained by impedance measurement for a measurement structure having neither TSV nor bump. Using TSV array is recommended to reduce parasitic capacitance.



TSV capacitance (C_v) is given by $C_1 - C_2$, where C_1 is the capacitance, and C_2 is the parasitic capacitance.

Figure 5 – Capacitance measurement method

As a TSV high frequency characteristic, S parameters of TSV are measured using a vector network analyzer (VNA). Every two TSVs short-circuited on the back side form a pair of a ground line and a signal line using four TSVs, as shown in Figure 6 a). Two ground-signals (GS) contact microwave probes with the contact pin pitch corresponding to the TSV interval (200 μm) are used in the measurement. After calibration operation for open, short, and load using a calibration substrate, S parameters measurement of TSV is carried out. Typical measurement results of S_{21} , S_{11} are shown in Figure 6 b).

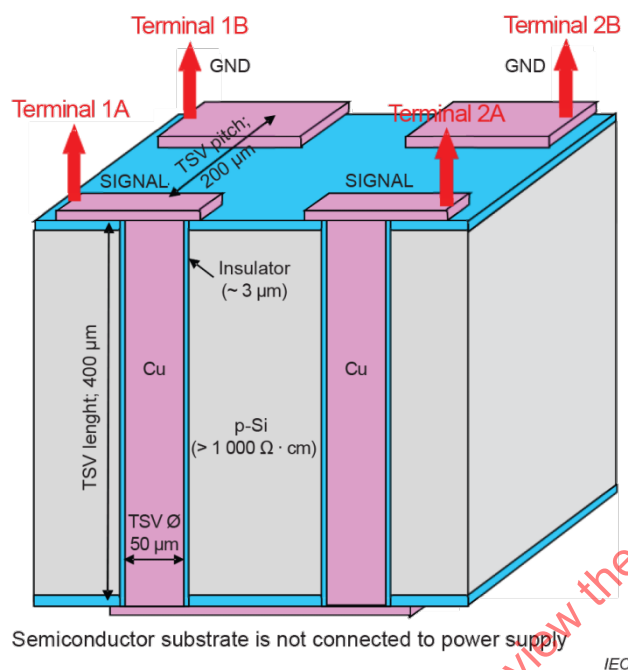
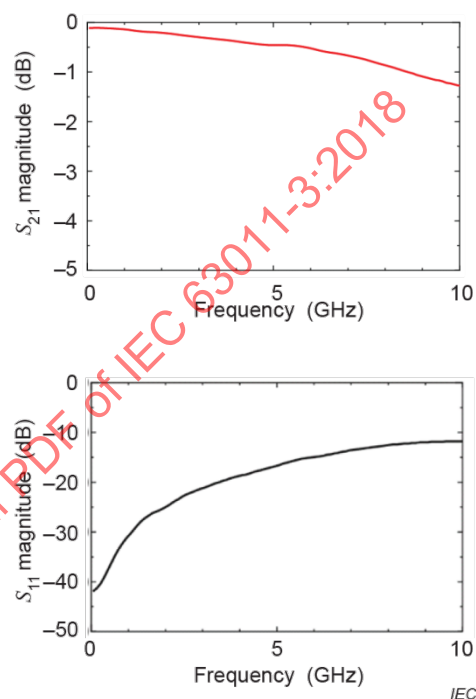
6a) S parameter measurement method6b) S parameter evaluation result

Figure 6 – Measurement conditions to specify TSV electrical characteristics when substrate is not connected to power supply

Annex A (informative)

Explanatory note

A.1 Purpose of establishment

The conventional multi-chip interconnect specifications were used for limited applications and were not suitable for SoC and ASIC interconnection. The wider range of interconnect technology realized by TSV and micro bump changes the methodology of interconnect. The wide range of I/O enables to extract on-chip bus to outside connection, and small size of TSV and micro bump enables low capacitance load interface. These two technology permits to use on-chip signalling for multi-chip signal interface.

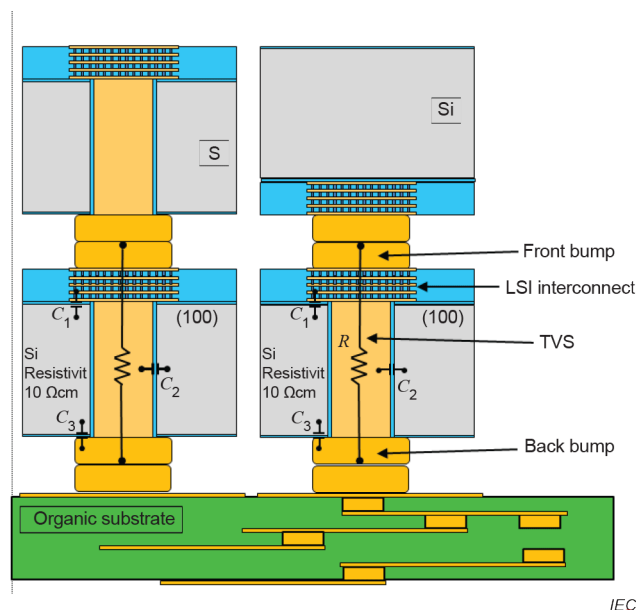
Annex A describes neither TSV and micro bump technology, nor how to implement multi-chip modules as a level of packaging technology, nor interposer materials. Annex A only shows them as a reference.

A.2 Reference dimension of the TSV model

The following Table A.1 shows the parameters and reference values of the TSV model. The structure of the TSV model is illustrated in Figure A.1.

Table A.1 – Parameters and reference values of the TSV model

		Parameter	Reference value
C_1	LSI interconnect	Size	20 μm to 30 μm
	Pre-metal dielectric	Dielectric	≈ 4
		Thickness	$\approx 0,3 \mu\text{m}$
C_2	TSV	Diameter	10 μm to 20 μm
		Length	25 μm to 50 μm
	TSV interconnect	Dielectric	4,5
		Thickness	0,5 μm
C_3	Back bump	Size	10 μm to 30 μm
	Backside ILD	Dielectric	4,5
		Thickness	TBD
R	Front bump-LSI interconnect	Contact resistance	
	LSI interconnect-TSV	Contact resistance	
	TSV	Resistivity	2,0 $\mu\Omega\cdot\text{cm}$
		Diameter	10 μm to 20 μm
		Length	25 μm to 50 μm
	TSV-Back bump	Contact resistance	
	Front bump/Back bump	Resistivity	
		Thickness	5 μm to 5 μm
		Size	10 μm to 30 μm
	LSI interconnect	Resistivity	
		Structure	



Key

- C_1 Fringe capacitance between LSI interconnect and semiconductor substrate;
- C_2 Capacitance between TVS and semiconductor substrate;
- C_3 Fringe capacitance between bump and semiconductor substrate;
- R Total resistance including bumps and TSV.

Figure A.1 – Structure of the TSV model

A.3 Other considerations for implementation

A.3.1 General

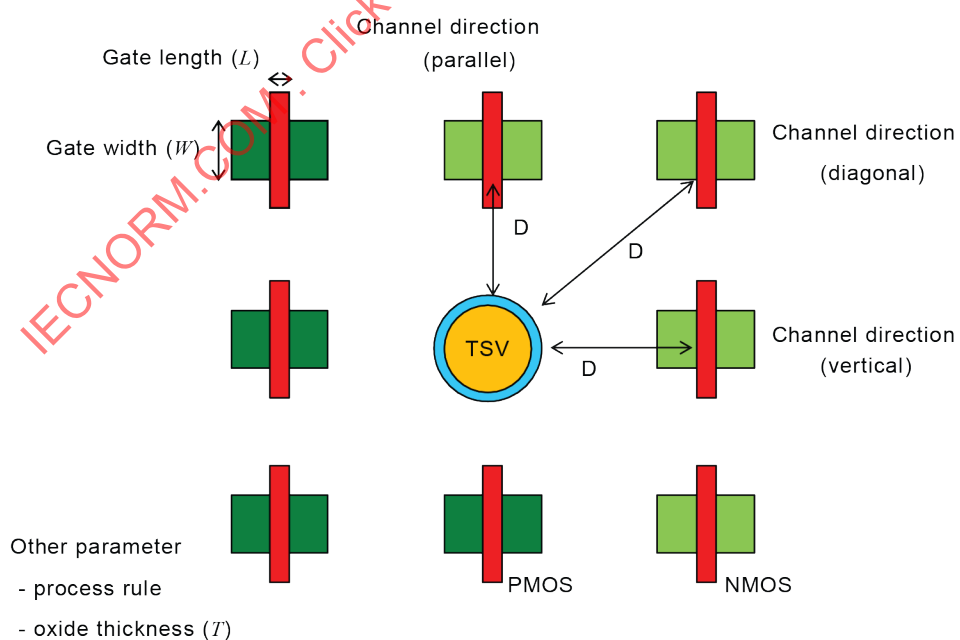
Clause A.3 describes the other physical recommendations to implement multi-chip interconnection in 3-D IC.

A.3.2 Keep out zone

A.3.2 describes evaluation standard for keep out zone (KOZ). TSV fabrication causes mechanical stress around TSVs. This stress causes transistor current variation. KOZ is the area surrounding each TSV from which transistors must keep out so that they are not influenced by the TSV-induced stress. The parameters affecting KOZ are defined in Table A.2 and Figure A.2. The distance from the edge of TSV to the edge of gate on diffusion area of a transistor is defined as the dimension (D). When the dimension (D) is the specific value and the current of a transistor is changed by n% at most, the dimension (D) is defined as KOZn.

Table A.2 – Parameters affecting KOZ

Item	Sub-Item	Parameter	Reference value
Chip stack structure	Front bump	Size	10 µm to 30 µm
		Material	Cu/SnAg-Cu
	Back bump	Size	10 µm to 30 µm
		Material	Cu/Au-Ni
	TSV	Size	10 µm to 20 µm
		Material	Cu
		Single / array	Array
Transistor structure	Underfill resin	Material	PI/Epoxy series
	Process	Generation	90 nm
	Channel direction	Parallel/vertical/diagonal	Parallel/vertical/diagonal
	Gate width	W Size	0,25 µm (nNMOS), 0,5 µm (PMOS)
	Gate length	L Size	≈ 0,1 µm (NMOS,PMOS)
	Gate oxide	T Thickness	
	Transistor type	NMOS/PMOS	NMOS/PMOS



IEC

Figure A.2 – KOZ definition

IECNORM.COM : Click to view the full PDF of IEC 63011-3:2018

SOMMAIRE

AVANT-PROPOS	17
INTRODUCTION.....	19
1 Domaine d'application	20
2 Références normatives	20
3 Termes, définitions et termes abrégés	21
3.1 Termes et définitions	21
3.2 Termes abrégés	21
4 Conditions de mesure pour spécifier les caractéristiques des TSV.....	21
4.1 Chaîne d'approvisionnement et modèle de circuit de TSV	21
4.2 Modèle de référence des caractéristiques électriques d'un TSV	22
4.3 Conditions de mesure pour spécifier les caractéristiques électriques des TSV	23
4.3.1 Général	23
4.3.2 Mesure de la résistance.....	23
4.3.3 Mesure de la capacité.....	24
Annexe A (informative) Note explicative.....	26
A.1 Objet.....	26
A.2 Dimensions de référence du modèle de TSV.....	26
A.3 Autres considérations de mise en œuvre	27
A.3.1 Généralités	27
A.3.2 Zone interdite	27
Figure 1 – Référence de système d'interconnexion multipuce	20
Figure 2 – Modèle de chaîne d'approvisionnement d'un 3-D IC	21
Figure 3 – Modèle de caractéristiques électriques d'un TSV	22
Figure 4 – Méthode de mesure de la résistance	24
Figure 5 – Méthode de mesure de la capacité.....	24
Figure 6 – Conditions de mesure pour spécifier les caractéristiques électriques des TSV lorsque le substrat n'est pas relié à une alimentation	25
Figure A.1 – Structure du modèle de TSV	27
Figure A.2 – Définition d'une zone interdite.....	28
Tableau 1 – Politique pour normalisation de modèle	23
Tableau A.1 – Paramètres et valeurs de référence du modèle de TSV	26
Tableau A.2 – Paramètres affectant la zone interdite (KOZ).....	28

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CIRCUITS INTÉGRÉS – CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –

Partie 3: Modèle et conditions de mesure des trous de liaison à travers le silicium

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, direct ou indirect, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 63011-3 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'étude 47 de l'IEC: Dispositifs à semiconducteurs.

Le texte de cette Norme internationale est issu des documents suivants:

FDIS	Rapport de vote
47A/1057/FDIS	47A/1063/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 63011, publiées sous le titre général *Circuits intégrés – Circuits intégrés tridimensionnels*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

IECNORM.COM : Click to view the full PDF of IEC 63011-3:2018

INTRODUCTION

Les systèmes intégrés tels que les dispositifs mobiles et les dispositifs numériques grand public se sont développés avec l'intégration fonctionnelle et la réduction de puissance nécessaires pour réaliser des dispositifs plus petits et plus rapides. A l'origine, les systèmes intégrés se présentaient sous la forme de plusieurs puces numériques de circuits intégrés spécifiques à une application donnée (ASIC) qui mettaient en œuvre les fonctions requises. Ils ont été ensuite intégrés sur une seule puce sous la forme de systèmes sur puce (SoC), qui incluent des processeurs d'application et des circuits logiques de périphériques d'interfaces de type PCIe, SATA, USB et contrôleur de mémoire DDRx. Compte tenu de l'accroissement des exigences concernant la résolution des images et les performances, de nombreuses fonctions ont été intégrées dans les SoC grâce à la technologie avancée des semiconducteurs.

En raison du coût élevé de son développement et de sa complexité, la technologie avancée des semiconducteurs n'est utilisée que pour quelques produits. Le coût de ces SoC n'est pas adapté pour tous les systèmes intégrés, et les systèmes multipuces constituent une bonne solution. Un système multipuce met en œuvre une porte logique très importante sur des puces logiques SoC et ASIC distinctes en les connectant les unes aux autres. Cette technique d'interconnexion multipuce permet en outre l'implantation de puces VLSI de technologies hétérogènes.

Le présent document porte sur la méthodologie d'interconnexion pour mettre en œuvre la technologie VLSI multipuce pour les circuits intégrés tridimensionnels. Grâce à la technologie d'interconnexion à trous de liaison à travers le silicium (TSV) et à microbosses, le nombre de fils entre dispositifs VLSI peut être très largement augmenté. Elle permet en outre de connecter des puces par interconnexion de bus sur puce réalisant les connexions de plusieurs milliers de signaux.

IECNORM.COM : Click to view the full text of IEC 63011-3:2018

CIRCUITS INTÉGRÉS – CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –

Partie 3: Modèle et conditions de mesure des trous de liaison à travers le silicium

1 Domaine d'application

La présente partie de l'IEC 63011 spécifie un modèle de référence des caractéristiques électriques des trous de liaison à travers le silicium (TSV: *through-silicon via*) exigées pour la conception d'une interface dans un circuit intégré tridimensionnel (3-D IC) pour transmettre et recevoir des données numériques, ainsi que les conditions de mesure de la résistance et de la capacité afin de spécifier les caractéristiques des TSV dans un circuit intégré tridimensionnel.

Les spécifications de circuits intégrés tridimensionnels couvertes par le présent document sont les suivantes:

- application: dispositifs numériques et mobiles grand public;
- tension de fonctionnement: 0,1 V à 5,0 V;
- fréquence de fonctionnement: inférieure à 2,0 GHz.

Le présent document ne décrit pas l'appareil de mesure. La Figure 1 représente un cas typique de système d'interconnexion multipuce étudié dans le présent document.

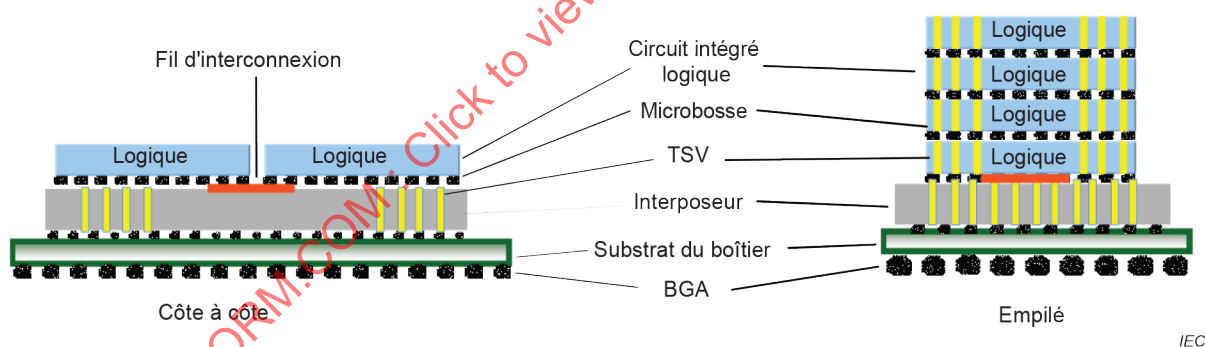


Figure 1 – Référence de système d'interconnexion multipuce

Les dispositifs de puissance, les dispositifs aux fréquences radioélectriques (RF) et les systèmes microélectromécaniques (MEMS) ne font pas partie du domaine d'application du présent document.

2 Références normatives

Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 63011-1, *Circuits intégrés – Circuits intégrés tridimensionnels – Partie 1: Terminologie*

3 Termes, définitions et termes abrégés

3.1 Termes et définitions

Pour les besoins du présent document, les termes et les définitions de l'IEC 63011-1 s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

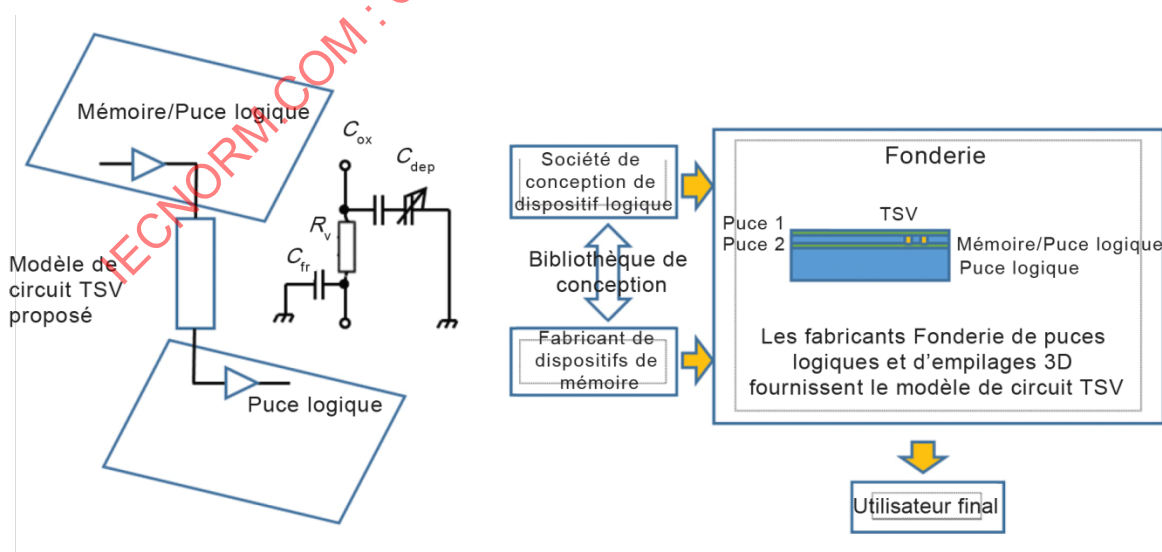
3.2 Termes abrégés

3-D IC	three-dimensional integrated circuit (circuit intégré tridimensionnel)
ASIC	application specific integrated circuit (circuit intégré spécifique à une application donnée)
NMOS	N-channel MOSFET (MOS à canal N)
PMOS	P-channel MOSFET (MOS à canal P)
SoC	system on chip (système sur puce)
TSV	through-silicon via (trou de liaison à travers le silicium)
VLSI	very large scale integration (intégration à très haute densité)

4 Conditions de mesure pour spécifier les caractéristiques des TSV

4.1 Chaîne d'approvisionnement et modèle de circuit de TSV

La chaîne d'approvisionnement d'un circuit intégré tridimensionnel utilisant le modèle de circuit de TSV est représentée à la Figure 2. Les fabricants Fonderie de puces logiques et d'empilages 3-D fournissent le modèle de circuit de TSV. Le modèle de circuit est déterminé à partir du résultat d'une expérience pratique.



IEC

Figure 2 – Modèle de chaîne d'approvisionnement d'un 3-D IC

4.2 Modèle de référence des caractéristiques électriques d'un TSV

Le modèle de référence des caractéristiques électriques d'un TSV représenté à la Figure 3 est composé d'une capacité (C_v) et d'une résistance (R_v). C_v est la capacité totale; elle est constituée d'une capacité à couche d'oxyde (C_{ox}), d'une capacité par couche de déplétion (C_{dep}) et d'une capacité de frange (C_{fr}). C_{ox} et C_{dep} sont des capacités situées entre le TSV et le substrat semiconducteur. Elles dépendent de la tension appliquée au TSV puisqu'une couche de déplétion est présente. C_{fr} est une capacité de frange entre une bosse et le substrat semiconducteur. Le nœud de C_{dep} est connecté à la terre à travers le substrat. Si l'intervalle d'un TSV est très court, le modèle de couplage est recommandé. Le Tableau 1 présente la politique pour la normalisation de modèle. La définition de circuit explique la vue du modèle proposé. La structure du dispositif est la structure requise lorsque le modèle proposé est utilisé. Les conditions de mesure expliquent la structure du dispositif et les conditions de fonctionnement pour la mesure. Les paramètres du modèle de TSV sont dérivés du TSV et de la structure qui l'entoure. Un exemple de concept type est présenté à l'Annexe A.

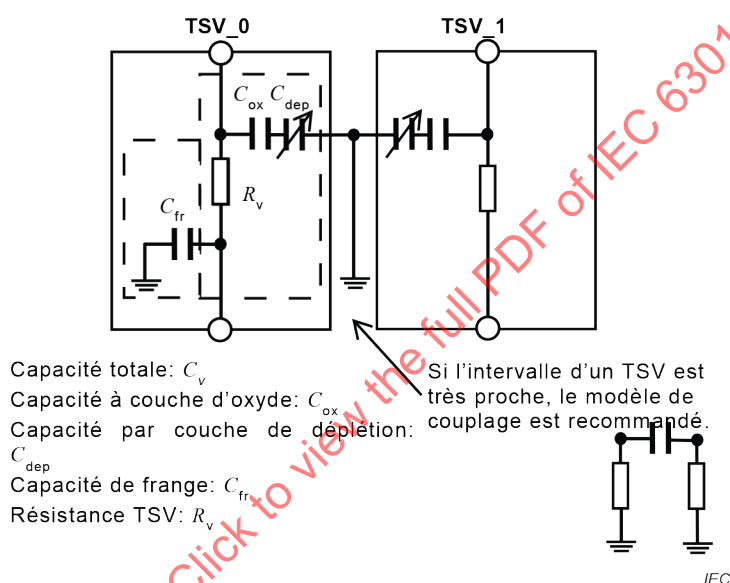


Figure 3 — Modèle de caractéristiques électriques d'un TSV

Tableau 1 – Politique pour normalisation de modèle

Elément	Elément secondaire	Politique
Définition du circuit	Paramètre	La résistance est définie avec une valeur moyenne. La capacité est définie par une forme d'onde. La capacité de frange peut être retirée. L'inductance n'est pas incluse en raison de sa faible influence.
	Modèle pour chaque application	Pas de définition
Structure de dispositif	Entourage d'un TSV	Pas de définition Si l'intervalle du TSV est très court, le modèle de couplage est recommandé.
	Alimentation du substrat semiconducteur	Le substrat est relié à la terre. Le modèle de circuit d'un TSV défini n'est pas applicable lorsque le substrat n'est pas relié à une alimentation.
	Substrat semiconducteur	Type P
Condition de mesure	Structure	Réseau de TSV Il y a une différence entre un seul TSV et un réseau de TSV
	Fréquence	La dépendance à la fréquence de la capacité est mesurée.
	Tension	La dépendance à la tension de la capacité est mesurée.

4.3 Conditions de mesure pour spécifier les caractéristiques électriques des TSV

4.3.1 General

Les caractéristiques électriques du TSV doivent être mesurées avec les conditions définies.

4.3.2 Mesure de la résistance

La résistance d'un TSV (R_V), constituée des résistances volumiques de l'interconnexion LSI, du TSV, des bosses et de leurs résistances de contact, est obtenue par une mesure en quatre points. Un courant constant (I) est délivré par des fils d'alimentation en courant connectés à la borne 1A et à la borne 1B, et la tension générée (V) entre les fils connectés aux bornes est mesurée par un voltmètre comme cela est représenté à la Figure 4. D'après la loi d'Ohm, une résistance de paires pour la première puce (R_1) est définie comme V/I . En se basant sur la même installation, une résistance pour la première puce et pour la deuxième puce (R_2) est obtenue. La résistance d'un TSV (R_V) est définie comme $(R_2 - R_1)/2$. Cette méthode est valide seulement lorsque la deuxième puce est essentiellement la même que la première puce. Pour réduire le plus possible l'erreur de mesure, il convient de connecter les fils de mesure de tension aussi près que possible.