

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Integrated circuits – Three dimensional integrated circuits –
Part 1: Terminology**

**Circuits intégrés – Circuits intégrés tridimensionnels –
Partie 1: Terminologie**

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2018 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 21 000 terms and definitions in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 21 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Integrated circuits – Three dimensional integrated circuits –
Part 1: Terminology**

**Circuits intégrés – Circuits intégrés tridimensionnels –
Partie 1: Terminologie**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.200

ISBN 978-2-8322-6290-0

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Normative reference	6
3 Terms and definitions	6
3.1 General.....	6
3.2 Test method in 3D environment	8
Bibliography.....	12
Figure 1 – Examples of TSVs.....	9

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**INTEGRATED CIRCUITS –
THREE DIMENSIONAL INTEGRATED CIRCUITS –****Part 1: Terminology****FOREWORD**

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 63011-1 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this International Standard is based on the following documents:

FDIS	Report on voting
47A/1060/FDIS	47A/1064/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 63011 series, published under the general title *Integrated Circuits – Three dimensional integrated circuits*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018

INTRODUCTION

High performance electrical system requires a massive data exchange between processing integrated circuit (IC) and storage IC. Stacked multiple ICs with a large number of vertical interconnects among dies are an innovative way of providing higher data transfer rate among dies. In addition to bumps, metal pillars, or metal pads which are traditional ways of interconnection between dies, through-silicon vias enable to configure the integration of three or more dies. The integration environment of multichip IC is significantly different from that of the integration on a printed circuit board. This document describes definitions pertaining to the multichip ICs.

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018

INTEGRATED CIRCUITS – THREE DIMENSIONAL INTEGRATED CIRCUITS –

Part 1: Terminology

1 Scope

This part of IEC 63011 provides definitions pertaining to multichip integrated circuits, as vertically stacked dies using through-silicon vias (TSVs) or micro bumps. Terms and definitions related to the fabrication and test of the multichip integrated circuits are also provided.

2 Normative reference

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

There are no normative references in this document.

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1 General

The general terms listed below relate to the secondary integration method in vertical direction using integrated circuits fabricated on a horizontal surface of semiconductor.

3.1.1 interposer

electrical interface that connects one socket or connection to another

Note 1 to entry: The purpose of an interposer is to spread a connection to a wider pitch or to reroute a connection to a different connection

3.1.2 multichip interconnect technology

technology that allows for the vertical stacking of layers of basic electronic components which are connected using an interconnect fabric are as follows:

Note 1 to entry: "Basic electronic components" are elementary circuit devices such as transistors, diodes, resistors, capacitors and inductors.

Note 2 to entry: A special case of multichip interconnect technology is the interposer structures that may only contain interconnect layers, although in many cases other basic electronic components (in particular decoupling capacitors) may be embedded into the interposer.

3.1.3**3-D bonding**

process that joins two die or wafer surfaces together multiple surfaces mechanically or electrically

EXAMPLE: Die-to-die, die-to-wafer, wafer-to-wafer

3.1.4**3-D stacking**

3-D bonding operation that assumes electrical interconnects between the two devices

3.1.5**3-D packaging**

3-D integration of multiple dies using wire bonding, package-on-package stacking, or embedding in printed circuit boards

3.1.6**3-D wafer-level-packaging****3-D WLP**

3-D integration using wafer level packaging technologies, performed after wafer fabrication, which consists of flip-chip redistribution, redistribution interconnect, fan-in chip-size packaging, and fan-out reconstructed wafer chip-scale packaging

Note 1 to entry: This note applies to the French language only.

3.1.7**redistribution layer****RDL**

extra metal layer on a chip that makes the IO pads of an integrated circuit available in other locations

Note 1 to entry: This note applies to the French language only.

3.1.8**system in package****SIP**

integration of multiple dies, packages, or mixture of them as system in a package

Note 1 to entry: This note applies to the French language only.

3.1.9**3-D stacked integrated circuit**

3-D approach using direct interconnects without wire bonding between integrated circuits of multiple dies

Note 1 to entry: The 3-D stack uses a sequence of alternating front-end (devices) and back-end (interconnect) layers.

3.1.10**3-D integrated circuit****3-D IC**

3-D approach using direct stacking of active devices

Note 1 to entry: Interconnects are on the local on-chip interconnect levels. The 3-D stack is characterized by a stack of front-end devices, combined with a common back-end interconnect stack.

Note 2 to entry: This note applies to the French language only.

3.2 Test method in 3D environment

3.2.1

package stack

integrated circuit packaging method to combine vertically discrete logic and memory ball grid array (BGA) packages

Note 1 to entry: Two or more packages are installed atop each other.

3.2.2

package-on-package

POP

package in which multiple packages are enclosed

Note 1 to entry: This note applies to the French language only.

3.2.3

multi-chip-package

MCP

package in which multiple dies are stacked vertically or placed side-by-side

Note 1 to entry: This note applies to the French language only.

3.2.4

die stack

chip in which two or more layers of active electronic components are integrated both vertically and horizontally into a single circuit

3.2.5

contacting die stack

chip in which two or more layers of active electronic components are integrated and signals between multiple layers are transferred via physical and electrical contacts

3.2.6

bump

stud of metal protruded on the surface of die to provide the physical and electrical contact

3.2.7

micro bump

small size bump to make an electrical contact between two dies

3.2.8

flip chip

die mounted with face down

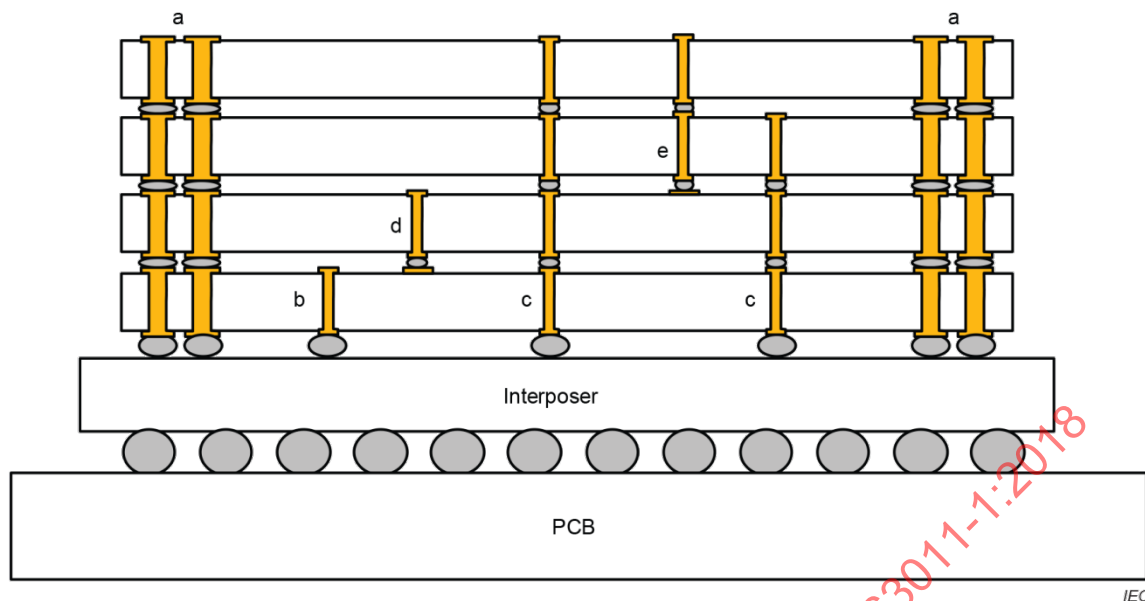
3.2.9

through-silicon via

TSV

vertical interconnect access passing completely through a silicon wafer or die

Note 1 to entry: Examples of TSVs are shown in Figure 1.

**Key**

- a power TSV;
- b single drop signal TSV;
- c multiple drop signal TSV;
- d inter-die jumper;
- e stacked inter-die jumper.

Figure 1 – Examples of TSVs**3.2.10****power TSV**

TSV intended to deliver power from one layer to another layer of stacked silicon wafers or dies

Note 1 to entry: Examples are shown in Figure 1.

3.2.11**single drop signal TSV**

TSV intended to deliver electric signals from one layer to another layer of stacked silicon wafers or dies

Note 1 to entry: An example is shown in Figure 1.

3.2.12**multiple drop signal TSV**

TSV intended to deliver electric signals from one layer to multiple layers of stacked silicon wafers or dies

Note 1 to entry: An example is shown in Figure 1.

3.2.13**inter-die jumper**

TSV bridging circuits between adjacent two layers of stacked dies, that is not connected to the output pin of the package

Note 1 to entry: An example is shown in Figure 1.

3.2.14

single drop signal pin

TSV connecting the first die and to a pin of the package

3.2.15

multiple drop signal pin

TSV connecting delivering a signal from a pin of the package to multiple layers of dies

3.2.16

keep-out zone

KOZ

area around TSV in which it is recommended not to be occupied with active circuits because the electrical properties are modified by the mechanical distortion by TSV

Note 1 to entry: This note applies to the French language only.

3.2.17

non-contacting die stack

chip in which two or more layers of active electronic components are integrated and signals between the multiple layers are transferred without physical contacts

3.2.17.1

capacitive coupling

coupling between electric circuit elements, by which a voltage between the terminals of one of them gives rise to an electric charge in another element

[SOURCE: IEC 60050-131:2002, 131-12-31]

3.2.17.2

inductive coupling

coupling between electric circuit elements, by which an electric current in one of them gives rise to a linked flux between the terminals of another element

[SOURCE: IEC 60050-131:2002, 131-12-33]

3.2.18

cross-point

feature or device formed at the cross-section dimension of specific row and specific column

3.2.19

vertical transistor

transistor made to transport the charge in vertical direction

3.2.20

through-silicon via

vertical electrical connection passing completely through a silicon wafer or die

3.2.21

alignment key

apparatus to monitor or adjust the alignment of the overlaid dies

3.2.22

capacitive alignment

alignment method using differentiation of capacitance, where the maximum capacitance appears when the top and bottom plates or chips perfectly overlap

3.2.23**inductive alignment**

alignment method using differentiation of inductance, where the maximum capacitance appears when the top and bottom plates or chips perfectly overlap

3.2.24**capacitance test**

measurement of the capacitance incorporated with the through-silicon via

3.2.25**timing delay through TSV**

propagation delay through TSV because of TSV intrinsic resistance and capacitance

3.2.26**electromagnetic immunity**

ability of a system or device to perform without degradation in the presence of an electromagnetic disturbance

3.2.27**thermal immunity**

ability of a system or device to perform without degradation in the presence of a thermal disturbance

3.2.28**cross talk**

phenomenon by which a signal transmitted on one circuit or channel of a transmission system creates an undesired effect in another circuit or channel

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018

Bibliography

IEC 60050-131:2002, *International Electrotechnical Vocabulary – Part 131: Circuit theory*

IEC 60050-161:1990, *International Electrotechnical Vocabulary – Chapter 161: Electromagnetic compatibility*

IEC 60050-411:1996, *International Electrotechnical Vocabulary – Chapter 411: Rotating machinery*

IEC 60050-713, *International Electrotechnical Vocabulary – Part 713: Radiocommunications: transmitters, receivers, networks and operation*

IEC 60050-714, *International Electrotechnical Vocabulary – Chapter 714: Switching and signalling in telecommunications*

IEC 63011-2, *Integrated circuits – Three dimensional integrated circuits – Part 2: Alignment of stacked dies having fine pitch interconnect*

IEC 63011-3, *Integrated circuits – Three dimensional integrated circuits – Part 3: Model and measurement conditions of through-silicon via*

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018

SOMMAIRE

AVANT-PROPOS	15
INTRODUCTION.....	17
1 Domaine d'application	18
2 Références normatives	18
3 Termes et définitions	18
3.1 Généralités	18
3.2 Méthode d'essai dans un environnement en trois dimensions	20
Bibliographie.....	24
Figure 1 – Exemples de TSV.....	21

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**CIRCUITS INTÉGRÉS –
CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –****Partie 1: Terminologie****AVANT-PROPOS**

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 63011-1 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'étude 47 de l'IEC: Dispositifs à semiconducteurs.

Le texte de cette Norme internationale est issu des documents suivants:

FDIS	Rapport de vote
47A/1060/FDIS	47A/1064/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 63011, publiées sous le titre général *Circuits intégrés – Circuits intégrés tridimensionnels*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018

INTRODUCTION

Un système électrique à hautes performances exige un échange important de données entre le circuit intégré de traitement et le circuit intégré de stockage. Plusieurs circuits intégrés empilés comportant un grand nombre d'interconnexions verticales entre les puces constituent une manière innovante pour augmenter la vitesse de transfert des données entre les puces. Outre les bosses, les bornes à trou métalliques et les plages de contact métalliques qui sont trois façons traditionnelles de réaliser les interconnexions entre les puces, les trous de liaison à travers le silicium permettent de configurer l'intégration de trois puces ou plus. L'environnement d'intégration d'un circuit intégré multipuce est différent de l'environnement d'intégration sur une carte de circuits imprimés. Le présent document donne des définitions relatives aux circuits intégrés multipuces.

IECNORM.COM : Click to view the full PDF of IEC 63011-1:2018

CIRCUITS INTÉGRÉS – CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –

Partie 1: Terminologie

1 Domaine d'application

La présente partie de l'IEC 63011 donne des définitions relatives aux circuits intégrés multipuces constitués de puces empilées verticalement à l'aide de trous de liaison à travers le silicium ou de microbosses. Des termes et définitions relatifs à la fabrication et aux essais des circuits intégrés multipuces sont également fournis.

2 Références normatives

Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

Le présent document ne contient aucune référence normative.

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.1 Généralités

Les termes généraux définis ci-dessous se rapportent à la méthode d'intégration secondaire dans la direction verticale utilisant des circuits intégrés fabriqués sur une surface horizontale de semiconducteur.

3.1.1

interposeur

interface électrique qui connecte deux embases ou deux connexions

Note 1 à l'article: Un interposeur sert à distribuer une connexion sur un pas plus large ou à réacheminer une connexion sur une connexion différente.

3.1.2

technologie d'interconnexion multipuce

technologie qui permet l'empilement vertical de couches de composants électroniques élémentaires connectés à l'aide d'un tissu d'interconnexion, avec les caractéristiques suivantes:

Note 1 à l'article: Les "composants électroniques élémentaires" sont des dispositifs élémentaires tels que des transistors, des diodes, des résistances, des condensateurs et des inductances.

Note 2 à l'article: Un cas particulier de technologie d'interconnexion multipuce est la structure à interposeur qui peut ne contenir que des couches d'interconnexion, bien que dans de nombreux cas d'autres composants électroniques élémentaires (en particulier des condensateurs de découplage) puissent être intégrés dans l'interposeur.

3.1.3

liaison 3D

processus pour raccorder les surfaces de deux puces ou de deux tranches de manière mécanique ou électrique

EXEMPLE: Puce à puce, puce à tranche ou tranche à tranche

3.1.4

empilement 3D

opération de liaison 3D qui prend pour hypothèse la présence d'interconnexions électriques entre les deux dispositifs

3.1.5

encapsulation 3D

intégration 3D de plusieurs puces utilisant les liaisons par fil, l'empilement boîtier sur boîtier ou l'intégration dans des cartes de circuits imprimés

3.1.6

encapsulation 3D sur tranche

3-D WLP

intégration 3D utilisant des technologies d'encapsulation sur tranche effectuée après la fabrication des tranches, consistant en une redistribution par puce retournée, une interconnexion par redistribution, une encapsulation dans un boîtier-puce avec connexion à l'intérieur de la puce et en une encapsulation dans un boîtier-puce sur tranche reconstruite avec connexion en périphérie de la puce

Note 1 à l'article: L'abréviation «3-D WLP» est dérivée du terme anglais développé correspondant «3-D Wafer Level Packaging».

3.1.7

couche de redistribution

RDL

couche métallique supplémentaire sur une puce qui permet d'accéder aux plages de contact d'entrée/sortie d'un circuit intégré depuis d'autres emplacements

Note 1 à l'article: L'abréviation «RDL» est dérivée du terme anglais développé correspondant «Redistribution Layer».

3.1.8

système dans un boîtier

SIP

intégration de plusieurs puces, plusieurs boîtiers ou un mélange de puces et de boîtiers formant un système, dans un boîtier

Note 1 à l'article: L'abréviation «SIP» est dérivée du terme anglais développé correspondant «System In Package».

3.1.9

circuit intégré empilé 3D

approche en trois dimensions utilisant des interconnexions directes sans liaison par fil entre des circuits intégrés de plusieurs puces

Note 1 à l'article: L'empilement 3D utilise une séquence de couches frontales (dispositifs) et de couches d'arrière-plan (interconnexions) alternées.

3.1.10

circuit intégré 3D

3-D IC

approche en trois dimensions utilisant un empilement direct de dispositifs actifs

Note 1 à l'article: Les interconnexions se situent au niveau des interconnexions sur puce locales. L'empilement en trois dimensions est caractérisé par un empilement de dispositifs frontaux combiné à un empilement d'interconnexions d'arrière-plan commun.

Note 2 à l'article: L'abréviation «3-D IC» est dérivée du terme anglais développé correspondant «3-D Integrated Circuit».

3.2 Méthode d'essai dans un environnement en trois dimensions

3.2.1

empilement de boîtiers

méthode d'encapsulation de circuits intégrés pour combiner verticalement des circuits logiques discrets et des boîtiers matriciels à billes (BGA) de mémoire

Note 1 à l'article: Deux boîtiers ou plus sont installés les uns au-dessus des autres.

3.2.2

boîtier sur boîtier

POP

boîtier dans lequel plusieurs boîtiers sont enfermés

Note 1 à l'article: L'abréviation «POP» est dérivée du terme anglais développé correspondant «Package-On-Package».

3.2.3

boîtier multipuce

MCP

boîtier dans lequel plusieurs puces sont empilées verticalement ou placées côte à côte

Note 1 à l'article: L'abréviation «MCP» est dérivée du terme anglais développé correspondant «Multi-Chip-Package».

3.2.4

empilement de puces

puce dans laquelle deux couches ou plus de composants électroniques actifs sont intégrées verticalement et horizontalement dans un seul circuit

3.2.5

empilement de puces avec contact

puce dans laquelle deux couches ou plus de composants électroniques actifs sont intégrées et des signaux entre plusieurs couches sont transférés par des contacts physiques et électriques

3.2.6

bosse

plot métallique dépassant de la surface de la puce pour réaliser le contact physique et électrique

3.2.7

microbosse

bosse de petite taille pour réaliser le contact électrique entre deux puces

3.2.8

puce retournée

puce montée avec la face orientée vers le bas