

INTERNATIONAL STANDARD

NORME INTERNATIONALE



EMC IC modelling –

**Part 6: Models of integrated circuits for pulse immunity behavioural simulation –
Conducted pulse immunity modelling (ICIM-CPI)**

Modèles de circuits intégrés pour la CEM –

**Partie 6: Modèles de circuits intégrés pour la simulation du comportement
d'immunité aux impulsions – Modélisation de l'immunité aux impulsions
conduites (ICIM-CPI)**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2020 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 000 terminological entries in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC -

webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 000 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



EMC IC modelling –

**Part 6: Models of integrated circuits for pulse immunity behavioural simulation –
Conducted pulse immunity modelling (ICIM-CPI)**

Modèles de circuits intégrés pour la CEM –

**Partie 6: Modèles de circuits intégrés pour la simulation du comportement
d'immunité aux impulsions – Modélisation de l'immunité aux impulsions
conduites (ICIM-CPI)**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.200

ISBN 978-2-8322-8813-9

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD	5
1 Scope	7
2 Normative references	7
3 Terms, definitions, abbreviated terms and conventions	8
3.1 Terms and definitions	8
3.2 Abbreviated terms	11
3.3 Conventions	11
4 Philosophy	11
5 ICIM-CPI model structure	12
5.1 General	12
5.2 PPN	14
5.2.1 Typical structure of a PPN	14
5.2.2 PDN description	15
5.2.3 NLB description	16
5.3 FB description	16
6 CPIML format	18
6.1 General	18
6.2 CPIML structure	19
6.3 Global elements	20
6.4 Header section	20
6.5 Lead_definitions section	20
6.6 Macromodels section	21
6.7 Validity section	22
6.8 PDN	22
6.9 NLB	22
6.9.1 General	22
6.9.2 Attribute definitions	23
6.9.3 Data description	24
6.10 FB	25
6.10.1 General	25
6.10.2 Attribute definitions	26
6.10.3 Data description	30
Annex A (Informative) Extraction of model components	34
A.1 General	34
A.2 PPN description	34
A.3 PDN Extraction	34
A.3.1 General	34
A.3.2 S/Z/Y-parameter measurement	34
A.3.3 Conventional one-port method	35
A.3.4 Two-port method for low impedance measurement	35
A.3.5 Two-port method for high impedance measurement	36
A.4 NLB extraction	36
A.4.1 General	36
A.4.2 TLP test method	37
A.5 FB extraction	39
A.5.1 General	39

A.5.2	Example of FB data in case of test criteria type = Class E_IC	39
A.5.3	Example of FB data in case of test criteria type = Class C_IC	41
Annex B (informative)	NLB implementation techniques in a circuit simulator	42
B.1	General.....	42
B.2	NLB modelling based on a R/I table	42
B.3	NLB modelling based on a switch based model	42
B.4	NLB modelling based on physical device model	43
Annex C (informative)	Example of ICIM-CPI model	45
C.1	General.....	45
C.2	Example of Power switch ICIM-CPI model.....	45
C.2.1	General	45
C.2.2	CPI model.....	45
C.2.3	ICIM-CPI model use	48
C.3	Example of 32-bit microcontroller ICIM-CPI model	50
C.3.1	General	50
C.3.2	CPI model.....	51
Bibliography		54
Figure 1	– Structure of the ICIM-CPI model.....	13
Figure 2	– Example of an ICIM-CPI model of an electronic board.....	14
Figure 3	– Structure of a typical PPN	15
Figure 4	– Characteristics of a voltage pulse entering the DI during a TLP test.....	17
Figure 5	– Example of defect monitored at the OO when a disturbance is applied to the DI.....	18
Figure 6	– CPIML inheritance hierarchy	19
Figure 7	– Example of a NLB external file	25
Figure 8	– Example of an external FB file	33
Figure A.1	– Conventional one-port S-parameters measurement.....	35
Figure A.2	– Two-port method for low impedance measurement	35
Figure A.3	– Two-port method for high impedance measurement	36
Figure A.4	– Example of I/V measurements to extract NLB	37
Figure A.5	– TLP method set-up (not powered IC)	38
Figure A.6	– Example of NLB extraction using standard TLP pulse	38
Figure A.7	– Graphs for identification of IC failure mechanism for destruction prediction.....	40
Figure B.1	– NLB model based on a R/I table.....	42
Figure B.2	– Example of a generic model architecture based on switches for NLB behavioural modelling	43
Figure B.3	– Example of core MOS large signal model of the GGNMOS	43
Figure C.1	– Use of the ICIM-CPI model for simulation	45
Figure C.2	– Power switch V/I curve for 50 ns-pulse width	46
Figure C.3	– Power switch ICIM-CPI model.....	46
Figure C.4	– Power switch ICIM-CPI model use for ESD protection design	49
Figure C.5	– Calculated voltage at Power switch pin for different ESD protection capacitor values.....	49
Figure C.6	– Voltage at Power switch pin for fog lamp left and right sides.....	50
Figure C.7	– Example of 32-bit microcontroller protection devices	50

Table 1 – Attributes of <i>Lead</i> tag in the <i>Lead_definitions</i> section	20
Table 2 – Compatibility between the <i>Mode</i> and <i>Type</i> fields for correct CPIML annotation.....	21
Table 3 – Definition of the <i>Lead</i> tag for <i>Nlb</i> section	22
Table 4 – Default values of <i>Unit_voltage</i> and <i>Unit_current</i>	24
Table 5 – Allowed file extensions for <i>Data_files</i>	24
Table 6 – Definition of the <i>Lead</i> tag in <i>Fb</i> section	26
Table 7 – <i>Table</i> sub-attributes definition	27
Table 8 – <i>Pulse_characteristics</i> parameters definition	27
Table 9 – <i>Test_criteria</i> parameters definition	28
Table A.1 – Example of FB data corresponding to Class E _{IC} failure.....	41
Table A.2 – Example of FB data corresponding to Class C _{IC} failure	41
Table C.1 – Synthesis Peak voltage and Energy for different pulse widths.....	46

IECNORM.COM : Click to view the full PDF of IEC 62433-6:2020

INTERNATIONAL ELECTROTECHNICAL COMMISSION

EMC IC MODELLING –

Part 6: Models of integrated circuits for pulse immunity behavioural simulation – Conducted pulse immunity modelling (ICIM-CPI)

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62433-6 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this International Standard is based on the following documents:

CDV	Report on voting
47A/1090/CDV	47A/1098/RVC

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 62433 series, published under the general title *EMC IC modelling*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM : Click to view the full PDF of IEC 62433-6:2020

EMC IC MODELLING –

Part 6: Models of integrated circuits for pulse immunity behavioural simulation – Conducted pulse immunity modelling (ICIM-CPI)

1 Scope

The objective of this part of IEC 62433 is to describe the extraction flow for deriving an immunity macro-model of an Integrated Circuit (IC) against conducted Electrostatic Discharge (ESD) according to IEC 61000-4-2 and Electrical Fast Transients (EFT) according to IEC 61000-4-4.

The model addresses physical damages due to overvoltage, thermal damage and other failure modes. Functional failures can also be addressed.

This model allows the immunity simulation of the IC in an application. This model is commonly called "Integrated Circuit Immunity Model Conducted Pulse Immunity", ICIM-CPI.

The described approach is suitable for modelling analogue, digital and mixed-signal ICs. Several terminals of an IC can be part of a single model (e.g. input, output and supply pins). The implementation of the model is capable of representing the non-linear behaviour of overvoltage protection circuits.

The model can be implemented for the use in different software tools for circuit simulation in time-domain. The described modelling approach allows simulating device failure due to ESD or EFT at component and system level considering all components necessary for the immunity simulation of an IC, such as a PCB or external protection elements.

This document demonstrates, in detail, the construction of models in a defined XML-based format which is suitable for the exchange of models without any deeper knowledge of the semiconductor circuit. However, the model functionality can be implemented in different formats including, but not limited to, tables, SPICE[1] ¹ netlists, hardware description languages such as VHDL-AMS [2] and Verilog-AMS [3].

This document provides:

- the description of ICIM-CPI macro-model elements representing electrical, thermal or logical behaviour of the IC.
- a universal data exchange format based on XML.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 61000-4-2, *Electromagnetic compatibility (EMC) – Part 4-2: Testing and measurement techniques – Electrostatic discharge immunity test*

¹ Numbers in square brackets refer to the bibliography.

IEC 61000-4-4, *Electromagnetic compatibility (EMC) – Part 4-4: Testing and measurement techniques – Electrical fast transient/burst immunity test*

IEC 62215-3, *Integrated circuits – Measurement of impulse immunity – Part 3: Non-synchronous transient injection method*

IEC 62433-1, *EMC IC modelling – Part 1: General modelling framework*

IEC 62433-4:2016, *EMC IC modelling – Part 4: Models of integrated circuits for RF immunity behavioural simulation – Conducted immunity modelling (ICIM-CI)*

IEC 62615, *Electrostatic discharge sensitivity testing – Transmission line pulse (TLP) – Component level*

3 Terms, definitions, abbreviated terms and conventions

3.1 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- ISO Online browsing platform: available at <http://www.iso.org/obp>
- IEC Electropedia: available at <http://www.electropedia.org/>

3.1.1

pulse

abrupt variation of short duration of a physical quantity followed by a rapid return to the initial value

Note 1 to entry: In this document, a pulse can be represented by a voltage or current quantity.

[SOURCE: IEC 60050-161:1990, 161-02-02, modified – Note 1 has been added.]

3.1.2

non-linear

qualifies a circuit (element) for which not all relations between the integral quantities are linear

[SOURCE: IEC 60050-131:2002, 131-11-19]

3.1.3

network

set of ideal circuit elements and their interconnections, considered as a whole

[SOURCE: IEC 60050-131:2002, 131-13-03, modified – The words "in network topology" have been removed at the beginning of the definition as well as the note.]

3.1.4

branch

subset of a network, considered as a two-terminal circuit, consisting of a circuit element or a combination of circuit elements

[SOURCE: IEC 60050-131:2002, 131-13-06]

3.1.5**node**

end-point of a branch connected or not to one or more other branches

[SOURCE: IEC 60050:2002, 131-13-07, modified – The US term "vertex" has been removed.]

3.1.6**external terminal**

terminal of an integrated circuit macro-model which interfaces the model to the external environment of the integrated circuit

EXAMPLE Power supply pins and input/output pins.

[SOURCE: IEC 62433-2:2017, 3.1.1, modified – The note has been removed.]

3.1.7**internal terminal**

terminal of an integrated circuit macro-model's component which interfaces the component to other components of the integrated circuit macro-model

[SOURCE: IEC 62433-2:2017, 3.1.2, modified – The note has been removed.]

3.1.8**performance degradation**

undesired deviation in the operational performance of any device, equipment or system from its intended performance

Note 1 to entry: The term "degradation" can apply to both recoverable failure and permanent silicon damage.

3.1.9**hard failure**

irreversible failure due to damage of the IC

3.1.10**soft failure**

temporary functional failure, self or user recoverable

3.1.11**PPN**

Pulse Propagation Network

electrical network that models the propagation network of the disturbance

3.1.12**PDN**

Passive Distribution Network

the part of the PPN that represents the linear characteristics of propagation path of electromagnetic noises such as power distribution network

[SOURCE: IEC 62433-2:2017, 3.1.10, modified – The definition has been adapted to linear part of the PPN.]

3.1.13**DI**

Disturbance Input

input terminal for the injection of transient disturbances

Note 1 to entry: It could be any pin of IC, an input, supply or an output.

[SOURCE: IEC 62433-4:2016, 3.1.9, modified – The definition has been adapted to transient disturbances.]

3.1.14

DO

Disturbance Output

terminal whose load influences the impedance of DI terminal, and/or the transfer characteristics of PPN, and that outputs a part of the disturbance received on the DI terminals

[SOURCE: IEC 62433-4:2016, 3.1.10, modified – The definition has been adapted to PPN.]

3.1.15

OO

Observable Output

output terminal or internal terminal where the failure criteria are monitored or computed during the test

[SOURCE: IEC 62433-4:2016, 3.1.11, modified – The definition has been adapted to failure criteria.]

3.1.16

NLB

Nonlinear Block

part of the PPN that represents the non-linear characteristics of propagation path of electromagnetic noises such as power distribution network

EXAMPLE: ESD diodes, clamping diodes, back-to-back diodes, active MOS-based protection, silicon-controlled rectifier (SCR)-based protection

3.1.17

FB

Failure Behavioural

block that describes the internal failure behaviour of the IC

3.1.18

VNA

Vector Network Analyser

network analyser capable of measuring complex values of the S-parameters

[SOURCE: CISPR 16-1-4:2019 3.1.21, modified – The definition has been adapted so as not to limit to 4-port VNA]

3.1.19

CPIML

Conducted Pulse Immunity Markup Language

data exchange format for ICIM-CPI macro-model

3.1.20

CPIMLBase

Conducted Pulse Immunity Markup Language Base

abstract type from which all CPIML model components are directly or indirectly derived in the ICIM-CPI model definition

3.1.21

parser

tool for syntactic analysis of data that is encoded in a specified format

3.1.22 section

XML element placed one level below the root element or within another section and that only contains one or more child elements (no character data, for example)

3.1.23 parent

keyword which is one level above another keyword (child)

3.1.24 child

keyword which is one level below another keyword (parent)

3.2 Abbreviated terms

EFT	Electrical Fast Transient
ESD	ElectroStatic Discharge
SPICE	Simulation Program with Integrated Circuit Emphasis
TLP	Transmission Line Pulse
VHDL-AMS	Very high speed integrated circuits Hardware Description Language – Analog and Mixed Signal
XML	eXtensible Markup Language

3.3 Conventions

For the sake of clarity, but with some exceptions, the writing conventions of XML language have been used in text and tables.

The symbol "μ" is used in the text part to define micro = 1e-6. The symbol "u" is used in the XML parts to define micro = 1e-6.

4 Philosophy

With shrinking transistors and lowering operating voltages, the IC manufacturers and users have especially to take care on the immunity of their products to fast transient electrical stresses such as ESD and EFT. An ESD may be caused by component handling or assembly. An EFT may be caused by a switching event. The amplitude of these stresses ranges from hundreds of Volts to several tens of kV and/or from a few Amperes to tens of Amperes, their duration from tens to hundreds of nanoseconds.

To prevent failure of electronic products due to transient stresses, various tests have been designed. The IEC 61000-4-2 and IEC 61000-4-4 are used to evaluate system components robustness to ESD and EFT respectively.

The TLP test described in IEC 62615 is often used to characterise non-linear device I/V curves of on-chip and off-chip protection circuits. However there are different ways to extract and implement behavioural models for system level ESD and EFT simulation in descriptive languages such as SPICE, VHDL-AMS, and Verilog-AMS. Models which are suitable to cover the ESD and EFT domain allow system designers to simulate protection performance. The purpose of the simulation using these models is to reduce the number of prototyping cycles, reduce time and cost. To be readily available, these models are recommended to be expressed in a standardized exchange format.

The proposed model describes the electrical characteristics of the pulse propagation path and the functional behaviour of the IC affected by that transient event. The electrical network, the Pulse Propagation Network (PPN), propagates the transient pulse into the IC. This network represents linear effects via the Passive Distribution Network (PDN) and the non-linear effects

via the Non-linear Block (NLB), respectively. The voltage, current and energy affecting the IC can be calculated in a circuit simulator (e.g. SPICE) by modelling the PPN. These voltage, current and/or energy may cause failure, as described by the Failure Behavioural (FB) block of the model. Comparing the simulated voltage, current and energy with the thresholds contained in the FB, failure can be predicted. Multiple failure mechanisms (e.g. overvoltage and overheating) can be described by the FB. Moreover, various classes of performance can be predicted (i.e. hard and soft failures). Clause 5 defines the model structure in detail.

To allow easy exchange of models, the ICIM-CPI model data is arranged in a human and machine-readable, nested manner using the XML format. Clause 6 defines how the model structure maps to the XML format called Conducted Pulse Immunity Mark-up Language (CPIML).

5 ICIM-CPI model structure

5.1 General

The internal structure of an IC can be broken down into two parts:

- Passive part: parasitic elements of pins, bonding and tracks, etc., which conduct the disturbances from the external environment to the internal IC blocks,
- Active part: CPU core, clock system, memory, analogue blocks, ESD protection, etc., which are sensitive to the incoming pulse disturbances.

An ICIM-CPI model is used to predict the pulse immunity level of an IC as illustrated in Figure 1. The ICIM-CPI model consists of a set of data describing three parts:

- PDN: the passive distribution network that describes the linear characteristics of the devices in the pulse propagation path
- NLB: the non-linear block that describes the non-linear characteristics of the devices in the pulse propagation path
- FB: the failure behavioural component that describes the failure behaviour of IC regarding to the applied disturbances. FB contains also the failure criteria and the time domain waveform if needed.

The PDN and NLB together form the pulse propagation network (PPN).

The disturbance is applied to the external terminal T1 which is considered as the DI (Disturbance Input). The disturbance can flow out of the IC through the terminal T2 which is considered as the DO (Disturbance Output). The effect of the disturbance is observed at the OO (Output Observable). The signal at OO could be monitored or computed on external terminal (for example OO1 is measured on T3 in Figure 1) or monitored or computed on internal terminal (for example OO2 is computed on IT1 in Figure 1). According to the failure criteria defined in the FB and applied to the OO, the failure level caused by the disturbance could be evaluated.

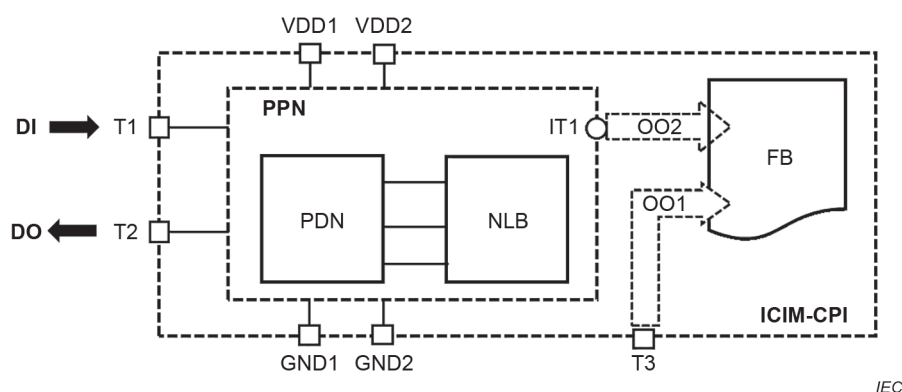


Figure 1 – Structure of the ICIM-CPI model

NOTE IT1 is an internal terminal situated within the PPN.

There is a direct electrical connection between the PDN and the NLB inside the PPN. There is no direct electrical connection between the PPN block and the FB block.

The PDN can be extracted from S-parameter measurement or design data. The NLB can be extracted from design data or from I/V measurements (using e.g. TLP) typically performed between DI and its associated external terminals (ground, power supply). The PPN can also be extracted by simulation with a circuit simulator from the design data or without simulation by processing the schematic and layout information of the IC.

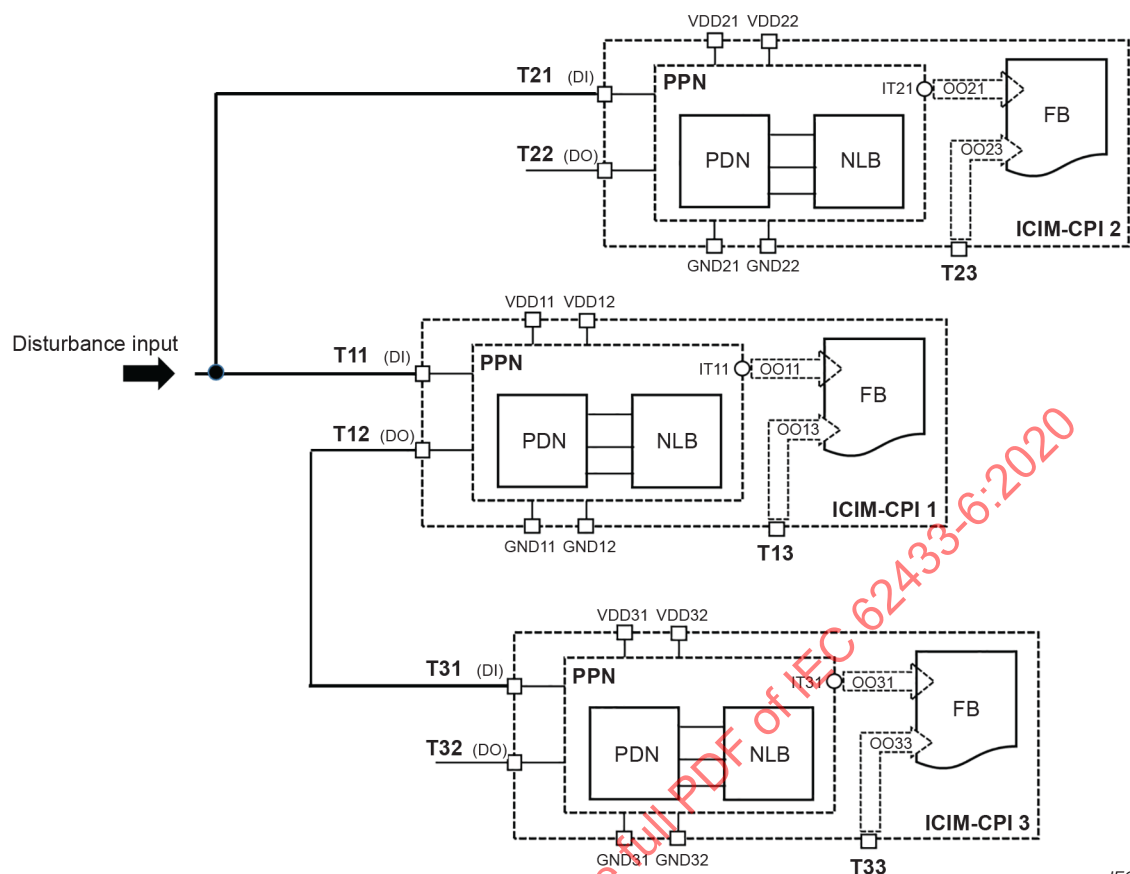
The FB is a file linking the electrical characteristics in time domain of the pulse entering the DI and the electrical and/or functional characteristics measured or computed in time domain at the OO terminal. For one DI, there can be several OOs. In this case, the FB shall contain measurements or computed values performed both on a DI and its associated OOs. A failure criterion could be set on an OO to express the failure in terms of performance classes as defined in IEC 62215-3.

An ICIM-CPI model has limited validity around the conditions in which it has been extracted. Therefore, an ICIM-CPI model shall specify its validity range. Such conditions should include at least:

- power supply voltage range
- temperature range
- load conditions on the external terminals
- pulse width and pulse level

Different ICIM-CPI models can be combined to model and describe a full electronic system such as an electronic board. That proposed structure can also be used to model an equipment. The DO terminal of one ICIM-CPI model can be used to connect with the different terminals of neighbouring ICIM-CPI blocks.

Figure 2 gives a typical example of a complete ICIM-CPI model of an electronic board. The board is fully described by three stand-alone ICIM-CPI models. T11 and T21 are connected together and they receive the same disturbance. The ICIM-CPI-1 propagates a fraction of its disturbance to the ICIM-CPI-3 model through its T12 (DO) terminal which is connected to the T31 (DI) terminal of the ICIM-CPI-3 model.



IEC

Figure 2 – Example of an ICIM-CPI model of an electronic board

NOTE IT11, IT21 and IT31 are internal terminals situated within their PPN.

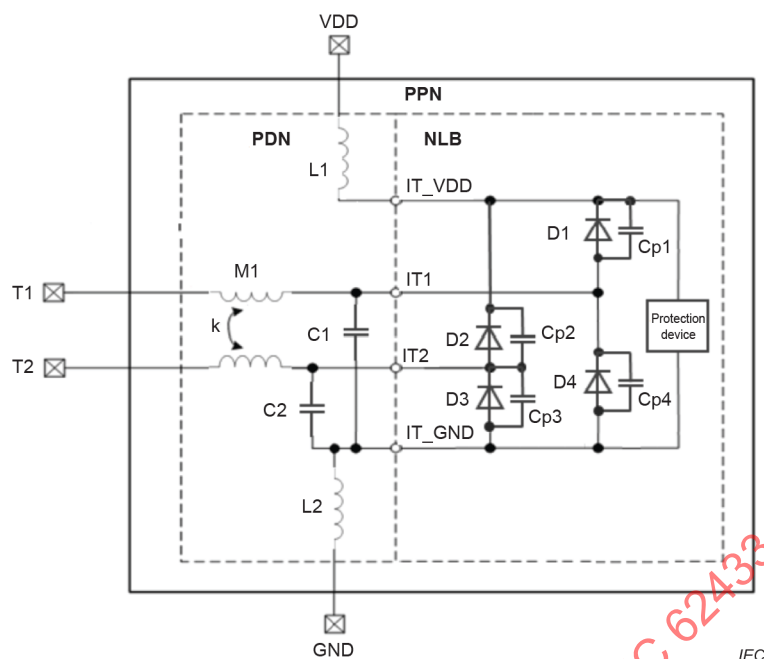
5.2 PPN

5.2.1 Typical structure of a PPN

The Figure 3 shows a typical structure of a PPN. The PPN consists of two parts:

- The PDN is the linear network used to model all the IC connections (package interconnections, wire bonding, etc.).
- The NLB is the nonlinear block used to model the ESD protection devices (diodes and other components).

The PDN and the NLB are connected by a number of internal terminals.



Key

IT_VDD, IT1, IT2 and IT_GND internal terminals where the PDN and the NLB are connected together. These terminals are not directly connected to the external terminals VDD, T1, T2 and GND;

PDN parasitic inductances (L1, L2), mutual inductance (M1) and capacitances (C1, C2) representing the physical parameters of the PDN;

NLB physical diodes (D1, D2, D3, D4) and their parasitic elements (Cp1, Cp2, Cp3, Cp4) representing the behaviour of the NLB.

Figure 3 – Structure of a typical PPN

5.2.2 PDN description

The PDN consists of passive elements for the package, bonding and on-chip interconnections. It represents the input network of the power and signal pins of the chip. PDN is a complete impedance network, containing both input injection terminals (DI), terminals which may have an influence on the impedance of the disturbed terminals (DO) and internal terminals. The PDN can contain linear components such as resistance, capacitance and inductance. Nevertheless, the PDN data are defined for conditions under which the non-linear components are not activated.

The PDN can be defined in frequency or in time domain and can be characterized by different network parameters such as S/Z/Y-parameters or described by lumped element models (R, L and C).

An IC can have many identically designed pins with the same or similar characteristics. Therefore, to reduce the number of DIs to be modelled (for simplification purposes) the pins of an IC can be classified into families such as:

- Supply pins,
- Digital input/output pins,
- Analogue input/output pins,
- Data/address buses,
- Communication buses.

The PDN could act as a filter for the transient pulses. PDN resonances may appear due to parasitic capacitive and inductive elements. Resonances can also be created by external components mounted on the DI and DO pins for IC operation. These can have a significant effect on the immunity of the devices. The PDN can stop, pass or amplify the disturbances and it can influence the immunity of the device.

The PDN is valid in the conditions in which it has been established. Such conditions include (but not limited to):

- Power supply voltage range
- Applicable frequency range
- Temperature range
- Measurement conditions on DI and/or DO pins

The PDN impedance allows to determine the signal waveform applied to the internal terminal IT (between the PDN and the NLB). That permits to calculate the active energy at the protection device level.

5.2.3 NLB description

The NLB mainly represents the non-linear behaviour of the input network of the signal and power pins of the IC. The non-linear behaviour is typically due, but not limited, to the protection devices (diodes, gate-grounded NMOS structures, etc.) linking the internal terminals together. NLB also contains linear and non-linear elements of non-linear device such as diodes and transistors. An example of NLB is shown in Clause A.4.

In the case of multiple terminal networks, some of them can have the same electrical structure and therefore, they can be described by a unique model. Then, to reduce the number of models (for simplification purposes) the terminals of an IC can be classified into families such as:

- Supply terminals,
- Digital input/output terminals,
- Analogue input/output terminals.

The NLB can be extracted either by simulation of the considered IC or TLP measurement with the complete IC. An example of NLB extraction using TLP method is given in Annex A and in [4], [5]. Furthermore, extraction of the NLB from the IC schematic and layout by data processing is possible.

When using TLP technique to extract the NLB, the I/V measurements can be realized for several pulse widths, magnitudes and rise/fall times covering the expected application field of the IC. These measurements allow to model the nonlinear characteristics of the ESD protection device (NLB) through behavioural or physical device modeling. An example of behavioural implementation is given in Annex B. These measurements can also be used to define the failure criteria.

5.3 FB description

The FB describes how the IC reacts to transient pulses applied to a certain DI terminal. FB shall be defined as a link between a specific pulse waveform entering the DI and a failure (soft or hard) monitored or computed at the OO. The FB file can be obtained by immunity measurements performed on the OO during a TLP test or by extraction from IC design data or simulation with the complete IC. A failure criterion can be applied to the OO to classify the failure according to IEC 62215-3.

The FB can also be represented by specific values, built with failure functions (e.g. $E_{FAIL}=f(t_d)$) where t_d is the pulse duration or other suitable forms.

FB shall contain the failure threshold values associated to the following performance classes according to IEC 62215-3 and, optionally, the time domain characteristics of the pulse entering the DI and of the pulse observed at the OO during the disturbance:

- Class E_{IC} : At least one monitored function of the IC does not perform within the defined tolerances after exposure and cannot be returned to proper operation. In this case, it is a breakdown failure leading to IC destruction.
- Class $D1_{IC}$: At least one monitored function of the IC does not perform within the defined tolerances during exposure and does not return to normal operation by itself. The IC returns to normal operation by manual intervention.
- Class $D2_{IC}$: At least one monitored function of the IC does not perform within the defined tolerances during exposure and does not return to normal operation by itself. The IC returns to normal operation by power cycling the device.
- Class C_{IC} : At least one of the monitored functions of the IC is out of the defined tolerances during the disturbance but returns automatically to the defined tolerances after exposure to disturbance.

As an example, the characteristics of a voltage pulse entering the DI during a TLP test is illustrated in Figure 4. Other pulses may lead to different waveforms and values.

Typically, the pulse entering the DI during a TLP test may be considered as constituted of two parts:

- dynamic: described by a peak value V_{MAX} or I_{MAX} and a rise time (T_r) determined between 10 % and 90 % of the peak value;
- quasi-static: described by a quasi-static value V_{QS} or I_{QS} and a pulse width (T_w) determined at 10 % of the quasi-static value.

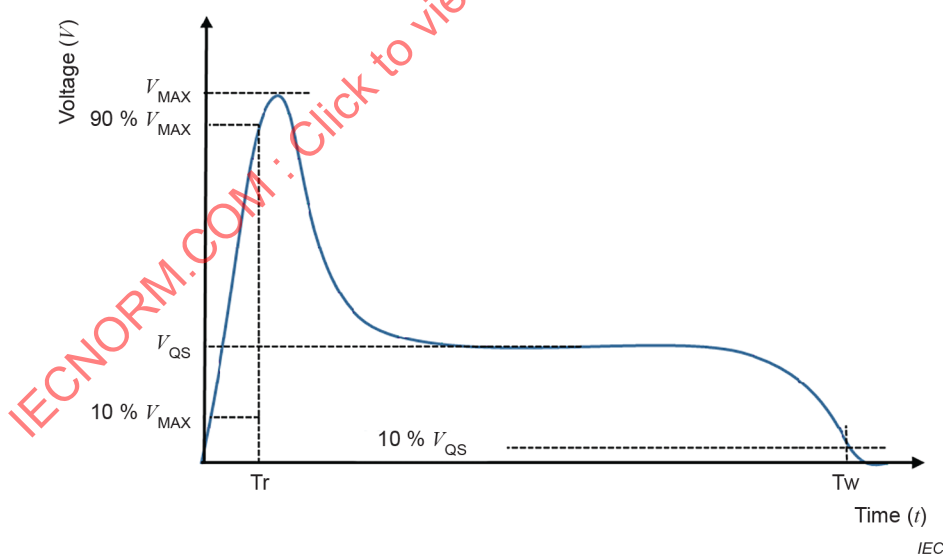


Figure 4 – Characteristics of a voltage pulse entering the DI during a TLP test

The signal observed on the OO can also be fully characterized in time domain or described by specific parameters usually in case of Class C_{IC} performance. The RESET pin of a microcontroller or a voltage regulator is an example of an OO monitored at an external terminal. A RESET bit included into a microcontroller internal register is an example of an OO monitored at an internal terminal.

In case of an OO observed on an external terminal (e.g RESET pin), the specific parameters could be the Glitch width (GW), the voltage at high state V_{S1} and the voltage at low state V_{S0} as illustrated by the Figure 5.

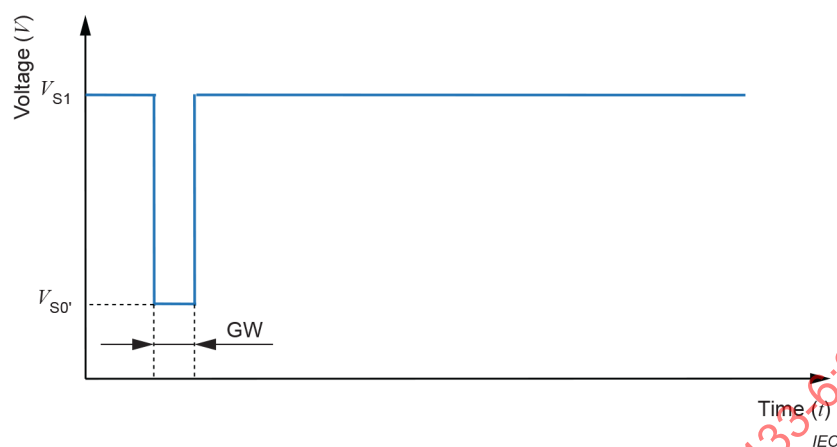


Figure 5 – Example of defect monitored at the OO when a disturbance is applied to the DI

An example of FB data is shown in Clause A.5.

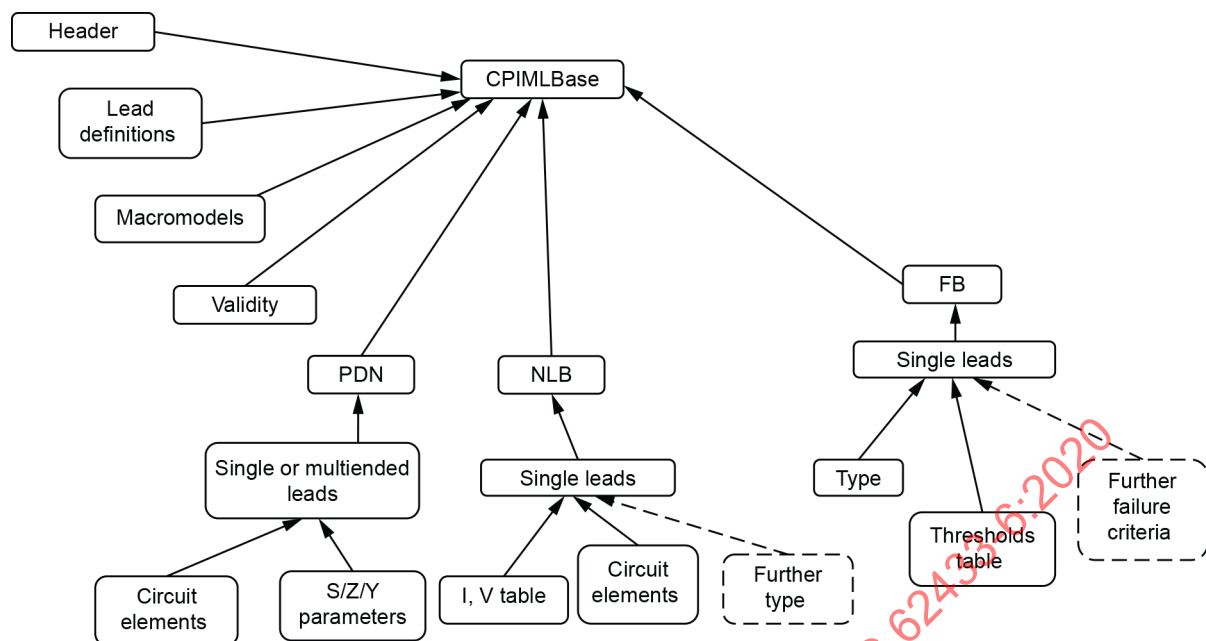
6 CPIML format

6.1 General

Data of the ICIM-CPI model are arranged in CPIML format according to IEC 62433-1. The model data is separated into seven sections.

- Header containing general information
- Description of IC's lead definitions
- Description of macro-models
- Description of the model validity conditions
- Description of the PDN data
- Description of the NLB data
- Description of the FB data

The inheritance hierarchy of CPIML is depicted in Figure 6.



IEC

Figure 6 – CPIML inheritance hierarchy

NOTE1 More NLB types may be provided later in ICIM-CPI model to accommodate compact or behavioural model.

NOTE2 More FB parameters may be provided later in ICIM-CPI model to accommodate other failures criteria.

The top level of a CPIML model definition simply consists of these components:

```

beginning of model definition
  model header definition
  DUT lead definitions
  SPICE macro-models
  model validity conditions
  PDN definition
  NLB definition
  FB definition
end of model definition

```

This exchange format uses IC_EMCML, defined in IEC 62433-1. The XML encoding rules, as discussed in IEC 62433-1, ensure that the XML (CPIML) file can be correctly parsed by a Conducted Pulse Immunity Model (CPIM) parser. An example of a CPIML file conforming to XML encoding format is given in Annex C.

6.2 CPIML structure

The typical ICIM-CPI model can be represented in CPIML format as shown below:

```

<?xml version="1.0" encoding="UTF-8"?>
<CPImodel>
  <!-- HEADER -->
  <Header>
    ...
  </Header>
  <!-- DUT LEAD DEFINITIONS-->
  <Lead_definitions>
    ...
  </Lead_definitions>
  <!-- SPICE MACRO-MODEL DEFINITIONS -->
  <Macromodels>
    ...

```

```

</Macromodels>
<!-- MODEL VALIDITY CONDITIONS -->
<Validity>
    ...
</Validity>
<!-- MODEL PDN DATA -->
<Pdn>
    ...
</Pdn>
<!-- MODEL NLB DATA -->
<Nlb>
    ...
</Nlb>
<!-- MODEL FB DATA -->
<Fb>
    ...
</Fb>
</CPImodel>

```

CPImodel is the root element of the CPIML file. The *Header*, *Lead_definitions*, *Validity*, *Pdn*, *Nlb* and *Fb* sections shall be minimum and mandatory information of the ICIM-CPI model. The *Macromodels* section is optional.

6.3 Global elements

According to IEC 62433-1, *Documentation*, *Notes* and *Unit* sections are global keywords that can be placed anywhere in the file except within an element containing a value.

6.4 Header section

This section is mandatory and shall be defined directly under the *CPImodel* root element

The header information of the macro-model shall be defined within the *Header* tag. A detailed list of valid keywords under the *Header* section is available in IEC 62433-1.

6.5 Lead_definitions section

This section describes the various terminals of the IC under test. Each terminal in the *Lead_definitions* section is described using the *Lead* tag and its attributes defined in Table 1. Several *Lead* attributes are listed one after another to form the *Lead_definitions* section.

Table 1 – Attributes of *Lead* tag in the *Lead_definitions* section

Lead attributes
Id : Terminal number as a valid string (required)
Name : Name of the terminal (optional). Default = "None"
Mode : Mode in which the terminal is used ("DI", "DO", "OO", "GND") (required). Default="None"
Type : type of the terminal ("internal" or "external") (optional). Default = "external"

Every *Lead* tag in the *Lead_definitions* section has one required attribute, *Id*, representing the terminal number. The terminal may be additionally defined with its *Name*, *Mode* and *Type*. If the *Name* field is undefined or absent, it defaults to "None". The *Mode* field is considered as "None" under the following conditions:

- If *Mode* for a particular terminal is absent.
- If explicitly set as "None" since the respective terminal is not DI, DO, OO or GND.

The *Type* attribute is optional and is considered by default as "external" for DI, DO, OO and GND mode terminal. The *Lead* type can also be "internal" when the OO cannot be directly measured but computed or indirectly monitored (e.g internal register, memory cell,...)

If a terminal is used in more than one mode, then the different modes are represented as a single field separated by a comma (",") character. No other characters are allowed as delimiters. An example is shown below:

```
<Lead_definitions>
  <Lead Id="1" Name="T1" Mode="DI,OO"/>
</Lead_definitions>
```

The above line tells the CPIM parser that the terminal with Id="1" and name "T1" is used both as DI and OO. By default, the type of the *Lead* tag is "external".

Table 2 lists the compatibility between the *Mode* and *Type* fields of the *Lead* structure for correct CPIML annotation by the CPIM parser.

Table 2 – Compatibility between the *Mode* and *Type* fields for correct CPIML annotation

Mode	Type	
	external	internal
DI	Yes	No
DO	Yes	No
OO	Yes	Yes
GND	Yes	No
None	Yes	Yes

The different terminals can be represented in a compact format where the type is explicitly described by the mode as shown below.

```
<Lead_definitions>
  <Lead Id="1" Name="T1" Mode="DI"/>
  <Lead Id="2" Name="T2" Mode="DO"/>
  <Lead Id="3" Name="GND1" Mode="GND"/>
  <Lead Id="4" Name="VDD1"/>
  <Lead Id="5" Name="GND2" Mode="GND"/>
  <Lead Id="6" Name="VDD2"/>
  <Lead Id="7" Name="GND1" Mode="GND"/>
  <Lead Id="8" Name="GND3" Mode="GND"/>
  <Lead Id="9" Name="T3" Mode="OO"/>
  <Lead Id="100" Name="IT1" Mode="OO"/>
</Lead_definitions>
```

The above lines of code represent the ICIM-CPI model structure presented in Figure 1. The identities of the terminals ("Id") are arbitrarily chosen.

NOTE These *Lead-definitions* are used for example purposes throughout this document, unless otherwise specified.

6.6 Macro-models section

The presence of this section in a CPIML file is optional. If defined, it shall be under the CPImodel root element.

This section describes the various macro-models in netlist format (e.g. SPICE). It can be extended to represent the macro-model in other formats (e.g. HDL). A detailed list of valid keywords under the Macromodels section is available in IEC 62433-1.

6.7 Validity section

This section is mandatory and shall be defined directly under the *CPImodel* root element. The *Validity* section defines the usage conditions of the ICIM-CPI model. The details in this section shall conform to the definitions in IEC 62433-1.

6.8 PDN

This section is mandatory and shall be defined directly under the *CPImodel* root element.

The *Pdn* section of the ICIM-CPI model contains a set of PDN data for each *Lead* tag. A detailed list of valid keywords under the *Pdn* section is available in IEC 62433-4.

Any other relevant information required for correct understanding (and usage) of the PDN shall be optionally defined within the *Notes* and *Documentation* tags. Details such as IC's operating mode, decoupling capacitors on supply lines, activated functions, grounding details, datasheets, test-reports, etc., can be defined.

6.9 NLB

6.9.1 General

The *Nlb* section of the ICIM-CPI model contains a set of NLB data for each *Lead* tag. The data shall be defined within the *Nlb* section as follows:

```
<Nlb>
  <Lead tag>
    <Attributes>
    </Attributes>
  </Lead tag>
</Nlb>
```

A NLB data is defined for a set of internal terminals. Many *Lead* elements can be listed sequentially within the *Nlb* section. Table 3 – lists the various recognized attributes of the *Lead* tag:

Table 3 – Definition of the *Lead* tag for *Nlb* section

<i>Lead</i>
Id: Terminal identity as a valid string (required) Type: NLB source parameter (required) Blockname: NLB block name as a valid string Param_order: Order in which NLB parameters are defined (required for Type="I/V" only) Format: Data format ("MAG", "DBMAG") Unit_voltage: Unit definition of the voltage terms Unit_current: Unit definition of the current terms Netlist: NLB definition using standard netlist format (required for Type = "Ckt" only) Data_files: NLB source parameter defined in an external file (required if not List) List: NLB parameter list (required for type="I/V if not Data_files)

Any other relevant information required for correct understanding (and usage) of the NLB shall be optionally defined within the *Notes* and *Documentation* tags. Details such as IC's operating mode, decoupling capacitors on supply lines, activated functions, grounding details, datasheets, test-reports, etc., can be defined.

6.9.2 Attribute definitions

6.9.2.1 Id

The *Lead* Id's used in the NLB definition shall be defined as internal terminal (Type = "internal") in the *Lead_definitions* section as described in 6.5. At least two Ids shall be defined together since NLBs are always connected between two or more internal terminals.

This is a required attribute.

6.9.2.2 Type

The *Type* attribute is used to represent the type of the NLB data. Valid types are:

- "I-V": I/V (Current/Voltage) parameter data.
- "Ckt": Circuit description using netlists.

Further types will be supported at a later stage to accommodate compact or behavioural model.

This is a required attribute.

6.9.2.3 Blockname

The *Blockname* attribute is used to define the name of the NLB block. This attribute is optional and is used for representing the NLB as a sub-block; the same may be useful for block-based ICIM-CPI macro-model. This attribute is intended for informational purposes only. The CPIM parser does not interpret this attribute.

6.9.2.4 Param_order

The *Param_order* attribute tells the CPIM parser how the data is represented. The following strings are dedicated for specifying the parameter order:

- "Volt" and "Voltage": Voltage terms used for parameters' definition
- "Curr" and "Current": Current terms used for parameters' definition

The different terms of *Param_order* shall be separated by a comma character (",").

This attribute is used for type "I-V" only. This attribute is optional. If absent, the default value is "Voltage,Current".

6.9.2.5 Format

The *Format* attribute decides the data format. Valid data formats are:

- "DBMAG": Magnitude in decibel scale
- "MAG": Magnitude in linear scale

This attribute is optional. If absent, the default value is "MAG".

6.9.2.6 Unit_voltage and Unit_current

The parameter units are defined under the *Unit_voltage* and *Unit_current* tags for voltage and current quantities respectively. Table 4 lists the default values of *Unit_voltage* and *Unit_current* tags as a function of data format.

Table 4 – Default values of *Unit_voltage* and *Unit_current*

Parameter	Format	Default <i>Unit_voltage</i> values	Default <i>Unit_current</i> values
<i>Voltage</i>	MAG	V	-
	DBMAG	dBV	-
<i>Current</i>	MAG	-	A
	DBMAG	-	dBA

This is an optional attribute. If absent, default units shown in Table 4 are used. Valid units are given in IEC 62433-1:2019, B.2.5.5 .

6.9.2.7 Netlist

The *Netlist* attribute is used to define the NLB as a SPICE netlist that represents the electrical connectivity of the NLB elements. The electrical connectivity flow shall be as per SPICE standard.

This attribute is required if Type="Ckt".

6.9.2.8 Data_files and List

The *Data_files* attribute is used to differentiate between inline and external data. If the NLB data is defined in an external file, the link to the file shall be specified within the *Data_files* attribute. Inline data is directly defined under the top level *Lead* tag within a *List* attribute if needed. Table 5 lists the allowed file extensions:

Table 5 – Allowed file extensions for *Data_files*

File extension	Common name
dat or DAT	Data file
csv or CSV	Comma separated values
txt or TXT	Text file
cir or CIR	Circuit file (Netlist)
lib or LIB	Library file (Netlist)
net or NET	Netlist file (Netlist)

This is a required attribute. A unique *List* or *Data_files* attribute shall be used to define the NLB data of the specific lead.

6.9.3 Data description

6.9.3.1 Inline data

The NLB data shall be written within the *List* attribute. The units of the voltage quantity shall be specified using the *Unit_voltage* attribute and that of current quantity using the *Unit_current* attribute.

```
<Nlb>
  <Lead Id="10,11"; Type="I-V"; Param_order="Voltage,Current">
    <Unit_voltage>V</Unit_voltage>
    <Unit_current>A</Unit_current>
    <List>
      -12.7428 -8.675
```

```

-11.6487 -8.073
-9.5319 -7.379
-11.6592 -6.633
-12.4551 -5.995
-13.7235 -4.946
-15.7626 -4.313
-16.3086 -3.742
-20.0718 -3.041
-19.8513 -2.475
...
</List>
</Lead>
</Nlb>

```

6.9.3.2 External file data

The NLB data shall be written into the file specified by the *Data_files* attribute. The units of the voltage quantity shall be specified using the *Unit_voltage* attribute and that of current quantity using the *Unit_current* attribute.

```

<Nlb>
  <Lead Id="10,11"; Type="I-V"; Param_order="Voltage,Current">
    <Unit_voltage>V</Unit_voltage>
    <Unit_current>A</Unit_current>
    <Data_files>MOSIC_VI.txt</Data_files>
  </Lead>
</Nlb>

```

Figure 7 shows an example of a file containing NLB data.

```

! V(Volts) I(Amps)
-12.7428 -8.675
-11.6487 -8.073
-9.5319 -7.379
-11.6592 -6.633
-12.4551 -5.995
-13.7235 -4.946
-15.7626 -4.313
-16.3086 -3.742
-20.0718 -3.041
-19.8513 -2.475
-17.0205 -1.947
-48.531 -1.077
-48.51 -0.9679
-48.426 -0.8673
-48.405 -0.758
-48.279 -0.6603
-48.09 -0.4766
-47.586 -0.2692
-47.208 -0.2165
-46.704 -0.1654
-46.095 -0.117
-45.36 -0.08526
-43.512 -0.0531
-37.254 -0.03502

```

IEC

Figure 7 – Example of a NLB external file

6.10 FB

6.10.1 General

The *Fb* section of the ICIM-CPI macro-model contains the FB data that describes the behaviour of the IC during the pulse disturbance. The data shall be defined within the *Fb* section as follows:

```
<Fb>
  <Lead tag>
    <Attributes>
      <Table>
        <Sub-attributes>
          <Parameters>
          </Parameters>
        </Sub-attributes>
      </Table>
    </Attributes>
  </Lead tag>
</Fb>
```

Similar to the PDN definition, FB data is defined for a particular terminal and thus the definition shall be done within a *Lead* tag. Several *Lead* tags can be listed sequentially in the *Fb* section to represent the FB data corresponding to the different terminals of the IC. Table 6 lists the various recognized attributes of the *Lead* tag in the *Fb* section.

Table 6 – Definition of the *Lead* tag in *Fb* section

<i>Lead</i>
Id: Terminal identity as a valid string (required) Ground_id: Return signal path as a valid string (required) Blockname: FB block name as a valid string Type: FB source parameter -"TLP" (required) Table: FB data (required)

In order to provide the FB data according to different operating conditions, one or several *Table* attributes elements could be set within a *Lead* tag. The *Table* attribute includes several sub-attributes.

6.10.2 Attribute definitions

6.10.2.1 Id

The *Id* attribute used in this FB definition shall refer to a terminal defined with the *mode* attribute "DI" in the *Lead_definitions* section as described in 6.5. One or more *Id* attributes are allowed.

This is a required attribute.

6.10.2.2 Ground_id

The *Ground_id* attribute used in this FB definition shall refer to a terminal defined with the *mode* attribute "GND" in the *Lead_definitions* section in 6.5. Only one unique *Ground_id* attribute is used.

This is a required attribute.

6.10.2.3 Blockname

The *Blockname* attribute is used to define the name of the FB block.

This attribute is optional and is used for representing the FB as a sub-block. This attribute is intended for informational purposes only. The CPIM parser does not interpret this attribute.

6.10.2.4 Type

The Type attribute is used to represent the type of test used to obtain the FB data. CPIML version 1 only supports type "TLP".

This attribute is open for improvement to accommodate other pulses type such as HBM, CDM, HMM, etc. It may be reusable for frequency domain immunity modelling at a later stage.

This is a required attribute.

6.10.2.5 Table

6.10.2.5.1 General

The main FB data are defined under the Table attribute. This specific attribute includes sub-attributes. Table 7 lists the various recognized sub-attributes of the Table attribute.

Table 7 – Table sub-attributes definition

<i>Table</i>
Pulse_characteristics: Details on source signal according to type attribute (required) Test_criteria: Details on test criteria (required) Param_order: Order in which FB data are defined (required) Unit_voltage: Unit of the voltage terms (optional) Unit_current: Unit of the current terms (optional) Unit_time: Unit of the time quantity (optional) Unit_energy: unit of the energy quantity (optional) Data_files: FB data contained in an external file (required if not List) List: FB data list (required if not Data_files)

6.10.2.5.2 Pulse_characteristics

This required sub-attribute specifies the characteristics of the signal generated by the test equipment. Table 8 gives a set of parameters used to configure the pulse generator defined by the Type attribute.

Table 8 – Pulse_characteristics parameters definition

<i>Pulse_characteristics</i>
Peak_value: is the peak pulse value (required) Pulse_duration: pulse time duration measured at 50 % of the peak_value (required) Pulse_rise_time: is the pulse rise time measured at 10 % and 90 % of the peak pulse level (required)

This sub-attribute has three required parameters for TLP type:

- *Peak_value*, which carries the magnitude of the generated voltage or current pulse. The value defined for the *Peak_value* attribute shall be defined along with units (ex. Peak_value="4kV"). The base unit of this attribute specifies the type of the pulse: voltage.
- *Pulse_duration*, which carries the width of the generated voltage or current pulse. It corresponds to the time duration measured at 50 % of the *Peak_value*. The value defined

for the *Pulse_duration* attribute shall be defined along with units (ex. *Pulse_duration*="50ns"). The base unit of this attribute is "s" (seconds).

- *Pulse_rise_time*, which carries the rise-time of the generated voltage or current pulse. It corresponds to the time measured at 10 % and 90 % of the peak pulse level. The value defined for the *Pulse_rise_time* attribute shall be defined along with units (ex. *Pulse_rise_time*="1ns"). The base unit of this attribute is "s" (seconds).

EXAMPLE The following syntax specifies the pulse characteristics for a TLP test type with a pulse peak value of 2 kV, a pulse duration of 100 ns and a pulse rise time of 1 ns.

```
<Pulse_characteristics>
  <Peak_value>"2kV"</Peak_value>
  <Pulse_duration>"100ns"</Pulse_duration>
  <Pulse_rise_time>"1ns"</Pulse_rise_time>
</Pulse_characteristics>
```

6.10.2.5.3 Test_criteria

The test criteria shall be defined within the required *Test_criteria* sub-attribute. These test criteria correspond to the particular FB definition. *Test-criteria* parameters are shown in Table 9.

Table 9 – *Test_criteria* parameters definition

<i>Test_criteria</i>
Id: identity of the OO terminal (required)
Ground_id: return signal identity of the OO terminal (optional)
Type: performance class (required)
Level: tolerance level set on the OO terminal (optional)
Parameter: the parameter on which the OO monitoring has been carried out (optional)

The *Test_criteria* has two required parameters: *Id* and *Type*.

The *Id* parameter is an OO terminal defined in the *Lead_definitions* section (see 6.5). It informs the user that the test is conducted based on the monitoring of the specified OO terminal. The optional *Ground_id* parameter represents the return signal path for the OO terminal defined in the *Id* attribute. If absent, the *Ground_id* that is defined in the *Lead* tag of *Fb* section is considered by the CPIM parser. If explicitly defined, the value of the *Ground_id* parameter shall correspond to one of the GND pins defined in the *Lead_definitions* section (see 6.5).

The *Type* is the failure mode which can either be a functional or a breakdown failure. These failure modes correspond to performance classes E_{IC} , $D1_{IC}$, $D2_{IC}$ and C_{IC} . The *Type* attribute can be set to "Class_E_IC", "Class_D1_IC", "Class_D2_IC" and "Class_C_IC".

The *Level* attribute defines the tolerance level set during the test with respect to the nominal OO signal. For simplicity reasons the value of the *Level* attribute shall be defined along with units (for example, *Level*="+200mV"). If multiple tolerance levels need to be defined, they shall be represented as single values separated by a comma (",") character. For example, to set a tolerance limit of ± 200 mV, one shall define:

Level="+200mV, -200mV"

If absent, it defaults to "None".

The value of the *Parameter* attribute represents the parameter on which the OO monitoring has been carried out. In CPIML version 1, the *Parameter* attribute accepts the following values:

- "Amplitude" – The criteria is set on the amplitude of the signal
- "Mean" – The criteria is set on the mean of the signal
- "Time" – The criteria is set on the jitter of the signal
- "Duty" – The criteria is set on the duty cycle of the signal
- "Period" – The criteria is set on the period of the signal
- "BER" – The criteria is set on the Bit Error Rate of the signal
- "SNR" – The criteria is set on the Signal-to-Noise Ratio of the signal
- "Internal_Status" – The criteria is set on internal function failure e.g. a bit change in an internal register
- "None" – No parameter is defined or none of the above (default)

Multiple test criteria for the same OO can be defined one after other. Nevertheless, it is not allowed to define multiple OOs under the same Table attribute.

EXAMPLE The FB data with two Table sections corresponding to two independent OOs with Id ="1" and Id="10".

```
<Fb>
<Lead Id="1" Ground_id="7" Type="TLP">
  <Table>
    < Pulse_characteristics>
    </Pulse_characteristics>
    <Test_criteria>
      <Id>"1"</Id>
      <Ground_id>"7"</Ground_id>
      <Type>"Class_E_IC"</Type>
    </Test_criteria>
    ...
  </Table>
  <Table>
    <Pulse_characteristics>
    </Pulse_characteristics>
    <Test_criteria>
      <Id>"10"</Id>
      <Ground_id>"8"</Ground_Id>
      <Type>"Class_C_IC"</Type>
      <Level>" +200mV, -200mV"</Level>
      <Parameter>"Amplitude"</Parameter>
    </Test_criteria>
    <Test_criteria>
      <Id>"10"</Id>
      <Ground_id>"8"</Ground_Id>
      <Type>"Class_C_IC"</Type>
      <Level>"50ns"</Level>
      <Parameter>"Time"</Parameter>
    </Test_criteria>
  </Table>
</Lead>
</Fb>
```

In the Example above, two FB data for the DI terminal "1" referenced to terminal "7" as DI ground are defined using two different Table sections. The first one defined a test criteria applied on the terminal OO "1" referenced to terminal "7" as OO ground. The second one defined two test criteria applied on the terminal OO "10" referenced to terminal "8" as OO ground.

Any relevant details related to the test conditions shall be defined with the Notes and Documentation sections.

6.10.2.5.4 Param_order

The *Param_order* sub-attribute tells the CPIM parser how the FB data is represented. The following strings are dedicated for specifying the parameter order:

- "TW": pulse width on the DI

- "TR": pulse time rise on the DI
- "VMAX": maximum voltage on the DI
- "VQS": quasi-static voltage on the DI
- "IQS": quasi-static current on the DI
- "IMAX": maximum current on the DI
- "EFAIL": energy at failure on the DI
- "GW": glitch width on the OO
- "VS1": high-state level voltage on the OO
- "VS0": low-state level voltage on the OO
- "VDI": voltage on the DI
- "IDI": current on the DI
- "VOO": voltage on the OO
- "IOO": current on the OO
- "TIME": time associated to parameters expressed in time domain

NOTE Further failure criteria could be added at a later stage if needed.

This sub-attribute is required.

6.10.2.5.5 Unit_time, Unit_voltage, Unit_current and Unit_energy

The parameter units are defined under the *Unit_time*, *Unit_voltage*, *Unit_current* and *Unit_energy* parameters for time, voltage, current and energy quantities respectively.

If absent, *Unit_time* defaults to "s", *Unit_voltage* defaults to "V", *Unit_current* defaults to "A" and *Unit_energy* defaults to "J".

6.10.2.5.6 Data_files and List

The List and Data_files attribute are used to differentiate between inline and external data. If the FB data are defined in an external file, the link to the file shall be specified within the Data_files attribute. Table 6 lists the allowed file extensions.

This is a required attribute. A unique List or Data_files attribute shall be used to define the FB data of the specific OO lead.

6.10.3 Data description

6.10.3.1 Inline data

The FB data shall be written within the List sub-attribute under the Table attribute section. The units of the time quantity shall be defined within the Unit_time parameter, voltage units shall be specified using Unit_voltage parameter, current units using Unit_current parameter and energy units using Unit_energy parameter. When absent, default values are used (see 6.10.2.5.5). The order of the data values is specified in the Param_order parameter.

The following example illustrates the FB data, obtained through a TLP test, representing the maximum voltage VMAX, the quasi static voltage VQS and the quasi static current IQS measured on lead "1" for several pulses defined by the Pulse_characteristics sub-attribute. The type is class E_IC status observed on lead "9".

EXAMPLE Illustration of an *Fb* section obtained through a TLP test.

```
<Fb>
  <Lead Id="1" Ground_id="7" Type="TLP">
    <Table>
      <Pulse_characteristics >
        <Peak_value>"4kV"</Peak_value>
        <Pulse_rise_time>"1ns"</Pulse_rise_time>
        <Pulse_duration>"100ns"</Pulse_duration>
      </Pulse_characteristics >
      <Test_criteria>
        <Id>"9"</Id>
        <Ground_id>"8"</Ground_id>
        <Type>"Class_E_IC"</Type>
      </Test_criteria>
      <Param_order>"VMax"</Param_order>
      <Unit_voltage> "V"</Unit_voltage>
      <List> 13 </List>
    </Table>
    <Table>
      <Pulse_characteristics>
        <Peak_value>"4kV"</Peak_value>
        <Pulse_rise_time>"1ns"</Pulse_rise_time>
        <Pulse_duration>"500ns"</Pulse_duration>
      </Pulse_characteristics>
      <Test_criteria>
        <Id>"9"</Id>
        <Ground_id>"8"</Ground_id>
        <Type>"Class_E_IC"</Type>
      </Test_criteria>
      <Param_order>"E"</Param_order>
      <Unit_energy>"uJ"</Unit_energy>
      <List> 28.8 </List>
    </Table>
    <Table>
      < Pulse_characteristics>
        <Peak_value>"4kV"</Peak_value>
        <Pulse_rise_time>"1ns"</Pulse_rise_time>
        <Pulse_duration>"1000ns"</Pulse_duration>
      </Pulse_characteristics >
      <Test_criteria>
        <Id>"9"</Id>
        <Ground_id>"8"</Ground_id>
        <Type>"Class_E_IC"</Type>
      </Test_criteria>
      <Param_order>"TW,VQS,IQS"</Param_order>
      <Unit_voltage>"V"</Unit_voltage>
      <Unit_current>"A"</Unit_current>
      <Unit_time>"ns"</Unit_time>
      <List> 600, 3.5, 6.8 </List>
    </Table>
  </Lead>
</Fb>
```

6.10.3.2 External file data

The FB data shall be written in the file specified by the Data_files attribute. The units of the time quantity shall be defined within the Unit_time parameter, voltage units shall be specified using Unit_voltage parameter, current units using Unit_current parameter and energy units using Unit_energy parameter. When absent, default values are used (see 6.10.2.5.5). The order of the data values is specified in the Param_order parameter.

The following example illustrates the FB data, obtained through a TLP test, representing the voltage VOO measured in time domain on lead "9" for several pulses defined by the Pulse_characteristics sub-attribute applied on lead "1". Class CIC status is observed on lead "9" as specified by the Type field.

EXAMPLE Illustration of an *Fb* section obtained through a TLP test.

```
<Fb>
  <Lead Id="1" Ground_id="7" Type="TLP">
    <Table>
      <Pulse_characteristics >
        <Peak_value>"4kV"</Peak_value>
        <Pulse_rise_time>"1ns"</Pulse_rise_time>
        <Pulse_duration>"100ns"</Pulse_duration>
```

```

</Pulse_characteristics >
<Test_criteria>
  <Id>"9"</Id>
  <Ground_id>"8"</Ground_id>
  <Type>"Class_C_IC"</Type>
</Test_criteria>
<Param_order>"TIME,VOO"</Param_order>
<Unit_voltage>"V"</Unit_voltage>
<Unit_time>"ns"</Unit_time>
<Data_files>
  VOO-1.txt
</Data_files>
</Table>
<Table>
  <Pulse_characteristics>
    <Peak_value>"4kV"</Peak_value>
    <Pulse_rise_time>"1ns"</Pulse_rise_time>
    <Pulse_duration>"500ns"</Pulse_duration>
  </Pulse_characteristics>
  <Test_criteria>
    <Id>"9"</Id>
    <Ground_id>"8"</Ground_id>
    <Type>"Class_C_IC"</Type>
  </Test_criteria>
  <Param_order>"TIME,VOO"</Param_order>
  <Unit_voltage>"V"</Unit_voltage>
  <Unit_time>"ns"</Unit_time>
  <Data_files>
    VOO-2.txt
  </Data_files>
</Table>
<Table>
  < Pulse_characteristics>
    <Peak_value>"4kV"</Peak_value>
    <Pulse_rise_time>"1ns"</Pulse_rise_time>
    <Pulse_duration>"1000ns"</Pulse_duration>
  </Pulse_characteristics>
  <Test_criteria>
    <Id>"9"</Id>
    <Ground_id>"8"</Ground_id>
    <Type>"Class_E_IC"</Type>
  </Test_criteria>
  <Param_order>"TIME,VOO"</Param_order>
  <Unit_voltage>"V"</Unit_voltage>
  <Unit_time>"ns"</Unit_time>
  <Data_files> VOO-3.txt </Data_files>
</Table>
</Lead>
</Fb>

```

Figure 8 shows an example of a file containing FB data.

```
!  time(ns)      voltage(V)
    0           3.3
    1          3.33
    2           3.3
    3          3.33
    .....
   44           2.5
   45           1.8
   46            1
   47          1.01
   48          1.02
   49            1
   50          1.02
   51          1.06
    .....
  101           1.5
  102            2
  103           2.5
  104           3.3
  105          3.33
  106           3.3
    ...
```

Figure 8 – Example of an external FB file

IECNORM.COM : Click to view the full PDF of IEC 62433-6:2020

Annex A (informative)

Extraction of model components

A.1 General

ICIM-CPI macro-model parameters can be extracted from either design information or measurements. This annex gives basic information for obtaining the model parameters from measurements.

A.2 PPN description

Figure 3 shows a typical structure of a PPN. First, the PDN includes the impedance between DI and its ground's reference. Then, the PDN considers other terminals where an inductive or capacitive coupling exists with the DI. As illustrated, a magnetic coupling path exists between T1 and T2 terminals. For this reason, T2 terminal is considered as a DO. The PDN considers the impedance between T2 terminal and its reference ground – shared with T1 terminal's ground in this example- and the magnetic coupling factor between T1 and T2 terminals.

The PDN also takes into account the power supply terminals linked to the DI through the NLB. Internal terminals have to be considered between PDN and NLB.

A.3 PDN Extraction

A.3.1 General

The PDN impedance is in general extracted using one of the methodologies proposed in CISPR 17 [6].

An appropriate combination of measuring equipment and test fixture is selected according to the DUT configuration and the test frequencies. As the PDN impedance may vary with voltage bias, the extraction of PDN elements is performed with the DUT "powered" in order to be close to normal operating conditions. Care should be taken to not damage the DUT using voltage above the maximum ratings specified in manufacturer data sheet.

The measurement system should be traceable to a national standards organization. The measuring system and the test fixture should be properly calibrated as specified in the equipment's instruction manuals.

A.3.2 S/Z/Y-parameter measurement

One method to measure DUT's network parameters (S- or Z- or Y- parameters) consists of using an impedance measuring equipment or VNA. As per CISPR 17, impedance measurement of a DUT is carried out by one of two methods: direct and indirect methods.

In the direct method, impedance parameters should be measured by inserting the DUT into the test fixture and by sweeping the measurement frequency with the impedance measuring equipment (impedance analyser). The relationship between the impedance and the frequency should be recorded within the required frequency range.

In the indirect method, the impedance of a DUT may be evaluated from its S-parameters. In this case, the S-parameters are measured using a VNA within the required frequency range. Modern VNAs typically include a function for calculating the impedances. Conversion between different network parameters can be easily found in technical literature.

The port impedance of every VNA port is assumed to be 50 Ω . This impedance is included as a part of the excitation sources and measurement ports.

A.3.3 Conventional one-port method

The simplest equivalent circuit model for one-port of a VNA connected to the pin under test (DUT) is shown in Figure A.1.

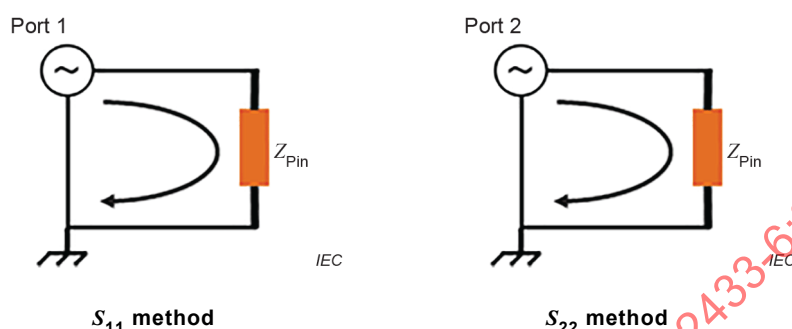


Figure A.1 – Conventional one-port S-parameters measurement

Depending on the exciting port (Port 1 or Port 2), S_{11} or S_{22} represents the impedance of the pin (Z_{Pin}). For example, Z_{Pin} can be obtained from S_{11} using:

$$Z_{Pin} = Z_0 \frac{1 + S_{11}}{1 - S_{11}}$$

where Z_0 is the characteristic impedance of Port 1, which is 50 Ω in most cases.

A.3.4 Two-port method for low impedance measurement

In order to measure low impedance accurately ($Z_{Pin} \ll Z_0$), the DUT should be placed parallel to the two-VNA ports as shown in Figure A.2. This configuration is called shunt connection.

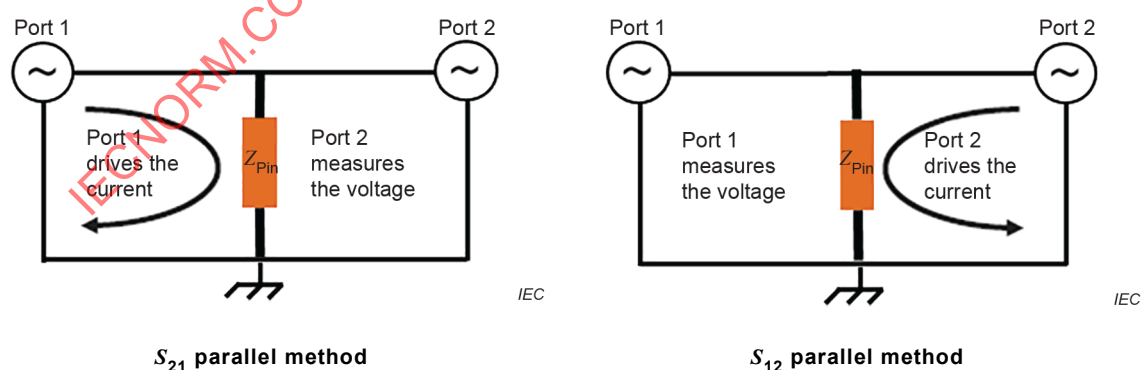


Figure A.2 – Two-port method for low impedance measurement

In this two-port method, S_{11} and S_{22} see the impedance of the DUT, with a Z_0 impedance shunting across it, from the other port. The information contained in the return loss measurements is clouded by the low impedance of the DUT and the additional Z_0 shunt from the other port. However, S_{21} or S_{12} has much more valuable information about the impedance of the DUT.

For example, Z_{DUT} can be obtained from S_{21} using:

$$Z_{DUT} = Z_0 \frac{S_{21}}{2(1 - S_{21})}$$

A.3.5 Two-port method for high impedance measurement

In order to measure high impedance ($Z_{DUT} \gg Z_0$) accurately, the DUT should be placed in series to the two-VNA ports as shown in Figure A.3. This is also called series connection.

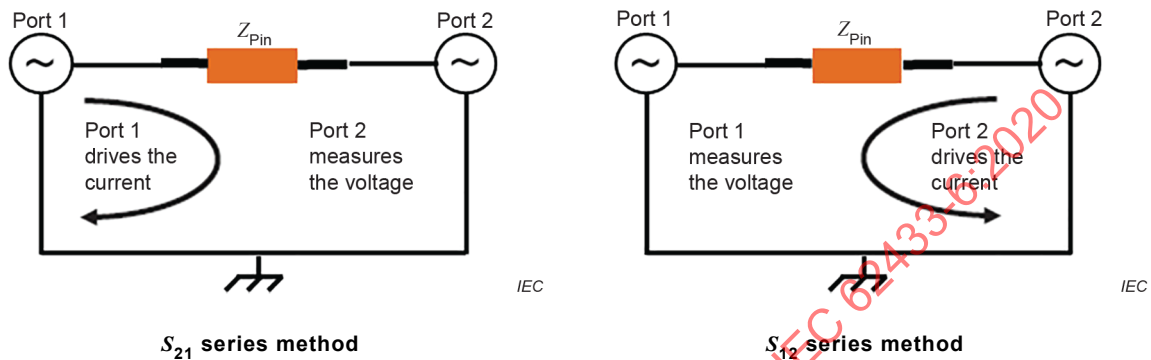


Figure A.3 – Two-port method for high impedance measurement

In this two-port method, S_{11} and S_{22} see the impedance of the DUT, with a Z_0 impedance in series, from the other port. However, S_{21} or S_{12} has much more valuable information about the impedance of the DUT.

$$Z_{DUT} = Z_0 \frac{2(1 - S_{21})}{S_{21}}$$

A.4 NLB extraction

A.4.1 General

NLB data can be extracted by several techniques depending on the type chosen for NLB data representation. The TLP test as described in IEC 62615 is the most common technique used to extract NLB data as a set of I/V characteristics. Methodologies to implement these I/V curves into circuit simulators is discussed in Annex B. Other methods for NLB extraction will be added in the future. Figure A.4 illustrates I/V measurements to be realized in the case of the PPN described in Figure 3. In this example, the NLB is composed of:

- Diode and its parasitic capacitance between IT1 and IT_GND
- Diode and its parasitic capacitance between IT1 and IT_VDD
- Protection device between IT_VDD and IT_GND
- Diode and its parasitic capacitance between IT2 and IT_GND
- Diode and its parasitic capacitance between IT2 and IT_VDD

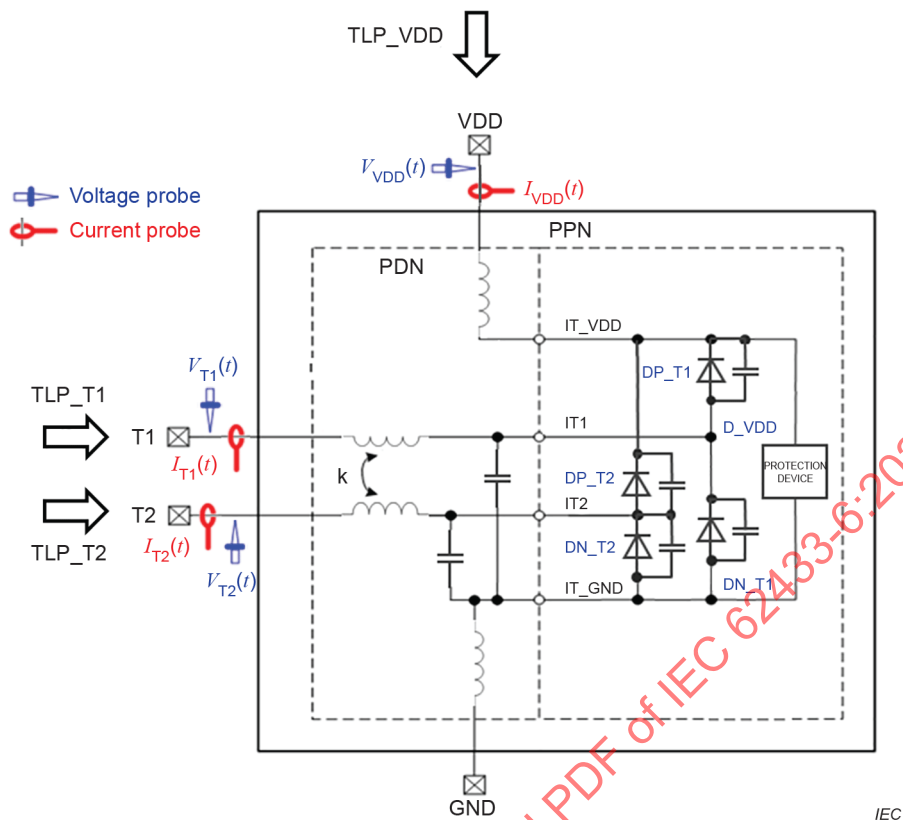


Figure A.4 – Example of I/V measurements to extract NLB

The reference terminal for TLP I/V measurements could be ground terminal GND or any other terminal. The following I/V measurements are necessary to extract NLB in the case of the PPN described in Figure A.4.

- The injection of calibrated positive and negative pulses on the terminal T1 (TLP_T1) allows the full characterization of DP_T1 and DN_T1 diodes for a given pulse width through the measurement of voltage $V_{T1}(t)$ and current $I_{T1}(t)$ at terminal T1 and the measurement of voltage $V_{DD}(t)$ and current $I_{DD}(t)$ at terminal VDD (only necessary for DP_T1 diode).
- The injection of calibrated positive and negative pulses on the terminal T2 (TLP_T2) allows the full characterization of DP_T2 and DN_T2 diodes for a given pulse width through the measurement of voltage $V_{T2}(t)$ and current $I_{T2}(t)$ at terminal T2 and the measurement of voltage $V_{DD}(t)$ and current $I_{DD}(t)$ at terminal VDD (only necessary for DP_T2 diode).
- The injection of calibrated positive and negative pulses on the terminal VDD (TLP_VDD) allows the full characterization of D_VDD protection device for a given pulse width through the measurement of voltage $V_{DD}(t)$ and current $I_{DD}(t)$ at terminal VDD.

A.4.2 TLP test method

The TLP set-up is shown in Figure A.5. The TLP generator can generate pulses with different lengths and amplitudes (e.g from 10 ns to 1 μ s up to 4 kV). Usually, one set of I/V data may be extracted for each pulse width. The IC could be powered or not powered during the test. Figure A.5 illustrates a not powered test set-up.

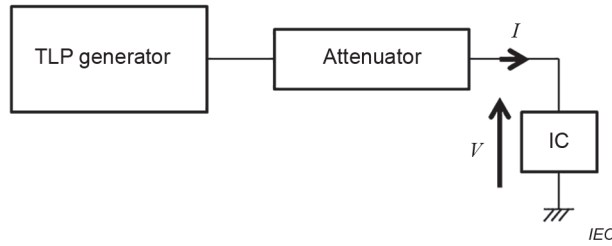


Figure A.5 – TLP method set-up (not powered IC)

In general, an attenuator (e.g 10 dB) may be used at the output of the TLP generator in order to minimize the reflections and to maintain the expected profile of the signal transmitted to the IC. Current (I) and voltage (V) can be simultaneously obtained by measurement in the quasi-static region.

Figure A.6 describes the steps to extract the I/V characteristic of a given IC based on standard TLP pulsing.

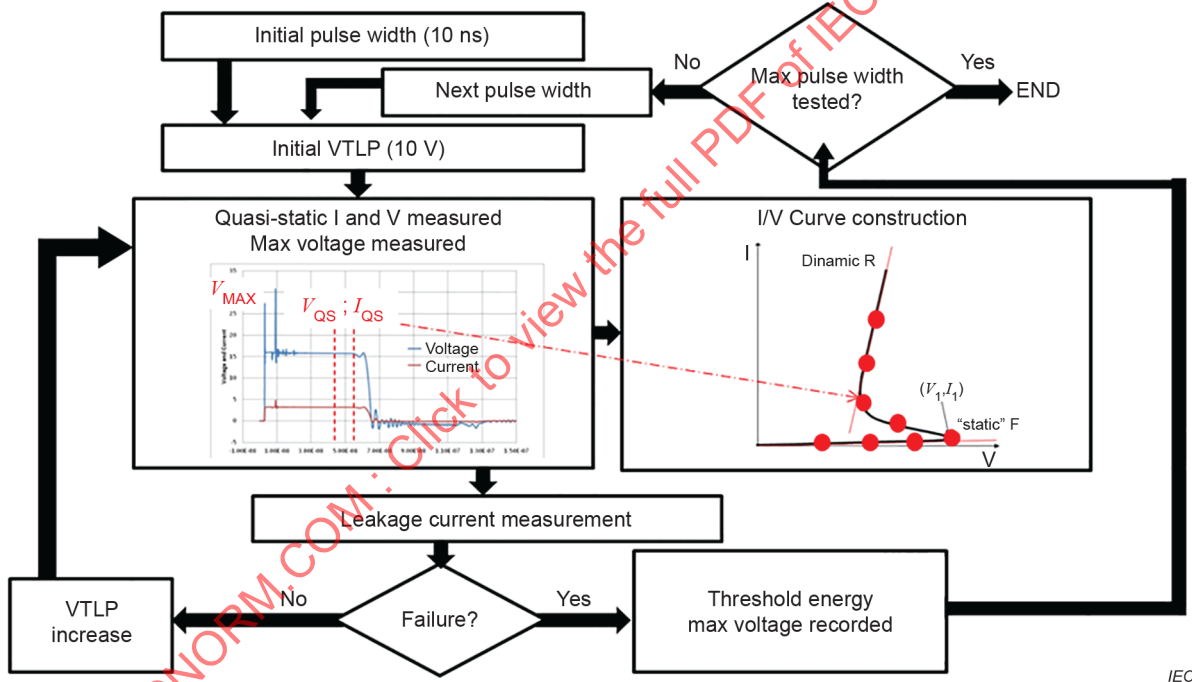


Figure A.6 – Example of NLB extraction using standard TLP pulse

For a given pulse width (P_W), the pulse amplitude V_{TLP} is first fixed to a low-level in order to disturb the IC. Then, the maximum voltage V_{MAX} , the quasi-static current I_{QS} and voltage V_{QS} values are measured at the IC terminal under study. The pair (I_{QS}, V_{QS}) allows to draw one point of the I/V curve.

After the pulse injection, the leakage current is measured in order to determine if the IC has a failure. If no failure is detected, V_{TLP} is increased step by step and the corresponding I/V values are extracted. If a failure is detected, it means that the IC is not working properly and is probably destroyed. V_{MAX} and the energy E (calculated using e.g $E \approx I_{QS} \times V_{QS} \times T_W$) are stored.

The I/V data for other pulse widths are extracted following the same procedure. The energy W and the V_{MAX} at IC destruction are also recorded; the same data is then used for FB extraction.

During the turn-on of active protection, complex phenomena can induce complex transient behaviour. Some methodologies are proposed [7] to extract these dynamic turn-on parameters. These parameters are not taken in account in the I/V type of NLB but may be taken in account in the Ckt type of NLB or further NLB data type

A.5 FB extraction

A.5.1 General

I/V measurements, performed to determine NLB, also provide information about IC's behaviour during and after the pulse. Generally, it may be considered that IC is destroyed (performance class E_{IC}) for the following reasons:

- A dielectric breakdown caused by an overvoltage: this failure mode is observed when the V_{MAX} exceeds a certain value. This V_{MAX} in general depends on the pulse width. V_{MAX} can also be time dependent in nanosecond time frame as described in [8].
- A thermal damage: this failure mode is observed when the absorbed energy increases the temperature beyond a certain value which causes damage within the semiconductor or metallization [9],[10].

For certain device types, other failure modes can be present, e.g. a power level triggering IC parasitic structures resulting in immediate IC damage, a dV/dt or a dI/dt triggering IC parasitic structures resulting in immediate damage. The thresholds of these failure modes can be integrated into the *Fb* section of the ICIM-CPI model once an appropriate extraction method has been found to replace the TLP method.

A.5.2 Example of FB data in case of test criteria type = Class E_IC

As discussed in 5.3, the FB component of the ICIM-CPI macro-model describes how the IC reacts to the applied disturbances.

As explained in A.4.2 during a TLP test, it is necessary to measure for each pulse width:

- The time-domain current and voltage values (or the quasi-static I_{QS} and V_{QS}) at the test level just before the failure (since if the component is destroyed these data are not relevant anymore). From these data and the pulse width, it is possible to calculate the energy that led to destruction.
- The maximum voltage value V_{MAX} obtained during the pulse and generally observed at the beginning of the pulse.

Three examples for different ICs are shown in Figure A.7 below.

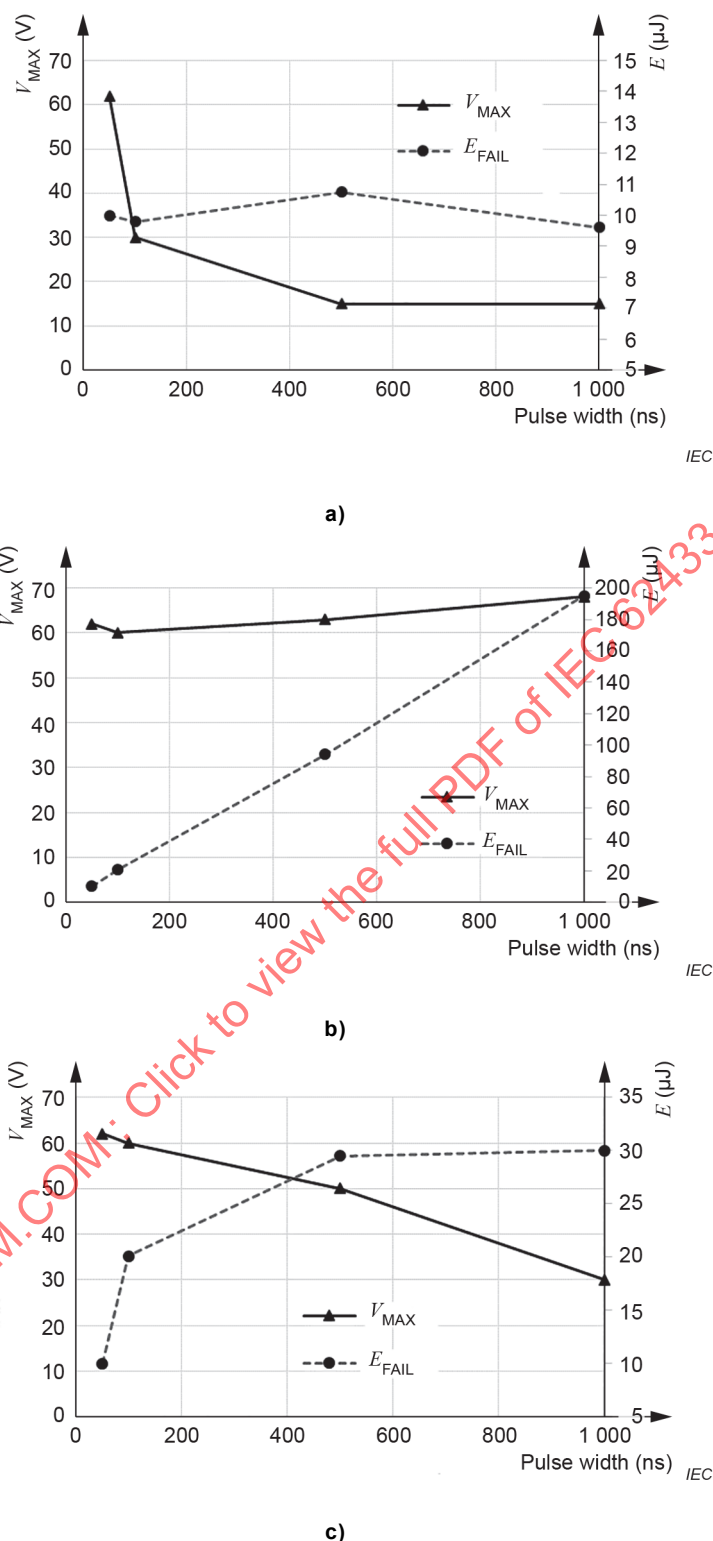


Figure A.7 – Graphs for identification of IC failure mechanism for destruction prediction

From such plots, an analysis to determine the failure mechanism and the threshold value can be performed:

- For the first case (Figure A.7a), the energy is almost constant for all pulse widths. This means that the IC is destroyed as a result of a thermal mechanism. This energy threshold value can be used as the FB parameter.

- For the second case (Figure A.7b), the failure voltage V_{MAX} is constant for different pulse widths. This corresponds to a breakdown voltage failure mechanism (overvoltage) and the maximum voltage value inducing the failure can be used as the FB parameter.
- The last situation (Figure A.7c) is a mix of the two previous phenomena. For the longest pulses, the IC is destroyed as a result of an energy breakdown, whereas for the shortest pulses, the IC is destroyed because of an overvoltage breakdown. In this case, both maximum voltage and maximum energy can be used as the FB parameters.

Table A.1 illustrates an example of FB data corresponding to Figure A.7.

Table A.1 – Example of FB data corresponding to Class E_{IC} failure

	Pulse characteristics (TLP)			Test criteria	Parameters	
	Peak value V	Pulse rise time ns	Pulse duration ns	Type	EFAIL μJ	VMAX V
A.7a)	100	1	50	Class E _{IC}	10,5	
	70	1	100	Class E _{IC}	10	
	20	1	500	Class E _{IC}	11	
	16	1	1 000	Class E _{IC}	9,5	
A.7b)	100	1	50	Class E _{IC}		62
	100	1	100	Class E _{IC}		60
	100	1	500	Class E _{IC}		63
	100	1	1 000	Class E _{IC}		68
A.7c)	100	1	50	Class E _{IC}		62
	100	1	100	Class E _{IC}		60
	50	1	500	Class E _{IC}	29,5	
	40	1	1 000	Class E _{IC}	30	

A.5.3 Example of FB data in case of test criteria type = Class C_{IC}

Table A.2 illustrates an example of FB data corresponding to Figure 5.

Table A.2 – Example of FB data corresponding to Class C_{IC} failure

Pulse characteristics (TLP)			Test criteria	Parameters						
				DI				OO		
Peak value V	Pulse rise time ns	Pulse duration ns	Type	TR ns	VMAX V	VQS V	TW ns	GW ns	VS1 V	VS0 V
10	1	50	Class C _{IC}	1,5	6,8	3,2	49	43	3,3	1
10	1	100	Class C _{IC}	1,5	6,5	3,2	98	95	3,3	0,5
10	1	200	Class C _{IC}	1,5	6,6	3,4	198	190	3,3	0,4
10	1	500	Class C _{IC}	1,5	6,8	3,5	496	485	3,3	0,2

Annex B (informative)

NLB implementation techniques in a circuit simulator

B.1 General

Following the description of the methods to extract NLB data presented in Clause A.4, some techniques to implement the NLB data (when type="Ckt") into a Circuit Simulator are presented in this annex.

Some predictive methods using comprehensive modelling have already been presented in [11] and other implementation methods as such as physical device models, HDL models (hardware description language) are discussed in [12] and [13]. Some of these implementations are shortly presented in this annex.

B.2 NLB modelling based on a R/I table

The I/V curve, which represents the NLB data, can be used in a look-up table form within a circuit simulator. It can also be transformed into a R/I table in order to get monotonic data [14]. The model is then based on a look-up table and two controlled sources as shown in the Figure B.1. In addition, a $1\ \mu\Omega$ -resistance between the two controlled sources is recommended to avoid convergence issues. This implementation allows saving the NLB as a netlist.

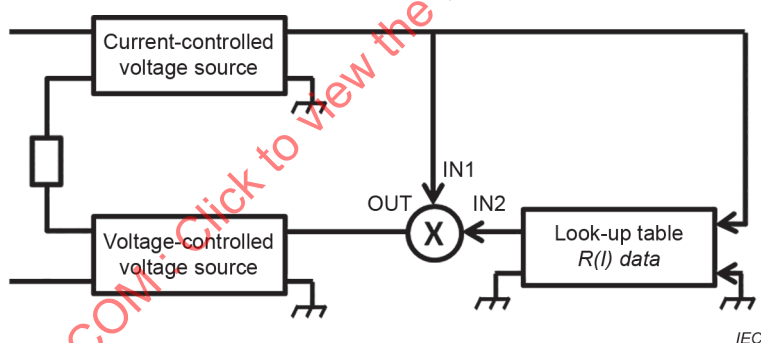


Figure B.1 – NLB model based on a R/I table

R/I data are in most of the cases independent of the load and they represent the characteristics of the device protection. This model has the advantage to be able to reproduce snapback phenomenon and the model generation in netlist format is straightforward.

B.3 NLB modelling based on a switch based model

Another possibility to model the transient behaviour of ESD protection elements (on-chip or off-chip) is a switch based behavioural model architecture presented in references [15] and [16]. The switch based model allows an accurate modelling of the transient behaviour with compact models and strong IP protection for IC vendors.

Figure B.2 shows an example of one switch based model architecture [16]. This modelling approach requires usually higher modelling efforts and has more parameters compared to the R/I table. However, it can reproduce transient effects beyond the quasi-static behaviour. This model allows taking into account transient resistance changes like self-heating or conductivity modulation (often called forward recovery at diodes) with a variable resistor. Furthermore, parallel current paths which are activated at certain voltage or current thresholds can be

integrated. This NLB implementation allows to create an internal terminal IT monitored as an OO and, according to the model implementation, to dynamically perform the comparison to the failure thresholds contained in the FB.

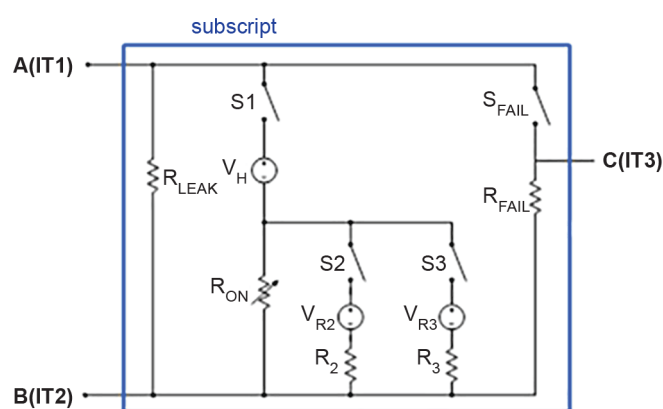


Figure B.2 – Example of a generic model architecture based on switches for NLB behavioural modelling

B.4 NLB modelling based on physical device model

Another approach to model the ESD behaviour of ESD protection elements based on compact models optimized for the ESD time domain is presented in references [17] and [18].

The core MOS-model of the GGNMOS is extended with the constructional parasitic devices (e.g. capacitances and resistances) and a large signal model is created and presented in Figure B.3.

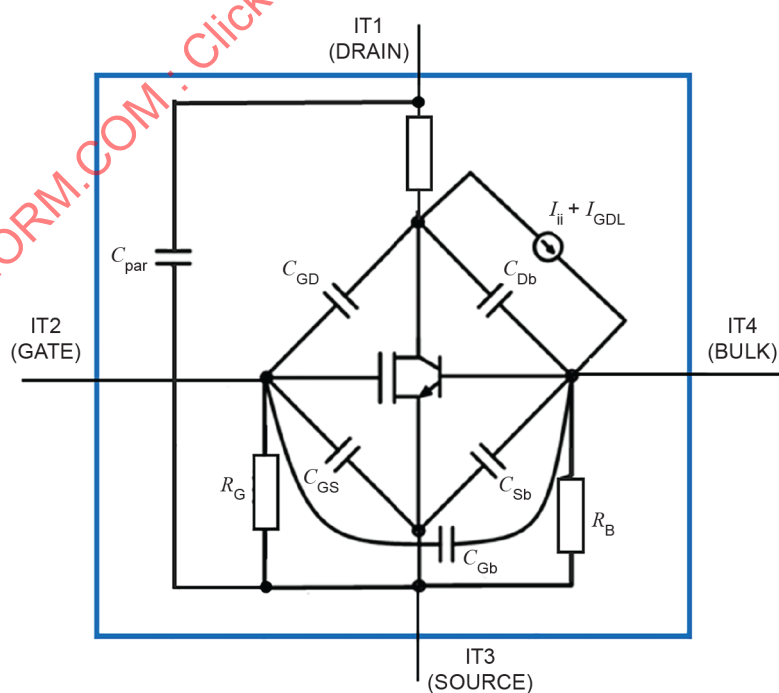


Figure B.3 – Example of core MOS large signal model of the GGNMOS

The complete large signal model of the GGNMOS is able to reproduce the transient and quasi-static behaviour with high accuracy. As a drawback, this architecture needs quite a number of parameters compared to the R/I table.

IECNORM.COM : Click to view the full PDF of IEC 62433-6:2020

Annex C (informative)

Example of ICIM-CPI model

C.1 General

As previously stated, ICIM-CPI model is valid in the conditions in which it has been established. Nevertheless, ICIM-CPI model can be used at application level simulation, incorporating external components such as protection capacitors, filter components, PCB trace parasitics, etc. An example of using the ICIM-CPI model is shown in Figure C.1.

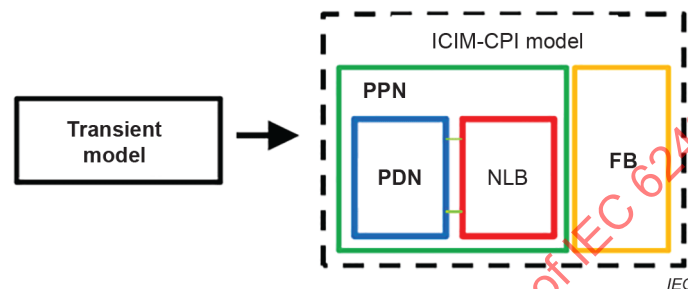


Figure C.1 – Use of the ICIM-CPI model for simulation

For class E_{IC} prediction, the voltage and the energy are calculated at the IC internal terminal IT as illustrated in Figure B.2 and compared to the V_{MAX} and the energy E_{FAIL} thresholds for which the IC has a failure (contained in the FB block). If one of the failure thresholds (e.g. E_{FAIL} or V_{MAX}) is exceeded the model can indicate the physical failure by a low-ohmic resistance in parallel to the ESD protection device(s). Additionally, an extra signal pin can be used to indicate the failure state as a digital flag which is set to 1 V when a failure condition is detected by the model otherwise the signal is 0 V.

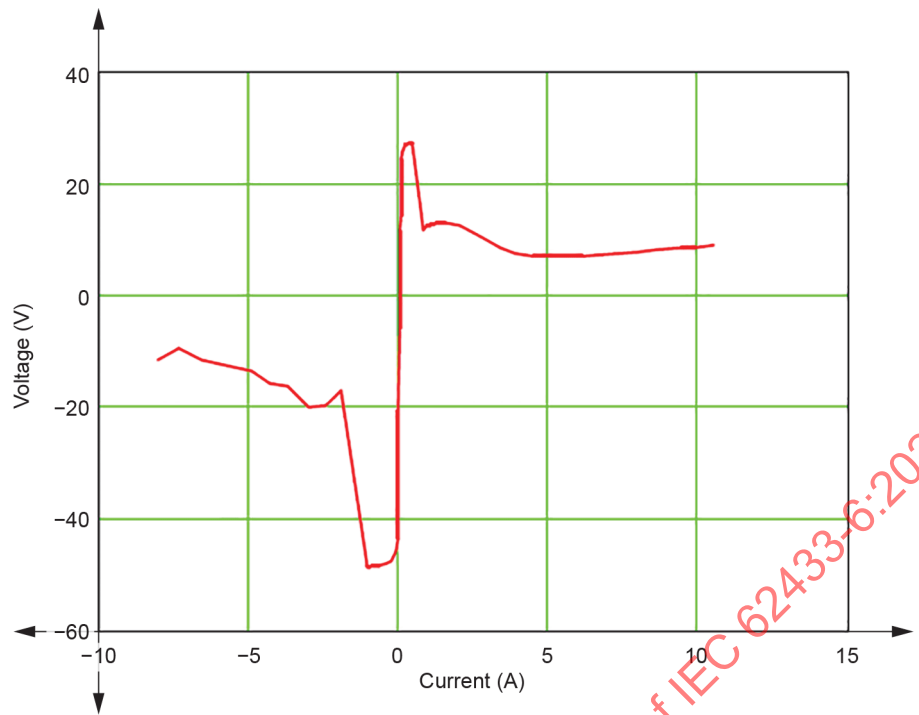
C.2 Example of power switch ICIM-CPI model

C.2.1 General

The power switch is used to drive the car's fog lamps. On the application, exactly the same schematic is used for both fog lamps (right and left sides). Important differences in ESD robustness were observed on the final application. Simulation can help to understand this phenomenon.

C.2.2 CPI model

The I/V was extracted from TLP measurements with a pulse width of 50 ns (Figure C.2).



IEC

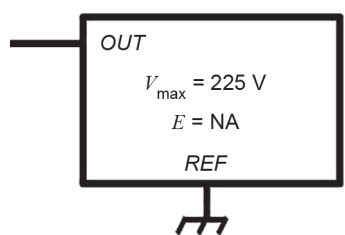
Figure C.2 – Power switch V/I curve for 50 ns-pulse width

The synthesis of the measured data at IC destruction (maximum voltage and energy) is shown in Table C.1. It highlights that the maximum voltage is constant for all the pulse widths whereas the energy varies. It means that the failure mechanism is due to an overvoltage breakdown. The threshold value is established to 225 V.

Table C.1 – Synthesis peak voltage and energy for different pulse widths

Test #	Pulse width ns	Quasi-static current A	Quasi-static voltage V	Peak voltage V	Energy μJ
1	100	12,7	11,3	225	14
2	500	11,7	12	220	70
3	1000	12,2	808	230	107

The ICIM-CPI black-box model for the power switch is presented in Figure 2.



IEC

Figure C.3 – Power switch ICIM-CPI model

```

<CPImodel>
  <!-- Header section -->
  <Header>
    <CPim_ver>1.0</CPim_ver>
    <Filename>Power_switch.ciml</Filename>
    <File_ver>1.0</File_ver>
    <Author>PFL</Author>
    <Dut>VN5016AJ</Dut>
    <Date>September 1, 2017</Date>
    <Meas_method>TLP for NLB and FB, S for PDN</Meas_method>
  </Header>
  <!-- Lead definitions section -->
  <Lead_definitions>
    <Lead Id="1" Name="VCC"/>
    <Lead Id="2" Name="REF" Mode="GND"/>
    <Lead Id="7" Name="OUT" Mode="DI,00"/>
    <Lead Id="100" Name="IT_OUT" Type="Internal"/>
    <Lead Id="101" Name="IT_VCC" Type="Internal"/>
  </Lead_definitions>
  <!-- Validity section -->
  <Validity>
    <Power_supply>13V</Power_supply>
    <Temperature_range>25Celsius</Temperature_range>
    <Notes>100 nF capacitor on each VCC pin</Notes>
  </Validity>
  <!-- Pdn section -->
  <Pdn>
    <!-- PDN of OUT referring to REF -->
    <Lead Id="7" Ground_id="2" Meas_type="0">
      <Data_files>
        VN5016AJ_OUT.slp
      </Data_files>
    </Lead>
  </Pdn>
  <!-- Nlb section -->
  <Nlb>
    <!-- I/V characteristic of the diode between OUT and VCC -->
    <Lead Id="100,101"; Type="I-V";
    Param_order="Voltage,Current">
      <Unit_voltage> "V"</Unit_voltage>
      <Unit_current>"A"</Unit_current>
      <List>
        -12.7428 -8.675
        -11.6487 -8.073
        -9.5319 -7.379
        -11.6592 -6.633
        -12.4551 -5.995
        -13.7235 -4.946
        ...
        12.705 1.788
        12.3102 2.001
        10.4118 2.717
        8.4693 3.351
        7.4697 3.88
        6.9741 4.485
        6.9615 5.383
        6.9972 6.094
        7.1589 6.662
        7.4109 7.34
        7.6566 7.953
        8.0073 8.642
      </List>
    </Lead>
  </Nlb>

```

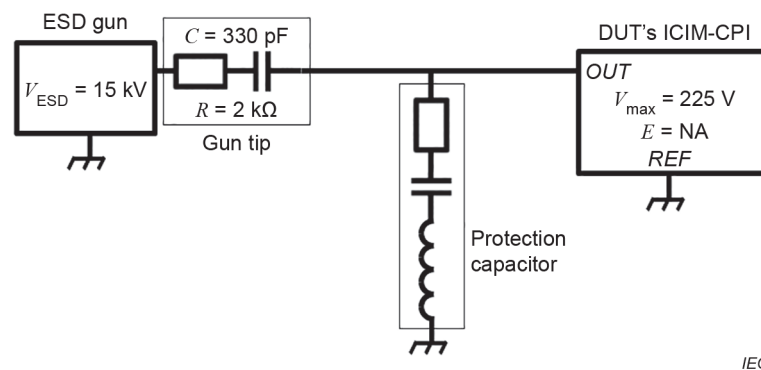
```

/Nlb>
<!-- Fb section -->
<Fb>
    <!-- injection on OUT -->
    <Lead Id="7" Ground_id="2" Type="TLP">
        <Table>
            <Pulse_characteristics >
                <Peak_value>"1000V"</Peak_value>
                <Pulse_rise_time>"1ns"</Pulse_rise_time>
                <Pulse_duration>"100ns"</Pulse_duration>
            </Pulse_characteristics >
            <Test_criteria>
                <!--OUT is the OO -->
                <Id>"7"</Id>
                <Ground_id>"2"</Ground_id>
                <Type>"Class_E_IC"</Type>
            </Test_criteria>
            <Param_order>"IQS,VQS,VMAX,EFAIL"</Param_order>
            <Unit_energy>"uJ"</Unit_energy>
            <List> 12.7 , 11.3 , 225 , 14 </List>
        </Table>
        <Table>
            <Pulse_characteristics >
                <Peak_value>"1000V"</Peak_value>
                <Pulse_rise_time>"1ns"</Pulse_rise_time>
                <Pulse_duration>"500ns"</Pulse_duration>
            </Pulse_characteristics >
            <Test_criteria>
                <!--OUT is the OO -->
                <Id>"7"</Id>
                <Ground_id>"2"</Ground_id>
                <Type>"Class_E_IC"</Type>
            </Test_criteria>
            <Param_order>"IQS,VQS,VMAX,EFAIL"</Param_order>
            <Unit_energy>"uJ"</Unit_energy>
            <List> 11.7 , 12 , 220 , 70 </List>
        </Table>
        <Table>
            <Pulse_characteristics >
                <Peak_value>"1000V"</Peak_value>
                <Pulse_rise_time>"1ns"</Pulse_rise_time>
                <Pulse_duration>"500ns"</Pulse_duration>
            </Pulse_characteristics >
            <Test_criteria>
                <!--OUT is the OO -->
                <Id>"7"</Id>
                <Ground_id>"2"</Ground_id>
                <Type>"Class_E_IC"</Type>
            </Test_criteria>
            <Param_order>"IQS,VQS,VMAX,EFAIL"</Param_order>
            <Unit_energy>"uJ"</Unit_energy>
            <List> 12.2 , 808 , 230 , 107 </List>
        </Table>
    </Lead>
</Fb>
</CPImodel>

```

C.2.3 ICIM-CPI model use

In order to design an ESD protection, a capacitor is placed at the power switch pin (OUT). Figure C.4 shows the simulation schematic under SPICE.



IEC

Figure C.4 – Power switch ICIM-CPI model use for ESD protection design

Simulation is performed for 15 kV ESD pulse and for different capacitor values: 10 nF, 22 nF and 100 nF. Figure C.5 shows the calculated voltage at power switch pin for all of these capacitor values.

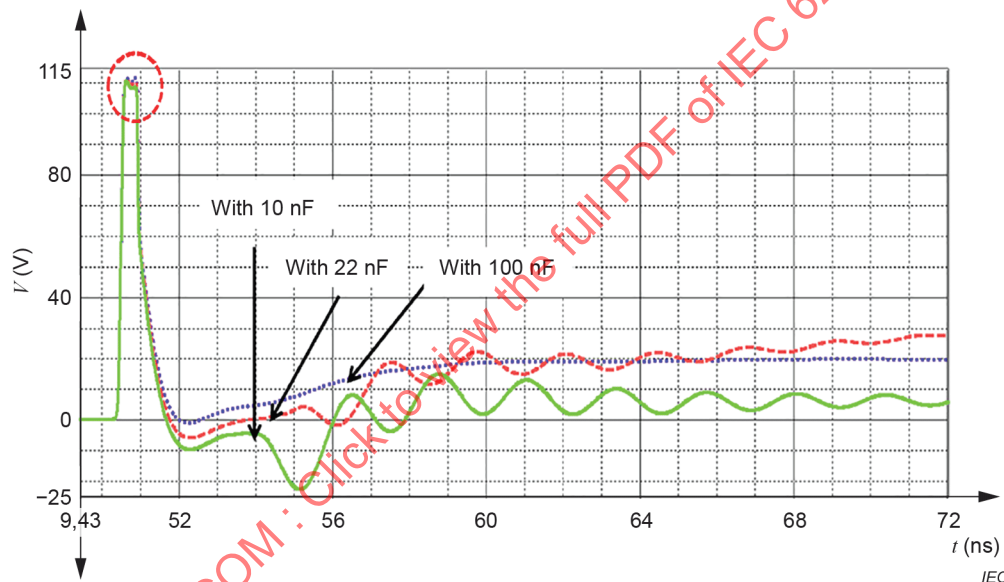


Figure C.5 – Calculated voltage at power switch pin for different ESD protection capacitor values

The peak voltage is similar for the three configurations and it is 110 V. The same results are observed in measurement.

Simulation allows highlighting that the capacitor's equivalent series inductance (ESL) value impact the first peak amplitude. This explains that the same value is achieved for all capacitors as the ESL is 1 nH.

As the increase of the capacitor's value for protection does not impact the robustness of the system, the PCB layout is analysed in order to explain the ESD robustness differences between left and right fog lamp sides. The layouts for both right and left sides are not similar. For the right one, the capacitor is directly connected to the trace with short connection to the ground. The layout for the left side is poor as the capacitor is not placed on the trace directly but with a dedicated 4 mm trace which induces a parasitic inductance.

Another simulation is performed considering that difference between both sides. Results are shown in Figure C.6. They reveal that the peak voltage is multiplied by 2 between left and

right sides. It is also possible to observe that the robustness cannot be guaranteed for left side since the peak level is 230 V which is higher than the FB threshold value of 225 V.

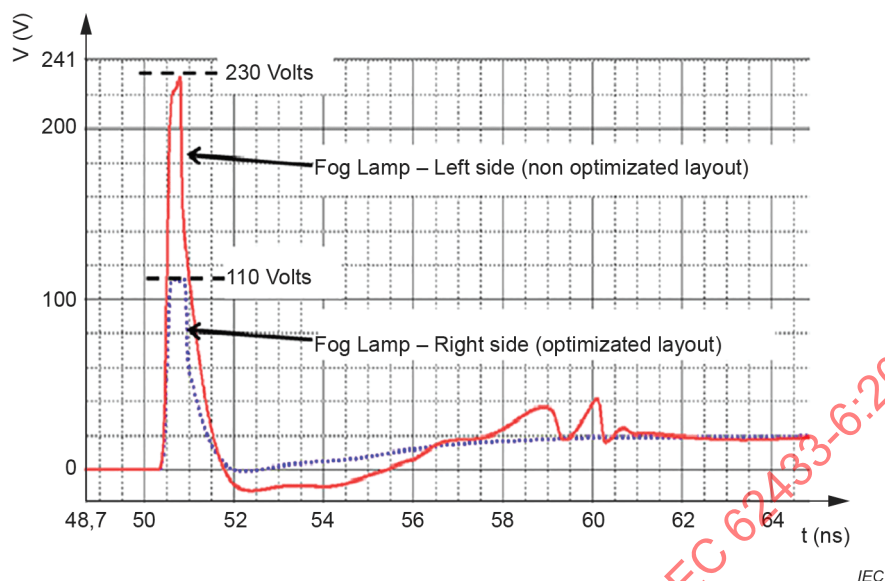


Figure C.6 – Voltage at power switch pin for fog lamp left and right sides

C.3 Example of 32-bit microcontroller ICIM-CPI model

C.3.1 General

An example ICIM-CPI macro-model of a 32-bit microcontroller is given in [5]. The protection devices for I/O pins and power lines are illustrated in Figure C.7. Typically, the microcontroller embeds a 2-diode device to protect each I/O. Some clamp devices between VDD and GND internal rails are distributed all around the chip and are located at each power pin.

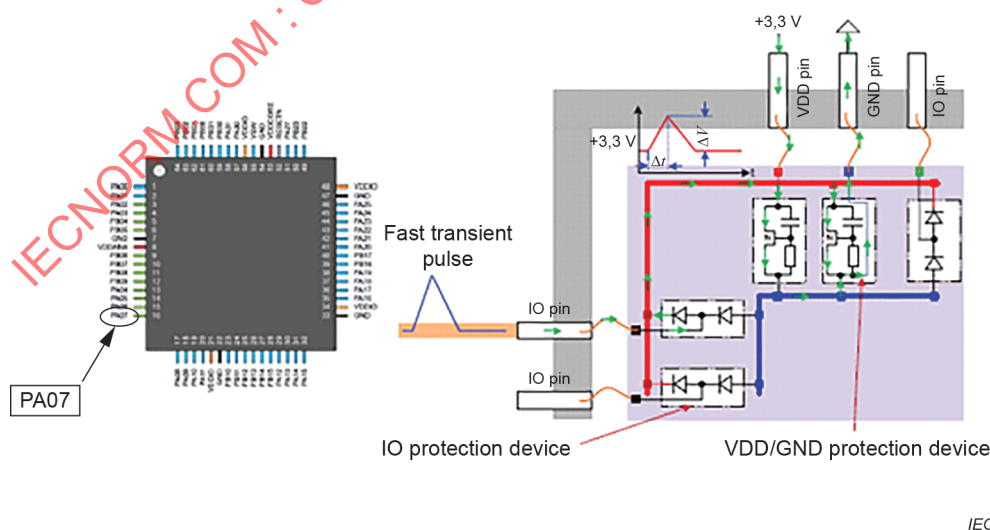


Figure C.7 – Example of 32-bit microcontroller protection devices

The lead PA07 is the DI point and the leads PA07 and VDDIO are monitored (OO pins) to observe the leakage current after the TLP test.

The PDN of the PA07 and VDDIO pins with respect to the ground (GND) are extracted using conventional 2-port S-parameter measurements using a power level of 0 dBm. The data is stored in touchstone format (s2p file).

The ICIM-CPI model describes two hardware failures (class E_{IC}):

- The first one is a voltage breakdown criterion when the voltage at the PA07 pin is above 15 V: a leakage current is observed on the PA07 pin after a TLP test at 15 V. In such conditions, the leakage current increases rapidly to several hundreds of nA.
- The second failure mode is an energy failure criteria corresponding to a dissipated energy in the ESD diodes of 17 μ Joules. In this condition, the DC consumption *lvvda* reaches several hundreds of mA.

C.3.2 CPI model

```
<?xml version="1.0" encoding="UTF-8" ?>
<!-- root element -->
<CPImodel>
  <!-- Header section -->
  <Header>
    <CPim_ver>1.0</CPim_ver>
    <Filename>Example32bitpC.ciml</Filename>
    <File_ver>1.0</File_ver>
    <Author>JLL</Author>
    <Dut>AT32XXX</Dut>
    <Date>June 1, 2018</Date>
    <Meas_method>TLP for NLB and FB, S for PDN</Meas_method>
  </Header>
  <!-- Lead definitions section -->
  <Lead_definitions>
    <Lead Id="7" Name="GND" Mode="GND"/>
    <Lead Id="16" Name="PA07" Mode="DI,OO"/>
    <Lead Id="21" Name="VDDIO" Mode="OO"/>
    <Lead Id="22" Name="GND" Mode="GND"/>
    <Lead Id="33" Name="GND" Mode="GND"/>
    <Lead Id="34" Name="VDDIO"/>
    <Lead Id="47" Name="GND" Mode="GND"/>
    <Lead Id="48" Name="VDDIO"/>
    <Lead Id="48" Name="VDDIO"/>
    <Lead Id="56" Name="VDDIO"/>
    <Lead Id="100" Name="IT_PA07" Type="Internal"/>
    <Lead Id="101" Name="IT_GND" Type="Internal"/>
    <Lead Id="102" Name="IT_VDD" Type="Internal"/>
  </Lead_definitions>
  <!-- Validity section -->
  <Validity>
    <Power_supply>3V3</Power_supply>
    <Temperature_range>25Celsius</Temperature_range>
    <Notes>10 nF capacitor on each VDDIO pin</Notes>
  </Validity>
  <!-- Pdn section -->
  <Pdn>
    <!-- PDN of PA07 and VDD referring to GND -->
    <Lead Id="16,21" Ground_id="22" Meas_type="0">
      <Data_files>
        AT32XXX_PA07.s2p
      </Data_files>
    </Lead>
  </Pdn>
  <!-- Nlb section -->
  <Nlb>
    <!-- I/V characteristic of the diode between GND and PA07 -->
```

```

    <Lead Id="101,100"; Type="I-V";
Param_order="Voltage,Current">
    <Unit_voltage> "V"</Unit_voltage>
    <Unit_current>"A"</Unit_current>
    <List>
        -8          -19.230
        -6          -13.073
        -4          -7.379
        -2          -2.133
        -1.051      -0.005
        0           0.0
        1.082       0.010
        2           2.282
        4           7.125
        6           11.956
        8           17.348
    </List>
</Lead>
<!--I/V characteristic of the diode between PA07 and VDD -->
<Lead Id="100,102"; Type="I-V";
Param_order="Voltage,Current">
    <Unit_voltage>"V"</Unit_voltage>
    <Unit_current>"A"</Unit_current>
    <List>
        -8          -19.227
        -6          -13.082
        -4          -7.384
        -2          -2.128
        -1.051      -0.002
        0           0.0
        1.082       0.017
        2           2.275
        4           7.132
        6           11.948
        8           17.356
    </List>
</Lead>
/Nlb>
<!-- Fb section -->
<Fb>
    <!-- injection on PA07 -->
    <Lead Id="16" Ground_id="22" Type="TLP">
        <Table>
            <Pulse_characteristics >
                <Peak_value>"4kV"</Peak_value>
                <Pulse_rise_time>"1ns"</Pulse_rise_time>
                <Pulse_duration>"100ns"</Pulse_duration>
            </Pulse_characteristics >
            <Test_criteria>
                <!--PA07 is the 00 -->
                <Id>"16"</Id>
                <Ground_id>"22"</Ground_id>
                <Type>"Class_E_IC"</Type>
                <!--voltage breakdown observed at 15 V on PA07-->
            </Test_criteria>
            <Param_order>"VMax"</Param_order>
            <Unit_voltage>"V"</Unit_voltage>
            <List> 15 </List>
        </Table>
        <Table>
            <Pulse_characteristics>
                <Peak_value>"4kV"</Peak_value>
                <Pulse_rise_time>"1ns"</Pulse_rise_time>

```

```
<Pulse_duration>"500ns"</Pulse_duration>
</Pulse_characteristics>
<Test_criteria>
  <!--VDDIO is the 00 -->
  <Id>"21"</Id>
  <Ground_id>"22"</Ground_id>
  <Type>"Class_E_IC"</Type>
  <!--thermal breakdown observed at 17 µJ on VDDIO--
>
  </Test_criteria>
  <Param_order>"EFAIL"</Param_order>
  <Unit_energy>"uJ"</Unit_energy>
  <List> 17 </List>
</Table>
</Lead>
</Fb>
</CPImodel>
```

IECNORM.COM : Click to view the full PDF of IEC 62433-6:2020

Bibliography

- IEC 60050-131:2002, *International Electrotechnical Vocabulary (IEV) – Part 131: Circuit theory*
 IEC 60050-131:2002/AMD1:2008
 IEC 60050-131:2002/AMD2:2013
 IEC 60050-131:2002/AMD3:2019
- IEC 60050-161, *International Electrotechnical Vocabulary (IEV) – Part 161: Electromagnetic compatibility*
- IEC 62433-2:2017, *EMC IC modelling – Part 2: Models of integrated circuits for EMI behavioural simulation – Conducted emissions modelling (ICEM-CE)*
- CISPR 16-1-4:2019, *Specification for radio disturbance and immunity measuring apparatus and methods – Part 1-4: Radio disturbance and immunity measuring apparatus – Antennas and test sites for radiated disturbance measurements*
- [1] Nagel, L. W, and Pederson, D. O., SPICE (Simulation Program with Integrated Circuit Emphasis), *Memorandum No. ERL-M382*, University of California, Berkeley, Apr. 1973
 - [2] IEC 61691-6:2019, *Behavioural languages – Part 6: VHDL Analog and Mixed-Signal Extensions*
 - [3] Accellera, *Verilog-AMS Language Reference Manual*, May, 2016
 - [4] M. Ammer, F. zur Nieden, A. Rupp, Y. Cao, M. Sauter, L. Maurer, "How to build a Generic Model of complete ICs for System ESD and Electrical Stress Simulation?", *39th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, Tucson, AZ, 2017
 - [5] A. Durier, J.L. Levant, P. Fernandez-Lopez, C. Marot, " ICIM-CPI: Integrated circuits immunity model: Conducted pulse immunity Description, extraction and *example*", *the 2018 Joint IEEE International Symposium on Electromagnetic Compatibility & Asia-Pacific Symposium on Electromagnetic Compatibility*, Singapore May 2018
 - [6] CISPR 17, *Methods of measurement of the suppression characteristics of passive EMC filtering devices*
 - [7] F. Escudé, F. Caignet, N. Nohier, M. Bafleur, "From quasi-static to transient system level ESD simulation: extraction of turn-on elements", *LAAS-CNRS, Toulouse, Microelectronics Reliability Journal ESREF*, 2017 special issue
 - [8] Ille et al., "Reliability aspects of gate oxide under ESD pulse stress", *EOS/ESD Symposium*, 2007
 - [9] Dwyer, V. M., A. J. Franklin, and D. S. Campbell, "Thermal failure in semiconductor devices", *Solid-State Electronics*, 33.5, 1990: 553-560
 - [10] S. Scheier, F. zur Nieden, B. Arndt, S. Frei, "Simulation of ESD Thermal Failures and Protection Strategies on System Level", *IEEE Transactions on Electromagnetic Compatibility*, vol. 57, no. 6, pp. 1309-1319, December 2015
 - [11] C. Russ, M. Ammer, K. Esmark, "Predicting System Level ESD Robustness Using a Comprehensive Modelling Approach", *40th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, Reno, NV, 2018

- [12] ESDA TR26.1: *Behavioral IC modeling to perform system level ESD simulations: General description and trends*
- [13] ESDA TR26.2: *Quasi-static Model definition – Building models*
- [14] F Lafon, A. Ramanujan, P. Fernandez-Lopez, "Black box model of integrated circuits for ESD behavioural simulation and industrial application case", *Advanced Electromagnetics*, vol. 4, No. 2, 2015, pp. 26-37
- [15] C. Austermann, S. Scheier, S. Frei, J. Kudlaty, "Modellierung von ESD Schutzelementen mit Snapback-Verhalten", *Tagungsband 14. ESD-Forum*, 2015, pp.115-120, ISBN 978-3-9813357-3-5
- [16] J. Li, S. Joshi, R. Barnes and E. Rosenbaum, "Compact modelling of on-chip ESD protection devices using Verilog-A," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 25, no. 6, pp. 1047-1063, June 2006
- [17] A. Ramanujan, M. Kadi, J. Tremenbert, F. Lafon, and B. Mazari, "Modeling IC Snapback Characteristics under Electrostatic Discharge Stress", *IEEE transactions on electromagnetic compatibility*, Vol. 51, N° 4, Nov. 2009

IECNORM.COM : Click to view the full PDF of IEC 62433-6:2020

SOMMAIRE

AVANT-PROPOS	59
1 Domaine d'application	61
2 Références normatives	61
3 Termes, définitions, termes abrégés et conventions	62
3.1 Termes et définitions	62
3.2 Termes abrégés	65
3.3 Conventions	65
4 Philosophie	66
5 Structure du modèle ICIM-CPI	66
5.1 Généralités	66
5.2 PPN	68
5.2.1 Structure classique d'un PPN	68
5.2.2 Description du PDN	69
5.2.3 Description du NLB	70
5.3 Description du FB	71
6 Format CPIML	73
6.1 Généralités	73
6.2 Structure CPIML	74
6.3 Éléments globaux	74
6.4 Section Header	74
6.5 Section Lead_definitions	75
6.6 Section Macromodels	76
6.7 Section Validity	76
6.8 PDN	76
6.9 NLB	76
6.9.1 Généralités	76
6.9.2 Définitions d'attribut	77
6.9.3 Description des données	79
6.10 FB	80
6.10.1 Généralités	80
6.10.2 Définitions d'attribut	81
6.10.3 Description des données	85
Annexe A (informative) Extraction des composants de modèle	88
A.1 Généralités	88
A.2 Description du PPN	88
A.3 Extraction PDN	88
A.3.1 Généralités	88
A.3.2 Mesurage de paramètres S/Z/Y	88
A.3.3 Méthode conventionnelle à un accès	89
A.3.4 Méthode à deux accès pour le mesurage de faible impédance	89
A.3.5 Méthode à deux accès pour le mesurage d'impédance élevée	90
A.4 Extraction NLB	90
A.4.1 Généralités	90
A.4.2 Méthode d'essai d'impulsions de ligne de transmission (TLP)	91
A.5 Extraction du FB	93
A.5.1 Généralités	93

A.5.2	Exemples de données FB dans le cas d'un critère d'essai type = Classe E_IC	93
A.5.3	Exemples de données FB dans le cas de critères d'essai type = Classe C_IC	95
Annexe B (informative) Techniques de mise en œuvre NLB dans un simulateur de circuit.....		97
B.1	Généralités	97
B.2	Modélisation NLB reposant sur un tableau R/I.....	97
B.3	Modélisation NLB reposant sur un modèle de commutateur	97
B.4	Modélisation NLB reposant sur un modèle de dispositif physique.....	98
Annexe C (informative) Exemple de modèle ICIM-CPI		100
C.1	Généralités	100
C.2	Exemple de modèle ICIM-CPI de commutateur de puissance.....	100
C.2.1	Généralités	100
C.2.2	CPImodel.....	100
C.2.3	Utilisation du modèle ICIM-CPI	104
C.3	Exemple de modèle ICIM-CPI de microcontrôleur 32 bits	105
C.3.1	Généralités	105
C.3.2	CPImodel.....	106
Bibliographie.....		109
Figure 1 – Structure du modèle ICIM-CPI.....		67
Figure 2 – Exemple d'un modèle ICIM-CPI d'une carte électronique.....		68
Figure 3 – Structure d'un PPN classique		69
Figure 4 – Caractéristiques d'une tension de choc entrant dans la DI pendant un essai TLP		72
Figure 5 – Exemple de défaut surveillé au niveau de l'OO lorsqu'une perturbation est appliquée à la DI.....		72
Figure 6 – Hiérarchie d'héritage CPIML		73
Figure 7 – Exemple de fichier externe NLB		80
Figure 8 – Exemple de fichier FB externe		87
Figure A.1 – Mesurage conventionnel de paramètres S à un accès.....		89
Figure A.2 – Méthode à deux accès pour le mesurage de faible impédance		89
Figure A.3 – Méthode à deux accès pour le mesurage d'impédance élevée		90
Figure A.4 – Exemple de mesurage I/V pour extraire NLB.....		91
Figure A.5 – Configuration d'un essai TLP (circuit intégré non alimenté).....		92
Figure A.6 – Exemple d'extraction NLB à l'aide d'une impulsion TLP normalisée.....		92
Figure A.7 – Graphiques pour l'identification du mécanisme de défaillance du circuit intégré pour prédire sa destruction.....		94
Figure B.1 – Modèle NLB reposant sur un tableau R/I.....		97
Figure B.2 – Exemple d'architecture de modèle générique reposant sur des commutateurs pour la modélisation comportementale NLB		98
Figure B.3 – Exemple de modèle de signal fort MOS central du GGNMOS.....		99
Figure C.1 – Utilisation du macromodèle ICIM-CPI pour la simulation		100
Figure C.2 – Courbe V/I de commutateur de puissance pour une largeur d'impulsion de 50 ns.....		101
Figure C.3– Modèle ICIM-CPI de commutateur de puissance.....		101

Figure C.4 – Utilisation du modèle ICIM-CPI de commutateur de puissance pour la conception de la protection contre les DES	104
Figure C.5 – Tension calculée au niveau de la broche de commutateur de puissance pour différentes valeurs de condensateur de protection contre les DES	104
Figure C.6 – Tension au niveau de la broche de commutateur de puissance pour le phare antibrouillard de gauche et de droite	105
Figure C.7 – Exemples de dispositifs de protection de microcontrôleur 32 bits	106
Tableau 1 – Attributs de la balise <i>Lead</i> dans la section <i>Lead_definitions</i>	75
Tableau 2 – Compatibilité entre les champs <i>Mode</i> et <i>Type</i> pour annotation CPIML correcte	75
Tableau 3 – Définition de la balise <i>Lead</i> pour la section <i>Nlb</i>	77
Tableau 4 – Valeurs par défaut des balises <i>Unit_voltage</i> et <i>Unit_current</i>	78
Tableau 5 – Extensions de fichier admises pour <i>Data_files</i>	79
Tableau 6 – Définition de la balise <i>Lead</i> dans la section <i>Fb</i>	81
Tableau 7 – Définition des sous-attributs de <i>Table</i>	82
Tableau 8 – Définition du paramètre <i>Pulse_characteristics</i>	82
Tableau 9 – Définition des paramètres <i>Test_criteria</i>	83
Tableau A.2 – Exemples de données FB qui correspondent à une défaillance de Classe C _{IC}	96

IECNORM.COM : Click to view the full PDF of IEC 62433-6:2020

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

MODÈLES DE CIRCUITS INTÉGRÉS POUR LA CEM –

**Partie 6: Modèles de circuits intégrés pour la simulation
du comportement d'immunité aux impulsions – Modélisation de
l'immunité aux impulsions conduites (ICIM-CPI)**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, direct ou indirect, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 62433-6 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de l'IEC: Dispositifs à semiconducteurs.

Le texte de cette Norme internationale est issu des documents suivants:

CDV	Rapport de vote
47A/1090/CDV	47A/1098/RVC

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 62433, publiées sous le titre général *Modèles de circuits intégrés pour la CEM*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer ce document en utilisant une imprimante couleur.

IECNORM.COM : Click to view the full PDF of IEC 62433-6:2020

MODÈLES DE CIRCUITS INTÉGRÉS POUR LA CEM –

Partie 6: Modèles de circuits intégrés pour la simulation du comportement d'immunité aux impulsions – Modélisation de l'immunité aux impulsions conduites (ICIM-CPI)

1 Domaine d'application

La présente partie de l'IEC 62433 a pour objet de décrire la méthode d'extraction d'un macromodèle d'immunité d'un circuit intégré aux décharges électrostatiques (DES) conduites selon l'IEC 61000-4-2 et aux transitoires électriques rapides (TER) selon l'IEC 61000-4-4.

Le modèle couvre les dommages physiques dus à la surtension, les dommages thermiques et d'autres modes de défaillance. Les défaillances fonctionnelles peuvent également être traitées par ce modèle.

Ce modèle permet de simuler l'immunité du circuit intégré dans une application. Ce modèle est communément appelé "modèle d'immunité des circuits intégrés – immunité aux impulsions conduites" (ICIM-CPI – *integrated circuit immunity model conducted pulse immunity*).

L'approche décrite est adaptée à la modélisation des circuits intégrés analogiques, numériques et mixtes. Plusieurs bornes d'un circuit intégré peuvent faire partie intégrante d'un seul modèle (broches d'entrée, de sortie et d'alimentation, par exemple). Le modèle permet de représenter le comportement non linéaire des circuits de protection en surtension.

Le modèle peut être mis en œuvre pour une utilisation dans différents outils logiciels pour la simulation de circuit dans le domaine temporel. L'approche de modélisation décrite permet de simuler la défaillance d'un dispositif lors d'une décharge électrostatique (DES) ou de transitoires électriques rapides (TER) au niveau du composant ou du système, en prenant en considération tous les composants nécessaires à la simulation d'immunité d'un circuit intégré tels qu'un CCI ou des éléments de protection externes.

Le présent document présente, en détail, la construction des modèles dans un format XML bien défini et adapté à l'échange des modèles sans avoir une connaissance approfondie du circuit au niveau du semi-conducteur. Toutefois, la fonctionnalité du modèle peut être mise en œuvre dans différents formats, entre autres, des tableaux, des listes d'interconnexions (*netlist*) SPICE [1]¹, des langages de description de matériel (VHDL-AMS [2] et Verilog-AMS [3], par exemple).

Le présent document fournit:

- la description des éléments de macromodèle ICIM-CPI représentant le comportement électrique, thermique ou logique du circuit intégré.
- un format universel d'échange de données fondé sur le langage XML.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

¹ Les chiffres entre crochets se réfèrent à la Bibliographie.

IEC 61000-4-2, *Compatibilité électromagnétique (CEM) – Partie 4-2: Techniques d'essai et de mesure – Essai d'immunité aux décharges électrostatiques*

IEC 61000-4-4, *Compatibilité électromagnétique (CEM) – Partie 4-4: Techniques d'essai et de mesure – Essais d'immunité aux transitoires électriques rapides en salves*

IEC 62215-3, *Circuits intégrés – Mesure de l'immunité aux impulsions – Partie 3: Méthode d'injection de transitoires non synchrones*

IEC 62433-1, *Modèles de circuits intégrés pour la CEM – Partie 1: Cadre de modèle général*

IEC 62433-4: 2016, *Modèles de circuits intégrés pour la CEM – Partie 4: Modèles de circuits intégrés pour la simulation du comportement d'immunité aux radiofréquences – Modélisation de l'immunité conduite (ICIM-CI)*

IEC 62615, *Essai de sensibilité aux décharges électrostatiques – Impulsion de ligne de transmission (TLP) – Niveau composant*

3 Termes, définitions, termes abrégés et conventions

3.1 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>
- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>

3.1.1

impulsion

variation brusque et de courte durée d'une grandeur physique suivie d'un retour rapide à sa valeur initiale

Note 1 à l'article: Dans le présent document, une impulsion peut être représentée par une grandeur de tension ou de courant.

[SOURCE: IEC 60050-161:1990, 161-02-02, modifié – La Note 1 a été ajoutée.]

3.1.2

non linéaire

qualifie un élément de circuit ou un circuit pour lequel les relations entre les grandeurs intégrales ne sont pas toutes linéaires

[SOURCE: IEC 60050-131:2002, 131-11-19]

3.1.3

réseau

ensemble d'éléments de circuits idéaux et de leurs interconnexions, considéré comme un tout

[SOURCE: IEC 60050-131:2002, 131-13-03, modifié: les mots "en topologie des réseaux", ainsi que la note ont été supprimés.]

3.1.4**branche**

sous-ensemble d'un réseau, considéré comme un bipôle, constitué par un élément de circuit ou par une combinaison d'éléments de circuit

[SOURCE: IEC 60050-131:2002, 131-13-06]

3.1.5**nœud**

extrémité d'une branche, connectée ou non à une ou plusieurs autres branches

[SOURCE: IEC 60050-131:2002, 131-13-07]

3.1.6**borne externe**

borne d'un macromodèle de circuit intégré, interfaçant le modèle avec l'environnement externe du circuit intégré

EXEMPLE Broches d'alimentation et broches d'entrée/sortie.

[SOURCE: IEC 62433-2:2017, 3.1.1, modifié – La Note 1 a été supprimée.]

3.1.7**borne interne**

borne d'un composant du macromodèle de circuit intégré, interfaçant le composant avec les autres composants du macromodèle de circuit intégré

[SOURCE: IEC 62433-2:2017, 3.1.2, modifié – La Note 1 a été supprimée.]

3.1.8**dégradation des performances**

écart non désiré des caractéristiques de fonctionnement d'un dispositif, d'un appareil ou d'un système par rapport aux caractéristiques attendues

Note 1 à l'article: Le terme "dégradation" peut s'appliquer à une défaillance récupérable et aux dommages permanents en silicium.

3.1.9**défaillance permanente**

défaillance irréversible due à un dommage du circuit intégré

3.1.10 défaillance temporaire

défaillance fonctionnelle temporaire, autorécupérable ou récupérable par l'utilisateur

3.1.11**PPN**

réseau de propagation d'impulsions

réseau électrique qui modélise le réseau de propagation de la perturbation

Note 1 à l'article: L'abréviation "PPN" est dérivée du terme anglais développé correspondant "*pulse propagation network*".

3.1.12**PDN**

réseau de distribution passif

partie du PPN représentant les caractéristiques linéaires du chemin de propagation des bruits électromagnétiques, tel que le réseau de distribution des alimentations

Note 1 à l'article: L'abréviation "PDN" est dérivée du terme anglais développé correspondant "*passive distribution network*".

[SOURCE: IEC 62433-2, 3.1.10, modifié – La définition a été adaptée à la partie linéaire du PPN.]

3.1.13

DI

entrée de perturbation
borne d'entrée pour l'injection de perturbations transitoires

Note 1 à l'article: Il peut s'agir d'une broche de circuit intégré, d'une entrée, d'une alimentation ou d'une sortie.

Note 2 à l'article: L'abréviation "DI" est dérivée du terme anglais développé correspondant "*disturbance input*".

[SOURCE: IEC 62433-4:2016, 3.1.9, modifié – La définition a été adaptée aux perturbations transitoires.]

3.1.14

DO

sortie de perturbation
borne dont la charge influence l'impédance de la borne DI et/ou les caractéristiques de transfert de PPN et qui génère une partie des perturbations reçues sur les bornes DI

Note 1 à l'article: L'abréviation "DO" est dérivée du terme anglais développé correspondant "*disturbance output*".

[SOURCE: IEC 62433-4:2016, 3.1.10, modifié – La définition a été adaptée au PPN.]

3.1.15

OO

sortie observable
borne de sortie ou borne interne dans laquelle les critères de défaillance sont surveillés ou calculés pendant l'essai

Note 1 à l'article: L'abréviation "OO" est dérivée du terme anglais développé correspondant "*observable output*".

[SOURCE: IEC 62433-4:2016, 3.1.11, modifié – La définition a été adaptée aux critères de défaillance.]

3.1.16

NLB

bloc non linéaire
partie du PPN représentant les caractéristiques non linéaires du chemin de propagation des bruits électromagnétiques, tel que le réseau de distribution des alimentations

EXEMPLE Diodes DES, diodes de niveau, diodes dos à dos, protection active fondée sur le MOS, protection reposant sur un redresseur commandé au silicium (RCS)

Note 1 à l'article: L'abréviation "NLB" est dérivée du terme anglais développé correspondant "*nonlinear block*".

3.1.17

FB

comportement de défaillance
bloc qui décrit le comportement de défaillance interne du circuit intégré

Note 1 à l'article: L'abréviation "FB" est dérivée du terme anglais développé correspondant "*failure behavioural*".

3.1.18

VNA

analyseur de réseau vectoriel
analyseur de réseau capable de mesurer des valeurs complexes des paramètres S

Note 1 à l'article: L'abréviation "VNA" est dérivée du terme anglais développé correspondant "*vector network analyser*".

[SOURCE: CISPR 16-1-4:2019, 3.1.29, modifié – La définition a été modifiée afin de ne pas limiter le concept au VNA à 4 accès.]

3.1.19

CPIML

langage de balisage de l'immunité aux impulsions conduites
format d'échange de données pour le macromodèle ICIM-CPI

Note 1 à l'article: L'abréviation "CPIML" est dérivée du terme anglais développé correspondant "*conducted pulse immunity markup language*".

3.1.20

CPIMLBase

base du langage de balisage de l'immunité aux impulsions conduites
type abstrait à partir duquel tous les composants du modèle CPIML sont directement ou indirectement déduits dans la définition du macromodèle ICIM-CPI

Note 1 à l'article: L'abréviation "CPIMLBase" est dérivée du terme anglais développé correspondant "*conducted pulse immunity markup language base*".

3.1.21

analyseur syntaxique

outil d'analyse syntaxique des données codées en un format spécifié

3.1.22

section

élément XML situé un niveau en dessous de l'élément racine ou à l'intérieur d'une autre section, et qui contient uniquement un ou plusieurs éléments enfants (aucune donnée de caractérisation, par exemple)

3.1.23

parent

mot clé situé un niveau au-dessus d'un autre mot clé (enfant)

3.1.24

enfant

mot clé situé un niveau en dessous d'un autre mot clé (parent)

3.2 Termes abrégés

TER	Transitoire électrique rapide
DES	Décharge électrostatique
SPICE	Simulation Program with Integrated Circuit Emphasis (programme de simulation orienté circuits intégrés)
TLP	Transmission Line Pulse (impulsion de ligne de transmission)
VHDL-AMS	Very high speed integrated circuits Hardware Description Language – Analog and Mixed Signal (langage de description matérielle de circuits intégrés à très grande vitesse – signaux analogiques et mixtes)
XML	eXtensible Markup Language (langage de balisage extensible)

3.3 Conventions

Pour des raisons de clarté, mais avec quelques exceptions, les conventions d'écriture du langage XML ont été utilisées dans le texte et les tableaux.

Le symbole "μ" est utilisé dans le texte pour définir micro = 1e-6. Le symbole "u" est utilisé dans les parties XML pour définir micro = 1e-6.

4 Philosophie

Avec la réduction de la taille des transistors et la diminution des tensions de service, les fabricants et utilisateurs de circuits intégrés doivent particulièrement veiller à l'immunité de leurs produits aux contraintes électriques transitoires telles que les DES et les TER. Une DES peut être provoquée par la manipulation ou l'assemblage d'un composant. Une TER peut être provoquée lors d'une commutation d'un signal. L'amplitude de ces contraintes va de plusieurs centaines de Volts à plusieurs dizaines de kV et/ou de quelques Ampères à plusieurs dizaines d'Ampères, pour une durée de plusieurs dizaines à plusieurs centaines de nanosecondes.

Pour empêcher la défaillance des produits électroniques due à des contraintes transitoires, différents essais ont été conçus. L'IEC 61000-4-2 et l'IEC 61000-4-4 sont respectivement utilisées pour évaluer la résistance des composants d'un système aux DES et aux TER.

L'essai TLP décrit dans l'IEC 62615 est souvent utilisé pour caractériser les courbes I/V du dispositif non linéaire des circuits de protection sur puce et hors puce. Toutefois, il existe différents moyens d'extraire et de mettre en œuvre des modèles comportementaux pour la simulation des DES et de la TER au niveau du système dans des langages descriptifs (SPICE, VHDL-AMS et Verilog-AMS, par exemple). Les modèles adaptés au domaine DES et TER permettent aux concepteurs de système de simuler les performances de protection. La simulation à l'aide de ces modèles vise à réduire le nombre de cycles de prototypage, ainsi que la durée et les coûts. Pour qu'ils soient facilement accessibles, il est recommandé d'exprimer ces modèles dans un format d'échange normalisé.

Le modèle proposé décrit les caractéristiques électriques du chemin de propagation des impulsions et le comportement fonctionnel du circuit intégré concerné par cet événement transitoire. Le réseau électrique, c'est-à-dire le réseau de propagation des impulsions (PPN), propage les impulsions transitoires dans le circuit intégré. Ce réseau représente les effets linéaires par l'intermédiaire du réseau de distribution passif (PDN) et les effets non linéaires par l'intermédiaire du bloc non linéaire (NLB), respectivement. La tension, le courant et l'énergie qui ont un impact sur le circuit intégré peuvent être calculés dans un simulateur de circuit (SPICE, par exemple) en modélisant le PPN. Cette tension, ce courant et/ou cette énergie peuvent provoquer une défaillance, comme cela est décrit par le bloc comportement de défaillance (FB) du modèle. En comparant la tension, le courant et l'énergie simulés aux seuils contenus dans le FB, la défaillance peut être prédite. Plusieurs mécanismes de défaillance (surtension et surchauffe, par exemple) peuvent être décrits par le FB. De plus, différentes classes de performances peuvent être prédites (c'est-à-dire les défaillances permanentes et les défaillances temporaires). L'Article 5 définit la structure du modèle en détail.

Pour faciliter l'échange de modèles, les données du modèle ICIM-CPI sont disposées de manière imbriquée et déchiffrable par l'être humain et par la machine au format XML. L'Article 6 définit la manière dont la structure du modèle s'accorde au format XML appelé CPIML (*conducted pulse immunity mark-up language*).

5 Structure du modèle ICIM-CPI

5.1 Généralités

La structure interne d'un circuit intégré peut être décomposée en deux parties:

- Partie passive: éléments parasites de broches, de liaisons et de pistes, etc., qui acheminent les perturbations entre l'environnement extérieur et les blocs internes de circuits intégrés,
- Partie active: cœur d'unité centrale de traitement, système d'horloge, mémoire, blocs analogiques, protection contre les décharges électrostatiques, etc., sensibles aux perturbations d'impulsion entrantes.

Un modèle ICIM-CPI permet de prédire le niveau d'immunité aux impulsions d'un circuit intégré comme cela est représenté à la Figure 1. Le modèle ICIM-CPI est composé d'un ensemble de données décrivant trois parties:

- PDN: réseau de distribution passif qui décrit les caractéristiques linéaires des dispositifs situés dans le chemin de propagation des impulsions
- NLB: bloc non linéaire qui décrit les caractéristiques non linéaires des dispositifs situés dans le chemin de propagation des impulsions
- FB: composant qui décrit le comportement de défaillance du circuit intégré face aux perturbations appliquées. FB contient également les critères de défaillance et les formes d'onde décrites dans le domaine temporel, si cela est nécessaire.

Le PDN et le NLB forment le réseau de propagation d'impulsions (PPN).

La perturbation est appliquée à la borne externe T1 qui est considérée comme étant l'entrée de perturbation (DI – *disturbance input*). La perturbation peut circuler hors du circuit intégré par l'intermédiaire de la borne T2 qui est considérée comme étant la sortie de perturbation (DO – *disturbance output*). L'effet de la perturbation est observé au niveau de la sortie observable (OO – *output observable*). Le signal au niveau de la sortie observable OO peut être surveillé ou calculé sur la borne externe (par exemple, OO1 est mesuré sur T3 de la Figure 1) ou sur la borne interne (par exemple, OO2 est calculé sur IT1 de la Figure 1). En fonction des critères de défaillance définis dans le FB et appliqués à OO, le niveau de défaillance provoqué par la perturbation peut être évalué.

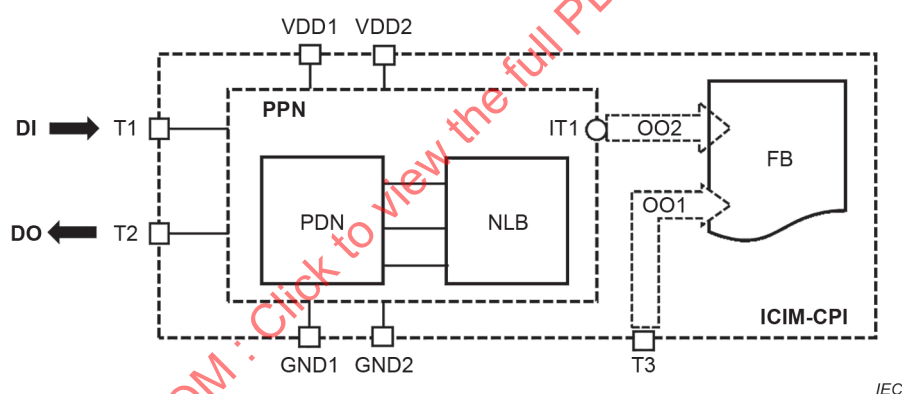


Figure 1 – Structure du modèle ICIM-CPI

NOTE IT1 est une borne interne située à l'intérieur du PPN.

Il existe une connexion électrique directe entre le PDN et le NLB à l'intérieur du PPN. Il n'existe aucune connexion électrique directe entre le PPN et le FB.

Le PDN peut être issu du mesurage de paramètres S ou des données de conception. Le NLB peut être extrait des données de conception ou issu des mesurages I/V (à l'aide de la TLP, par exemple) en général réalisés entre l'entrée de perturbation (DI) et ses bornes externes associées (masse, alimentation électrique). Le PPN peut également être extrait par simulation avec un simulateur de circuit à partir des données de conception ou, sans simulation, en exploitant les schémas électriques et les données de routage du circuit intégré.

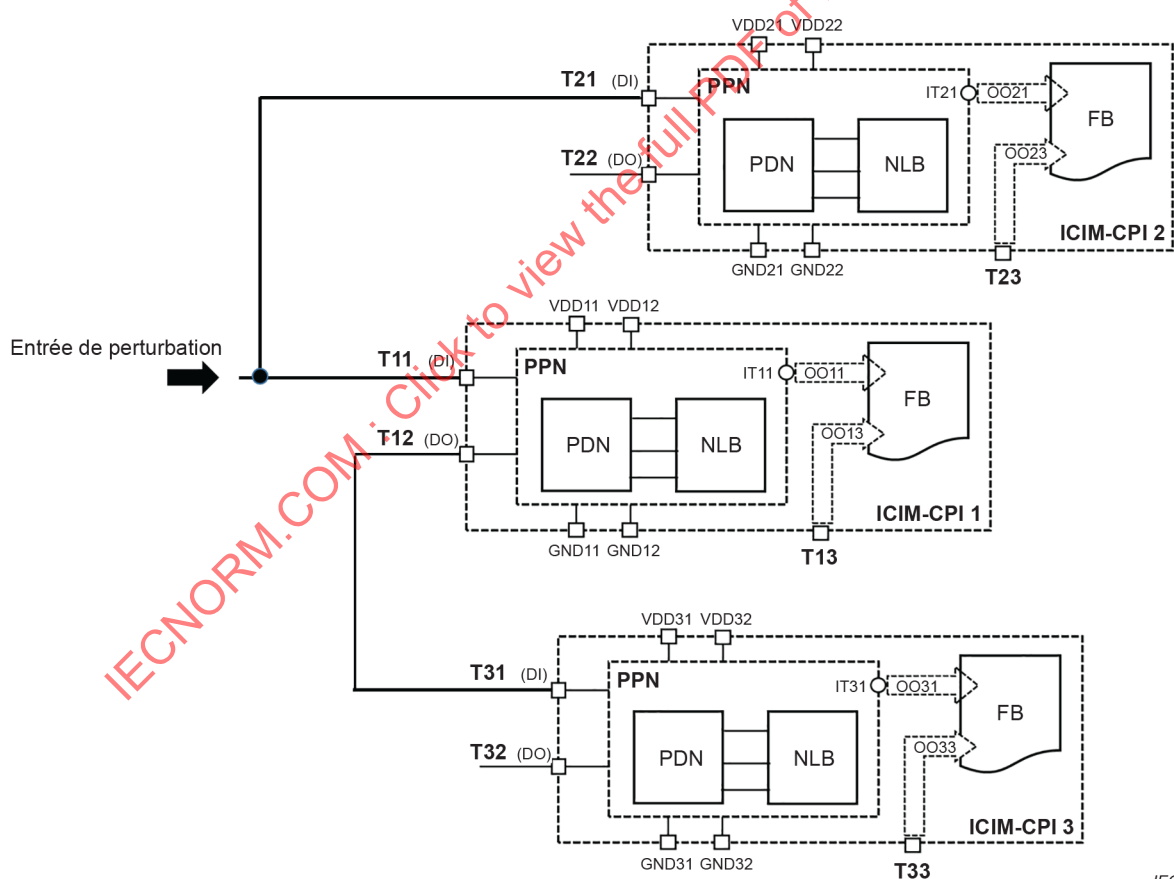
Le FB est un fichier qui associe les caractéristiques électriques dans le domaine temporel de l'impulsion entrant dans la DI aux caractéristiques électriques et/ou fonctionnelles mesurées ou calculées dans le domaine temporel au niveau de la borne OO. Il peut y avoir une DI pour plusieurs OO. Dans ce cas, le FB doit contenir des mesurages ou des valeurs calculées réalisé(e)s tant sur une DI que sur ses OO associées. Un critère de défaillance peut être défini sur une OO pour exprimer la défaillance en matière de classes de performance telles que définies par l'IEC 62215-3.

La validité d'un modèle ICIM-CPI est limitée aux conditions dans lesquelles il a été extrait. Par conséquent, un modèle ICIM-CPI doit spécifier sa plage de validité. Il convient que ces conditions incluent au moins:

- la plage de tensions d'alimentation
- la plage de températures
- les conditions de charge sur les bornes externes
- la largeur d'impulsion et la valeur d'impulsion

Différents modèles ICIM-CPI peuvent être combinés pour modéliser et décrire une fonction électronique complète (une carte électronique, par exemple). Cette structure proposée peut également être utilisée pour modéliser un élément d'équipement. La borne DO d'un modèle ICIM-CPI peut être utilisée pour la connexion aux différentes bornes des blocs ICIM-CPI avoisinants.

La Figure 2 donne un exemple classique de modèle ICIM-CPI complet d'une carte électronique. La carte est intégralement décrite par trois modèles ICIM-CPI autonomes. T11 et T21 sont connectés ensemble et reçoivent la même perturbation. ICIM-CPI-1 propage une partie de la perturbation au modèle ICIM-CPI-3 par l'intermédiaire de sa borne T12 (DO), qui est connectée à la borne T31 (DI) du modèle ICIM-CPI-3.



IEC

Figure 2 – Exemple d'un modèle ICIM-CPI d'une carte électronique

NOTE IT11, IT21 et IT31 sont des bornes internes situées dans leur PPN.

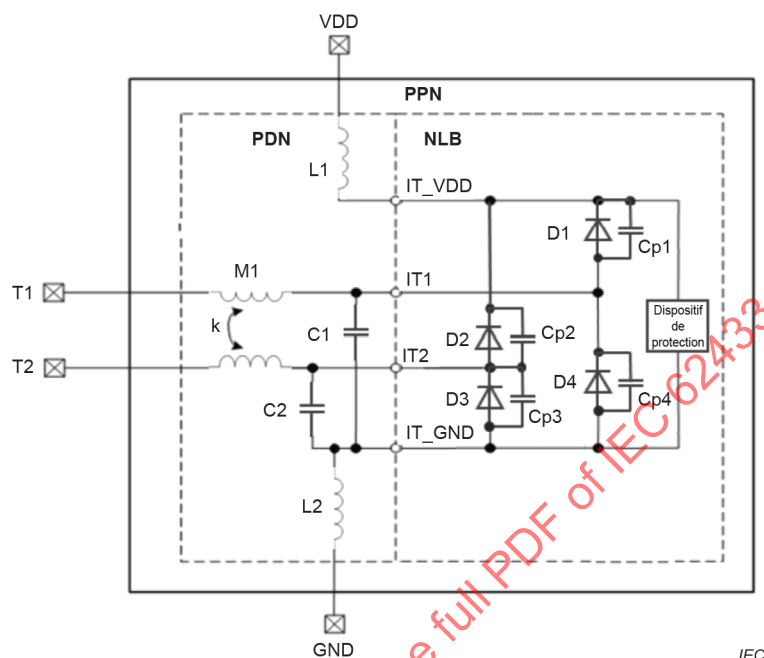
5.2 PPN

5.2.1 Structure classique d'un PPN

La Figure 3 représente la structure classique d'un PPN. Le PPN est composé de deux parties:

- Le PDN est le réseau linéaire utilisé pour modéliser toutes les connexions du circuit intégré (interconnexions du boîtier, connexions filaires de la puce avec le boîtier, etc.).
- Le NLB est le bloc non linéaire utilisé pour modéliser les dispositifs de protection contre les DES (diodes et autres composants).

Le PDN et le NLB sont reliés par un certain nombre de bornes internes.



Légende

IT_VDD, IT1, IT2 et IT_GND bornes internes dans lesquelles le PDN et le NLB sont connectés ensemble. Ces bornes ne sont pas directement connectées aux bornes externes VDD, T1, T2 et GND;

PDN inductances parasites (L1, L2), inductance mutuelle (M1) et capacités (C1, C2) représentant les paramètres physiques du PDN;

NLB diodes physiques (D1, D2, D3, D4) et leurs éléments parasites (Cp1, Cp2, Cp3, Cp4) représentant le comportement du NLB.

Figure 3 – Structure d'un PPN classique

5.2.2 Description du PDN

Le PDN est composé d'éléments passifs pour le boîtier, la liaison ou les interconnexions sur puce. Il représente le réseau d'entrée de la puissance et les broches de signal de la puce. Le PDN est un réseau d'impédance complet qui contient des bornes d'injection d'entrée (DI), des bornes qui peuvent avoir une influence sur l'impédance des bornes perturbées (DO) et des bornes internes. Le PDN peut contenir des composants linéaires (une résistance, une capacité et une inductance, par exemple). Toutefois, les données PDN sont définies lorsque les composants non linéaires ne sont pas activés.

Le PDN peut être défini dans le domaine fréquentiel ou temporel, et peut être caractérisé par différents paramètres de réseau tels que les paramètres S/Z/Y ou être décrits par des modèles à constantes localisées (R, L et C).

Un circuit intégré peut comporter de nombreuses broches conçues de manière identique présentant des caractéristiques identiques ou similaires. Par conséquent, pour réduire le nombre de DI à modéliser (pour des raisons de simplification), les broches d'un circuit intégré peuvent être classées en familles, telles que:

- Broches d'alimentation,

- Broches d'entrée/sortie numériques,
- Broches d'entrée/sortie analogiques,
- Bus de données/d'adresses,
- Bus de communication.

Le PDN peut agir comme un filtre pour les impulsions transitoires. Des résonances du PDN peuvent apparaître en raison d'éléments capacitifs et inductifs parasites. Des résonances peuvent également être créées par des composants externes montés sur les broches DI et DO pour le fonctionnement du circuit intégré. Elles peuvent avoir un impact important sur l'immunité des dispositifs. Le PDN peut arrêter, transmettre ou amplifier les perturbations, et il peut avoir une influence sur l'immunité du dispositif.

Le PDN est valide dans les conditions dans lesquelles il a été établi. Ces conditions incluent (entre autres):

- la plage de tensions d'alimentation
- la plage de fréquences applicable
- la plage de températures
- les conditions de mesurage sur les broches DI et/ou DO

L'impédance du PDN permet de déterminer la forme d'onde du signal appliquée à la borne interne IT (entre le PDN et le NLB). Cela permet de calculer l'énergie active au niveau du dispositif de protection.

5.2.3 Description du NLB

Le NLB représente principalement le comportement non linéaire du réseau d'entrée du signal et des broches d'alimentation du circuit intégré. Le comportement non linéaire est en général dû, entre autres, aux dispositifs de protection (diodes, structures ggNMOS, etc.) qui relient les bornes internes. NLB contient également les éléments linéaires et non linéaires du dispositif non linéaire (les diodes et transistors, par exemple). Un exemple de NLB est présenté à l'Article A.4.

En cas de réseaux à multiples bornes, certains d'entre eux peuvent présenter la même structure électrique et, de ce fait, peuvent être décrits par un modèle unique. Ainsi, pour réduire le nombre de modèles (pour des raisons de simplification), les bornes d'un circuit intégré peuvent être classées en familles, telles que:

- les bornes d'alimentation,
- les bornes d'entrée/sortie numériques,
- les bornes d'entrée/sortie analogiques.

Le NLB peut être extrait par simulation du circuit intégré à l'étude ou par mesurage TLP avec le circuit intégré complet. Un exemple d'extraction du NLB à l'aide de la méthode TLP est présenté à l'Annexe A et en [4], [5]. De plus, il est possible d'extraire le NLB à partir du schéma et du routage du circuit intégré par traitement des données.

Si la technique TLP est utilisée pour extraire le NLB, des mesurages I/V peuvent être réalisés pour plusieurs largeurs d'impulsion, plusieurs amplitudes et plusieurs temps de montée/descente qui couvrent le champ d'application prévu du circuit intégré. Ces mesurages permettent de modéliser les caractéristiques non linéaires du dispositif de protection contre les DES (NLB) à l'aide de modèles comportementaux ou physiques. L'Annexe B donne un exemple de mise en œuvre d'un modèle comportemental. Ces mesurages peuvent également être utilisés pour définir les critères de défaillance.

5.3 Description du FB

Le FB décrit la manière dont le circuit intégré réagit aux impulsions transitoires appliquées à une certaine borne DI. Le FB doit être défini comme un lien entre une forme d'onde d'impulsion spécifique entrant dans la DI et une défaillance (temporaire ou permanente) surveillée ou calculée au niveau de l'OO. Le fichier FB peut être obtenu en mesurant l'immunité sur l'OO lors d'un essai TLP, par extraction des données de conception du circuit intégré ou par simulation avec le circuit intégré complet. Un critère de défaillance peut être appliqué à l'OO pour classer la défaillance selon l'IEC 62215-3.

Le FB peut également être représenté par des valeurs particulières, générées avec les fonctions de défaillance ($E_{FAIL}=f(t_d)$, t_d étant la durée des impulsions, par exemple) ou sous d'autres formes adaptées.

Le FB doit contenir les valeurs de seuil de défaillance associées aux classes de performance suivantes conformément à l'IEC 62215-3 et, éventuellement, les caractéristiques de domaine temporel de l'impulsion qui entre dans la DI et de celle observée au niveau de l'OO pendant la perturbation:

- Classe E_{IC} : Au moins une fonction surveillée du circuit intégré ne s'exécute pas dans les limites des tolérances définies après l'exposition, et son bon fonctionnement ne peut pas être rétabli. Dans ce cas, il s'agit d'un claquage qui donne lieu à la destruction du circuit intégré.
- Classe $D1_{IC}$: Au moins une fonction surveillée du circuit intégré ne s'exécute pas dans les limites des tolérances définies pendant l'exposition et ne reprend pas d'elle-même son fonctionnement normal. Le circuit intégré reprend son fonctionnement normal après une intervention manuelle.
- Classe $D2_{IC}$: Au moins une fonction surveillée du circuit intégré ne s'exécute pas dans les limites des tolérances définies pendant l'exposition et ne reprend pas d'elle-même son fonctionnement normal. Le circuit intégré reprend son fonctionnement normal après un cycle de coupure et de remise en route des alimentations du dispositif.
- Classe C_{IC} : Au moins une fonction surveillée du circuit intégré est hors des tolérances définies lors de la perturbation, mais rentre automatiquement dans les limites des tolérances définies après exposition à la perturbation.

À titre d'exemple, les caractéristiques d'une tension de choc entrant dans la DI pendant un essai TLP sont représentées à la Figure 4. D'autres impulsions peuvent donner lieu à des formes d'onde et valeurs différentes.

En règle générale, l'impulsion qui entre dans la DI pendant un essai TLP peut être considérée comme étant composée de deux parties:

- dynamique: décrite par une valeur de crête V_{MAX} ou I_{MAX} et un temps de montée (T_r) déterminé entre 10 % et 90 % de la valeur de crête;
- quasi statique: décrite par une valeur quasi statique V_{QS} ou I_{QS} et une largeur d'impulsion (T_w) déterminée à 10 % de la valeur quasi statique.

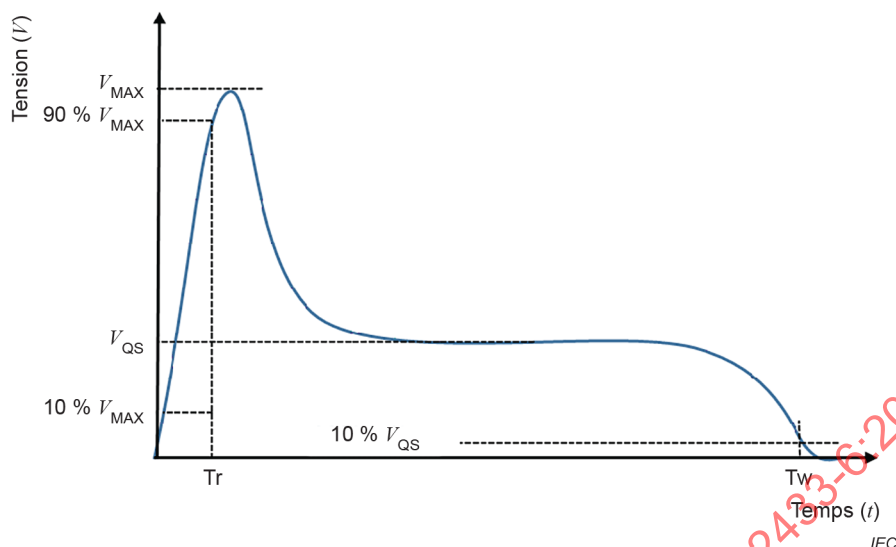


Figure 4 – Caractéristiques d'une tension de choc entrant dans la DI pendant un essai TLP

Le signal observé sur l'OO peut également être totalement caractérisé dans le domaine temporel ou décrit par des paramètres spécifiques, en général dans le cas des performances de Classe C_{IC} . La broche RESET d'un microcontrôleur ou d'un régulateur de tension est un exemple d'OO surveillée au niveau d'une borne externe. Un bit RESET inclus dans le registre interne d'un microcontrôleur est un exemple d'OO surveillée au niveau d'une borne interne.

Dans le cas d'une OO observée sur une borne externe (broche RESET, par exemple), les paramètres spécifiques peuvent être la largeur du signal transitoire (GW – *glitch width*), la tension à l'état haut V_{S1} et la tension à l'état bas V_{S0} , comme cela est représenté à la Figure 5).

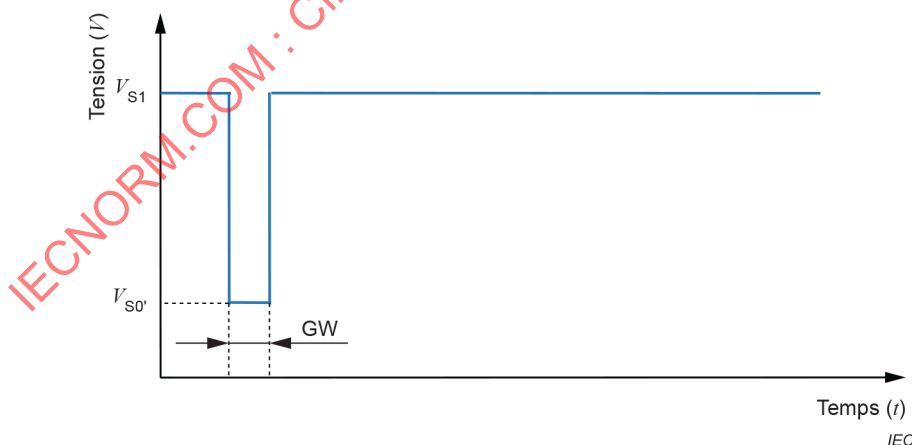


Figure 5 – Exemple de défaut surveillé au niveau de l'OO lorsqu'une perturbation est appliquée à la DI

Des exemples de données FB sont présentés à l'Article A.5.

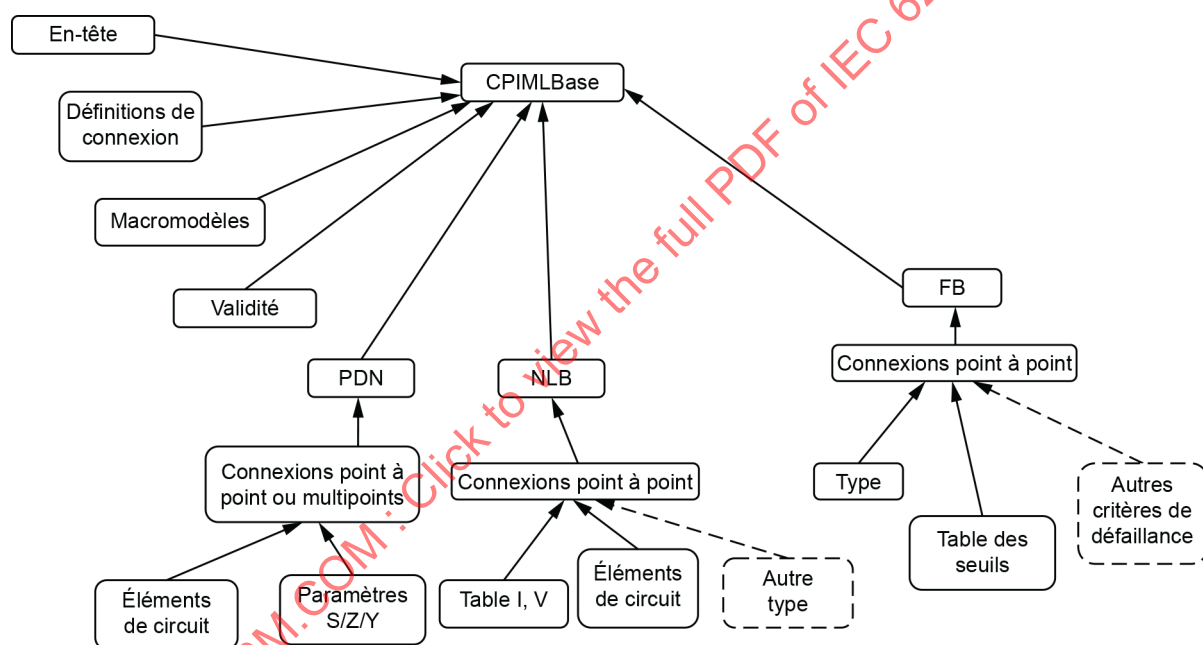
6 Format CPIML

6.1 Généralités

Les données du modèle ICIM-CPI sont disposées au format CPIML conformément à l'IEC 62433-1. Les données du modèle sont séparées en sept parties.

- En-tête contenant les informations générales
- Description des définitions de connexion du circuit intégré
- Description des macromodèles
- Description des conditions de validité du modèle
- Description des données PDN
- Description des données NLB
- Description des données FB

La hiérarchie d'héritage de CPIML est décrite à la Figure 6.



IEC

Figure 6 – Hiérarchie d'héritage CPIML

NOTE 1 Plusieurs types NLB peuvent être fournis ultérieurement dans le modèle ICIM-CPI pour s'adapter au modèle compact ou comportemental.

NOTE 2 D'autres paramètres peuvent être fournis ultérieurement dans le modèle ICIM-CPI pour s'adapter à d'autres critères de défaillance.

Le niveau supérieur d'une définition de modèle CPIML est simplement constitué de ces composants:

```

début de la définition de modèle
  définition d'en-tête du modèle
  définitions de connexion du DUT
  macromodèles SPICE
  conditions de validité du modèle
  Définition PDN
  Définition NLB
  Définition FB
fin de la définition de modèle
  
```

Ce format d'échange utilise IC_EMCML, défini dans l'IEC 62433-1. Les règles de codage XML présentées dans l'IEC 62433-1, assurent que le fichier XML (CPIML) peut être correctement analysé par un analyseur syntaxique CPIM (*conducted pulse immunity model* – modèle d'immunité aux impulsions conduites). Un exemple de fichier CPIML conforme au format de codage XML est présenté à l'Annexe C.

6.2 Structure CPIML

Le modèle ICIM-CPI classique peut être représenté au format CPIML, comme cela est indiqué ci-dessous:

```
<?xml version="1.0" encoding="UTF-8"?>
<CPImodel>
  <!-- HEADER -->
  <Header>
    ...
  </Header>
  <!-- DUT LEAD DEFINITIONS-->
  <Lead_definitions>
    ...
  </Lead_definitions>
  <!-- SPICE MACRO-MODEL DEFINITIONS -->
  <Macromodels>
    ...
  </Macromodels>
  <!-- MODEL VALIDITY CONDITIONS -->
  <Validity>
    ...
  </Validity>
  <!-- MODEL PDN DATA -->
  <Pdn>
    ...
  </Pdn>
  <!-- MODEL NLB DATA -->
  <Nlb>
    ...
  </Nlb>
  <!-- MODEL FB DATA -->
  <Fb>
    ...
  </Fb>
</CPImodel>
```

CPImodel est l'élément racine du fichier CPIML. Les sections *Header*, *Lead_definitions*, *Validity*, *Pdn*, *Nlb* et *Fb* doivent constituer les informations minimales et obligatoires du modèle ICIM-CPI. La section *Macromodels* est facultative.

6.3 Éléments globaux

Selon l'IEC 62433-1, les sections *Documentation*, *Notes* et *Unit* sont des mots clés globaux qui peuvent être placés n'importe où dans le fichier, sauf dans un élément contenant une valeur.

6.4 Section Header

Cette section est obligatoire et doit être définie directement sous l'élément racine *CPImodel*.

Les informations d'en-tête du macromodèle doivent être définies à l'intérieur de la balise *Header*. Une liste détaillée de mots clés valides sous la section *Header* est disponible dans l'IEC 62433-1.

6.5 Section *Lead_definitions*

Cette section décrit les différentes bornes du circuit intégré en essai. Chaque borne de la section *Lead_definitions* est décrite à l'aide de la balise *Lead* et ses attributs définis dans le Tableau 1. Plusieurs attributs *Lead* sont répertoriés les uns après les autres pour former la section *Lead_definitions*.

Tableau 1 – Attributs de la balise *Lead* dans la section *Lead_definitions*

Attributs <i>Lead</i>
Id: Numéro de borne sous forme d'une chaîne valide (exigé)
Name: Nom de la borne (facultatif). Par défaut = "None"
Mode: Mode dans lequel la borne est utilisée ("DI", "DO", "OO", "GND") (exigé). Valeur par défaut = "None"
Type: type de borne ("internal" ou "external") (facultatif). Valeur par défaut = "external"

Chaque balise *Lead* dans la section *Lead_definitions* comporte un attribut exigé, *Id*, représentant le numéro de la borne. La borne peut être en outre définie par son nom (*Name*), son *Mode* et son *Type*. Si le champ *Name* n'est pas défini ou est absent, sa valeur par défaut est "None". Le champ *Mode* est considéré comme contenant la valeur "None" dans les conditions suivantes:

- Si le *Mode* d'une borne particulière est absent.
- Si la valeur "None" lui est explicitement attribuée, la borne respective n'étant pas DI, DO, OO ou GND.

L'attribut *Type* est facultatif, et sa valeur par défaut est toujours considérée comme "external" pour les bornes de mode DI, DO, OO et GND. Le type *Lead* peut également être "internal" si l'OO ne peut pas être directement mesurée, mais calculée ou indirectement surveillée (par exemple, un registre interne, une cellule-mémoire,...).

Si une borne est utilisée dans plusieurs modes, les différents modes sont représentés sous la forme d'un seul champ séparé par une virgule (","). Aucun autre caractère n'est admis en tant que délimiteur. Un exemple est présenté ci-dessous:

```
<Lead_definitions>
  <Lead Id="1" Name="T1" Mode="DI,OO"/>
</Lead_definitions>
```

La ligne ci-dessus indique à l'analyseur syntaxique CPIM que la borne "T1" avec Id="1" est utilisée en tant que DI et OO. Par défaut, le type de balise *Lead* est "external".

Le Tableau 2 présente la compatibilité entre les champ *Mode* et *Type* de la structure *Lead* pour que l'analyseur syntaxique CPIM procède à une annotation CPIML correcte.

Tableau 2 – Compatibilité entre les champs *Mode* et *Type* pour annotation CPIML correcte

Mode	Type	
	external	internal
DI	Oui	Non
DO	Oui	Non
OO	Oui	Oui
GND	Oui	Non
Aucune	Oui	Oui

Les différentes bornes peuvent être représentées dans un format compact dans lequel le type est explicitement décrit par le mode, comme cela est indiqué ci-dessous.

```
<Lead_definitions>
  <Lead Id="1" Name="T1" Mode="DI"/>
  <Lead Id="2" Name="T2" Mode="DO"/>
  <Lead Id="3" Name="GND1" Mode="GND"/>
  <Lead Id="4" Name="VDD1"/>
  <Lead Id="5" Name="GND2" Mode="GND"/>
  <Lead Id="6" Name="VDD2"/>
  <Lead Id="7" Name="GND1" Mode="GND"/>
  <Lead Id="8" Name="GND3" Mode="GND"/>
  <Lead Id="9" Name="T3" Mode="OO"/>
  <Lead Id="100" Name="IT1" Mode="OO"/>
</Lead_definitions>
```

Les lignes de code ci-dessus représentent la structure de modèle ICIM-CPI représentée à la Figure 1. Les identités des bornes ("Id") sont choisies de manière aléatoire.

NOTE Ces *Lead-definitions* sont utilisées à titre d'exemple dans le présent document, sauf spécification contraire.

6.6 Section Macromodels

La présence de cette section dans un fichier CPIML est facultative. Si elle est définie, elle doit se trouver sous l'élément racine *CPImodel*.

Cette section décrit les différents macromodèles au format netlist (SPICE, par exemple). Elle peut être développée pour représenter le macromodèle dans d'autres formats (HDL, par exemple). Une liste détaillée de mots clés valides sous la section Macromodels est disponible dans l'IEC 62433-1.

6.7 Section Validity

Cette section est obligatoire et doit être définie directement sous l'élément racine *CPImodel*. La section *Validity* définit les conditions d'usage du modèle ICIM-CPI. Les détails de cette section doivent être conformes aux définitions de l'IEC 62433-1.

6.8 PDN

Cette section est obligatoire et doit être définie directement sous l'élément racine *CPImodel*.

La section *Pdn* du modèle ICIM-CPI contient un ensemble de données PDN pour chaque balise *Lead*. Une liste détaillée de mots clés valides sous la section *Pdn* est disponible dans l'IEC 62433-4.

Toutes les autres informations pertinentes exigées pour une bonne compréhension (et utilisation) du PDN doivent être éventuellement définies dans les balises *Notes* et *Documentation*. Les détails (le mode de fonctionnement du circuit intégré, les condensateurs de découplage sur les lignes d'alimentation, les fonctions activées, les détails de mise à la masse, les fiches techniques et les rapports d'essai, par exemple) peuvent être définis.

6.9 NLB

6.9.1 Généralités

La section *Nlb* du modèle ICIM-CPI contient un ensemble de données NLB pour chaque balise *Lead*. Les données doivent être définies dans la section *Nlb* comme suit:

```
<Nlb>
  <Lead tag>
    <Attributes>
```

```

        </Attributes>
    </Lead tag>
</Nlb>

```

Une donnée NLB est définie pour un ensemble de bornes internes. De nombreux éléments *Lead* peuvent être répertoriés de manière séquentielle dans la section *Nlb*. Le Tableau 3 répertorie les différents attributs reconnus de la balise *Lead*:

Tableau 3 – Définition de la balise *Lead* pour la section *Nlb*

Lead
Id : Identité de la borne sous forme d'une chaîne valide (exigé) Type : Paramètre source NLB (exigé) Blockname : Nom de bloc du NLB sous forme d'une chaîne valide Param_order : Ordre dans lequel les paramètres NLB sont définis (exigé pour Type="I/V" uniquement) Format : Format de données ("MAG", "DBMAG") Unit_voltage : Définition des termes d'unité de tension Unit_current : Définition des termes d'unité de courant Netlist : Définition du NLB utilisant le format netlist normalisé (exigé pour Type="Ckt" uniquement) Data_files : Paramètre source NLB défini dans un fichier externe (exigé s'il ne s'agit pas de List) List : Liste de paramètres NLB (exigé pour type="I/V" s'il ne s'agit pas de Data_files)

Toutes les autres informations pertinentes exigées pour une bonne compréhension (et utilisation) du NLB doivent être éventuellement définies dans les balises *Notes* et *Documentation*. Les détails (le mode de fonctionnement du circuit intégré, les condensateurs de découplage sur les lignes d'alimentation, les fonctions activées, les détails de mise à la masse, les fiches techniques et les rapports d'essai, par exemple) peuvent être définis.

6.9.2 Définitions d'attribut

6.9.2.1 Id

L'attribut *Id* de *Lead* utilisé dans la définition NLB doit être défini en tant que borne interne (Type="internal") dans la section *Lead_definitions*, comme cela est décrit en 6.5. Au moins deux *Id* doivent être définis ensemble, les NLB étant toujours connectés entre au moins deux bornes internes.

Cet attribut est exigé.

6.9.2.2 Type

L'attribut *Type* est utilisé pour représenter le type de données NLB. Les types valides sont:

- "I-V": Données de paramètre I/V (Courant/Tension).
- "Ckt": Description de circuit à l'aide de listes d'interconnexions.

D'autres types seront pris en charge à un stade ultérieur afin de s'adapter à un modèle compact ou comportemental.

Cet attribut est exigé.

6.9.2.3 Blockname

L'attribut *Blockname* est utilisé pour définir le nom du bloc NLB. Cet attribut est facultatif et est utilisé pour représenter le NLB en tant que sous-bloc. Le même attribut peut être utile dans le cas d'un macromodèle ICIM-CPI à base de blocs. Cet attribut est indiqué à titre informatif uniquement. L'analyseur syntaxique CPIM ne l'interprète pas.

6.9.2.4 Param_order

L'attribut *Param_order* indique à l'analyseur syntaxique CPIM la manière dont les données sont représentées. Les chaînes suivantes sont dédiées à la spécification de l'ordre des paramètres:

- "Volt" et "Voltage": Termes de tension utilisés pour la définition des paramètres
- "Curr" et "Current": Termes de courant utilisés pour la définition des paramètres

Les différents termes de *Param_order* doivent être séparés par une virgule (",").

Cet attribut est utilisé pour le type "I-V" uniquement. Cet attribut est facultatif. S'il est absent, la valeur par défaut est "Voltage,Current".

6.9.2.5 Format

L'attribut *Format* permet de choisir le format des données. Les formats de données valides sont:

- "DBMAG": Amplitude, en échelle de décibels
- "MAG": Amplitude en échelle linéaire

Cet attribut est facultatif. S'il est absent, la valeur par défaut est "MAG".

6.9.2.6 Unit_voltage et Unit_current

Les unités de paramètre sont définies dans les balises *Unit_voltage* et *Unit_current* pour les grandeurs de tension et de courant, respectivement. Le Tableau 4 répertorie les valeurs par défaut des balises *Unit_voltage* et *Unit_current* en fonction du format de données.

Tableau 4 – Valeurs par défaut des balises *Unit_voltage* et *Unit_current*

Paramètre	Format	Valeurs par défaut de la balise <i>Unit_voltage</i>	Valeurs par défaut de la balise <i>Unit_current</i>
Tension	MAG	V	-
	DBMAG	dBV	-
Courant	MAG	-	A
	DBMAG	-	dBA

Cet attribut est facultatif. S'il est absent, les unités par défaut utilisées dans le Tableau 4 sont utilisées. Les unités valides sont données en B.2.5.5 de l'IEC 62433-4:2019.

6.9.2.7 Netlist

L'attribut *Netlist* est utilisé pour définir le NLB sous la forme d'une liste d'interconnexions SPICE représentant la connectivité électrique des éléments NLB. Le flux de connectivité électrique doit être conforme à la norme SPICE.

Cet attribut est exigé si Type="Ckt".

6.9.2.8 Data_files et List

L'attribut *Data_files* est utilisé pour faire la distinction entre les données en ligne et les données externes. Si les données NLB sont définies dans un fichier externe, le lien vers le fichier doit être spécifié dans l'attribut *Data_files*. Les données en ligne sont directement définies sous la balise *Lead* de niveau supérieur dans un attribut *List*, si cela est nécessaire. Le Tableau 5 répertorie les extensions de fichier admises :

Tableau 5 – Extensions de fichier admises pour *Data_files*

Extension de fichier	Nom commun
dat ou DAT	Fichier de données
csv ou CSV	Valeurs séparées par une virgule
txt ou TXT	Fichier texte
cir ou CIR	Fichier de circuit (Netlist)
lib ou LIB	Fichier de bibliothèque (Netlist)
net ou NET	Fichier Netlist (Netlist)

Cet attribut est exigé. Un attribut *List* ou *Data_files* unique doit être utilisé pour définir les données NLB de la connexion spécifique.

6.9.3 Description des données

6.9.3.1 Données en ligne

Les données NLB doivent être écrites dans l'attribut *List*. Les unités de grandeur de tension et de courant doivent être respectivement spécifiées à l'aide des attributs *Unit_voltage* et *Unit_current*.

```
<Nlb>
  <Lead Id="10,11"; Type="I-V"; Param_order="Voltage,Current">
    <Unit_voltage>V</Unit_voltage>
    <Unit_current>A</Unit_current>
    <List>
      -12.7428 -8.675
      -11.6487 -8.073
      -9.5319 -7.379
      -11.6592 -6.633
      -12.4551 -5.995
      -13.7235 -4.946
      -15.7626 -4.313
      -16.3086 -3.742
      -20.0718 -3.041
      -19.8513 -2.475
      ...
    </List>
  </Lead>
</Nlb>
```

6.9.3.2 Données du fichier externe

Les données NLB doivent être écrites dans le fichier spécifié par l'attribut *Data_files*. Les unités de grandeur de tension et de courant doivent être respectivement spécifiées à l'aide des attributs *Unit_voltage* et *Unit_current*.

```
<Nlb>
  <Lead Id="10,11"; Type="I-V"; Param_order="Voltage,Current">
    <Unit_voltage>V</Unit_voltage>
    <Unit_current>A</Unit_current>
```

```

    <Data_files>MOSIC_VI.txt</Data_files>
  </Lead>
</Nlb>

```

La Figure 7 donne un exemple de fichier contenant des données NLB.

```

! V(Volts) I(Amps)
-12.7428 -8.675
-11.6487 -8.073
-9.5319 -7.379
-11.6592 -6.633
-12.4551 -5.995
-13.7235 -4.946
-15.7626 -4.313
-16.3086 -3.742
-20.0718 -3.041
-19.8513 -2.475
-17.0205 -1.947
-48.531 -1.077
-48.51 -0.9679
-48.426 -0.8673
-48.405 -0.758
-48.279 -0.6603
-48.09 -0.4766
-47.586 -0.2692
-47.208 -0.2165
-46.704 -0.1654
-46.095 -0.117
-45.36 -0.08526
-43.512 -0.0531
-37.254 -0.03502

```

Figure 7 – Exemple de fichier externe NLB

6.10 FB

6.10.1 Généralités

La section *Fb* du macromodèle ICIM-CPI contient les données FB qui décrivent le comportement du circuit intégré pendant la perturbation d'impulsion. Les données doivent être définies dans la section *Fb* comme suit:

```

<Fb>
  <Lead tag>
    <Attributes>
      <Table>
        <Sub-attributes>
          <Parameters>
            </Parameters>
          </Sub-attributes>
        </Table>
      </Attributes>
    </Lead tag>
  </Fb>

```

Comme pour la définition du PDN, les données FB sont définies pour une borne particulière. La définition doit donc être réalisée dans une balise *Lead*. Plusieurs balises *Lead* peuvent figurer de manière séquentielle dans la section *Fb* afin de représenter les données FB qui correspondent aux différentes bornes du circuit intégré. Le Tableau 6 répertorie les différents attributs reconnus de la balise *Lead* dans la section *Fb*.

Tableau 6 – Définition de la balise *Lead* dans la section *Fb*

<i>Lead</i>
Id: Identité de la borne sous forme d'une chaîne valide (exigé)
Ground_id: Chemin de signal de retour sous la forme d'une chaîne valide (exigé)
Blockname: Nom de bloc du FB sous la forme d'une chaîne valide
Type: Paramètre source FB – "TLP" (exigé)
Table: Données FB (exigé)

De manière de fournir les données FB en fonction des différents modes opératoires, un ou plusieurs éléments d'attributs *Table* peuvent être définis dans une balise *Lead*. L'attribut *Table* contient plusieurs sous-attributs.

6.10.2 Définitions d'attribut

6.10.2.1 Id

L'attribut *Id* utilisé dans cette définition FB doit faire référence à une borne définie avec l'attribut de mode "DI" dans la section *Lead_definitions*, comme cela est décrit en 6.5. Un ou plusieurs attributs *Id* sont admis.

Cet attribut est exigé.

6.10.2.2 Ground_id

L'attribut *Ground_id* utilisé dans cette définition FB doit faire référence à une borne définie avec l'attribut de mode "GND" dans la section *Lead_definitions* du 6.5. Un seul attribut *Ground_id* est utilisé.

Cet attribut est exigé.

6.10.2.3 Blockname

L'attribut *Blockname* est utilisé pour définir le nom du bloc FB.

Cet attribut est facultatif et utilisé pour représenter le FB en tant que sous-bloc. Cet attribut est indiqué à titre informatif uniquement. L'analyseur syntaxique CPIM ne l'interprète pas.

6.10.2.4 Type

L'attribut *Type* est utilisé pour représenter le type d'essai utilisé pour obtenir les données FB. La version 1 de CPIML prend uniquement en charge le type "TLP".

Cet attribut offre des possibilités d'amélioration pour s'adapter à d'autres types d'impulsions (HBM, CDM, HMM, etc.). Il peut être réutilisable pour modéliser l'immunité dans le domaine fréquentiel à un stade ultérieur.

Cet attribut est exigé.

6.10.2.5 Table

6.10.2.5.1 Généralités

Les principales données FB sont définies dans l'attribut *Table*. L'attribut spécifique contient des sous-attributs. Le Tableau 7 répertorie les différents sous-attributs reconnus de l'attribut *Table*.

Tableau 7 – Définition des sous-attributs de *Table*

<i>Table</i>
Pulse_characteristics: Détails relatifs au signal source en fonction de l'attribut <i>Type</i> (exigé)
Test_criteria: Détails relatifs aux critères d'essai (exigé)
Param_order: Ordre dans lequel les données FB sont définies (exigé)
Unit_voltage: Termes d'unité de tension (facultatif)
Unit_current: Termes d'unité de courant (facultatif)
Unit_time: Unité de grandeur de temps (facultatif)
Unit_energy: unité de grandeur d'énergie (facultatif)
Data_files: Données FB contenues dans un fichier externe (exigé s'il ne s'agit pas de <i>List</i>)
List: Liste de données FB (exigé s'il ne s'agit pas de <i>Data_files</i>)

6.10.2.5.2 Pulse_characteristics

Ce sous-attribut exigé spécifie les caractéristiques du signal généré par l'équipement d'essai. Le Tableau 8 donne un ensemble de paramètres utilisés pour configurer le générateur d'impulsions défini par l'attribut *Type*.

Tableau 8 – Définition du paramètre *Pulse_characteristics*

<i>Pulse_characteristics</i>
Peak_value: valeur d'impulsion de crête (exigé)
Pulse_duration: durée d'impulsion mesurée à 50 % de <i>peak_value</i> (exigé)
Pulse_rise_time: temps de montée d'impulsion mesuré à 10 % et 90 % de la valeur d'impulsion de crête (exigé)

Ce sous-attribut comporte trois paramètres exigés pour le type TLP:

- *Peak_value*, qui contient l'amplitude de l'impulsion de tension ou de courant générée. La valeur définie pour l'attribut *Peak_value* doit être définie avec des unités (par exemple, *Peak_value*="4kV"). L'unité de base de cet attribut spécifie le type d'impulsion: tension.
- *Pulse_duration*, qui contient la largeur de l'impulsion de tension ou de courant générée. Il correspond à la durée mesurée à 50 % de *Peak_value*. La valeur définie pour l'attribut *Pulse_duration* doit être définie avec des unités (par exemple, *Pulse_duration*="50ns"). L'unité de base de cet attribut est "s" (secondes).
- *Pulse_rise_time*, qui contient le temps de montée de l'impulsion de tension ou de courant générée. Il correspond au temps mesuré à 10 % et 90 % de la valeur d'impulsion de crête. La valeur définie pour l'attribut *Pulse_rise_time* doit être définie avec des unités (par exemple, *Pulse_rise_time*="1ns"). L'unité de base de cet attribut est "s" (secondes).

EXEMPLE La syntaxe suivante spécifie les caractéristiques d'impulsion pour un type d'essai TLP avec une valeur de crête d'impulsion de 2 kV, une durée d'impulsion de 100 ns et un temps de montée d'impulsion de 1 ns.

```
<Pulse_characteristics>
  <Peak_value>"2kV"</Peak_value>
  <Pulse_duration>"100ns"</Pulse_duration>
  <Pulse_rise_time>"1ns"</Pulse_rise_time>
</Pulse_characteristics>
```

6.10.2.5.3 Test_criteria

Les critères d'essai doivent être définis dans le sous-attribut *Test_criteria* exigé. Ces critères d'essai correspondent à la définition FB particulière. Les paramètres *Test_criteria* sont présentés dans le Tableau 9.

Tableau 9 – Définition des paramètres *Test_criteria*

<i>Test_criteria</i>
Id : identité de la borne OO (exigé)
Ground_id : identité du signal de retour de la borne OO (facultatif)
Type : classe de performance (exigé)
Level : niveau de tolérance défini sur la borne OO (facultatif)
Parameter : paramètre qui a fait l'objet de la surveillance sur la borne OO (facultatif)

Test_criteria comporte deux paramètres exigés: *Id* et *Type*.

Le paramètre *Id* est une borne OO définie dans la section *Lead_definitions* (voir 6.5). Il informe l'utilisateur que l'essai est réalisé selon la surveillance de la borne OO spécifiée. Le paramètre facultatif *Ground_id* représente le chemin du signal de retour pour la borne OO définie dans l'attribut *Id*. S'il est absent, le paramètre *Ground_id* défini dans la balise *Lead* de la section *Fb* est pris en considération par l'analyseur syntaxique CPIM. S'il est explicitement défini, la valeur du paramètre *Ground_id* doit correspondre à l'une des broches GND définies dans la section *Lead_definitions* (voir 6.5).

L'attribut *Type* est le mode de défaillance qui peut être une défaillance fonctionnelle ou un claquage. Ces modes de défaillance correspondent aux classes de performance E_{IC} , $D1_{IC}$, $D2_{IC}$ et C_{IC} . L'attribut *Type* peut être défini sur "Class_E_IC", "Class_D1_IC", "Class_D2_IC" et "Class_C_IC".

L'attribut *Level* définit le niveau de tolérance défini pendant l'essai par rapport au signal OO nominal. Pour des raisons de simplicité, la valeur de l'attribut *Level* doit être définie avec des unités (Level="+200mV", par exemple). S'il est nécessaire de définir plusieurs niveaux de tolérance, ces niveaux doivent être représentés comme valeurs uniques séparées par une virgule (","). Par exemple, pour définir une limite de tolérance de ± 200 mV, l'élément ci-dessous doit être défini:

Level="+200mV, -200mV"

S'il est absent, sa valeur par défaut est "None".

La valeur de l'attribut *Parameter* représente le paramètre qui a fait l'objet de la surveillance sur la borne OO. Dans CIML version 1, l'attribut *Parameter* accepte les valeurs suivantes:

- "Amplitude" – Le critère est défini sur l'amplitude du signal
- "Mean" – Le critère est défini sur la moyenne du signal
- "Time" – Le critère est défini sur la gigue du signal
- "Duty" – Le critère est défini sur le cycle d'utilisation du signal
- "Period" – Le critère est défini sur la période du signal
- "BER" – Le critère est défini sur le taux d'erreur sur les bits du signal
- "SNR" – Le critère est défini sur le rapport signal sur bruit du signal
- "Internal_Status" – Le critère est défini sur la défaillance de fonction interne (une variation binaire dans un registre interne, par exemple)
- "None" – Aucun paramètre n'est défini ou aucun des paramètres ci-dessus (par défaut)

Plusieurs critères d'essai pour la même OO peuvent être définis l'un après l'autre. Néanmoins, il n'est pas admis de définir plusieurs OO dans le même attribut Table.

EXEMPLE Les données FB avec deux sections Table qui correspondent à deux OO indépendantes avec Id ="1" et Id="10".

```
<Fb>
<Lead Id="1" Ground_id="7" Type="TLP">
  <Table>
    < Pulse_characteristics>
    </Pulse_characteristics>
    <Test_criteria>
      <Id>"1"</Id>
      <Ground_id>"7"</Ground_id>
      <Type>"Class_E_IC"</Type>
    </Test_criteria>
    ...
  </Table>
  <Table>
    <Pulse_characteristics>
    </Pulse_characteristics>
    <Test_criteria>
      <Id>"10"</Id>
      <Ground_id>"8"</Ground_id>
      <Type>"Class_C_IC"</Type>
      <Level>" +200mV, -200mV"</Level>
      <Parameter>"Amplitude"</Parameter>
    </Test_criteria>
    <Test_criteria>
      <Id>"10"</Id>
      <Ground_id>"8"</Ground_id>
      <Type>"Class_C_IC"</Type>
      <Level>"50ns"</Level>
      <Parameter>"Time"</Parameter>
    </Test_criteria>
    ...
  </Table>
</Lead>
</Fb>
```

Dans l'Exemple ci-dessus, deux données FB pour la borne DI "1" référencées auprès de la borne "7" en tant que masse DI sont définies à l'aide de deux sections Table différentes. La première a défini un critère d'essai appliqué sur la borne OO "1" référencée auprès de la borne "7" en tant que masse OO. La seconde a défini deux critères d'essai appliqués sur la borne OO "10" référencée auprès de la borne "8" en tant que masse OO.

Tous les détails pertinents relatifs aux conditions d'essai doivent être définis avec les sections Notes et Documentation.

6.10.2.5.4 Param_order

Le sous-attribut *Param_order* indique à l'analyseur syntaxique CPIM la manière dont les données FB sont représentées. Les chaînes suivantes sont dédiées à la spécification de l'ordre des paramètres:

- "TW": largeur d'impulsion sur la DI
- "TR": temps de montée d'impulsion sur la DI
- "VMAX": tension maximale sur la DI
- "VQS": tension quasi statique sur la DI
- "IQS": courant quasi statique sur la DI
- "IMAX": courant maximal sur la DI
- "EFAIL": énergie lors de la défaillance sur la DI
- "GW": largeur du signal transitoire sur l'OO
- "VS1": tension à l'état haut sur l'OO
- "VS0": tension à l'état bas sur l'OO
- "VDI": tension sur la DI
- "IDI": courant sur la DI

- "VOO": tension sur l'OO
- "IOO": courant sur l'OO
- "TIME": temps associé aux paramètres exprimés dans le domaine temporel

NOTE D'autres critères de défaillance peuvent être ajoutés à un stade ultérieur, si cela est nécessaire.

Ce sous-attribut est exigé.

6.10.2.5.5 Unit_time, Unit_voltage, Unit_current et Unit_energy

Les unités de paramètre sont définies dans les paramètres *Unit_time*, *Unit_voltage*, *Unit_current* et *Unit_energy* pour les grandeurs de temps, de tension, de courant et d'énergie, respectivement.

En l'absence, la valeur par défaut d'*Unit_time* est "s", celle d'*Unit_voltage* est "V", celle d'*Unit_current* est "A" et celle d'*Unit_energy* est "J".

6.10.2.5.6 Data_files et List

List et Data_files sont utilisés pour faire la distinction entre les données en ligne et les données externes. Si les données FB sont définies dans un fichier externe, le lien vers le fichier doit être spécifié dans l'attribut Data_files. Le Tableau 6 répertorie les extensions de fichier admises.

Cet attribut est exigé. Un attribut List ou Data_files unique doit être utilisé pour définir les données FB de la connexion OO spécifique.

6.10.3 Description des données

6.10.3.1 Données en ligne

Les données FB doivent être écrites dans le sous-attribut List de la section d'attribut Table. Les unités de la grandeur de temps doivent être définies dans le paramètre Unit_time, les unités de tension doivent être spécifiées à l'aide du paramètre Unit_voltage, les unités de courant à l'aide du paramètre Unit_current et les unités d'énergie à l'aide du paramètre Unit_energy. En l'absence de valeurs spécifiées, les valeurs par défaut sont utilisées (voir 6.10.2.5.5). L'ordre des valeurs de données est spécifié dans le sous-attribut Param_order.

L'exemple suivant présente les données FB, obtenues dans le cadre d'un essai TLP, représentant la tension maximale VMAX, la tension quasi statique VQS et le courant quasi statique IQS mesurés sur la connexion "1" pour plusieurs impulsions définies par le sous-attribut Pulse_characteristics. Le type est la classe de défaillance E_IC observée sur la connexion "9".

EXEMPLE Présentation d'une section *Fb* obtenue dans le cadre d'un essai TLP.

```
<Fb>
  <Lead Id="1" Ground_id="7" Type="TLP">
    <Table>
      <Pulse_characteristics >
        <Peak_value>"4kV"</Peak_value>
        <Pulse_rise_time>"1ns"</Pulse_rise_time>
        <Pulse_duration>"100ns"</Pulse_duration>
      </Pulse_characteristics >
      <Test_criteria>
        <Id>"9"</Id>
        <Ground_id>"8"</Ground_id>
        <Type>"Class_E_IC"</Type>
      </Test_criteria>
      <Param_order>"VMax"</Param_order>
      <Unit_voltage> "V"</Unit_voltage>
      <List> 13 </List>
    </Table>
```

```

<Table>
  <Pulse_characteristics>
    <Peak_value>"4kV"</Peak_value>
    <Pulse_rise_time>"1ns"</Pulse_rise_time>
    <Pulse_duration>"500ns"</Pulse_duration>
  </Pulse_characteristics>
  <Test_criteria>
    <Id>"9"</Id>
    <Ground_id>"8"</Ground_id>
    <Type>"Class_E_IC"</Type>
  </Test_criteria>
  <Param_order>"E"</Param_order>
  <Unit_energy>"uJ"</Unit_energy>
  <List> 28,8 </List>
</Table>
<Table>
  < Pulse_characteristics>
    <Peak_value>"4kV"</Peak_value>
    <Pulse_rise_time>"1ns"</Pulse_rise_time>
    <Pulse_duration>"1000ns"</Pulse_duration>
  </Pulse_characteristics >
  <Test_criteria>
    <Id>"9"</Id>
    <Ground_id>"8"</Ground_id>
    <Type>"Class_E_IC"</Type>
  </Test_criteria>
  <Param_order>"TW,VQS,IQS"</Param_order>
  <Unit_voltage>"V"</Unit_voltage>
  <Unit_current>"A"</Unit_current>
  <Unit_time>"ns"</Unit_time>
  <List> 600, 3.5, 6.8 </List>
</Table>
</Lead>
</Fb>

```

6.10.3.2 Données du fichier externe

Les données FB doivent être écrites dans le fichier spécifié par l'attribut Data_files. Les unités de la grandeur de temps doivent être définies dans le paramètre Unit_time, les unités de tension doivent être spécifiées à l'aide du paramètre Unit_voltage, les unités de courant à l'aide du paramètre Unit_current et les unités d'énergie à l'aide du paramètre Unit_energy. En l'absence de valeurs spécifiées, les valeurs par défaut sont utilisées (voir 6.10.2.5.5). L'ordre des valeurs de données est spécifié dans le paramètre Param_order.

L'exemple suivant présente les données FB, obtenues dans le cadre d'un essai TLP, représentant la tension VOO mesurée dans le domaine temporel sur la connexion "9" pour plusieurs impulsions définies par le sous-attribut Pulse_characteristics appliquées sur la connexion "1". La classe de défaillance CIC est observée sur la connexion "9" comme cela est indiqué par le champ Type.

EXEMPLE Présentation d'une section *Fb* obtenue dans le cadre d'un essai TLP.

```

<Fb>
  <Lead Id="1" Ground_id="7" Type="TLP">
    <Table>
      <Pulse_characteristics >
        <Peak_value>"4kV"</Peak_value>
        <Pulse_rise_time>"1ns"</Pulse_rise_time>
        <Pulse_duration>"100ns"</Pulse_duration>
      </Pulse_characteristics >
      <Test_criteria>
        <Id>"9"</Id>
        <Ground_id>"8"</Ground_id>
        <Type>"Class_C_IC"</Type>
      </Test_criteria>
      <Param_order>"TIME,VOO"</Param_order>
      <Unit_voltage>"V"</Unit_voltage>
      <Unit_time>"ns"</Unit_time>
      <Data_files>
        VOO-1.txt
      </Data_files>
    </Table>
  </Table>
  <Table>
    <Pulse_characteristics>
      <Peak_value>"4kV"</Peak_value>

```

```

        <Pulse_rise_time>"1ns"</Pulse_rise_time>
        <Pulse_duration>"500ns"</Pulse_duration>
    </Pulse_characteristics>
    <Test_criteria>
        <Id>"9"</Id>
        <Ground_id>"8"</Ground_id>
        <Type>"Class_C_IC"</Type>
    </Test_criteria>
    <Param_order>"TIME,VOO"</Param_order>
    <Unit_voltage>"V"</Unit_voltage>
    <Unit_time>"ns"</Unit_time>
    <Data_files>
        VOO-2.txt
    </Data_files>
</Table>
<Table>
    < Pulse_characteristics>
        <Peak_value>"4kV"</Peak_value>
        <Pulse_rise_time>"1ns"</Pulse_rise_time>
        <Pulse_duration>"1000ns"</Pulse_duration>
    </Pulse_characteristics >
    <Test_criteria>
        <Id>"9"</Id>
        <Ground_id>"8"</Ground_id>
        <Type>"Class_E_IC"</Type>
    </Test_criteria>
    <Param_order>"TIME,VOO"</Param_order>
    <Unit_voltage>"V"</Unit_voltage>
    <Unit_time>"ns"</Unit_time>
    <Data_files> VOO-3.txt </Data_files>
</Table>
</Lead>
</Fb>

```

La Figure 8 donne un exemple de fichier contenant des données FB.

!	time(ns)	voltage(V)
	0	3.3
	1	3.33
	2	3.3
	3	3.33
		
	44	2.5
	45	1.8
	46	1
	47	1.01
	48	1.02
	49	1
	50	1.02
	51	1.06
		
	101	1.5
	102	2
	103	2.5
	104	3.3
	105	3.33
	106	3.3
	...	

Figure 8 – Exemple de fichier FB externe

Annexe A (informative)

Extraction des composants de modèle

A.1 Généralités

Les paramètres de macromodèle ICIM-CPI peuvent être extraits de leurs informations de conception ou leurs mesurages. La présente annexe donne les informations de base qui permettent d'obtenir les paramètres de modèle à partir de mesurages.

A.2 Description du PPN

La Figure 3 représente la structure classique d'un PPN. En premier lieu, le PPN contient l'impédance entre la DI et sa masse de référence. Ensuite, le PPN prend en considération d'autres bornes dans lesquelles il existe un couplage inductif ou capacitif avec la DI. Comme cela est indiqué, il existe un chemin de couplage magnétique entre les bornes T1 et T2. C'est la raison pour laquelle la borne T2 est considérée comme une DO. Le PPN prend en considération l'impédance entre la borne T2 et sa masse de référence (partagée avec la masse de la borne T1 dans cet exemple) et le facteur de couplage magnétique entre les bornes T1 et T2.

Le PPN prend également en considération les bornes d'alimentation liées à la DI par l'intermédiaire du NLB. Les bornes internes doivent être prises en considération entre PPN et NLB.

A.3 Extraction PPN

A.3.1 Généralités

L'impédance du PPN est en général extraite à l'aide de différentes méthodologies proposées dans la norme CISPR 17 [6].

Une combinaison appropriée d'appareils de mesure et d'appareillage d'essai est choisie en fonction de la configuration du DUT et des fréquences d'essai. Étant donné que l'impédance du PPN peut varier avec la tension de polarisation, les éléments PPN sont extraits avec le DUT "sous tension" afin de se rapprocher des conditions normales de fonctionnement. Il convient de veiller à ne pas endommager le DUT en utilisant des tensions supérieures aux caractéristiques assignées maximales spécifiées dans la fiche technique du fabricant.

Il convient qu'une organisation nationale de normalisation puisse tracer le système de mesure. Il convient d'étalonner correctement le système de mesure et l'appareillage d'essai comme cela est indiqué dans les manuels d'instruction de l'appareil.

A.3.2 Mesurage de paramètres S/Z/Y

Une méthode de mesure des paramètres de réseau du DUT (paramètres S, Z ou Y) consiste à utiliser un appareil de mesure d'impédance ou un VNA. Selon la norme CISPR 17, le mesurage d'impédance d'un DUT est réalisé de deux manières: la méthode directe et la méthode indirecte.

Dans la méthode directe, il convient de mesurer les paramètres d'impédance en insérant le DUT dans l'appareillage d'essai et en balayant la fréquence de mesure avec l'appareil de mesure d'impédance (analyseur d'impédance). Il convient d'enregistrer la relation entre l'impédance et la fréquence dans la plage de fréquences exigée.

Dans la méthode indirecte, l'impédance d'un DUT peut être évaluée à partir de ses paramètres S. Dans ce cas, les paramètres S sont mesurés à l'aide d'un analyseur de réseau vectoriel dans la plage de fréquences exigée. En règle générale, les analyseurs de réseau vectoriel modernes intègrent une fonction de calcul des impédances. La conversion entre différents paramètres de réseau peut être aisément déterminée dans la documentation de référence technique.

L'impédance d'un accès de VNA est par hypothèse considérée comme égale à 50 Ω. Cette impédance est incluse dans les sources d'excitation et les accès de mesure.

A.3.3 Méthode conventionnelle à un accès

Le modèle de circuit équivalent le plus simple pour un accès d'un analyseur de réseau vectoriel connecté à la broche en essai (DUT) est représenté à la Figure A.1.

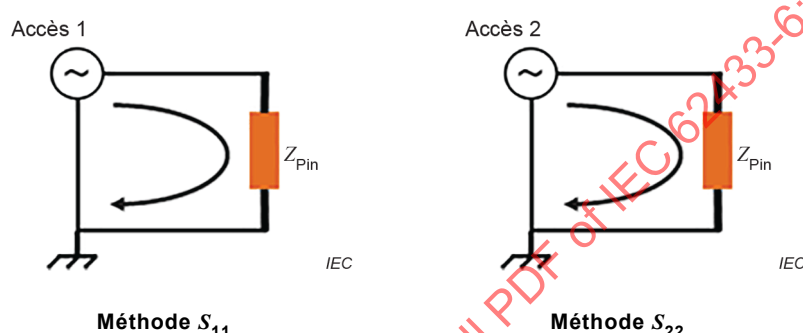


Figure A.1 – Mesurage conventionnel de paramètres S à un accès

Selon l'accès d'excitation (Accès 1 ou Accès 2), S_{11} ou S_{22} représente l'impédance de la broche (Z_{Pin}). Par exemple, Z_{Pin} peut être obtenue à partir de S_{11} en utilisant:

$$Z_{Pin} = Z_0 \frac{1 + S_{11}}{1 - S_{11}}$$

où Z_0 est l'impédance caractéristique de l'Accès 1, qui est de 50 Ω dans la plupart des cas.

A.3.4 Méthode à deux accès pour le mesurage de faible impédance

Pour mesurer avec exactitude la faible impédance ($Z_{Pin} \ll Z_0$), il convient de placer le DUT parallèle à l'analyseur de réseau vectoriel à deux accès, comme cela est représenté à la Figure A.2. Cette configuration est appelée connexion de shuntage.

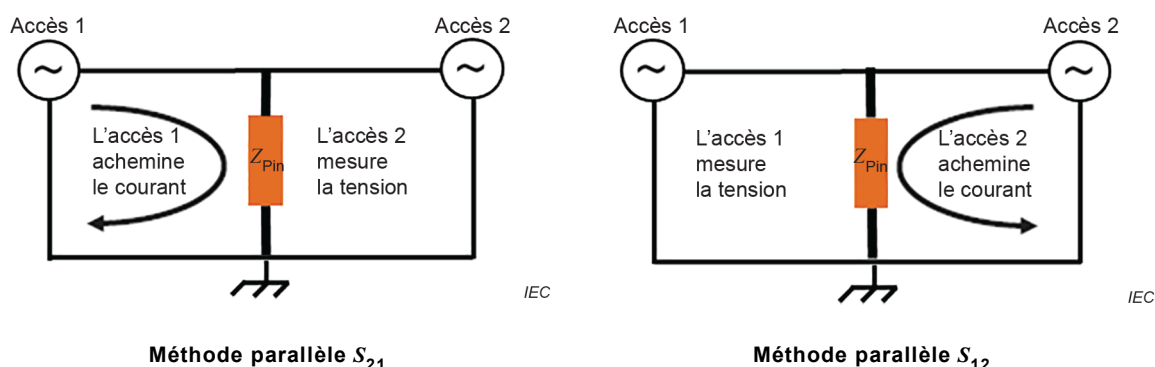


Figure A.2 – Méthode à deux accès pour le mesurage de faible impédance