



INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Digital addressable lighting interface –
Part 101: General requirements – System components**

**Interface d'éclairage adressable numérique –
Partie 101: Exigences générales – Composants de système**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE **XC**
CODE PRIX

ICS 29.140, 29.140.50

ISBN 978-2-8322-1910-2

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	7
INTRODUCTION.....	9
1 Scope.....	10
2 Normative references	10
3 Terms and definitions	10
4 General	15
4.1 Purpose	15
4.2 Version number	15
4.3 System structure and architecture.....	15
4.4 System information flow	16
4.5 Command types	16
4.6 Bus units.....	17
4.6.1 Transmitters and receivers in bus units.....	17
4.6.2 Control gear	17
4.6.3 Input device.....	17
4.6.4 Single master application controller	17
4.6.5 Multi-master application controller	18
4.6.6 Sharing an interface	18
4.7 Bus power supply and load calculations.....	19
4.7.1 Current demand coverage	19
4.7.2 Maximum signal current compliance	19
4.7.3 Simplified system calculation.....	19
4.8 Wiring	19
4.8.1 Wiring structure	19
4.8.2 Wiring specification	19
4.9 Insulation	20
4.10 Earthing of the bus.....	20
4.11 Power interruptions at bus units.....	20
4.11.1 Different levels of power interruptions.....	20
4.11.2 Short power interruptions of external power supply.....	20
4.11.3 External power cycle	21
4.11.4 Short interruptions of bus power supply	21
4.11.5 Bus power down	21
4.11.6 System start-up timing	21
5 Electrical specification	23
5.1 General.....	23
5.2 Marking of the interface	23
5.3 Capacitors between the interface and earth	23
5.4 Signal voltage rating	23
5.5 Signal current rating.....	24
5.6 Marking of bus powered bus unit.....	24
5.7 Signal rise time and fall time	24
6 Bus power supply	26
6.1 General.....	26
6.2 Marking of the bus power supply terminals.....	26
6.3 Capacitors between the interface and earth	26

6.4	Voltage rating	26
6.5	Current rating.....	26
6.5.1	General current rating.....	26
6.5.2	Single bus power supply current rating	27
6.5.3	Integrated bus power supply current rating	27
6.5.4	Dynamic behaviour of the bus power supply	27
6.6	Bus power supply timing requirements	28
6.6.1	Short power supply interruptions.....	28
6.6.2	Short circuit behaviour.....	29
7	Transmission protocol structure	29
7.1	General.....	29
7.2	Bit encoding.....	29
7.2.1	Start bit and data bit encoding	29
7.2.2	Stop condition encoding	30
7.3	Frame description	30
7.4	Frame types.....	30
7.4.1	16 bit forward frame.....	30
7.4.2	24 bit forward frame.....	30
7.4.3	Reserved forward frame	30
7.4.4	Backward frame.....	30
7.4.5	Proprietary forward frames	30
8	Timing	31
8.1	Transmitter timing.....	31
8.1.1	Transmitter bit timing.....	31
8.1.2	Transmitter frame sequence timing.....	32
8.2	Receiver timing.....	32
8.2.1	Receiver bit timing.....	32
8.2.2	Receiver bit timing violation	34
8.2.3	Receiver frame size violation	34
8.2.4	Receiver frame sequence timing.....	34
8.2.5	Reception of backward frames.....	35
8.3	Multi-master transmitter timing.....	35
8.3.1	Multi-master transmitter bit timing.....	35
8.3.2	Multi-master transmitter frame sequence timing.....	36
9	Method of operation.....	36
9.1	Collision avoidance, collision detection and collision recovery	36
9.1.1	General	36
9.1.2	Collision avoidance.....	37
9.1.3	Collision detection	37
9.1.4	Collision recovery	38
9.2	Transactions	39
9.3	Send-twice forward frames and send-twice commands	40
9.4	Command iteration.....	40
9.5	Usage of a shared interface	41
9.5.1	General	41
9.5.2	Backward frames	41
9.5.3	Forward frames	41
9.6	Use of multiple bus power supplies	41

9.7	Command execution	42
10	Declaration of variables	42
11	Definition of commands	42
12	Test procedures	42
12.1	General notes on test.....	42
12.1.1	Abbreviations.....	42
12.1.2	Ambient temperature	42
12.1.3	External power supply voltage and frequency	43
12.1.4	Measurement requirements	43
12.1.5	Test signal generators and bus voltage sources	43
12.1.6	Deviation from documentation	43
12.1.7	Test setup	43
12.1.8	Notation.....	43
12.2	General interface tests.....	49
12.2.1	Label and literature check.....	49
12.2.2	Interface marking check.....	49
12.2.3	Bus powered bus unit marking check.....	50
12.2.4	Bus power supply marking check.....	52
12.2.5	Insulation test.....	54
12.2.6	Capacitor check.....	55
12.3	Bus power supply tests	55
12.3.1	Voltage rating test	55
12.3.2	Voltage rise time test	56
12.3.3	Current rating test.....	56
12.3.4	Dynamic behaviour test	58
12.3.5	Power-on open circuit test	60
12.3.6	Power-on timing test.....	61
12.3.7	Power supply short interruptions test	62
12.3.8	Power supply short circuit test	63
12.3.9	Power supply current consumption test.....	64
12.4	Control device tests	65
12.5	Control gear tests	65
Annex A	(informative) Background information for systems.....	66
A.1	Wiring information.....	66
A.2	System architectures	67
A.2.1	General	67
A.2.2	Single master architecture	67
A.2.3	Multi-master architecture with one application controller	68
A.2.4	Multi-master architecture with more than one application controller	69
A.2.5	Multi-master architecture with integrated input device.....	70
A.2.6	Multi-master architecture with integrated input device and power supply.....	71
A.3	Collision detection	72
A.4	Timing definition explanations	73
A.4.1	General	73
A.4.2	Receiver timing.....	73
A.4.3	Transmitter timing.....	73
A.4.4	Grey areas	74
A.5	Maximum current consumption calculation explanation	74

A.5.1	Single bus power supply	74
A.5.2	Multiple bus power supplies	75
A.5.3	Redundant bus power supplies	76
A.6	Communication layer overview	77
A.6.1	General	77
A.6.2	Physical layer	77
A.6.3	Data link layer	77
A.6.4	Network layer	77
A.6.5	Transport layer	78
A.6.6	Session layer.....	78
A.6.7	Presentation layer	78
A.6.8	Application layer.....	78
Bibliography.....		79
Figure 1 – IEC 62386 graphical overview		9
Figure 2 – System structure example		16
Figure 3 – Communication between bus units (example).....		16
Figure 4 – Example of a shared interface		18
Figure 5 – Start up timing example		22
Figure 6 – Maximum signal rise and fall time measurements.....		25
Figure 7 – Minimum signal rise and fall time measurements.....		25
Figure 8 – Bus power supply current behaviour.....		28
Figure 9 – Bus power supply voltage behaviour.....		28
Figure 10 – Frame example		29
Figure 11 – Bi-phase encoded bits.....		30
Figure 12 – Bit timing example.....		31
Figure 13 – Settling time illustration		32
Figure 14 – Receiver timing decision example		34
Figure 15 – Collision detection timing decision example.....		38
Figure 16 – Collision recovery example.....		39
Figure 17 – Current rating test signal.....		57
Figure 18 – Dynamic behaviour test setup		58
Figure 19 – Dynamic behaviour test signal.....		59
Figure A.1 – Single master architecture example		68
Figure A.2 – Multi-master architecture example with one application controller		69
Figure A.3 – Multi-master architecture example with two application controllers.....		70
Figure A.4 – Multi-master architecture example with integrated input device		71
Figure A.5 – Multi-master architecture example with integrate input device and bus power supply		72
Figure A.6 – Collision detection timing diagram.....		73
Figure A.7 – Transmitter and receiver timing illustration.....		74
Figure A.8 – Bus power supply current values.....		75
Figure A.9 – Current demand coverage.....		75
Figure A.10 – Combination of 4 bus power supplies		76
Figure A.11 – Redundant bus power supplies		76

Table 1 – System components	15
Table 2 – Transmitters and receivers in bus units	17
Table 3 – Power-interruption timing of external power.....	20
Table 4 – Power-interruption timing of bus power.....	20
Table 5 – Short power interruptions	21
Table 6 – Start-up timing.....	22
Table 7 – System voltage levels.....	23
Table 8 – Receiver voltage levels	23
Table 9 – Transmitter voltage levels	24
Table 10 – Current rating	24
Table 11 – Signal rise and fall times	25
Table 12 – Bus power supply output voltage	26
Table 13 – Bus power supply current rating	27
Table 14 – Bus power supply dynamic behaviour	27
Table 15 – Short circuit timing behaviour	29
Table 16 – Transmitter bit timing.....	32
Table 17 – Transmitter settling time values	32
Table 18 – Receiver timing starting at the beginning of a logical bit	33
Table 19 – Receiver timing starting at an edge inside of a logical bit	33
Table 20 – Receiver settling time values	35
Table 21 – Multi-master transmitter bit timing.....	35
Table 22 – Multi-master transmitter settling time values	36
Table 23 – Checking a logical bit, starting at an edge at the beginning of the bit.....	37
Table 24 – Checking a logical bit, starting at an edge inside the bit	38
Table 25 – Collision recovery timing	39
Table 26 – Transmitter command iteration timing	41
Table 27 – Receiver command iteration timing.....	41
Table 28 – Function call keywords	44
Table 29 – Defined operators.....	47
Table A.1 – Maximum cable length	67
Table A.2 – OSI layer model of IEC 62386.....	77

IECINORM.COM: Click to view the full PDF of IEC 62386-101 ed 2.0:2014

INTERNATIONAL ELECTROTECHNICAL COMMISSION

DIGITAL ADDRESSABLE LIGHTING INTERFACE –

Part 101: General requirements – System components

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62386-101 has been prepared by subcommittee 34C: Auxiliaries for lamps, of IEC technical committee 34: Lamps and related equipment.

This second edition cancels and replaces the first edition published in 2009. This edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the previous edition:

- a) collection of all bus timing requirements defined in IEC 62386-101:2009 and IEC 62386-102:2009 and rework of the timing requirements to facilitate the preparation of a future control devices standard, taking particular account of the requirements for multi-master systems. The 10 % tolerances have been replaced by minimum and maximum timing values;
- b) integration of multi-master timing requirements;

- c) extension of the defined forward frames;
- d) addition of wiring requirements;
- e) improvement of the bus power supply requirements;
- f) improvement of test sequences and description of the test sequences in the form of pseudo code instead of flow charts.

The text of this standard is based on the following documents:

FDIS	Report on voting
34C/1098/FDIS	34C/1111/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This Part 101 is intended to be used in conjunction with:

- Part 102, which contains general requirements for the relevant product type (control gear), and with the appropriate Part 2xx (particular requirements for control gear);
- Part 103, which contains general requirements for the relevant product type (control devices), and the appropriate Part 3xx (particular requirements for control devices).

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts of the IEC 62386 series, under the general title: *Digital addressable lighting interface*, can be found on the IEC website

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "http://webstore.iec.ch" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

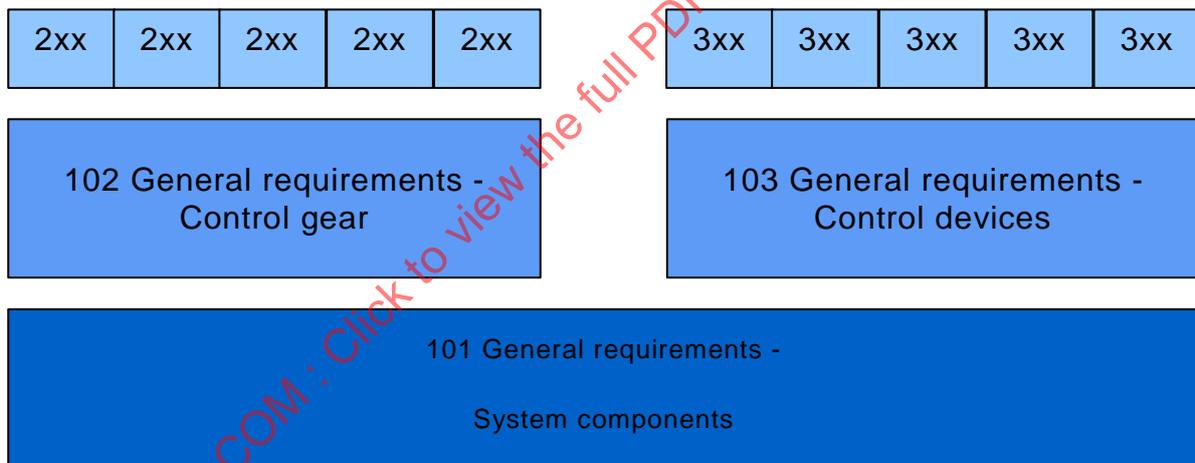
IEC 62386 contains several parts, referred to as series. The 1xx series includes the basic specifications. Part 101 contains general requirements for system components, Part 102 extends this information with general requirements for control gear and Part 103 extends it further with general requirements for control devices.

The 2xx parts extend the general requirements for control gear with lamp specific extensions (mainly for backward compatibility with Edition 1 of IEC 62386) and with control gear specific features.

The 3xx parts extend the general requirements for control devices with input device specific extensions describing the instance types as well as some common features that can be combined with multiple instance types.

This second edition of IEC 62386-101 is published in conjunction with IEC 62386-102:2014 and with the various parts that make up the IEC 62386-2xx series for control gear, together with IEC 62386-103:2014 and the various parts that make up the IEC 62386-3xx series of particular requirements for control devices. The division into separately published parts provides for ease of future amendments and revisions. Additional requirements will be added as and when a need for them is recognised.

The setup of the standard is graphically represented in Figure 1 below.



IEC

Figure 1 – IEC 62386 graphical overview

When this part of IEC 62386 refers to any of the clauses of the other two parts of the IEC 62386-1xx series, the extent to which such a clause is applicable and the order in which the tests are to be performed are specified. The other parts also include additional requirements, as necessary.

All numbers used in this International Standard are decimal numbers unless otherwise noted. Hexadecimal numbers are given in the format 0xVV, where VV is the value. Binary numbers are given in the format XXXXXXXXb or in the format XXXX XXXX, where X is 0 or 1, "x" in binary numbers means "don't care".

DIGITAL ADDRESSABLE LIGHTING INTERFACE –

Part 101: General requirements – System components

1 Scope

This part of IEC 62386 is applicable to system components in a bus system for control by digital signals of electronic lighting equipment. This electronic lighting equipment should be in line with the requirements of IEC 61347, with the addition of d.c. supplies.

NOTE Tests in this standard are type tests. Requirements for testing individual bus units during production are not included.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 61347 (all parts), *Lamp controlgear*

IEC 61347-1, *Lamp controlgear – Part 1: General and safety requirements*

IEC 62386-102:2014, *Digital addressable lighting interface – Part 102: General requirements – Control gear*

IEC 62386-103:2014, *Digital addressable lighting interface – Part 103: General requirements – Control devices*

IEC 61000-4-11, *Electromagnetic compatibility (EMC) – Part 4-11: Testing and measurement techniques – Voltage dips, short interruptions and voltage variations immunity tests*

SOMMAIRE

AVANT-PROPOS.....	85
INTRODUCTION.....	87
1 Domaine d'application	88
2 Références normatives	88
3 Termes et définitions	88
4 Généralités.....	93
4.1 Objet.....	93
4.2 Numéro de version.....	93
4.3 Structure et architecture de système.....	94
4.4 Flux d'informations du système.....	95
4.5 Types de commande.....	95
4.6 Unités de bus.....	95
4.6.1 Émetteurs et récepteurs dans les unités de bus.....	95
4.6.2 Appareillage de commande.....	96
4.6.3 Dispositif d'entrée.....	96
4.6.4 Contrôleur d'application à un seul maître.....	96
4.6.5 Contrôleur d'application à plusieurs maîtres.....	97
4.6.6 Partage d'une interface.....	97
4.7 Alimentation électrique du bus et calculs de la charge	98
4.7.1 Couverture de la demande de courant	98
4.7.2 Conformité du courant de signal maximal	99
4.7.3 Simplification des calculs dans le système.....	99
4.8 Câblage	99
4.8.1 Structure du câblage.....	99
4.8.2 Spécification du câblage.....	99
4.9 Isolation.....	99
4.10 Mise à la terre du bus	99
4.11 Coupures d'alimentation dans les unités de bus.....	100
4.11.1 Différents niveaux de coupures d'alimentation	100
4.11.2 Coupures de courte durée de l'alimentation électrique externe	100
4.11.3 Cycle d'alimentation externe.....	101
4.11.4 Coupures de courte durée de l'alimentation électrique du bus	101
4.11.5 Mise hors tension du bus	101
4.11.6 Cadencement du démarrage du système	101
5 Spécification électrique.....	103
5.1 Généralités	103
5.2 Marquage de l'interface	104
5.3 Condensateurs entre l'interface et la terre	104
5.4 Caractéristiques assignées de tension de signal	104
5.5 Caractéristiques assignées de courant de signal.....	105
5.6 Marquage de l'unité de bus alimentée par le bus	105
5.7 Temps de montée et temps de descente du signal.....	105
6 Alimentation électrique du bus.....	107
6.1 Généralités	107
6.2 Marquage des bornes de l'alimentation électrique du bus	107
6.3 Condensateurs entre l'interface et la terre	108

6.4	Caractéristiques assignées de tension	108
6.5	Caractéristiques assignées de courant.....	108
6.5.1	Généralités.....	108
6.5.2	Caractéristiques assignées de courant de l'alimentation électrique unique du bus.....	109
6.5.3	Caractéristiques assignées de courant de l'alimentation électrique intégrée du bus.....	109
6.5.4	Comportement dynamique de l'alimentation électrique du bus	109
6.6	Exigences de cadencement de l'alimentation électrique du bus	111
6.6.1	Coupures de courte durée de l'alimentation électrique.....	111
6.6.2	Comportement en court circuit.....	111
7	Structure du protocole de transmission.....	111
7.1	Généralités	111
7.2	Codage de bits.....	112
7.2.1	Codage du bit de départ et du bit d'information.....	112
7.2.2	Codage de l'état d'arrêt	112
7.3	Description des trames	112
7.4	Types de trames	113
7.4.1	Trame en avant de 16 bits	113
7.4.2	Trame en avant de 24 bits	113
7.4.3	Trame en avant réservée.....	113
7.4.4	Trame en arrière.....	113
7.4.5	Trames en avant propriétaires	113
8	Cadencement.....	114
8.1	Cadencement de l'émetteur	114
8.1.1	Cadencement des bits de l'émetteur	114
8.1.2	Cadencement de séquence de trame de l'émetteur.....	114
8.2	Cadencement du récepteur.....	115
8.2.1	Cadencement des bits du récepteur.....	115
8.2.2	Violation du cadencement des bits du récepteur	117
8.2.3	Violation de taille de trame du récepteur.....	117
8.2.4	Cadencement de séquence de trame du récepteur	117
8.2.5	Réception des trames en arrière	118
8.3	Cadencement de l'émetteur à plusieurs maîtres.....	118
8.3.1	Cadencement des bits de l'émetteur à plusieurs maîtres	118
8.3.2	Cadencement de séquence de trame de l'émetteur à plusieurs maîtres	119
9	Mode de fonctionnement	120
9.1	Évitement de collisions, détection de collisions et récupération en cas de collision	120
9.1.1	Généralités.....	120
9.1.2	Évitement des collisions	120
9.1.3	Détection des collisions	120
9.1.4	Récupération en cas de collision	122
9.2	Transactions	123
9.3	Trames en avant double envoi et commandes double envoi.....	124
9.4	Itération des commandes	124
9.5	Utilisation d'une interface partagée	125
9.5.1	Généralités.....	125
9.5.2	Trames en arrière	125

9.5.3	Trames en avant.....	125
9.6	Utilisation de plusieurs alimentations électriques du bus.....	125
9.7	Exécution des commandes	126
10	Déclaration de variables	126
11	Définition des commandes.....	126
12	Procédures d'essai	126
12.1	Notes générales relatives à l'essai	126
12.1.1	Abréviations	126
12.1.2	Température ambiante.....	127
12.1.3	Tension et fréquence de l'alimentation électrique externe.....	127
12.1.4	Exigences de mesure	127
12.1.5	Générateurs de signal d'essai et sources de tension du bus	127
12.1.6	Écart par rapport à la documentation	127
12.1.7	Montage d'essai	128
12.1.8	Notation.....	128
12.2	Essais généraux de l'interface	134
12.2.1	Contrôle de l'étiquette et de la documentation	134
12.2.2	Contrôle du marquage de l'interface	134
12.2.3	Contrôle du marquage des unités de bus alimentées par le bus.....	135
12.2.4	Contrôle du marquage de l'alimentation électrique du bus	137
12.2.5	Essai d'isolation	140
12.2.6	Contrôle du condensateur.....	140
12.3	Essais de l'alimentation électrique du bus.....	141
12.3.1	Essai des caractéristiques assignées de tension	141
12.3.2	Essai du temps de montée de la tension.....	141
12.3.3	Essai des caractéristiques assignées du courant	142
12.3.4	Essai de comportement dynamique	144
12.3.5	Essai en circuit ouvert de mise sous tension.....	147
12.3.6	Essai de cadencement de mise sous tension	148
12.3.7	Essai de coupures de courte durée de l'alimentation électrique	150
12.3.8	Essai en court-circuit de l'alimentation électrique.....	150
12.3.9	Essai de consommation de courant de l'alimentation électrique	152
12.4	Essais des dispositifs de commande	153
12.5	Essais des appareillages de commande.....	153
Annexe A	(informative) Informations de base pour les systèmes	154
A.1	Informations sur le câblage	154
A.2	Architectures de système	155
A.2.1	Généralités	155
A.2.2	Architecture à un seul maître	155
A.2.3	Architecture à plusieurs maîtres avec un contrôleur d'application	156
A.2.4	Architecture à plusieurs maîtres avec plus d'un contrôleur d'application	157
A.2.5	Architecture à plusieurs maîtres avec un dispositif d'entrée intégré	158
A.2.6	Architecture à plusieurs maîtres avec dispositif d'entrée et alimentation électrique intégrés	159
A.3	Détection des collisions	160
A.4	Explications des définitions de cadencement	162
A.4.1	Généralités	162
A.4.2	Cadencement du récepteur.....	162
A.4.3	Cadencement de l'émetteur	162

A.4.4	Zones grisées	162
A.5	Explication du calcul de la consommation de courant maximale	163
A.5.1	Alimentation électrique unique du bus	163
A.5.2	Alimentations électriques multiples du bus.....	165
A.5.3	Alimentations électriques redondantes du bus	165
A.6	Présentation générale des couches de communication	166
A.6.1	Généralités.....	166
A.6.2	Couche physique.....	167
A.6.3	Couche liaison de données.....	167
A.6.4	Couche réseau	167
A.6.5	Couche transport.....	168
A.6.6	Couche session.....	168
A.6.7	Couche présentation.....	168
A.6.8	Couche application	168
	Bibliographie.....	169
	Figure 1 – Présentation graphique générale de l'IEC 62386.....	87
	Figure 2 – Exemple de structure de système.....	94
	Figure 3 – Communication entre les unités de bus (exemple).....	95
	Figure 4 – Exemple d'une interface partagée	98
	Figure 5 – Exemple de cadencement du démarrage.....	103
	Figure 6 – Mesurages des temps maximums de montée et de descente du signal	106
	Figure 7 – Mesurages des temps minimums de montée et de descente du signal	107
	Figure 8 – Comportement du courant de l'alimentation électrique du bus.....	110
	Figure 9 – Comportement de la tension de l'alimentation électrique du bus.....	111
	Figure 10 – Exemple de trame	112
	Figure 11 – Bits à codage biphasé.....	112
	Figure 12 – Exemple de cadencement de bits	114
	Figure 13 – Illustration de la durée d'établissement	115
	Figure 14 – Exemple de décision de cadencement du récepteur	117
	Figure 15 – Exemple de décision de cadencement de la détection des collisions.....	122
	Figure 16 – Exemple de récupération en cas de collision	123
	Figure 17 – Signal d'essai des caractéristiques assignées du courant	143
	Figure 18 – Montage d'essai de comportement dynamique	145
	Figure 19 – Signal d'essai de comportement dynamique.....	145
	Figure A.1 – Exemple d'architecture à un seul maître	156
	Figure A.2 – Exemple d'architecture à plusieurs maîtres avec un contrôleur d'application	157
	Figure A.3 – Exemple d'architecture à plusieurs maîtres avec deux contrôleurs d'application	158
	Figure A.4 – Exemple d'architecture à plusieurs maîtres avec un dispositif d'entrée intégré	159
	Figure A.5 – Exemple d'architecture à plusieurs maîtres avec dispositif d'entrée et alimentation électrique du bus intégrés	160
	Figure A.6 – Chronogramme de détection des collisions	162
	Figure A.7 – Illustration du cadencement de l'émetteur et du récepteur	163

Figure A.8 – Valeurs de courant de l'alimentation électrique du bus.....	164
Figure A.9 – Couverture de la demande de courant	164
Figure A.10 – Combinaison de 4 alimentations électriques du bus	165
Figure A.11 – Alimentations électriques redondantes du bus	166
Tableau 1 – Composants de système	94
Tableau 2 – Émetteurs et récepteurs dans les unités de bus.....	96
Tableau 3 – Cadencement de coupure de l'alimentation électrique externe.....	100
Tableau 4 – Cadencement de coupure de l'alimentation électrique du bus.....	100
Tableau 5 – Coupures d'alimentation de courte durée.....	100
Tableau 6 – Cadencement du démarrage.....	102
Tableau 7 – Niveaux de tension du système	104
Tableau 8 – Niveaux de tension du récepteur	104
Tableau 9 – Niveaux de tension de l'émetteur.....	105
Tableau 10 – Caractéristiques assignées de courant	105
Tableau 11 – Temps de montée et de descente du signal.....	106
Tableau 12 – Tension de sortie de l'alimentation électrique du bus.....	108
Tableau 13 – Caractéristiques assignées de courant de l'alimentation électrique du bus	108
Tableau 14 – Comportement dynamique de l'alimentation électrique du bus	109
Tableau 15 – Comportement de cadencement en court-circuit	111
Tableau 16 – Cadencement des bits de l'émetteur	114
Tableau 17 – Valeurs de la durée d'établissement de l'émetteur	115
Tableau 18 – Démarrage du cadencement du récepteur au début d'un bit logique	116
Tableau 19 – Démarrage du cadencement du récepteur au niveau d'un front à l'intérieur d'un bit logique.....	116
Tableau 20 – Valeurs de la durée d'établissement du récepteur.....	118
Tableau 21 – Cadencement des bits de l'émetteur à plusieurs maîtres	119
Tableau 22 – Valeurs de la durée d'établissement de l'émetteur à plusieurs maîtres	119
Tableau 23 – Vérification d'un bit logique, en commençant par un front au début du bit.....	121
Tableau 24 – Vérification d'un bit logique, en commençant par un front à l'intérieur du bit.....	121
Tableau 25 – Cadencement de la récupération en cas de collision.....	122
Tableau 26 – Cadencement de l'itération des commandes de l'émetteur.....	125
Tableau 27 – Cadencement de l'itération des commandes du récepteur	125
Tableau 28 – Mots clés des appels de fonctions	128
Tableau 29 – Opérateurs définis	132
Table A.1 – Longueur de câble maximale	155
Table A.2 – Modèle de couche OSI de l'IEC 62386	167