

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Bias-temperature stability test for metal-oxide, semiconductor, field-effect transistors (MOSFET) –
Part 1: Fast BTI test for MOSFET**

**Dispositifs à semiconducteurs – Essai de stabilité de température en
polarisation pour transistors à effet de champ metal-oxyde-semiconducteur
(MOSFET) –
Partie 1: Essai rapide de BTI pour les MOSFET**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2020 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 000 terminological entries in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC -

webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 000 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Bias-temperature stability test for metal-oxide, semiconductor, field-effect transistors (MOSFET) –
Part 1: Fast BTI test for MOSFET**

**Dispositifs à semiconducteurs – Essai de stabilité de température en polarisation pour transistors à effet de champ metal-oxyde-semiconducteur (MOSFET) –
Partie 1: Essai rapide de BTI pour les MOSFET**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.30

ISBN 978-2-8322-8610-4

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	4
INTRODUCTION.....	6
1 Scope.....	7
2 Normative reference	7
3 Terms and definitions	7
4 Test equipment.....	9
4.1 Equipment	9
4.1.1 Wafer prober	9
4.1.2 Measurement equipment	9
4.2 Recommendation for handling.....	10
5 Test sample.....	10
5.1 Sample	10
5.1.1 General	10
5.1.2 Channel length (gate length).....	10
5.1.3 Channel width (gate width)	10
5.1.4 Structure	10
5.1.5 Wafer process	11
5.2 Antenna protection diode	11
5.3 Number of samples	11
6 Procedure.....	12
6.1 General remarks on measurement time.....	12
6.2 Definition of measurement parameter.....	12
6.2.1 Expression of degradation parameters.....	12
6.2.2 Measurement in weakly inverted region	13
6.2.3 Measurement in subthreshold region	13
6.2.4 Measurement of I_D degradation (I_{Dsat} , I_{Dlin}).....	14
6.3 Test	14
6.3.1 Test flow	14
6.3.2 Fast voltage switching	15
6.3.3 Temperature.....	16
6.3.4 Electric field strength E_{ox}	16
6.3.5 Read point.....	16
6.3.6 Final test time.....	16
6.4 Lifetime estimation.....	17
6.4.1 Procedure for estimating the degradation at end of life	17
6.4.2 Procedure for estimating the lifetime on the targeted criteria	18
Annex A (informative) Recovery effect of BTI.....	19
Annex B (informative) Selection of a wide device [2]	20
Bibliography.....	22
Figure 1 – Degradation (ΔV_{th}) recovering by BTI conditions removing with time.....	6
Figure 2 – $I_D - V_{GS}$ curve to explain V_{th-ext}	8
Figure 3 – Connection between MOSFET electrodes and external terminals	10
Figure 4 – Example of antenna protection circuit for BULK process	11
Figure 5 – Measurement time dependence of recovery effect.....	12

Figure 6 – Calculation method of V_{th} degradation	14
Figure 7 – Comparison of BTI flowchart	15
Figure 8 – Switching schematic of fast BTI.....	16
Figure A.1 – Recovery time dependence of Pch BTI	19
Figure B.1 – Typical BTI induced variance dependence on W	21
Figure B.2 – Possible MOSFET layout to be adopted with narrow device	21

IECNORM.COM : Click to view the full PDF of IEC 62373-1:2020

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES – BIAS-TEMPERATURE STABILITY TEST FOR METAL-OXIDE, SEMICONDUCTOR, FIELD-EFFECT TRANSISTORS (MOSFET) –

Part 1: Fast BTI test for MOSFET

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62373-1 has been prepared by IEC technical committee 47: Semiconductor devices.

The text of this International Standard is based on the following documents:

FDIS	Report on voting
47/2627/FDIS	47/2637/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 62373 series, published under the general title *Semiconductor devices – Bias-temperature stability test for metal-oxide, semiconductor, field-effect transistors (MOSFET)*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

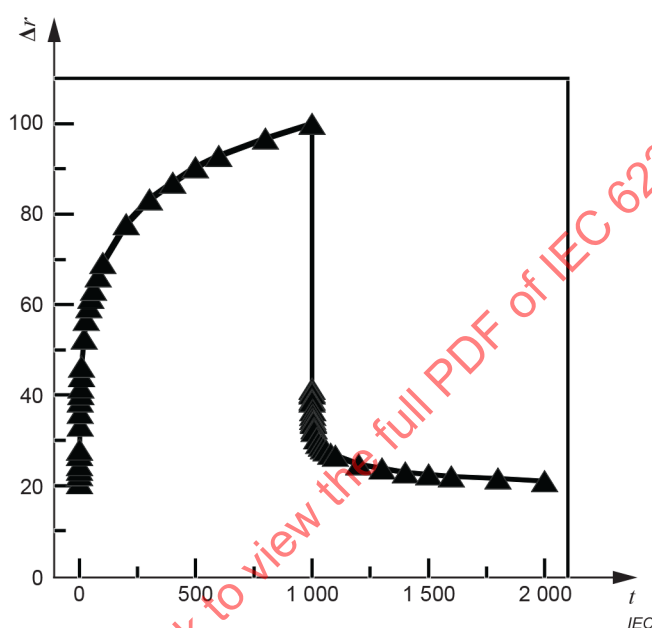
IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM : Click to view the full PDF of IEC 62373-1:2020

INTRODUCTION

BTI (bias temperature instability) degradation of semiconductor devices is a crucial failure. IEC 62373:2006 provides a method to test for this failure.

With advances in technology, the magnitude of recovery for BTI degradation has been remarkable. Recovery from BTI degradation occurs in microseconds to milliseconds after removing or reducing gate stress. Figure 1 below shows experiment data of V_{th} shift which is stressed in BTI condition for 1 000 s and not stressed after that [1]¹. It shows that the degradation is rapidly recovered, to about 40 % in a few seconds right after removing the stress at 1 000 s. Therefore, a fast measurement method is necessary to avoid this effect and to determine this degradation with exactitude.



Key

Δr ratio of V_{th} degradation amount to maximum degradation;

t stress or recovery time, expressed in seconds.

Figure 1 – Degradation (ΔV_{th}) recovering by BTI conditions removing with time

However, the existing test, described in IEC 62373, suffers from the disadvantage that the recovery process starts as soon as the stress is reduced while making the fairly lengthy set of measurements that establish the shift in threshold voltage. The procedure described in this standard uses an alternative method for measuring degradation that, by taking very little time, minimizes the partial recovery that occurs during the measurement.

¹ Numbers in square brackets refer to the Bibliography.

SEMICONDUCTOR DEVICES – BIAS-TEMPERATURE STABILITY TEST FOR METAL-OXIDE, SEMICONDUCTOR, FIELD-EFFECT TRANSISTORS (MOSFET) –

Part 1: Fast BTI test for MOSFET

1 Scope

This part of IEC 62373 provides the measurement procedure for a fast BTI (bias temperature instability) test of silicon based metal-oxide semiconductor field-effect transistors (MOSFETs).

This document also defines the terms pertaining to the conventional BTI test method.

2 Normative reference

There are no normative references in this document.

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1

nominal power supply voltage

V_{DD}

suitable value of the voltage used to designate the power supply of the technology

3.2

drain – source voltage

V_{DS}

voltage between the drain and the source

3.3

gate – source voltage

V_{GS}

voltage between the gate and the source

3.4

well – source voltage

V_{BS}

voltage between the well and the source

3.5

drain current

I_D

current monitored for drain terminal when V_{BS} is zero

3.6 constant current threshold voltage

V_{th-ci}

V_{GS} at which drain current is equal to selected I_D

Note 1 to entry: This definition is expressed by the following equation.

$$V_{th-ci} = V_{GS} \left(\text{when } I_D = I_{D0} \times \frac{W}{L} \right) \quad (1)$$

where

V_{th-ci} is constant current threshold voltage where;

I_D is drain current (arbitrary);

I_{D0} is constant value, which is recommended at $V_{GS} < V_{th-ext}$ (typically selected from 50 nA to 300 nA);

W is channel width;

L is channel length.

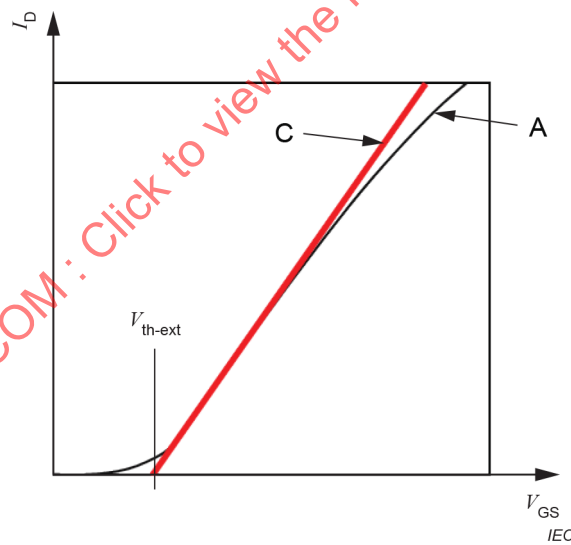
Note 2 to entry: If V_{GS} is over V_{th-ext} , it is possible that the mobility degradation affects V_{th-ci} and if V_{GS} is V_{th-ext} , the impact of the density of interface states to V_{th} shift may not be detected.

3.7 extrapolated threshold voltage

V_{th-ext}

gate source voltage at which the extrapolated maximum slope of the curve of drain current versus gate source voltage intercepts the drain-current axis

SEE: Figure 2.



Key

A $I_D - V_{GS}$ curve;

C extrapolated maximum slope of the $I_D - V_{GS}$ curve;

V_{th-ext} extrapolated threshold voltage.

Figure 2 – $I_D - V_{GS}$ curve to explain V_{th-ext}

3.8 saturated drain current

I_{Dsat}

drain current when the transistor is biased in the saturation region and the measure condition is $V_{DS} = V_{GS} = V_{DD}$

3.9**linear drain current** I_{Dlin} drain current at linear region ($V_{DS} = 0,05 \text{ V}$ to $0,1 \text{ V}$) and $V_{GS} = V_{DD}$ **3.10****gate source voltage for measurement** $V_{GS-meas}$ V_{GS} which is applied in measurement duration**3.11****drain current for measurement** I_{D-meas} drain current at $V_{GS} = V_{GS-meas}$ **3.12****dielectric electric field strength** E_{ox}

electric field strength in the gate dielectric

Note 1 to entry: The general formula for E_{ox} is

$$E_{ox} = \frac{V_{ox}}{t_{ox}} \quad (2)$$

where

 E_{ox} is electric field strength of gate dielectric; V_{ox} is gate dielectric applied voltage; t_{ox} is gate dielectric thickness.

t_{ox} is a parameter used for inline monitoring determined by CV analysis at inversion condition. It is important to point out that the applied voltage is not necessarily the voltage across the dielectric. Ultrathin dielectrics exhibit quantum confinement effects and gate electrode depletion effects effectively reducing the voltage across the dielectric. The method of determining t_{ox} or a reference to the documented standard should be included in the data report.

4 Test equipment**4.1 Equipment****4.1.1 Wafer prober**

A wafer prober equipped with a hot chuck is used. The temperature should be kept constant (within $\pm 1^\circ\text{C}$ is recommended) during stress and measurement. All time intervals should be recorded to an accuracy of 1 %. These include the period from the first application of stress to the start of each measurement, and the duration of each measurement before the stress is re-applied.

Since some equipment is designed with a tolerance of $\pm 3^\circ\text{C}$, it is necessary to confirm that it is within $\pm 1^\circ\text{C}$ by actual measurement on the chuck.

4.1.2 Measurement equipment

Measurement instruments with fast voltage switching are used for the DC characteristics of MOSFETs. The fast switching shall be in a few ms (it is recommended in a few μs , if possible). The accuracy should be maintained at high temperature.

4.2 Recommendation for handling

When it is available, it is recommended to use ESD protective equipment (wrist strap etc.) to prevent damage to the test sample.

5 Test sample

5.1 Sample

5.1.1 General

One MOSFET, as described in 5.1.2 to 5.1.5, is used.

5.1.2 Channel length (gate length)

It is recommended to use the designed minimum channel length of the targeted technology or production when individual specifications are not specifically defined, or when the minimum channel length does not yield a worse BTI. If necessary, channel length dependence may be confirmed by evaluating another channel length.

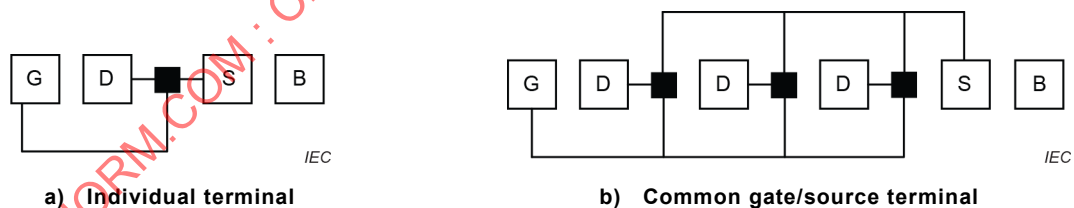
NOTE In some technologies the worst BTI is associated with the longest channel length.

5.1.3 Channel width (gate width)

The measured variability of BTI shifts is strongly dependent on the selected channel width. It is recommended to define the channel width at which the measurement is steady (see Annex B). It is better for it to be determined through pre-test. If there is no special requirement, a channel width from 1 μm to 20 μm is recommended.

5.1.4 Structure

It is recommended that four electrodes (gate, source, drain, substrate) are connected to individual external terminals Figure 3a). A common gate/source terminal structure (see Figure 3b)) shall not be used.



Key

- G gate terminal;
- S source terminal;
- D drain terminal;
- B substrate terminal.

Figure 3 – Connection between MOSFET electrodes and external terminals

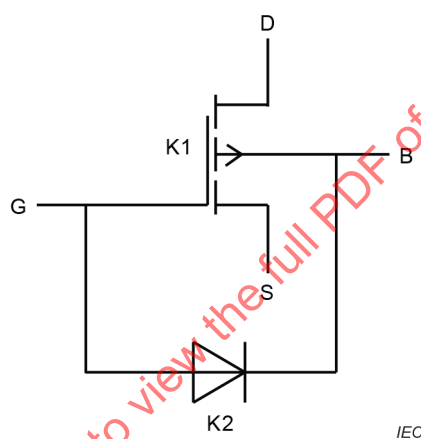
The well terminal used during stress/measurement shall be at the same bias conditions as in operation (typically $V_W = 0$ if bulk). To minimize parasitic voltage drops between the probe pads and the device terminals (V_{device}), the wiring resistances (R_W) from the probe pads to the device gate, source, drain, and well are selected such that the voltage drop ($I \times R_W$) is less than 1 % V_{device} .

5.1.5 Wafer process

It is strongly recommended that the steps of the wafer process, such as impurity concentration, thermal treatment, wiring process, be identical to those required by the targeted technology. The impact of process damage can be mitigated when the multi-layered metallization process is simplified for sample preparation. It is necessary to carefully consider the result.

5.2 Antenna protection diode

According to the design manual, an antenna protection diode shall be added to the gate electrode (see Figure 4) to avoid antenna damage. However, if it is necessary to consider RC delay for fast BTI measurement, unnecessary or excessive antenna protection diode should not be implemented. Drain current should be measured to an accuracy better than 0,2 %. Owing to the transient effect of switching the drain voltage, the time-constant at the input of the instrument used to measure very low levels of drain current should be taken into consideration when the measurement duration is very short. Sensitivity to possible stray voltages should also be considered.



Key

Components	Terminals
K1 MOSFET	G gate terminal
K2 protection diode	S source terminal
	D drain terminal
	B substrate terminal

Figure 4 – Example of antenna protection circuit for BULK process

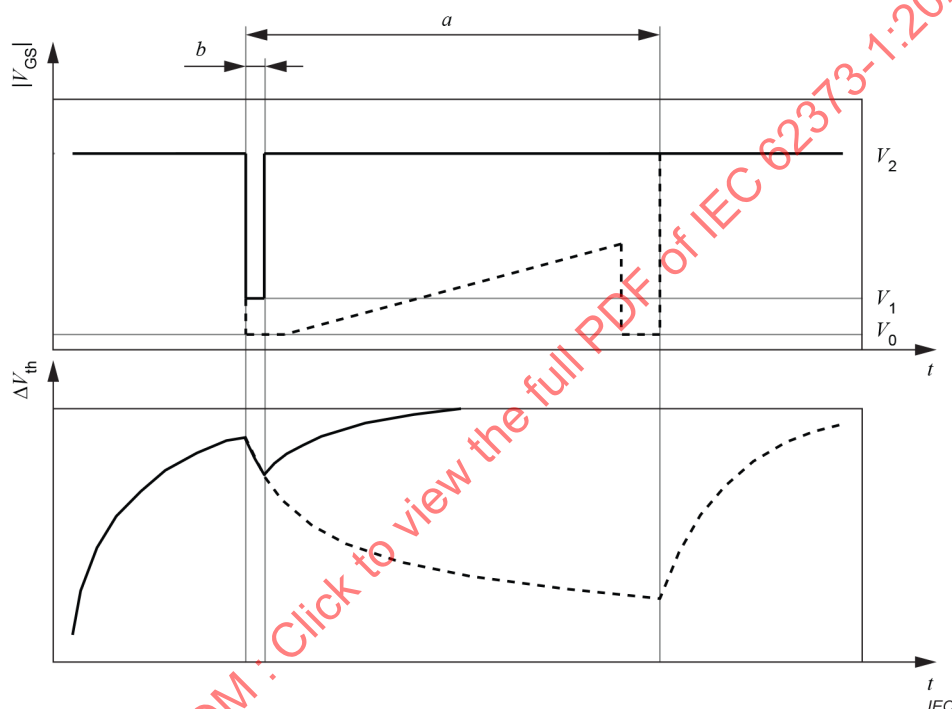
5.3 Number of samples

Depending on the measured variability of the BTI shifts for a given device, an adequate sample size is required to achieve an assumed statistical confidence level, see Annex B. A minimum of four samples is recommended for each test condition for a large channel width (recommended in 5.1.3).

6 Procedure

6.1 General remarks on measurement time

The amount of degradation depends on the measurement time because the recovery effect of a Pch BTI is considerable. Making a set of measurements of drain current vs. gate source voltage ($I_D - V_{GS}$), to determine the threshold voltage directly, takes a comparatively long time and the recovery effect can be comparatively large, see Annex A. The measurement time shall be shorter than a few ms. And if possible, the measurement time should be under 10 μ s. The fast measurement method by using common DC measurement system is the single-point measurement of drain current I_D and the measurement time should be made shorter. It is defined as “fast BTI” method. The fast BTI method compared to the conventional BTI method is described in Figure 5. The conventional BTI test flow, which is based on IEC 62373, is exhibited simply in comparison with the fast BTI method (see Figure 5).



Key

t time;

V_0 ground level;

V_1 measurement voltage;

V_2 stress voltage;

a period of $I_D - V_{GS}$ measurement;

b period of single point I_D measurement;

Dotted line applied V_{GS} and V_{th} degradation profile in conventional BTI measurement method;

Solid line applied V_{GS} and V_{th} degradation profile in fast BTI measurement method.

Figure 5 – Measurement time dependence of recovery effect

6.2 Definition of measurement parameter

6.2.1 Expression of degradation parameters

The degradation parameter is the change of threshold voltage at the selected drain current. However, the measurement of a single I_D point cannot express the degradation of V_{th} , therefore I_{D-meas} values are converted into V_{th} by using initial $I_D - V_{GS}$ parameters. I_{D-meas} and the initial $I_D - V_{GS}$ parameters shall be measured at the same temperature as a stress condition.

6.2.2 Measurement in weakly inverted region

In this procedure, it is recommended that $V_{GS-meas}$ be specified below V_{th-ext} to minimize the effect of mobility degradation. In this case, the degradation can be converted from I_D into V_{th} by the subtraction between $V_{GS-meas}$ and V_{GS} at the point of measured I_D in the initial $I_D - V_{GS}$ curve because the $I_D - V_{GS}$ curve can be assumed to be a parallel shift for BTI stress, see Figure 6.

$$\Delta V_{th} = V_{GS-meas} - V_{GS-init} \cdot (I_D = I_{D-meas}(t)) \quad (3)$$

$$V_{GS-init}(I_D = I_{D-meas}(t)) = V_{GS}(i) - (V_{GS}(i) - V_{GS}(i-1)) \times \frac{\log_{10}(I_D(i)) - \log_{10}(I_{D-meas}(t))}{\log_{10}(I_D(i)) - \log_{10}(I_D(i-1))} \quad (4)$$

where

$I_D(i)$ i^{th} drain current of initial $V_{GS} - I_D$ sweep result, where $I_D(i) > I_{D-meas} > I_D(i-1)$, see Figure 6(a) and Figure 6(b);

$V_{GS}(i)$ i^{th} measurement gate source voltage of initial $V_{GS} - I_D$ sweep, see Figure 6(a) and Figure 6(b).

6.2.3 Measurement in subthreshold region

The degradation can be converted from I_D into ΔV_{th} by using a subthreshold slope of initial $I_D - V_{GS}$ at $V_{GS-meas}$ is in the subthreshold region (see Figure 6(b)).

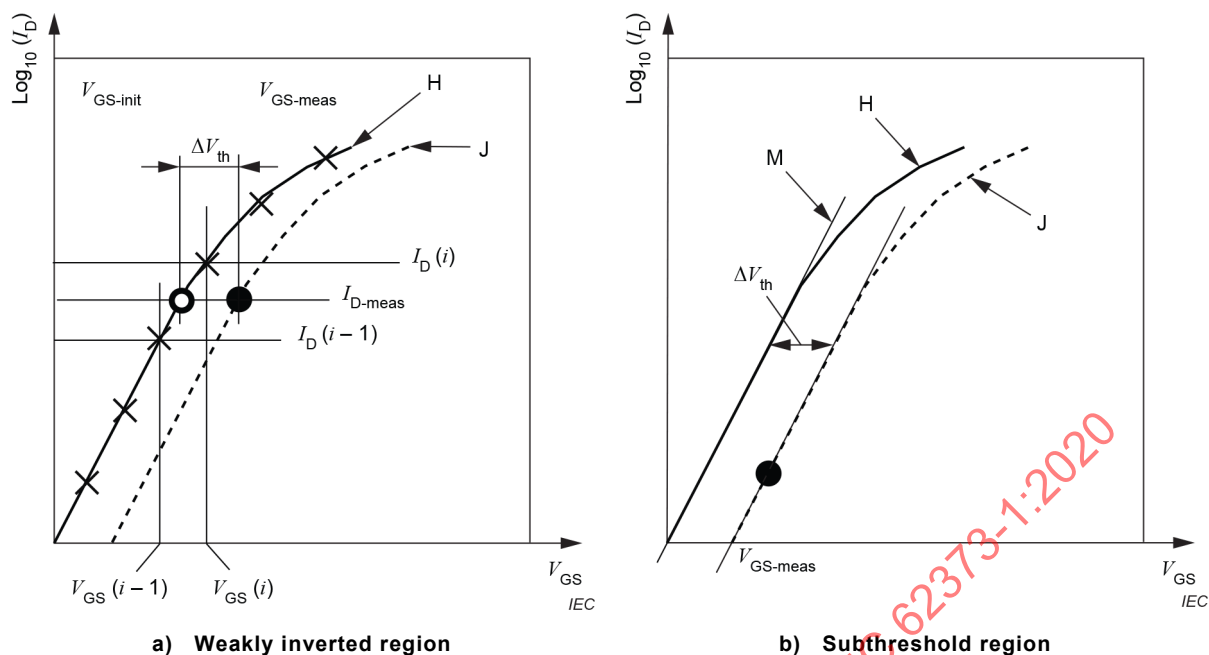
$$\Delta V_{th} = \frac{\log_{10}\{I_{D-meas}(0)\} - \log_{10}\{I_{D-meas}(t)\}}{S_0} \quad (5)$$

where

S_0 subthreshold slope of initial $I_D - V_{GS}$;

$I_{D-meas}(0)$ initial I_{D-meas} measured at $V_{GS} = V_{GS-meas}$;

$I_{D-meas}(t)$ I_{D-meas} after degradation measured at $V_{GS} = V_{GS-meas}$.



Key

H	initial $I_D - V_{GS}$ curve;
J	$I_D - V_{GS}$ curve after degradation;
M	subthreshold slope of initial $I_D - V_{GS}$;
$I_{D-meas}(t)$	I_{D-meas} after degradation measured at $V_{GS} = V_{GS-meas}$;
ΔV_{th}	V_{th} degradation;
$V_{GS-meas}$	V_{GS} at which is single point I_D measurement for fast BTI;
$V_{GS-init}$	V_{GS} where $I_D = I_{D-meas}(t)$ at initial $I_D - V_{GS}$ curve;
$I_D(i)$	i^{th} measurement current of initial $V_{GS} - I_D$ sweep, where $I_D(i) > I_{D-meas} > I_D(i-1)$;
$V_{GS}(i)$	i^{th} measurement voltage of initial $V_{GS} - I_D$ sweep.

Figure 6 – Calculation method of V_{th} degradation

6.2.4 Measurement of I_D degradation (I_{Dsat} , I_{Dlin})

If I_{Dsat} or I_{Dlin} shift and ΔV_{th} have the proportional relation, the measurement parameters I_{Dsat} and I_{Dlin} can be used directly.

6.3 Test

6.3.1 Test flow

The differences between fast BTI test method and conventional BTI test method are the measurement parameters and measurement term of intermediate measurement, see Figure 7. Since the curve of drain current versus gate voltage varies with temperature, all drain current measurements should be made at the same temperature. Raise the temperature to the chosen stress value, apply the drain voltage, increase the gate voltage in small increments while noting the drain current at each step. When enough points have been measured, remove the gate and drain voltages, but maintain the temperature. To apply or re-apply the stress, remove the drain voltage and apply the selected stress value for the gate voltage. To make a drain-current measurement, reduce the gate source voltage to its measurement value and apply an accurate value to the drain voltage. Voltage switching should occur rapidly, typically within a few milliseconds, and simultaneous events should be phased to avoid damage to the transistor.

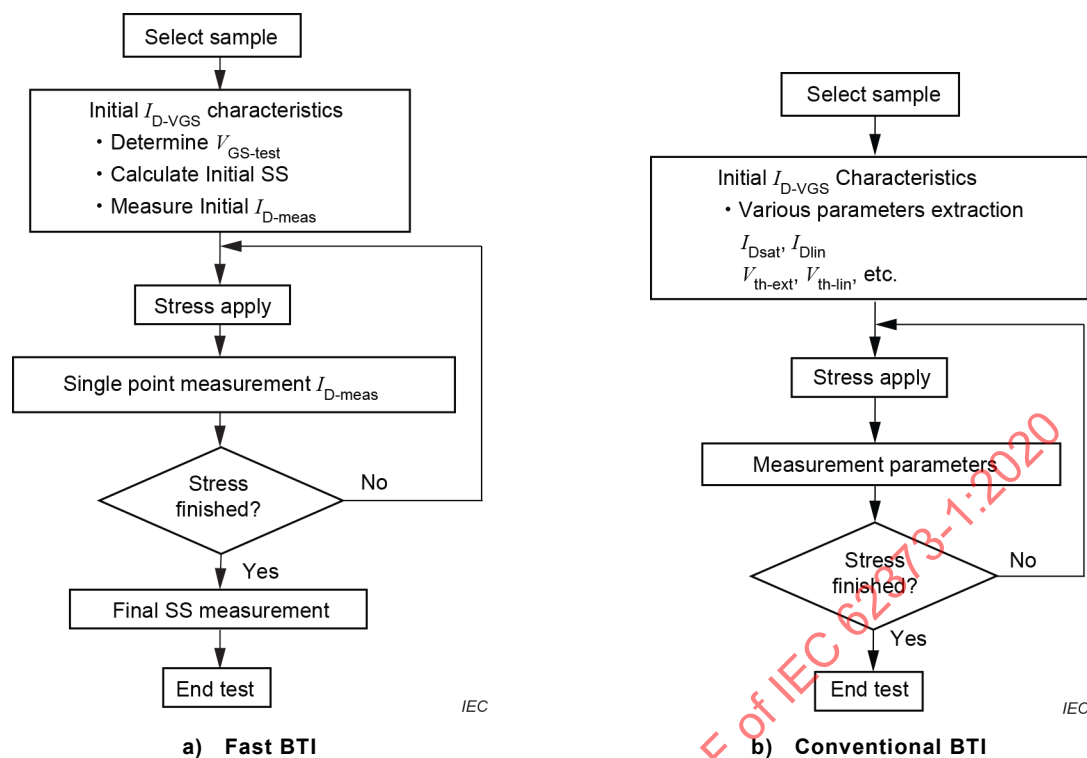
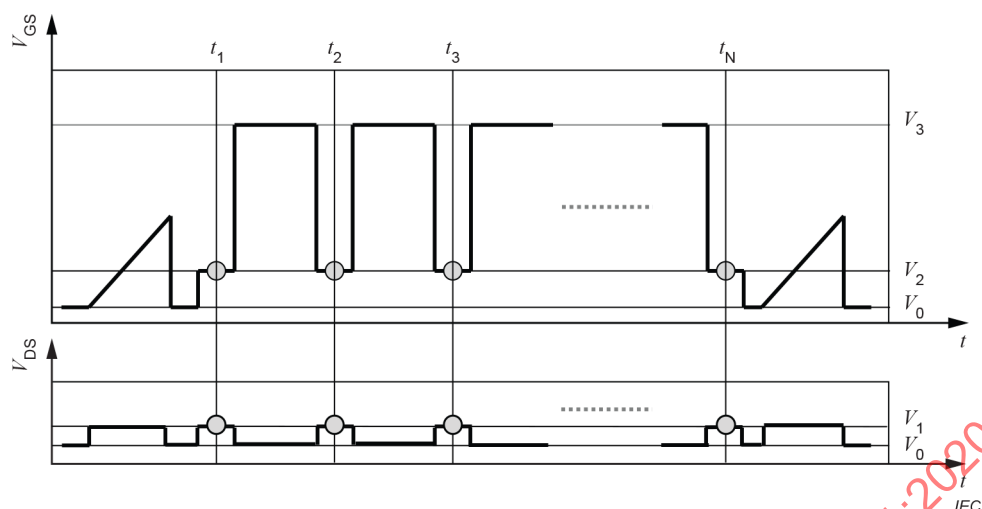


Figure 7 – Comparison of BTI flowchart

6.3.2 Fast voltage switching

To minimize the measurement time for fast BTI, fast V_{DS} and V_{GS} switching is required. The voltage switching should be performed when V_{GS} is set to stress voltage $V_{DS} = 0$ V at the stress phase and both V_{GS} and V_{DS} set to the measurement voltage at the measurement phase (see Figure 8).



Key

- t time;
- t_N N -th measurement time ($N = 1, 2, 3, \dots$);
- V_0 ground level;
- V_1 drain – source voltage for measurement (V_{DS}), see 3.2;
- V_2 gate source voltage for measurement ($V_{GS\text{-}meas}$), see 3.10;
- V_3 gate – source voltage for stress (V_{GS}), see 3.3.

Figure 8 – Switching schematic of fast BTI

6.3.3 Temperature

The worst-case temperature is recommended for the operating condition. For evaluating the activation energy, it is recommended that at least 3 points for the conditions of temperature be selected in the recommended temperature range (from room temperature to 200 °C).

6.3.4 Electric field strength E_{ox}

The gate electrode is biased to inversion. Source, drain, and substrate (well) are connected to ground. The condition of stress voltage should be avoided for the voltage region in which anomalous degradation appeared owing to excessive FN (hot carrier substrate injection) stress. If V_{GS} establishes a regime of BTI, the power law dependence on stress time with an n-exponent is typically lower than 0,25. FN is expected to yield a large time n-exponent (approximately 0,4 to 0,5). FN result should not be considered in the BTI analysis. For evaluating the electric field acceleration factor, it is recommended that the conditions of E_{ox} are selected at at least 3 points. For the Nch MOSFET, the gate electrode is biased to positive. For the Pch MOSFET, the gate electrode is biased to negative. Source, drain, and substrate (well) are connected to ground.

6.3.5 Read point

The log time axis is suitable for analysis of the BTI parameter shift which follows the power law dependence with stress time. The read points should be set several times in each order of magnitude.

EXAMPLE 0 h (initial), 1 h, 2 h, 4 h, 7 h, 10 h, 20 h, 40 h.

6.3.6 Final test time

The recommended range is from 10.000 s to 150.000 s.

6.4 Lifetime estimation

6.4.1 Procedure for estimating the degradation at end of life

The relation between absolute of mean V_{th} shift, ($|\langle \Delta V_{th-ci} \rangle|$), temperature, electric field and time is given by Formulae (6) and (7). The electric field acceleration model is different in these equations. Because it is still unknown which one is correct, it is recommended to confirm the acceleration model by additional electric field dependency experiments.

$$|\langle \Delta V_{th-ci} \rangle| = A_1 \times \exp\left(\frac{E_a}{kT}\right) \times \exp(\gamma \times E_{ox}) \times t^m \quad (6)$$

$$|\langle \Delta V_{th-ci} \rangle| = A_2 \times \exp\left(\frac{E_a}{kT}\right) \times E_{ox}^n \times t^m \quad (7)$$

where

- E_a is the activation energy given in eV (typically, 1 eV);
- k is the Boltzmann constant ($8,62 \times 10^{-5}$ eV/K);
- T is the temperature given in K;
- γ is the electric acceleration factor in MV/cm at (6);
- n is the electric acceleration factor at (7);
- m is the time slope of $|\langle \Delta V_{th-ci} \rangle|$;
- E_{ox} is the electric field in MV/cm;
- A_1 and A_2 are the constants.

Once Formulae (6) and (7) are calculated, the mean V_{th} shift at DC end of life τ for worst use conditions

$V_{GS} = V_{DD_max}$ and $T = T_{max}$ as follows.

At the end of lifetime, Formulae (6) and (7) are changed to:

$$|\langle \Delta V_{th-ci} \rangle| = A_1 \times \exp\left(\frac{E_a}{kT_{max}}\right) \times \exp\left(\gamma \times \frac{V_{DD_max}}{t_{ox}}\right) \times \tau^m \quad (8)$$

$$|\langle \Delta V_{th-ci} \rangle| = A_2 \times \exp\left(\frac{E_a}{kT_{max}}\right) \times \left(\frac{V_{DD_max}}{t_{ox}}\right)^n \times \tau^m \quad (9)$$

where

t_{ox} is the gate dielectric thickness.

Comparison of different processes or technologies can be done by using the estimated mean V_{th} shift from Formulae (7) and (8).

Formulae (6), (7), (8) and (9) are approximations that hold as long as a mature process is monitored.

6.4.2 Procedure for estimating the lifetime on the targeted criteria

The acceptable level of degradation throughout the life of the device depends on the stress conditions under which it will be used and the operating margins for gate voltages. If the acceptable level (target criteria) is clear, for example, $|\langle \Delta V_{th-ci} \rangle| = 50 \text{ mV}$ to 100 mV or $\Delta I_{Dlin} = 3 \%$ to 10% , and so on, mean DC lifetime ($t_{50\%}$) is estimated from mean V_{th} shift of Formula (6) or (7).

$$t_{50\%} = A_1^{-\frac{1}{m}} \times |\langle \Delta V_{th-ci} \rangle|^{\frac{1}{m}} \times \exp\left(-\frac{E_a}{m k T}\right) \times \exp\left(-\frac{\gamma}{m} \times E_{ox}\right) \quad (10)$$

$$t_{50\%} = A_2^{-\frac{1}{m}} \times |\langle \Delta V_{th-ci} \rangle|^{\frac{1}{m}} \times \exp\left(-\frac{E_a}{m k T}\right) \times E_{ox}^{-\frac{n}{m}} \quad (11)$$

If the cumulative $p \%$ (typically $0,1 \%$) DC lifetime $t_{p\%}$ is necessary for qualification, it can be converted as follows by the assumption of a log-normal distribution and standard deviation of ΔV_{th-ci} on the log scale.

$$t_{p\%} = t_{50\%} \times \exp\left(\sigma(\Delta V_{th-ci})^{\frac{1}{m}} \times F_{norm}^{-1}\left(\frac{p}{100}\right)\right) \quad (12)$$

where

$\sigma(\Delta V_{th-ci})$ is the standard deviation of ΔV_{th-ci} on log scale;

F_{norm}^{-1} is the inverse function of cumulative distribution function about standard normal distribution.

It is recommended to confirm that the evaluation data of ΔV_{th-ci} can be adjusted to the log-normal distribution before this estimation.

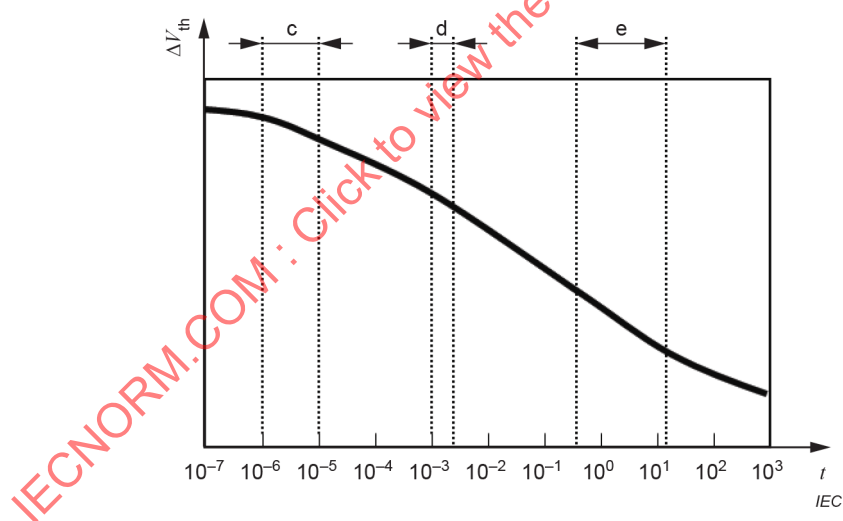
Annex A (informative)

Recovery effect of BTI

BTI (bias temperature instability) degradation recovers rapidly after removing or reducing stress and it appears in micro-second or shorter (see Figure A.1). The conventional BTI measurement needs $I_D - V_{GS}$ ramp at usage voltage or less and it takes a few seconds. Therefore, the conventional measurement result includes a lot of recovery effect.

To measure the true degradation which does not include recovery, the two measurement methods "fast BTI" and "on-the-fly" have been developed. The fast BTI is a fast (a few ms or less) measurement method. It can make recovery "smaller". The on-the-fly method is an "unrecoverable" method for BTI, it keeps stress voltage during the measurement duration too. In terms of minimizing the recovery, the on-the-fly results have no recovery and they are better than those of fast BTI. But it is difficult to convert the on-the-fly results to actual use device characteristics and general agreement about the conversion method does not exist at present. This is the reason why this document only describes the fast BTI method.

The fast BTI method includes the fast I_D method of single-point measurement and the fast $I_D - V_G$ ramp method by fast pulse. This document describes the fast I_D method only. The measurement sequence is not so much of a difference between the fast I_D method and the conventional BTI method. The fast I_D method shortens the measurement time by narrowing down the measurement parameters. It is important to recognize that the measurement data is the early stage of the recovery process in the fast I_D method, and it can become close to the unrecoverable method if the instruments are sped up.



Key

- t time;
- c period of fast $I_D - V_{GS}$ ramp method;
- d period of fast I_D method;
- e period of conventional method.

Figure A.1 – Recovery time dependence of Pch BTI

Annex B (informative)

Selection of a wide device [2]

For a MOSFET with a given design width W (fixed gate length L), the standard deviation associated to the V_{th-ci} cumulative distribution induced by BTI degradation is given by

$$\sigma(\langle |\Delta V_{th-ci}| \rangle) = \sqrt{\sigma_{process}^2 + \sigma_{narrow}^2 (\langle |\Delta V_{th-ci}| \rangle)^2} \quad (B.1)$$

where

$\langle |\Delta V_{th-ci}| \rangle$ is the mean of the ΔV_{th-ci} distribution;

$\sigma_{process}$ is the standard deviation (constant with stress time) of the cumulative ΔV_{th-ci} distribution associated to the intrinsic variation (t_{ox} , well profile variation, and so on);

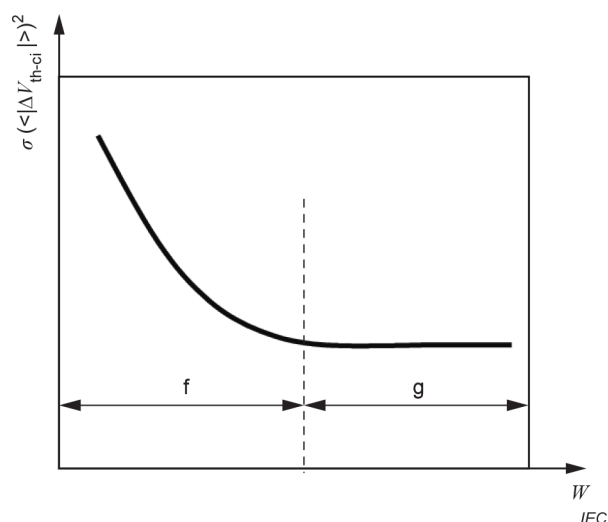
σ_{narrow} is the standard deviation associated to narrow width device.

$\sigma_{process}$ is estimated by stressing a sufficiently wide MOSFET with W that is much greater than the minimum W defined in the design rule. This parameter relates to global BTI variation of chip to chip, wafer to wafer and lot to lot, and it does not depend on W . For a mature process $\sigma_{process}^2$ approximately ranges from 0,03 to 0,05. This means that the $\sigma_{process}^2$ associated with a mature CMOS variability is much smaller than $\langle |\Delta V_{th-ci}| \rangle$. This consideration leads the minimum sample size to achieve the necessary accuracy in an assumed statistical confidence level of $\langle |\Delta V_{th-ci}| \rangle$. For example, to get an estimate of $\langle |\Delta V_{th-ci}| \rangle$ with a reasonable 95 % probability of 10 % relative error, 8 to 10 samples are necessary.

On the other hand, σ_{narrow} is dependent on W and becomes greater at narrow devices. It is an induced effect given by random fluctuations and proportional to $1/\sqrt{W \times L}$. Figure B.1 shows the expected BTI variance $\sigma(\langle |\Delta V_{th-ci}| \rangle)^2$ as a function of W for a fixed L .

In the proposed BTI procedure the recommended width of the MOSFET device to be stressed is such that wide devices with $\sigma(\langle |\Delta V_{th-ci}| \rangle)^2 = \sigma_{process}^2$. The estimated value of minimum W strongly depends on the assumed end of life V_{th-ci} shift as well the T_{ox} , L of the device under evaluation. Typically, a value around $> 1 \mu m$ is acceptable.

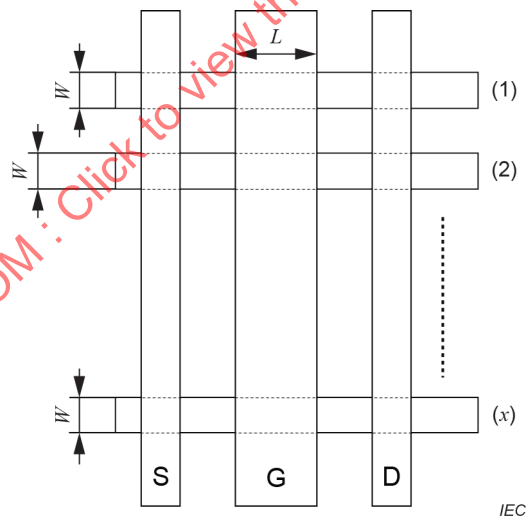
If the MOSFET to be evaluated has a design W less than the minimum width associated with the defined technology/process, it is recommended to use a MOSFET-based layout with total width (W_{tot}) such that $W_{tot} = x \times W$ where x is the parallel number of MOSFET. Figure B.2 shows a possible MOSFET-based layout to be adopted.

**Key**

f narrow device, $\sigma(\langle |\Delta V_{th-ci}| \rangle)^2 > \sigma_{process}^2$;

g wide device, $\sigma(\langle |\Delta V_{th-ci}| \rangle)^2 \sim \sigma_{process}^2$ (constant).

Figure B.1 – Typical BTI induced variance dependence on W

**Key**

G gate;

S source;

D drain;

L channel length;

W channel width;

x parallel MOSFET number.

Figure B.2 – Possible MOSFET layout to be adopted with narrow device

Bibliography

- [1] IEC 62373, *Bias-temperature stability test for metal-oxide, semiconductor, field-effect transistors (MOSFET)*
 - [2] JESD241 "Procedure for Wafer-Level DC Characterization of Bias Temperature Instabilities", JEDEC Solid State Technology Association, 2015
-

IECNORM.COM : Click to view the full PDF of IEC 62373-1:2020

IECNORM.COM : Click to view the full PDF of IEC 62373-1:2020

SOMMAIRE

AVANT-PROPOS	26
INTRODUCTION.....	28
1 Domaine d'application	29
2 Références normatives	29
3 Termes et définitions	29
4 Équipement d'essai	31
4.1 Équipement.....	31
4.1.1 Machine d'essai sous pointes	31
4.1.2 Équipement de mesure	32
4.2 Recommandation de manipulation	32
5 Échantillonnage d'essai	32
5.1 Échantillonnage	32
5.1.1 Généralités	32
5.1.2 Longueur de canal (longueur de grille).....	32
5.1.3 Largeur de canal (largeur de grille).....	32
5.1.4 Structure	32
5.1.5 Procédé de fabrication des plaquettes	33
5.2 Diode de protection d'antenne	33
5.3 Nombre d'échantillons	34
6 Procédure.....	34
6.1 Remarques générales sur le temps de mesure.....	34
6.2 Définition des paramètres de mesure	35
6.2.1 Expression des paramètres de dégradation	35
6.2.2 Mesurage en région faiblement inversée.....	35
6.2.3 Mesurage dans la région sous le seuil	36
6.2.4 Mesurage de la dégradation de l' I_D (I_{Dsat} , I_{Dlin})	37
6.3 Essai	37
6.3.1 Déroulement de l'essai	37
6.3.2 Commutation rapide de tension	38
6.3.3 Température.....	38
6.3.4 Champ électrique E_{ox}	38
6.3.5 Point de lecture	39
6.3.6 Durée d'essai final	39
6.4 Estimation de la durée de vie	39
6.4.1 Procédure d'estimation de la dégradation en fin de vie	39
6.4.2 Procédure d'estimation de la durée de vie fondée sur les critères cibles.....	40
Annexe A (informative) Effet de récupération de BTI.....	41
Annexe B (informative) Choix d'un dispositif de grande largeur [2].....	42
Bibliographie.....	44
Figure 1 – Récupération de la dégradation (ΔV_{th}) par élimination des conditions de BTI dans le temps	28
Figure 2 – Courbe $I_D - V_{GS}$ expliquant V_{th-ext}	30
Figure 3 – Connexion entre les électrodes MOSFET et les bornes externes.....	32
Figure 4 – Exemple de circuit de protection d'antenne pour un procédé sur substrat massif (BULK).....	33

Figure 5 – Dépendance de l'effet de récupération vis-à-vis du temps de mesure.....	35
Figure 6 – Méthode de calcul de la dégradation V_{th}	36
Figure 7 – Comparaison des séquences de BTI	37
Figure 8 – Schéma de commutation pour la méthode BTI rapide.....	38
Figure A.1 – Dépendance de BTI canal P (Pch) vis-à-vis du temps de récupération.....	41
Figure B.1 – Dépendance typique de la variance induite par BTI vis-à-vis de la largeur W	43
Figure B.2 – Configuration possible de MOSFET à appliquer pour le dispositif de largeur étroite	43

IECNORM.COM : Click to view the full PDF of IEC 62373-1:2020

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – ESSAI DE STABILITÉ DE TEMPÉRATURE EN POLARISATION POUR TRANSISTORS À EFFET DE CHAMP METAL-OXYDE- SEMICONDUCTEUR (MOSFET) –

Partie 1: Essai rapide de BTI pour les MOSFET

AVANT-PROPOS

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés « Publication(s) de l'IEC »). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 62373-1 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs.

Le texte de cette Norme internationale est issu des documents suivants:

FDIS	Rapport de vote
47/2627/FDIS	47/2637/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

La version française de cette norme n'a pas été soumise au vote.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 62373, publiées sous le titre général *Dispositifs à semiconducteurs – Essai de stabilité de température en polarisation pour transistors à effet de champ métal-oxyde-semiconducteur (MOSFET)*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous « <http://webstore.iec.ch> » dans les données relatives au document recherché. À cette date, le document sera

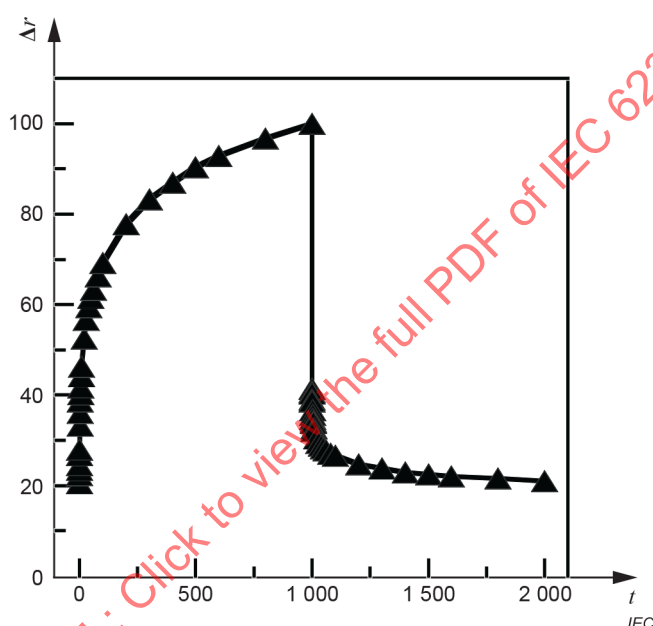
- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "*colour inside*" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION

La dégradation de type BTI (*bias temperature instability* – instabilité en température sous polarisation) des dispositifs à semiconducteurs est une défaillance majeure. L'IEC 62373:2006 fournit une méthode d'essai à cet effet.

L'évolution technologique a eu une influence considérable sur la capacité de récupération de la dégradation de la BTI. Le temps de récupération de la dégradation de la BTI se mesure en microsecondes ou en millisecondes après élimination ou réduction de la contrainte de grille. La Figure 1 ci-dessous présente des données expérimentales de la dérive de V_{th} qui est soumise à des contraintes en 1 000 s dans les conditions de BTI et qui ensuite n'est plus soumise à une contrainte supplémentaire [1]¹. Elle indique que la dégradation a connu une récupération rapide à environ 40 % en quelques secondes juste après l'élimination de la contrainte en 1 000 s. Une méthode de mesure rapide est donc nécessaire pour éviter l'effet de récupération et déterminer avec exactitude cette dégradation.



Légende

ΔV_{th} rapport entre le degré de dégradation V_{th} et la dégradation maximale;

t contrainte ou temps de récupération, exprimé en secondes.

Figure 1 – Récupération de la dégradation (ΔV_{th}) par élimination des conditions de BTI dans le temps

Cependant, l'inconvénient de l'essai existant (décrit dans l'IEC 62373) est que le processus de récupération commence dès la réduction de la contrainte et que des mesurages de durée assez longue sont réalisés pour établir la dérive de la tension de seuil. La procédure décrite dans la présente norme utilise une méthode alternative de mesure de la dégradation. Il s'agit d'une méthode rapide qui réduit le plus possible la récupération partielle qui se produit pendant le mesurage.

¹ Les chiffres entre crochets se réfèrent à la bibliographie

DISPOSITIFS À SEMICONDUCTEURS – ESSAI DE STABILITÉ DE TEMPÉRATURE EN POLARISATION POUR TRANSISTORS A EFFET DE CHAMP METAL-OXYDE- SEMICONDUCTEUR (MOSFET) –

Partie 1: Essai rapide de BTI pour les MOSFET

1 Domaine d'application

La présente partie de l'IEC 62373 fournit la méthode de mesure pour un essai rapide de BTI (instabilité en température sous polarisation) des transistors à effet de champ métal-oxyde-semiconducteurs (MOSFET) à base de silicium.

Le présent document définit également les termes relatifs à la méthode d'essai de BTI conventionnelle.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

Le présent document ne contient aucune référence normative.

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.1

tension d'alimentation nominale

V_{DD}

valeur appropriée de la tension utilisée pour désigner l'alimentation de la technologie

3.2

tension drain – source

V_{DS}

tension entre le drain et la source

3.3

tension grille – source

V_{GS}

tension entre la grille et la source

3.4

tension caisson (puits) – source

V_{BS}

tension entre le caisson (puits) et la source

3.5

courant de drain

I_D

courant surveillé pour la borne de drain lorsque la V_{BS} est nulle

3.6

tension de seuil à courant constant

V_{th-ci}

V_{GS} à laquelle le courant de drain est égal à l' I_D choisi

Note 1 à l'article: Cette définition est exprimée par l'équation suivante:

$$V_{th-ci} = V_{GS} \left(\text{si } I_D = I_{D0} \times \frac{W}{L} \right) \quad (1)$$

où

V_{th-ci} est la tension de seuil à courant constant;

I_D est le courant de drain (arbitraire);

I_{D0} est la valeur constante, qui est recommandée à $V_{GS} < V_{th-ext}$ (choisie généralement de 50 nA à 300 nA);

W est la largeur de canal;

L est la longueur de canal.

Note 2 à l'article: Si V_{GS} est supérieure à V_{th-ext} , il est possible que la dégradation de la mobilité affecte V_{th-ci} , et si V_{GS} est égale à V_{th-ext} , l'impact de la densité des états d'interface sur la dérive de V_{th} peut ne pas être détecté.

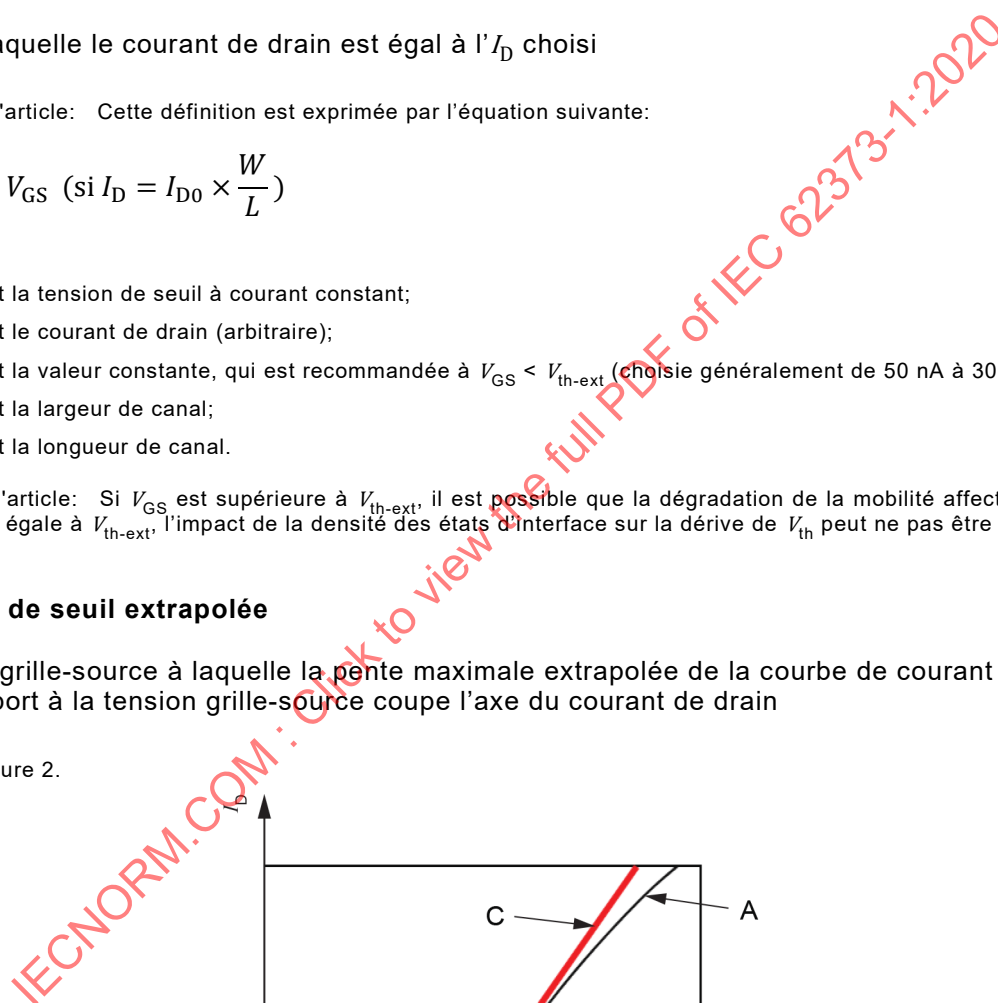
3.7

tension de seuil extrapolée

V_{th-ext}

tension grille-source à laquelle la pente maximale extrapolée de la courbe de courant de drain par rapport à la tension grille-source coupe l'axe du courant de drain

VOIR: Figure 2.



Légende

A courbe $I_D - V_{GS}$;

C pente maximale extrapolée de la courbe $I_D - V_{GS}$;

V_{th-ext} tension de seuil extrapolée.

Figure 2 – Courbe $I_D - V_{GS}$ expliquant V_{th-ext}

3.8**courant de drain saturé** **I_{Dsat}**

courant de drain mesuré lorsque le transistor est polarisé dans la région de saturation et que la condition de mesure est $V_{DS} = V_{GS} = V_{DD}$

3.9**courant de drain linéaire** **I_{Dlin}**

courant de drain au niveau de la région linéaire ($V_{DS} = 0,05 \text{ V}$ à $0,1 \text{ V}$) et $V_{GS} = V_{DD}$

3.10**tension grille-source de mesure** **$V_{GS-meas}$**

V_{GS} qui est appliquée pendant la durée de mesure

3.11**courant de drain de mesure** **I_{D-meas}**

courant de drain à $V_{GS} = V_{GS-meas}$

3.12**champ électrique du diélectrique** **E_{ox}**

champ électrique dans le diélectrique de grille

Note 1 à l'article: La formule générale de E_{ox} est

$$E_{ox} = \frac{V_{ox}}{t_{ox}} \quad (2)$$

où

E_{ox} est le champ électrique du diélectrique de grille;

V_{ox} est la tension appliquée du diélectrique de grille;

t_{ox} est l'épaisseur du diélectrique de grille.

t_{ox} est un paramètre utilisé pour la surveillance en ligne déterminé par analyse CV en condition d'inversion. Il est important de noter que la tension appliquée n'est pas nécessairement la tension traversant le diélectrique. Des diélectriques ultraminces présentent des effets de confinement quantiques et les effets de déplétion de l'électrode de grille réduisent effectivement la tension à travers le diélectrique. Il convient d'inclure dans le rapport de données la méthode pour déterminer t_{ox} ou une référence à la norme documentée.

4 Équipement d'essai**4.1 Équipement****4.1.1 Machine d'essai sous pointes**

Une machine d'essai sous pointes équipée d'un plateau chauffant est utilisée. Il convient de maintenir la température constante (à $\pm 1 \text{ }^{\circ}\text{C}$ selon la recommandation) pendant la contrainte et le mesurage. Il convient d'enregistrer tous les intervalles de temps avec une exactitude de 1 %. Ceux-ci incluent la période comprise entre la première application de la contrainte et le début de chaque mesurage, ainsi que la durée de chaque mesurage avant la réapplication de la contrainte.

Certains équipements étant conçus avec une tolérance de $\pm 3 \text{ }^{\circ}\text{C}$, il est nécessaire de confirmer qu'ils se situent à $\pm 1 \text{ }^{\circ}\text{C}$ par un mesurage réel sur le plateau.

4.1.2 Équipement de mesure

Des instruments de mesure ayant une commutation rapide de tension sont utilisés pour les caractéristiques en courant continu des MOSFET. La commutation rapide doit durer quelques ms (quelques μ s sont recommandés, si possible). Il convient de maintenir l'exactitude dans des conditions de haute température.

4.2 Recommandation de manipulation

Il est recommandé d'utiliser les équipements de protection adéquats contre les DES (décharges électrostatiques) (bracelet de terre, etc.), s'ils sont disponibles, pour protéger l'échantillon d'essai contre des détériorations.

5 Échantillonnage d'essai

5.1 Échantillonnage

5.1.1 Généralités

Un MOSFET, tel que décrit de 5.1.2 à 5.1.5 est utilisé.

5.1.2 Longueur de canal (longueur de grille)

Il est recommandé d'utiliser la longueur de canal minimale dessinée de la technologie ou de la production ciblée lorsque les spécifications individuelles ne sont pas spécifiquement définies, ou lorsque la longueur de canal minimale ne génère pas de BTI plus défavorable. Si nécessaire, la dépendance de la longueur de canal peut être confirmée en évaluant une autre longueur de canal.

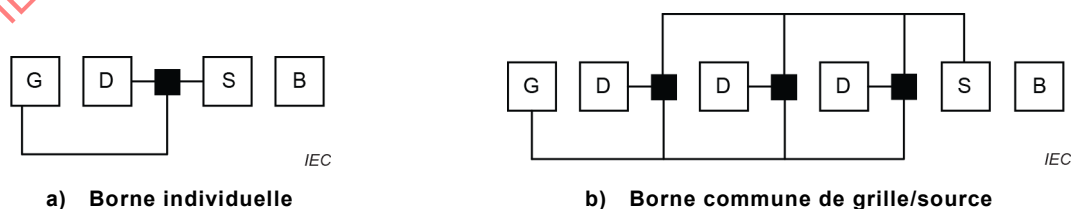
NOTE Dans certaines technologies, la BTI la plus défavorable est associée à la plus grande longueur de canal.

5.1.3 Largeur de canal (largeur de grille)

La variabilité mesurée des dérives de BTI dépend fortement de la largeur de canal choisie. Il est recommandé de définir la largeur de canal à laquelle le mesurage est stable (voir l'Annexe B). Il est préférable de la déterminer par un essai préliminaire. En l'absence d'exigence particulière, une largeur de canal de 1 μ m à 20 μ m est recommandée.

5.1.4 Structure

Il est recommandé de connecter quatre électrodes (grille, source, drain, substrat) à des bornes de boîtier individuelles externes (voir la Figure 3a). Une structure de borne commune de grille/source (voir la Figure 3b) ne doit pas être utilisée.



Légende

- G borne de grille;
- S borne de source;
- D borne de drain;
- B borne de substrat;

Figure 3 – Connexion entre les électrodes MOSFET et les bornes externes

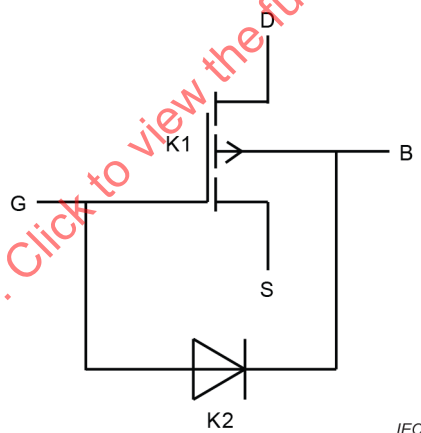
La borne du caisson (puits) utilisée pendant la contrainte ou le mesurage doit présenter les mêmes conditions de polarisation que pendant le fonctionnement (généralement $V_W = 0$ s'il s'agit du substrat). Pour réduire le plus possible les chutes de tension parasite entre les points d'essai et les bornes du dispositif (V_{device}), les résistances de câblage (R_W) allant des points d'essai à la grille, à la source, au drain et au caisson (puits) du dispositif, sont choisies de sorte que la chute de tension ($I \times R_W$) soit inférieure à 1 % de V_{device} .

5.1.5 Procédé de fabrication des plaquettes

Il est fortement recommandé que les étapes du procédé de fabrication des plaquettes (concentration d'impuretés, traitement thermique et procédé de câblage) soient identiques aux étapes exigées par la technologie ciblée. L'impact des dommages dus aux procédés peut être atténué lorsque le procédé de métallisation multicouche est simplifié pour la préparation des échantillons. Il est nécessaire de prendre très attentivement en considération le résultat.

5.2 Diode de protection d'antenne

Selon le manuel de conception, une diode de protection d'antenne doit être ajoutée à l'électrode de grille (voir la Figure 4) pour éviter d'endommager l'antenne. Toutefois, il convient de ne pas mettre en œuvre une diode de protection d'antenne inutile ou excessive s'il est nécessaire de prendre en considération le délai RC pour le mesurage rapide de BTI. Il convient de mesurer le courant de drain avec une exactitude meilleure que 0,2 %. En raison de l'effet transitoire de commutation de la tension de drain, il convient de prendre en considération la constante de temps à l'entrée de l'instrument utilisé pour mesurer de très faibles niveaux de courant de drain lorsque la durée de mesure est très courte. Il convient de prendre également en considération la sensibilité à d'éventuelles tensions parasites.



Légende

Composants

- K1 MOSFET
- K2 diode de protection

Bornes

- G borne de grille
- S borne de source
- D borne de drain
- B borne de substrat

Figure 4 – Exemple de circuit de protection d'antenne pour un procédé sur substrat massif (BULK)

5.3 Nombre d'échantillons

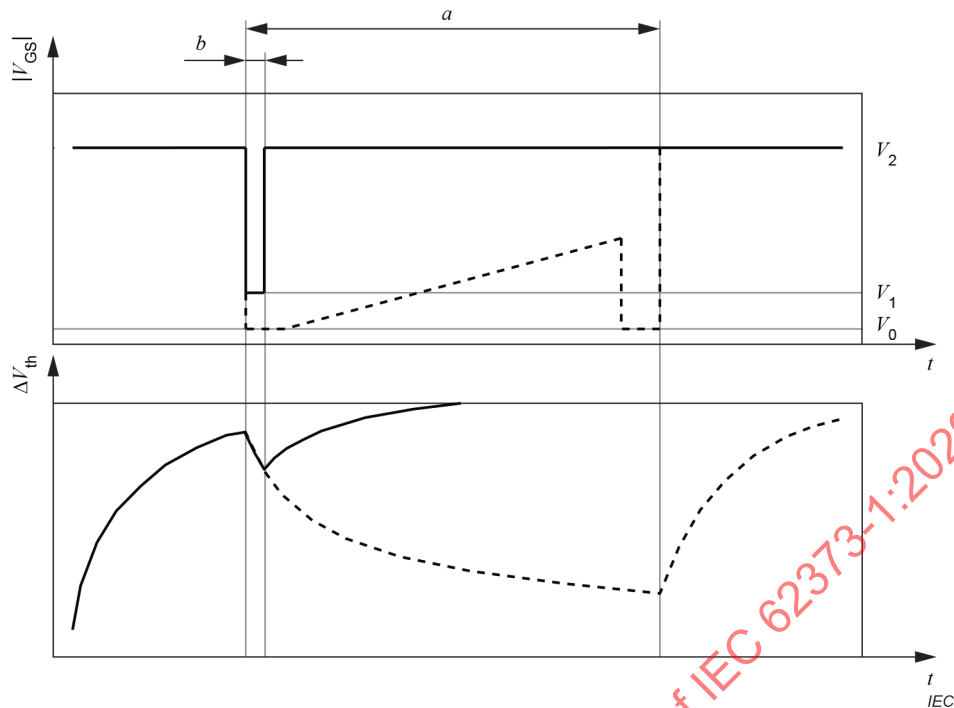
Sur la base de la variabilité mesurée des dérives de BTI pour un dispositif donné, une taille d'échantillon adéquate est exigée pour atteindre un niveau de confiance statistique retenu par hypothèse (voir l'Annexe B). Au moins quatre échantillons sont recommandés pour chaque condition d'essai d'une grande largeur de canal (recommandée au 5.1.3).

6 Procédure

6.1 Remarques générales sur le temps de mesure

Le degré de dégradation dépend du temps de mesure car l'effet de récupération de la BTI pour le MOS canal P est considérable. Effectuer un ensemble de mesurages du courant de drain en fonction de la tension grille-source ($I_D - V_{GS}$) pour déterminer directement la tension de seuil prend un temps relativement long et l'effet de récupération peut être relativement grand (voir l'Annexe A). Le temps de mesure doit être plus court que quelques ms. Il convient qu'il soit inférieur à 10 μ s, si possible. La méthode de mesure rapide à l'aide d'un système de mesure en courant continu d'usage courant est celle du mesurage en un point unique du courant de drain I_D et il convient de raccourcir le temps de mesure. Elle est appelée « méthode BTI rapide ». La méthode BTI rapide comparée à la méthode BTI conventionnelle est décrite à la Figure 5. Le déroulement de l'essai de BTI conventionnelle qui repose sur l'IEC 62373, est présenté simplement en comparaison avec la méthode BTI rapide (voir la Figure 5).

IECNORM.COM : Click to view the full PDF of IEC 62373-1:2020



Légende

- t temps;
 V_0 tension de référence;
 V_1 tension de mesure;
 V_2 tension de contrainte;
 a période de mesure de $I_D - V_{GS}$;
 b période de mesure de I_D en un point unique;
 Ligne pointillée profil de dégradation appliqué de V_{GS} et V_{th} dans la méthode de mesure BTI conventionnelle;
 Ligne continue profil de dégradation appliqué de V_{GS} et V_{th} dans la méthode de mesure BTI rapide.

Figure 5 – Dépendance de l'effet de récupération vis-à-vis du temps de mesure

6.2 Définition des paramètres de mesure

6.2.1 Expression des paramètres de dégradation

Le paramètre de dégradation est la variation de la tension de seuil au courant de drain choisi. Cependant, le mesurage de I_D en un point unique ne peut pas exprimer la dégradation de V_{th} . Par conséquent, les valeurs de I_{D-meas} sont converties en V_{th} en utilisant les paramètres de l' $I_D - V_{GS}$ initiaux. I_{D-meas} et les paramètres initiaux $I_D - V_{GS}$ doivent être mesurés à la même température en tant que condition de contrainte.

6.2.2 Mesurage en région faiblement inversée

Dans cette procédure, il est recommandé de spécifier $V_{GS-meas}$ en dessous de V_{th-ext} afin de réduire le plus possible les effets de la dégradation de la mobilité. Dans ce cas, la dégradation peut être convertie de I_D en V_{th} par la soustraction entre $V_{GS-meas}$ et V_{GS} au point de l' I_D mesuré sur la courbe $I_D - V_{GS}$ initiale parce que la courbe $I_D - V_{GS}$ peut être retenue par hypothèse comme une dérive parallèle pour la contrainte BTI (voir la Figure 6).

$$\Delta V_{th} = V_{GS-meas} - V_{GS-init} \cdot (I_D = I_{D-meas}(t)) \quad (3)$$

$$V_{GS-init}(I_D = I_{D-meas}(t)) = V_{GS}(i) - (V_{GS}(i) - V_{GS}(i-1)) \times \frac{\log_{10}(I_D(i)) - \log_{10}(I_{D-meas}(t))}{\log_{10}(I_D(i)) - \log_{10}(I_D(i-1))} \quad (4)$$

où

$I_D(i)$ courant de drain i^{th} du résultat de balayage $V_{GS} - I_D$ initial, où $I_D(i) > I_{D-meas} > I_D(i-1)$, voir la Figure 6(a) et la Figure 6(b);

$V_{GS}(i)$ tension grille-source de mesure i^{th} du balayage de $V_{GS} - I_D$ initiale, voir la Figure 6(a) et la Figure 6(b).

6.2.3 Mesurage dans la région sous le seuil

La dégradation qui peut être convertie de I_D en ΔV_{th} à l'aide d'une pente sous le seuil de l' $I_D - V_{GS}$ initiale à $V_{GS-meas}$ se trouve dans la région sous le seuil (voir la Figure 6(b)).

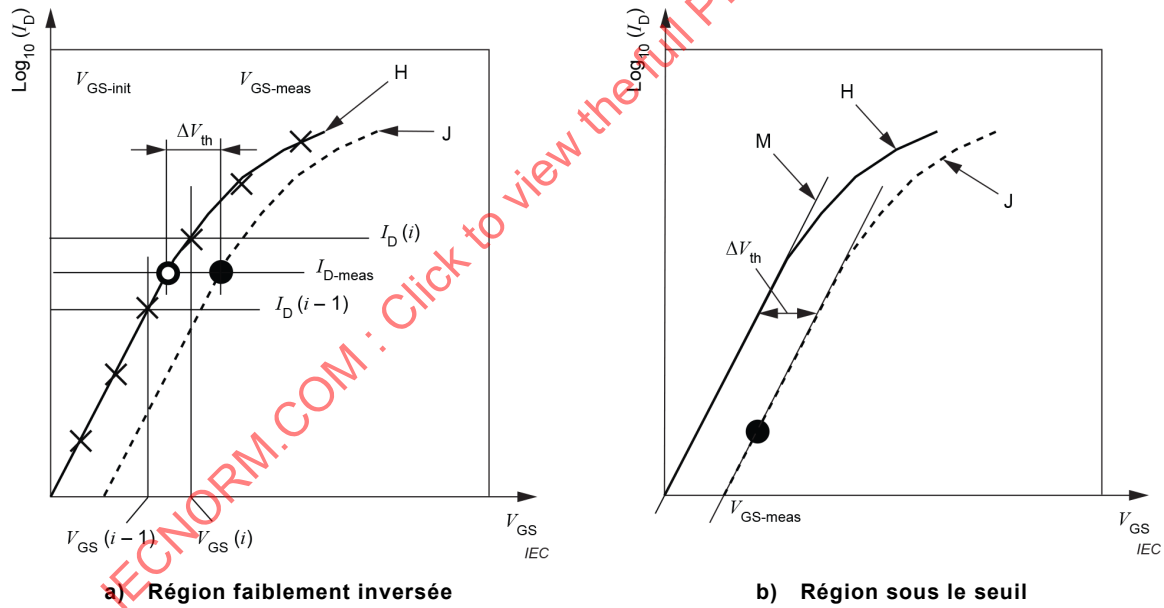
$$\Delta V_{th} = \frac{\log_{10}\{I_{D-meas}(0)\} - \log_{10}\{I_{D-meas}(t)\}}{S_0} \quad (5)$$

où

S_0 pente sous le seuil de l' $I_D - V_{GS}$ initiale;

$I_{D-meas}(0)$ I_{D-meas} initial mesuré à $V_{GS} = V_{GS-meas}$;

$I_{D-meas}(t)$ I_{D-meas} après dégradation mesurée à $V_{GS} = V_{GS-meas}$.



Légende

- H courbe $I_D - V_{GS}$ initiale;
- J courbe $I_D - V_{GS}$ après dégradation;
- M pente sous le seuil de l' $I_D - V_{GS}$ initiale;
- $I_{D-meas}(t)$ I_{D-meas} après dégradation mesuré à $V_{GS} = V_{GS-meas}$;
- ΔV_{th} dégradation V_{th} ;
- $V_{GS-meas}$ c'est-à-dire tension grille-source à laquelle est mesuré le courant de drain I_D lors de la mesure méthode BTI rapide;
- $V_{GS-init}$ V_{GS} pour laquelle $I_D = I_{D-meas}(t)$ sur la courbe $I_D - V_{GS}$ initiale;
- $I_D(i)$ courant de mesure i^{th} du balayage de $V_{GS} - I_D$ initial, où $I_D(i) > I_{D-meas} > I_D(i-1)$;
- $V_{GS}(i)$ tension de mesure i^{th} du balayage de $V_{GS} - I_D$ initiale.

Figure 6 – Méthode de calcul de la dégradation V_{th}