IEC 62271-101

Edition 1.1 2010-11

INTERNATIONAL STANDARD

NORME INTERNATIONALE

colour inside

High-voltage switchgear and controlgear – Part 101: Synthetic testing

Appareillage à haute tension – Partie 101: Essais synthétiques

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

IEC 62271-101:2006+A1:2010

THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2010 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.
If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.
Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembé
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub
The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,…). It also gives information on projects, withdrawn and replaced publications.
- IEC Just Published: www.iec.ch/online_news/justpub
Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.
- Electropedia: www.electropedia.org
The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.
- Customer Service Centre: www.iec.ch/webstore/custserv
If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:
Email: csc@iec.ch
Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm
Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,…). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.
- Just Published CEI: www.iec.ch/online_news/justpub
Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.
- Electropedia: www.electropedia.org
Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.
- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm
Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:
Email: csc@iec.ch
Tél.: +41 22 919 02 11
Fax: +41 22 919 03 00

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

IEC 62271-101

Edition 1.1 2010-11

INTERNATIONAL STANDARD

NORME INTERNATIONALE

colour inside

High-voltage switchgear and controlgear – Part 101: Synthetic testing

Appareillage à haute tension – Partie 101: Essais synthétiques

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

INTERNATIONAL ELECTROTECHNICAL COMMISSION

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

PRICE CODE CT
CODE PRIX

ICS 29.130.10

ISBN 978-2-88912-191-5

® Registered trademark of the International Electrotechnical Commission
Marque déposée de la Commission Electrotechnique Internationale

CONTENTS

FOREWORD 6
INTRODUCTION (to amendment 1) 8

1 Scope 9
2 Normative references 9
3 Terms and definitions 9
4 Synthetic testing techniques and methods for short-circuit breaking tests 11
4.1 Basic principles and general requirements for synthetic breaking test methods 11
4.2 Synthetic test circuits and related specific requirements for breaking tests 14
4.3 Three-phase synthetic test methods 17
5 Synthetic testing techniques and methods for short-circuit making tests 19
5.1 Basic principles and general requirements for synthetic making test methods 19
5.2 Synthetic test circuit and related specific requirements for making tests 20
6 Specific requirements for synthetic tests for making and breaking performance related to the requirements of 6.102 through 6.111 of IEC 62271-100 21

Annex A (informative) Current distortion 42
Annex B (informative) Current injection methods 58
Annex C (informative) Voltage injection methods 63
Annex D (informative) Duplicate circuit (transformer or Skeats circuit) 66
Annex E (normative) Information to be given and results to be recorded for synthetic tests 69
Annex F (informative) Special procedures for testing circuit-breakers having parallel breaking resistors 70
Annex G (informative) Synthetic methods for capacitive-current switching 73
Annex H (informative) Re-ignition methods to prolong arcing 85
Annex I (normative) Reduction in di/dt and TRV for test duty T100a 89
Annex J (informative) Three-phase synthetic test circuits 103
Annex K (normative) Test procedure using a three-phase current circuit and one voltage circuit 111
Annex L (normative) Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear 130
Annex M (normative) Tolerances on test quantities for type tests 140
Annex N (informative) Typical test circuits for metal-enclosed and dead tank circuit breakers 143

Bibliography 143

Figure 1 – Interrupting process – Basic time intervals 33
Figure 2 – Example of recovery voltage 34
Figure 3 – Equivalent surge impedance of the voltage circuit for the current injection method 35
Figure 4 – Making process – Basic time intervals 36
Figure 5 – Typical synthetic make circuit for single-phase tests 38
Figure 6 – Typical synthetic make circuit for three-phase tests (k_{pp} = 1,5) 39
Figure 7 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with k_{pp} = 1,5 40

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Figure 8 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100a with k_{pp} = 1,5 41
Figure A.1 – Direct circuit, simplified diagram 49
Figure A.2 – Prospective short-circuit current 49
Figure A.3 – Distortion current 49
Figure A.4 – Distortion current 50
Figure A.5 – Simplified circuit diagram 51
Figure A.6 – Current and arc voltage characteristics for symmetrical current 52
Figure A.7 – Current and arc voltage characteristics for asymmetrical current 53
Figure A.8 – Reduction of amplitude and duration of final current loop of arcing 54
Figure A.9 – Reduction of amplitude and duration of final current loop of arcing 55
Figure A.10 – Reduction of amplitude and duration of final current loop of arcing 56
Figure A.11 – Reduction of amplitude and duration of final current loop of arcing 57
Figure B.1 – Typical current injection circuit with voltage circuit in parallel with the test circuit-breaker 60
Figure B.2 – Injection timing for current injection scheme with circuit B.1 60
Figure B.3 – Typical current injection circuit with voltage circuit in parallel with the auxiliary circuit-breaker 61
Figure B.4 – Injection timing for current injection scheme with circuit B.3 61
Figure B.5 – Examples of the determination of the interval of significant change of arc voltage from the oscillograms 62
Figure C.1 – Typical voltage injection circuit diagram with voltage circuit in parallel with the auxiliary circuit-breaker (simplified diagram) 64
Figure C.2 – TRV waveshapes in a voltage injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker 65
Figure D.1 – Transformer or Skeats circuit 67
Figure D.2 – Triggered transformer or Skeats circuit 68
Figure G.1 – Capacitive current circuits (parallel mode) 76
Figure G.2 – Current injection circuit 77
Figure G.3 – LC oscillating circuit 78
Figure G.4 – Inductive current circuit in parallel with LC oscillating circuit 79
Figure G.5 – Current injection circuit, normal recovery voltage applied to both terminals of the circuit-breaker 80
Figure G.6 – Synthetic test circuit (series circuit), normal recovery voltage applied to both sides of the test circuit breaker 81
Figure G.7 – Current injection circuit, recovery voltage applied to both sides of the circuit-breaker 82
Figure G.8 – Making test circuit 83
Figure G.9 – Inrush making current test circuit 84
Figure H.1 – Typical re-ignition circuit diagram for prolonging arc-duration 86
Figure H.2 – Combined Skeats and current injection circuits 87
Figure H.3 – Typical waveforms obtained during an asymmetrical test using the circuit in Figure H.2 88
Figure J.1a – Three-phase synthetic combined circuit 105
Figure J.1b – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; k_{pp} = 1,5) performed according to the three-phase synthetic combined circuit 106
Figure J.2a – Three-phase synthetic circuit with injection in all phases for k_{pp} = 1,5 107

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Figure J.2b – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; k_{pp} =1,5) performed according to the three-phase synthetic circuit with injection in all phases 108
Figure J.3a – Three-phase synthetic circuit for terminal fault tests with k_{pp} = 1,3 (current injection method) 109
Figure J.3b – Waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic test (T100s; k_{pp} =1,3) performed according to the three-phase synthetic circuit shown in Figure J.3a 109
Figure J.3c – TRV voltages waveshapes of the test circuit described in Figure J.3a 110
Figure K.1 – Example of a three-phase current circuit with single-phase synthetic injection 121
Figure K.2 – Representation of the testing conditions of Table K.1a 122
Figure K.3 – Representation of the testing conditions of Table K.1b 123
Figure K.4 – Representation of the testing conditions of Table K.2a 124
Figure K.5 – Representation of the testing conditions of Table K.2b 125
Figure K.6 – Representation of the testing conditions of Table K.3a 126
Figure K.7 – Representation of the testing conditions of Table K.3b 127
Figure K.8 – Representation of the testing conditions of Table K.4a 128
Figure K.9 – Representation of the testing conditions of Table K.4b 129
Figure L.1 – Graphical representation of the test shown in Table L.1 136
Figure L.2 – Graphical representation of the test shown in Table L.2 137
Figure N.1 – Test circuit for unit testing (circuit-breaker with interaction due to gas circulation) 144
Figure N.2 – Half-pole testing of a circuit-breaker in test circuit given by Figure N.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure 145
Figure N.3 – Synthetic test circuit for unit testing (if unit testing is allowed as per Subclause 6.102.4.2 of IEC 62271-100:2008) 146
Figure N.4 – Half-pole testing of a circuit-breaker in the test circuit of Figure N.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure 147
Figure N.5 – Capacitive current injection circuit with enclosure of the circuit-breaker energized 148
Figure N.6 – Capacitive synthetic circuit using two power-frequency sources and with the enclosure of the circuit-breaker energized 149
Figure N.7 – Capacitive synthetic current injection circuit – Example of unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with d.c. voltage source 150
Figure N.8 – Symmetrical synthetic test circuit for out-of-phase switching tests on a complete pole of a circuit-breaker 151
Figure N.9 – Full pole test with voltage applied to both terminals and the metal enclosure 152

Table 1 – Test circuits for test duties T100s and T100a 17
Table 2 – Test duties T10, T30, T60 and T100s 18
Table 2a – First-pole-to-clear factor: 1,5 – Test parameters during three-phase interruption 18
Table 2b – First-pole-to-clear factor: 1,3 – Test parameters during three-phase interruption 18
Table 3 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP, DEF, OP and SLF 31

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

~~Table I.1a – Last current loop parameters for 50 Hz operation in relation to short-circuit test duty T100a τ = 45 ms~~ 90
~~Table I.1b – Last current loop parameters for 50 Hz operation in relation to short-circuit test duty T100a τ = 60 ms~~ 91
~~Table I.1c – Last current loop parameters for 50 Hz operation in relation to short-circuit test duty T100a τ = 75 ms~~ 92
~~Table I.1d – Last current loop parameters for 50 Hz operation in relation to short-circuit test duty T100a τ = 120 ms~~ 93
~~Table I.2a – Last current loop parameters for 60 Hz operation in relation to short-circuit test duty T100a τ = 45 ms~~ 94
~~Table I.2b – Last current loop parameters for 60 Hz operation in relation to short-circuit test duty T100a τ = 60 ms~~ 95
~~Table I.2c – Last current loop parameters for 60 Hz operation in relation to short-circuit test duty T100a τ = 75 ms~~ 96
~~Table I.2d – Last current loop parameters for 60 Hz operation in relation to short-circuit test duty T100a τ = 120 ms~~ 97
Table ~~I.3a~~ I.1a – Last loop d*i*/d*t* reduction for 50 Hz under three-phase conditions with the first pole to clear in phase A and the required asymmetry in phase C 98
Table ~~I.3b~~ I.1b – Last loop d*i*/d*t* reduction for 60 Hz under three- phase conditions with the first pole to clear in phase A and the required asymmetry in phase C 99
Table ~~I.4a~~ I.2a – Corrected TRV values for k_{pp} = 1,3 and f_r = 50 Hz 100
Table ~~I.4b~~ I.2b – Corrected TRV values for k_{pp} = 1,3 and f_r = 60 Hz 101
Table ~~I.4c~~ I.2c – Corrected TRV values for k_{pp} = 1,5 and f_r = 50 Hz 102
Table ~~I.4d~~ I.2d – Corrected TRV values for k_{pp} = 1,5 and f_r = 60 Hz 102
Table K.1a – Demonstration of arcing times for a first-pole-to-clear factor of 1,5 112
Table K.1b – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,5 113
Table K.2a – Demonstration of arcing times for a first-pole-to-clear factor of 1,3 114
Table K.2b – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,3 115
Table K.3a – Demonstration of arcing times for a first-pole-to-clear factor of 1,5 117
Table K.3b – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,5 118
Table K.4a – Demonstration of arcing times for a first-pole-to-clear factor of 1,3 119
Table K.4b – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,3 120
Table L.1 – Test procedure for a first-pole-to-clear factor of 1,5 131
Table L.2a – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,3 132
Table L.2b – Simplified test procedure for a first-pole-to-clear factor of 1,3 133
Table L.3 – Test procedure for asymmetrical currents in the case of a first-pole-to-clear factor of 1,5 134
Table L.4 – Test procedure for asymmetrical currents in the case of a first-pole-to-clear factor of 1,3 135
Table L.5 – Required arcing windows in ° for different asymmetrical conditions, f_r = 50 Hz 138
Table L.6 – Required arcing windows in ° for different asymmetrical conditions, f_r = 60 Hz 139
Table M.1 – Tolerances on test quantities for type tests 141

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

INTERNATIONAL ELECTROTECHNICAL COMMISSION

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

FOREWORD

1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.

2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.

3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.

4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.

5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.

6) All users should ensure that they have the latest edition of this publication.

7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.

8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.

9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

This consolidated version of IEC 62271-101 consists of the first edition (2006) [documents 17A/753/FDIS and 17A/755/RVD] and its amendment 1 (2010) [documents 17A/907/FDIS and 17A/919/RVD]. It bears the edition number 1.1.

The technical content is therefore identical to the base edition and its amendment and has been prepared for user convenience. A vertical line in the margin shows where the base publication has been modified by amendment 1. Additions and deletions are displayed in red, with deletions being struck through.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

International Standard IEC 62271-101 has been prepared by subcommittee 17A: High-voltage switchgear and controlgear, of IEC technical committee 17: Switchgear and controlgear.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This publication shall be read in conjunction with IEC 62271-100. The numbering of the subclauses of Clause 6 is the same as in IEC 62271-100. However, not all subclauses of IEC 62271-100 are addressed; merely those where synthetic testing has introduced changes.

The IEC 62271-100 series consists of the following parts, under the general title *High-voltage switchgear and controlgear:*[1]

Part 100: High-voltage alternating-current circuit-breakers

Part 101: Synthetic testing

Part 102: Alternating current disconnectors and earthing switches

Part 104: Alternating current switches for rated voltages of 52 kV and above

Part 105: Alternating current switch-fuse combinations

Part 107: Alternating current fused circuit-switchers for rated voltages above 1 kV up to and including 52 kV

Part 108: High voltage alternating current disconnecting circuit-breakers for rated voltages of 72,5 kV and above

Part 109: Alternating-current series capacitor by-pass switches

Part 110: Inductive load switching

A list of the other parts belonging to the IEC 62271 series can be found on the IEC website http://www.iec.ch. Further information is available on http://tc17.iec.ch.

The committee has decided that the contents of the base publication and its amendments will remain unchanged until the stability date indicated on the IEC web site under "http://webstore.iec.ch" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The "colour inside" logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this publication using a colour printer.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

[1] Some of these parts are still in the process of being developed.

INTRODUCTION
(to amendment 1)

This amendment cancels and replaces IEC 61633.

The original edition of IEC 62271-101 (2006) makes extensive reference to IEC 62271-100:2001. Since then, a new edition of IEC 62271-100 has been published (2008). Within this amendment, references are made to IEC 62271-100:2008. Unless they are explicitly mentioned in this amendment, all of the references in the original edition of IEC 62271-101 (2006) still make reference to IEC 62271-100:2001. A second amendment to IEC 62271-101, which will update all cross-references to the new IEC 62271-100:2008, is under consideration.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

1 Scope

This part of IEC 62271 mainly applies to a.c. circuit-breakers within the scope of IEC 62271-100. It provides the general rules for testing a.c. circuit-breakers, for making and breaking capacities over the range of test duties described in 6.102 to 6.111 of IEC 62271-100, by synthetic methods.

NOTE Circuits for the test duties described in 6.111 have not yet been standardized. However, present methods are given in Annex G.

It has been proven that synthetic testing is an economical and technically correct way to test high-voltage a.c. circuit-breakers according to the requirements of IEC 62271-100 and that it is equivalent to direct testing.

The methods and techniques described are those in general use. The purpose of this standard is to establish criteria for synthetic testing and for the proper evaluation of results. Such criteria will establish the validity of the test method without imposing restraints on innovation of test circuitry.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

~~IEC 61633:1995, *High-voltage alternating current circuit-breakers – Guide for short-circuit and switching test procedures for metal-enclosed and dead tank circuit-breakers*~~

IEC 62271-100:~~2001~~ 2008, *High-voltage switchgear and controlgear – Part 100:* ~~*High-voltage*~~ *Alternating current circuit-breakers* [2]

IEC 62271-308:2002, *High-voltage switchgear and controlgear – Part 308: Guide for asymmetrical short-circuit test duty T100a*

3 Terms and definitions

For the purposes of this document, the terms and definitions of IEC 62271-100, as well as the following terms and definitions, apply.

3.1
direct test
test in which the applied voltage, the current and the transient and power-frequency recovery voltages are all obtained from a circuit having a single-power source, which may be a power system or special alternators as used in short-circuit testing stations or a combination of both

---

[2] Unless explicitly otherwise mentioned, all of the references to IEC 62271-100 make reference to IEC 62271-100:2001. A second amendment to IEC 62271-101, which will update all cross-references to the new IEC 62271-100:2008, is under consideration.

3.2
synthetic test
test in which all of the current, or a major portion of it, is obtained from one source (current circuit), and in which the applied voltage and/or the recovery voltages (transient and power frequency) are obtained wholly or in part from one or more separate sources (voltage circuits)

3.3
test circuit-breaker
circuit-breaker under test (see 6.102.2 of IEC 62271-100:2001)

3.4
auxiliary circuit-breaker(s)
circuit-breaker(s) forming part of a synthetic test circuit used to put the test circuit-breaker into the required relation with various circuits

3.5
current circuit
that part of the synthetic test circuit from which all or the major part of the power-frequency current is obtained

3.6
voltage circuit
that part of the synthetic test circuit from which all or the major part of the applied voltage and/or recovery voltage is obtained

3.7
prospective current (of a circuit and with respect to a circuit-breaker)
current that would flow in the circuit if each pole of the test and auxiliary circuit-breakers were replaced by a conductor of negligible impedance

[IEV 441-17-01, modified]

3.8
actual current
current through the test circuit-breaker (prospective current modified by the arc voltage of the test and auxiliary circuit-breakers)

3.9
distortion current
calculated current equal to the difference between the prospective current and the actual current

3.10
post-arc current
current which flows through the arc gap of a circuit-breaker when the current and arc voltage have fallen to zero and the transient recovery voltage has begun to rise

3.11
current-injection method
synthetic test method in which the voltage circuit is applied to the test circuit-breaker before power-frequency current zero

3.12
initial transient making current
ITMC
transient current which flows through the circuit-breaker at the moment of voltage breakdown prior to the initiation of current from the current circuit during making

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

3.13
injected current
current supplied by the voltage circuit of a current injection circuit when it is connected to the circuit-breaker under test

3.14
voltage-injection method
synthetic test method in which the voltage circuit is applied to the test circuit-breaker after power frequency current zero

3.15
reference system conditions
conditions of an electrical system having the parameters from which the rated and test values of IEC 62271-100 are derived

3.16
time delay of making device
t_m
time interval, during synthetic making test, between the instant of breakdown of the applied voltage and the initiation of current from the current circuit

3.17
minimum clearing time
sum of the minimum opening time, minimum relay time (½ cycle), and the minimum arcing time for the minor loop of the first-pole-to-clear, during test duty T100a only, as declared by the manufacturer. This definition should be used only for the determination of the test parameters for test duty T100a.

NOTE 1 The minimum clearing time obtained during the tests should not be lower than the value declared by the manufacturer. Prior to the tests, the minimum opening time should be measured at maximum trip coil voltage maximum pressure for operation and minimum pressure for interruption. If the minimum opening time measured prior to the tests is lower than the one declared by the manufacturer, this lower value should be used for the determination of the required test parameters.

NOTE 2 This definition assumes that the minimum clearing time obtained with the minimum pressure for interruption is similar to the one that would be obtained with the maximum pressure for interruption. Normally, the minimum clearing time is obtained with the maximum pressure for interruption. If such pressure condition is giving a minimum clearing time such that the minimum clearing time range applicable (as given in Tables 1a to 2d of IEC 62271-308:2002) for tests is different than the one obtained at minimum pressure for interruption, then it is permissible to verify the minimum clearing time by using the maximum pressure for interruption.

3.18
pre-strike
voltage breakdown between the contacts during a making operation which initiates current flow

4 Synthetic testing techniques and methods for short-circuit breaking tests

4.1 Basic principles and general requirements for synthetic breaking test methods

Any particular synthetic method chosen for testing shall adequately stress the test circuit-breaker. Generally, the adequacy is established when the test method meets the requirements set forth in the following subclauses.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

A circuit-breaker has two basic positions: closed and open. In the closed position a circuit-breaker conducts full current with negligible voltage drop across its contacts. In the open position it conducts negligible current but with full voltage across the contacts. This defines the two main stresses, the current stress and the voltage stress, which are separated in time.

If closer attention is paid to the voltage and current stresses during the interrupting process (Figure 1), three main intervals can be recognized:

– High-current interval

  The high-current interval is the time from contact separation to the start of the significant change in arc voltage. The high-current interval precedes the interaction and high-voltage intervals.

– Interaction interval

  The interaction interval is the time from the start of the significant change in arc voltage prior to current zero to the time when the current including the post-arc current, if any, ceases to flow through the test circuit-breaker (see also Clause B.2).

– High-voltage interval

  The high-voltage interval is the time from the moment when the current including the post-arc current, if any, ceases to flow through the test circuit-breaker to the end of the test.

4.1.1 High-current interval

During the high-current interval the test circuit-breaker shall be stressed by the test circuit in such a way that the starting conditions for the interaction interval, within tolerances to be specified, are the same as under reference system conditions.

In synthetic test circuits the ratio of the power-frequency voltage of the current circuit to the arc voltage is low in comparison with tests at reference system conditions due to:

– the voltage of the current circuit being a fraction of the system voltage;

– the fact that the arc voltages of the test circuit-breaker and of the auxiliary circuit-breaker are added.

As a result the duration of the current loop and the peak value of the current will be reduced. This distortion of the current is outlined in Annex A.

Considerations with respect to the arc energy released in the test circuit-breaker lead to a maximum permissible influence in terms of tolerances on two characteristic values of the shape of the current, i.e. current-peak value and current-loop duration (see Annex A).

The tolerance on the amplitude and the power frequency of the prospective breaking current is given in 6.103.2 and 6.104.3 of IEC 62271-100. Therefore, the following conditions concerning the actual current through the test circuit-breaker shall be met:

– for symmetrical testing the current amplitude and final loop duration shall not be less than 90 % of the required values based on rated current;

– for asymmetrical testing, the current amplitude and final loop duration shall be between 90 % and 110 % of the required values, based on rated current and time constant (see Tables ~~I.1a to I.2d~~ 15 through 22 of IEC 62271-100:2008).

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Adjustment measures:

The amplitude and duration of the last current loop may be adjusted by several means, such as

– increasing or decreasing of the r.m.s. value of the short-circuit test current,
– changing of the frequency of the test current,
– using pre-tripping or delayed tripping,
– changing the instant of current initiation (initial d.c. component).

For reference see 5.3 of IEC 62271-308.

4.1.2 Interaction interval

During the interaction interval, the short-circuit current stress changes into high-voltage stress and the circuit-breaker performance can significantly influence the current and voltages in the circuit. As the current decreases to zero, the arc voltage may rise to charge parallel capacitance and distort current passing through the arc. After the current zero the post-arc conductivity may result in additional damping of the transient recovery voltage and thus influence the voltage across the circuit-breaker and the energy supplied to the ionized contact gap. The interaction between the circuit and the circuit-breaker immediately before and after current zero (i.e. during the interaction interval) is of extreme importance to the interrupting process.

During the interaction interval, the current and voltage waveforms shall be the same for a synthetic test as under reference system conditions (see 3.15), taking into account the possible deviations of the current and voltage from the prospective values due to the interaction between the circuit-breaker and the circuit.

The interaction interval presents the critical time for the thermal failure mode of the circuit-breaker. Therefore, it is of extreme importance that the shape and magnitude of the prospective transient recovery voltage (TRV) corresponds to that associated with the prospective current of the relevant test duty.

The above implies strict requirements for the test circuit. The requirements are given for the current injection method in 4.2.1 and for the voltage injection method in 4.2.2.

NOTE Depending on the test circuit used, the interaction between circuit and test circuit-breaker may be disturbed by the behaviour of the auxiliary circuit-breaker during the critical interval around current zero.

The arc voltage of the auxiliary circuit-breaker should be less than or equal to the arc voltage of the test circuit-breaker.

If an auxiliary circuit-breaker with a higher arc voltage is used, a higher power-frequency voltage of the current circuit may be necessary.

4.1.3 High-voltage interval

During the high-voltage interval, the gap of the test circuit-breaker is stressed by the recovery voltage.

The prospective TRV shall comply with the requirements of 4.102, 4.105, 4.106 and 6.104.5 of IEC 62271-100.

Suitable methods for determining the prospective TRV in synthetic test circuits can be selected from Annex F of IEC 62271-100.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

The impedance of the voltage circuit shall be low enough to give clear evidence of breakdown, if any.

NOTE 1 If the test circuit-breaker is fitted with parallel breaking resistors, a special procedure may be necessary (see Annex F).

NOTE 2 If the TRV is obtained from more than one source the overall waveshape should not show any appreciable discontinuity.

In principle, the power-frequency recovery voltage for the basic short-circuit test duties should preferably be a.c. and shall equate with the requirements of 6.104.7 of IEC 62271-100. In synthetic testing, the recovery voltage is supplied from a voltage circuit, either directly or in series with the current circuit. This gives an a.c. voltage, or a combined a.c. and d.c. voltage, or a d.c. voltage, which in most cases decays due to the limited energy of the voltage source. It may thus not be possible to maintain the recovery voltage for at least 0,3 s as specified in 6.104.7 of IEC 62271-100. Deviations from the specified recovery voltage are acceptable if the following conditions are met:

– The instantaneous value of the recovery voltage during a period equal to 1/8 of a cycle of the rated frequency of the circuit-breaker shall be not less than the equivalent instantaneous value of the power-frequency recovery voltage specified in 6.104.7 of IEC 62271-100 which, for a test with symmetrical current, starts with a minimum peak value of $0{,}95 \times k_{pp} \times U_r \sqrt{2} / \sqrt{3}$

  where

  k_{pp} is the first pole-to-clear factor;

  U_r is the rated voltage of the circuit-breaker.

– Whether an exponentially decaying d.c., an a.c. or a combined a.c. and d.c. recovery voltage is used, its instantaneous value (for d.c.) or its peak value (for a.c. or combined a.c. and d.c.) should in principle be kept as close as possible to $U_r \sqrt{2} / \sqrt{3}$ and in any case must not fall below $0{,}5\, U_r \sqrt{2} / \sqrt{3}$ in less than 0,1 s (see Figure 2).

– If an exponentially decaying d.c. or a combined a.c. and d.c. recovery voltage imposes an inappropriate stress on the circuit-breaker compared to that due to the specified a.c. recovery voltage in reference system conditions, then a more appropriate circuit may be used taking into account 6.104.7 of IEC 62271-100 and also the limits stated above.

4.2 Synthetic test circuits and related specific requirements for breaking tests

4.2.1 Current injection methods

These methods can be described in terms of general principles as follows (see Annex B):

– the current from the voltage circuit is superimposed on the power-frequency current through the test circuit-breaker prior to the interaction interval;

– an auxiliary circuit-breaker interrupts the current from the current circuit prior to the interaction interval.

During the interaction interval, the test circuit-breaker is exposed to the voltage of the voltage circuit having an impedance which is representative of the reference system conditions. This explains the validity of current injection methods. Several current injection methods are known but only the conditions for parallel current injection are given below since this method is used by the majority of the test laboratories. The following conditions shall be met:

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

a) *TRV waveshape circuit*

1) The shape and magnitude of the prospective TRV shall comply with the specified values.

2) Ideally the equivalent surge impedance Z_h (see Figure 3) shall be equal to $(du/dt)/(di/dt)$ during the interaction interval. (du/dt) is the rate of rise of the specified transient recovery voltage and di/dt is the rate of decrease of the specified short-circuit current.

3) The combination of the stray and lumped capacitance C_{dh} in parallel with Z_h gives rise to the delay time $t_d = Z_h \times C_{dh}$.

b) *Inductance of the voltage circuit*

The value of the inductance of the voltage circuit shall be between 1,0 and 1,5 times the inductance derived from the equivalent power-frequency voltage divided by the prospective current.

c) *Frequency of the injected current and the injection timing*

The frequency of the injected current shall preferably be of the order of 500 Hz with a lower limit of 250 Hz and an upper limit of 1 000 Hz.

In order to prevent undue influence on the waveshape of the power-frequency current, the lower limit of the frequency of the injected current is 250 Hz.

The maximum frequency of the injected current is determined by the interval of significant change of arc voltage, the interval for which shall be smaller than the time for which the arc is fed only by the injected current. To achieve this, the period of the injected frequency should be at least four times the interval of significant change of arc voltage (see Annex B).

The initiation of the injected current shall be adjusted such that the time, during which the test circuit-breaker is fed only by the injected current, is not more than a quarter of the period of the injected current frequency with a maximum of 500 µs.

NOTE Attention should be paid to the possible overstressing of the circuit-breaker if the time that the test circuit-breaker is fed by the injected current only is less than 200 µs.

d) *Waveshape of the injected current*

The prospective rate of decrease (di/dt) of the injected current shall correspond to that of the prospective power-frequency current.

The injected current shall be practically free of superimposed oscillations for a time not less than 100 µs before current zero.

4.2.2 Voltage injection method

Several voltage injection methods are known but only series voltage injection is described here in general terms as follows (see also Annex C):

– the voltage from the voltage circuit is applied to the test circuit-breaker after the interaction interval;

– a capacitor in parallel with the auxiliary circuit-breaker is used to apply the recovery voltage to the test circuit-breaker;

– during the high-current and interaction intervals, the test circuit-breaker is exposed to the current circuit only.

The voltage injection method shall not be used to check the thermal behaviour of the circuit-breaker.

For example in the case of short-line fault tests, in addition to the voltage injection circuit supplying the source side TRV, a current injection circuit which is connected to the line-side terminal of the test circuit-breaker shall be used to supply the line-side transient voltage.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

When used for tests relating to the dielectric behaviour of the circuit-breaker, the following conditions shall be met:

– the auxiliary circuit-breaker should have an arc voltage less than or equal to that of the test circuit-breaker (see Note in 4.1.2);

– the voltage circuit shall be designed in such a manner as to allow detection of re-ignitions or re-strikes, should they occur.

  Therefore, the capacitance across the auxiliary circuit-breaker shall be at least 20 times the capacitance in parallel with the test circuit-breaker. Care should be taken to avoid undue distortion of the current before power-frequency current zero;

– no pause shall be introduced by the combining of the current circuit and the voltage circuit.

4.2.3 Duplicate circuit method (transformer or Skeats circuit)

This method can be described in terms of general principles as follows (see also Annex D):

– the current and voltage are supplied from the same source;

– the a.c. recovery voltage is supplied from a step-up transformer, the primary of which is connected to the current circuit;

– the recovery voltage is applied to the test circuit-breaker through an impedance (normally a resistance).

The auxiliary circuit-breaker interrupts the current prior to the test circuit-breaker by a short time interval (usually about 10 μs). During this short interval the value of di/dt of the current in the test circuit-breaker is decreased.

The Skeats circuit is therefore not valid for tests where attention is paid to the thermal failure mode of the test circuit-breaker. It is suitable for testing the dielectric behaviour of a circuit-breaker and can be used for making tests.

The Skeats circuit can easily be adapted to supply full voltage stresses in two (or more) operations e.g. at both closing and opening in a CO operation, at both openings in an O – t – CO operation or even at consecutive current zeros in an opening operation. See Annex D.

4.2.4 Other synthetic test methods

Other methods may proven to be correct and advantageous for testing of circuit-breakers with specific characteristics or for testing of a circuit-breaker for specific performance. Even though these methods are not covered by this standard, they can be used subject to understanding of their application and agreement between the manufacturer and the user.

Methods concerning metal enclosed, and dead tank circuit-breakers should take into account the recommendations of ~~IEC 61633~~ Annex O of IEC 62271-100:2008.

A method available for testing circuit-breakers having parallel breaking resistors is reported in Annex F.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

4.3 Three-phase synthetic test methods

Three-phase synthetic test methods shall be applied for testing of circuit-breakers which can not be tested single pole as per 6.102.4.1 of IEC 62271-100. They can also be used as an alternative to single phase synthetic tests if relevant. Short-circuit test sequences T10, T30 and T60 may in any case be performed in single-phase test circuits.

To ensure that the appropriate stresses in the interrupting element and those between poles and, if relevant, to the enclosure are applied, the following general requirements shall be fulfilled:

a) full three-phase current shall be supplied to the three-pole circuit-breaker under test;

b) information about the required test circuits for test duties T100s and T100a is given in Table 1;

c) the test parameters for each pole-to-clear are given in Tables 2a and 2b;

d) all the above stresses preferably should be applied in the same test. If this is impossible, a multi-part testing procedure may be necessary;

e) to avoid changing the connection of the high-voltage circuit to the circuit-breaker between the tests of each test sequence, the first-pole-to-clear is allowed to be kept in the same phase during the whole sequence, taking into account the requirements of 6.105.1 of IEC 62271-100.

Table 1 – Test circuits for test duties T100s and T100a

	T100s		T100a	
k_{pp}	**First-pole-to-clear**	**Other poles**	**First-pole-to-clear**	**Other poles**
1,5	Application of synthetic circuits of 4.2.1 or 4.2.2 at all operations	Application of synthetic circuits of 4.2.1, 4.2.2 or 4.2.3 at all operations	Application of synthetic circuits of 4.2.1 or 4.2.2 for at least two operations. The third operation can be tested with 4.2.3	Application of synthetic circuit 4.2.1 or 4.2.2 at least to the operation with major extended loop and longest arcing time
1,3	Application of synthetic circuits of 4.2.1 or 4.2.2 for at least two operations. The third operation can be tested with 4.2.3	Application of synthetic circuit 4.2.1 or 4.2.2 at least to the second-pole-to-clear at the operation with the longest arcing time. Application of synthetic circuits of 4.2.1 through 4.2.3 at all other operations	Application of synthetic circuits of 4.2.1 or 4.2.2 for at least two operations. The third operation can be tested with 4.2.3	Application of synthetic circuits of 4.2.1 or 4.2.2 at least to the second-pole-to-clear at the operation with major extended loop and longest arcing time. Application of synthetic circuits of 4.2.1 through 4.2.3 at all other operations

k_{pp} first-pole-to-clear factor.

NOTE Voltage injection is only permitted if there are no ITRV requirements, or if these requirements are covered by SLF testing.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table 2 – Test duties T10, T30, T60 and T100s

Table 2a – First-pole-to-clear factor: 1,5 – Test parameters during three-phase interruption

TRV peak in %				Recovery voltage peak p.u.	d*u*/d*t* %	d*i*/d*t* %	Phase angle °
		At instant of first-pole-to-clear	At instant of second and third-pole-to-clear				
Phases	A	100	-	1	100	100	-
	B	0	58	1	70	87	90
	C	0	58	1	70	87	90
Between phases	A – B	100	58	1,732			
	B – C	0	115	1,732			
	A – C	100	58	1,732			
TRV peak first pole-to-clear: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$ (= 100 %). 1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$. The first-pole-to-clear is in phase A.							

Table 2b – First-pole-to-clear factor: 1,3 – Test parameters during three-phase interruption

TRV peak in %				Recovery voltage peak p.u.	d*u*/d*t* %	d*i*/d*t* %	Phase angle °
		At instant of first-pole-to-clear	At instant of second and third-pole-to-clear				
Phases	A	100	- / -	1	100	100	-
	B	0	- / 77	1	70	57	120
	C	0	98 / -	1	95	89	77
Between phases	A – B	100	- / 91	1,732			
	B – C	0	98 / 98	1,732			
	A – C	100	89 / -	1,732			
TRV peak first pole-to-clear: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$ (= 100 %) 1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$ The first-pole-to-clear is in phase A. The second-pole-to-clear is in phase C.							

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

5 Synthetic testing techniques and methods for short-circuit making tests

5.1 Basic principles and general requirements for synthetic making test methods

During a closing operation onto a short-circuit, the circuit-breaker contact gap is subjected to the applied voltage as per 6.104.1 of IEC 62271-100. After the moment of breakdown the circuit-breaker is subjected to the making current as per 6.104.2.1 of IEC 62271-100. In a synthetic test circuit the applied voltage is supplied by a separate voltage source and the short-circuit current is supplied by a current circuit at reduced voltage. This latter is connected to the circuit-breaker immediately after breakdown of the contact gap by means of a fast making device, e.g. a triggered spark gap.

Any particular synthetic method chosen for testing shall adequately stress the test circuit-breaker. Generally the adequacy is established when the test method meets the requirements set forth in the following subclauses.

Prior to making, a circuit-breaker withstands the rated phase-to-earth voltage applied across its terminals: during making, it carries the rated short-circuit current. If closer attention is paid to the voltage and current stresses during the making test (see Figure 4) three main intervals can be recognized:

– High-voltage interval

  The high-voltage interval is the time from the commencement of the test, with the circuit-breaker in the open position, to the moment of breakdown across the contact gap;

– Pre-arcing interval

  The pre-arcing interval is the time, during the closing stroke of the circuit-breaker, from the moment of breakdown across the contact gap to the touching of the contacts;

– Latching interval

  The latching interval is the time, during the closing stroke of the circuit-breaker, from the touching of the contacts to the moment when the contacts reach the fully closed (latched) position.

5.1.1 High-voltage interval

During this interval the circuit-breaker shall be stressed by the test circuit in such a way that the starting conditions for the pre-arcing interval, within the tolerances to be specified, are the same as the following reference system conditions:

– The applied voltage shall comply with the requirement set forth in 6.104.1 of IEC 62271-100;

– The phase relationship between the applied voltage and the short-circuit current shall correspond to the rated power factor of the test circuit within the tolerances given in 6.103.1 of IEC 62271-100.

5.1.2 Pre-arcing interval

During pre-arcing the circuit-breaker is subjected to electrodynamic forces due to the current and to deteriorating effects due to arc-energy. The current is composed of three components:

– the initial transient making current, ITMC;

– the d.c. and a.c. components of the short-circuit current.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Two typical cases may occur depending on the moment of closing:

– breakdown occurs near the crest of the applied voltage establishing an almost symmetrical current. Pre-arc energy and ITMC are relatively high;

– breakdown occurs near zero of the applied voltage establishing an asymmetrical current. Pre-arc energy and ITMC are negligible, with the exception of the case of non-simultaneous closing in a multi-unit pole.

5.1.3 Latching interval and fully closed position

During these intervals the circuit-breaker has to close in presence of the electrodynamic forces due to the current and contact friction forces. Therefore during these intervals the making current shall comply with 4.103 of IEC 62271-100.

5.2 Synthetic test circuit and related specific requirements for making tests

5.2.1 General

The test circuit and specific requirements shall fulfil requirement a) of 6.104.2.1 of IEC 62271-100.

5.2.2 Test circuit

The test circuit is made up with two sources, namely the current and the voltage circuit. Typical circuits showing voltage and current waveshapes are given in Figure 5 for single-phase and Figure 6 for three-phase.

– the voltage circuit supplies
  - the applied voltage during the high-voltage interval,
  - the ITMC during the pre-arcing interval, by the discharge of the ITMC-circuit;

– the current circuit supplies the making current during the pre-arcing, and latching intervals.

5.2.3 Specific requirements

During a synthetic making test, the phase relationship between the applied test voltage and the short-circuit current depends on the following parameters:

– power factor ($\cos \varphi$) of the current circuit;

– phase displacement (β) between U_{cs} and U_h (if U_h is an a.c. voltage source);

– time delay of making device (t_m).

The condition of the correct making operation is fulfilled when:

$\beta + t_m' + (90 - \varphi) \leq 27°$ in the case that U_h is an a.c. source and t_m is as short as possible but in any case not longer than 300 µs

where $t_m' = (t_m / T) \times 360°$ (with T = 20 ms for 50 Hz and T = 16,7 ms for 60 Hz).

NOTE 1 The high-voltage circuit U_h may be an a.c. source, a d.c. source or a combination of both.

NOTE 2 β may be negative if the voltage U_h is obtained by a separate source.

The injected current supplied by the voltage circuit shall ensure pre-arcing until the breakdown of the fast make gap. Therefore, the time constant of the ITMC circuit shall be long enough to ensure current flow during the time delay of the making device.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

6 Specific requirements for synthetic tests for making and breaking performance related to the requirements of 6.102 through 6.111 of IEC 62271-100

Subclauses 6.102 through 6.111 of IEC 62271-100 are also applicable for synthetic testing. However, in some cases special techniques are necessary. These cases are outlined in the following subclauses. The numbering of the subclauses corresponds to that of IEC 62271-100. Annex O of IEC 62271-100:2008 (edition 2008) gives guidelines for the testing of metal-enclosed and dead tank circuit breakers.

6.102.4.2 Unit testing

For the application of the synthetic test methods to one or more units of a circuit-breaker, the requirements of 6.102.4.2 of IEC 62271-100:2008 are applicable. In the case of metal-enclosed or dead tank circuit-breakers, Annex N gives details of some typical test circuits and Annex O of IEC 62271-100:2008 outlines appropriate testing guidelines.

6.102.4.3 Multi-part testing

For synthetic methods of testing circuit-breakers fitted with breaking resistors, see Annex F.

Opening operations of circuit-breakers with closing resistors require no special testing techniques since the closing resistor will not influence the test circuit.

The closing resistors can only be tested in a direct circuit that provides the correct current and voltage stresses from a single power source.

During the synthetic making tests it is necessary to remove the closing resistor in order to obtain the correct short-circuit current stresses and pre-arcing conditions in the main interrupter.

6.102.10 Demonstration of arcing times

The basic requirements to be met are given in 6.102.10 of IEC 62271-100.

In order to be able to perform synthetic tests on the same basis as direct tests, normally it will be necessary to apply special re-ignition methods to prolong the arcing of the test circuit-breaker through the necessary number of zeros of the power-frequency current. See Annex H for re-ignition methods to prolong arcing.

The "step-by-step" method described in Annex H is the method used on most synthetic tests. The method is considered to be a sufficiently close approximation of the direct testing procedure.

The arcing is prolonged by means of thermal re-ignitions. As this method makes it possible to force the test circuit-breaker to re-ignite in all conditions, special care shall be taken not to re-ignite the circuit-breaker at the instant of a current zero when the circuit-breaker can clear. For this purpose it is necessary to determine, for each terminal fault, short-line fault and out-of-phase test duty, the minimum arcing time of the circuit-breaker. At least two breaking tests, one clearance and one re-ignition, are necessary for this determination.

The clearance at the minimum arcing time is the first valid breaking operation. The other test is performed to demonstrate that a re-ignition at an early current zero would take place between the arcing contacts.

NOTE 1 The extra tests necessary to demonstrate correct behaviour at early current zeros will usually contribute insignificantly to contact wear, etc., due to the short arcing times. Therefore, no re-conditioning should be necessary because of these tests.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

NOTE 2 The re-ignition(s) obtained when determining the minimum arcing time do(es) not indicate a failure of the circuit-breaker. However, it is important to establish that this re-ignition has taken place between the arcing contacts only. When using a current injection method, the interruption of the injected current a few loops after the re-ignition is often a useful means for the judgement. Thorough inspection of screens, arcing and main contacts, etc., should also be made to verify correct behaviour.

6.102.10.1 Three-phase tests

Depending on the test circuit used, the test procedures given here may not cover the conditions of the 3rd pole-to-clear for solidly earthed systems (k_{pp} = 1,3). For this case the same procedures may be applied, with the manufacturer's consent, by combining the TRV and di/dt parameters for the 2nd pole-to-clear and the arcing time corresponding to the 3rd pole-to-clear. Alternatively, an additional test may be performed with the TRV, di/dt and the maximum arcing time corresponding to the 3rd pole-to-clear.

For alternative testing procedures of multi-enclosure type circuit-breakers with operating mechanism characteristics that require three-phase current, see Annex K.

6.102.10.1.1 Test duties T10, T30, T60, T100s(b)

The test procedure is as follows:

For convenience of testing, the pole in phase A is kept as the first-pole-to-clear.

First the minimum arcing time and correct re-ignition behaviour are established. This is done by changing the setting of the tripping impulse in steps of 18° (possibly this has to be repeated several times). After having done so, the setting of the control of the tripping impulse has to be advanced by approximately 40°, starting from the shortest arcing time at which the circuit-breaker cleared. For the last test, the setting of the control of the tripping impulse has to be advanced by approximately 20°, starting from the shortest arcing time at which the circuit-breaker cleared.

– First valid breaking operation: $t_{arc\ min}$, minimum arcing time in phase A;
– Re-ignition test: $t_{arc\ reig}$ = $t_{arc\ min}$ – 18°, re-ignition in phase A;
– Second valid breaking operation: t_{max} = $t_{arc\ min}$ + 40°, longest arcing time in phase A;
– Third valid breaking operation: t_{med} = $t_{arc\ min}$ + 20°, medium arcing time in phase A.

The first valid breaking operation and re-ignition test consist of single opening operations. The second and third valid breaking operations are carried out as part of the rated operating sequence. If the rated operating sequence is CO-15s-CO the third valid breaking operation is not required (see 6.102.10 of IEC 62271-100).

For comparison with the arcing time settings used in three-phase direct tests, see Figure 7.

6.102.10.1.2 Test duty T100a

The test procedure is as follows:

All tests consist of single opening operations.

In order to simplify the test procedure, the pole in phase A is kept as the first-pole-to-clear, but the pole in phase C will be subjected to increased electrical wear. In order to obtain similar electrical wear on the poles of phases B and C, the tests can be performed by exchanging the poles of phases B and C for the third valid breaking operation.

First the minimum arcing time (first valid breaking operation) and re-ignition behaviour are established with the major extended loop occurring in phase C. This is done by changing the setting of the tripping impulse in steps of 18° (possibly this has to be repeated several times).

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

The second valid breaking operation is carried out with the required asymmetry changed to phase A, hence both the initiation of short-circuit current and the setting of the tripping impulse shall be advanced by 60° with reference to the re-ignition test.

The third valid breaking operation is set with the required asymmetry in phase C. The initiation of the short-circuit current is delayed by 60° while the tripping impulse is advanced by 10°, with reference to the second valid breaking operation.

– First valid breaking operation: $t_{\text{arc min}}$
  - minimum arcing time in phase A,
  - required asymmetry conditions in phase C;
– Re-ignition test: $t_{\text{arc reig}} = t_{\text{arc min}} - 18°$
  - re-ignition in phase A,
  - required asymmetry conditions in phase C;
– Second valid breaking operation: $t_{\text{arc max major}}$ in the first-pole-to-clear
  - both the initiation of the short-circuit current and the setting of the tripping impulse advanced by 60°, with reference to $t_{\text{arc reig}}$,
  - required asymmetry conditions in phase A;
– Third valid breaking operation: $t_{\text{arc max major extended}}$
  - maximum arcing time in phase A,
  - required asymmetry conditions in phase C;
  - initiation of the short-circuit current delayed by 60° and the setting of the tripping impulse advanced by 10°, with reference to $t_{\text{arc max major}}$.

The order of the tests given is for convenience only.

For comparison with the arcing time settings used in three-phase direct tests, see Figure 8.

The second and third valid breaking operations can be interchanged as follows:

– Second valid breaking operation: $t_{\text{arc max major extended}}$
  - maximum arcing time in phase A,
  - required asymmetry conditions in phase C,
  - the setting of the tripping impulse advanced by 70°, with reference to $t_{\text{arc reig}}$;
– Third valid breaking operation: $t_{\text{arc max major}}$ in the first-pole-to-clear:
  - initiation of short-circuit current advanced by 60° and the setting of the tripping impulse delayed by 10° with reference to $t_{\text{arc max major extended}}$;
  - required asymmetry conditions in phase A.

Since some circuit-breakers will not clear after a major loop, a test is still valid if the circuit-breaker interrupts at the subsequent minor loop.

NOTE For some types of circuit-breaker, it may appear that for the third valid test ($t_{\text{arc max major extended}}$), the minor loop of current at the previous current zero could already be cleared in phase B. This is not verified in the above described procedure, but can be checked by delaying both the initiation of short-circuit and the setting of the tripping impulse by 60°, with reference to $t_{\text{arc max major extended}}$. Hence, if clearance occurs at the previous minor loop, the third valid test may be repeated with a shorter arcing time depending on the arcing time at which the circuit-breaker will not clear this minor loop of current.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

6.102.10.2 Single-phase tests in substitution for three-phase conditions

The procedures as described in 6.102.10.2 of IEC 62271-100 are applicable.

6.102.10.2.5 Splitting of test duties in test series, taking into account the associated TRV for each pole-to-clear

The procedures as described in 6.102.10.2.5 of IEC 62271-100 are applicable and the test procedure for synthetic testing is given in Annex L.

6.104.5.4 Test duty T30

For rated voltages up to and including 72,5 kV it may be difficult to meet the small values of t_3. The shortest time which can be met should be used, but not less than the values specified in Table 13 of IEC 62271-100. The values used shall be stated in the test report.

6.104.5.5 Test duty T10

For rated voltages up to and including 72,5 kV it may be difficult to meet the small values of t_3. The shortest time which can be met should be used, but not less than the values specified in Table 13 of IEC 62271-100. The values used shall be stated in the test report.

6.106 Basic short-circuit test duties

The basic requirements are given in 6.106 of IEC 62271-100. The synthetic test methods are given in Table 3.

Abbreviations used in 6.106 and Table 3 are given below.

Cd	Closing operation in a direct circuit at the voltage of the current source which can be less than the voltage specified in 6.104.1 of IEC 62271-100
Cs	Closing operation with specified parameters in a synthetic circuit
Cd_{asy}	Closing operation against the rated short-circuit making current according to 6.104.2. of IEC 62271-100 in a direct circuit at conditions described under Cd
Cs_{sym}	Closing operation against a symmetrical current equal to the rated short-circuit breaking current, carried out at the required applied voltage in a synthetic circuit
Od	Breaking operation at the voltage of the current source only and with the specified breaking current
Os	Breaking operation with specified parameters in a synthetic circuit
t	Time interval between operations (0,3 s or 3 min depending on the rated operating sequence)
t'	Time interval between operations (3 min)
t''	Time interval between operations (15 s)
SP	Single-phase test as defined in 6.108 of IEC 62271-100
DEF	Double earth fault test as defined in 6.108 of IEC 62271-100

NOTE 1 Due to the characteristics of synthetic testing it may be difficult to comply with the specified time intervals of the rated operating sequence. See 6.105.1 of IEC 62271-100.

NOTE 2 In order to comply with all test requirements, it may be necessary to make more operations than specified in the normal test duty. In such cases the circuit-breaker may be reconditioned and the test duty repeated.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

6.106.1 Test duty T10

Several procedures may be used to perform the rated operating sequence synthetically with the specified parameters (see Table 3).

6.106.2 Test duty T30

Several procedures may be used to perform the rated operating sequence synthetically with the specified parameters (see Table 3).

6.106.3 Test duty T60

Several procedures may be used to perform the rated operating sequence synthetically with the specified parameters (see Table 3).

6.106.4 Test duty T100s

Several procedures may be used to perform the rated operating sequence synthetically with the specified parameters (see Table 3), as follows.

6.106.4.1 Time constant of the d.c. component of the test circuit equal to the specified value

One of the following methods shall be used when the time constant of the test circuit is equal to the specified value used for the rated short-circuit breaking current as defined by 4.101.2 of IEC 62271-100.

Method 1

The preferred procedure is to carry out the complete rated operating sequence as follows:

$$\text{Os} - t - \text{Cs Os} - t' - \text{CsOs or}$$

$$\text{CsOs} - t'' - \text{CsOs}$$

with one Cs meeting requirement a) and the other Cs meeting requirement b) of 6.104.2.1 of IEC 62271-100.

Method 2

The procedure is to carry out the complete rated operating sequence as follows:

$$\text{Os followed by}$$

$$\text{Od} - t - \text{Cs}_{\text{sym}}\text{Os} - t' - \text{Cd}_{\text{asy}}\text{Os or}$$

$$\text{Cs}_{\text{sym}}\text{Od} - t'' - \text{Cd}_{\text{asy}}\text{Os}$$

with Od having the same minimum arcing time condition as the previous Os and Cd_{asy} meeting requirement b) of 6.104.2.1 of IEC 62271-100.

The purpose of the first Os is

– to comply with the requirement to have the specified number of breaking operations at the specified values,

– to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100; closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

Method 3

The procedure is to carry out the complete rated operating sequence as follows:

Cs_{sym} and Os followed by

Od – t – CdOs – t' – CdOs or

CdOd – t'' – CdOs

with Od having the same minimum arcing time condition as the previous Os and one of the two Cd's meeting requirement b) of 6.104.2.1 of IEC 62271-100.

The purpose of the first Os is

– to comply with the requirement to have the specified number of breaking operations at the specified values,

– to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100; closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

6.106.4.2 Time constant of the d.c. component of the test circuit less than the specified value

One of the following methods shall be used when the time constant of the test circuit is less than the specified value used for the rated short-circuit breaking current according to 4.101.2 of IEC 62271-100.

Method 1

The procedure is to carry out the complete rated operating sequence as follows:

Cd_{asy} and Os followed by

Od – t – Cs_{sym}Os – t' – CdOs or

Cs_{sym}Od – t'' – Cd Os

with Od having the same minimum arcing time condition as the previous Os and Cd_{asy} meeting requirement b) of 6.104.2.1 of IEC 62271-100.

The purpose of the first Os is

– to comply with the requirement to have the specified number of breaking operations at the specified values,

– to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100; closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

Method 2

The procedure is to carry out the complete rated operating sequence as:

Cd_{asy}, Cs_{sym} and Os followed by

Od – t – CdOs – t' – CdOs or

CdOd – t'' – CdOs

with Od having the same minimum arcing time condition as the previous Os and Cd_{asy} meeting requirement b) of 6.104.2.1 of IEC 62271-100.

The purpose of the first Os is

– to comply with the requirement to have the specified number of breaking operations at the specified values,

– to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100; closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

6.106.4.3 Time constant of the d.c. component of the test circuit greater than the specified value

One of the following methods shall be used when the time constant of the test circuit is greater than the specified value used for the rated short-circuit breaking current according to 4.101.2 of IEC 62271-100.

Method 1

The procedure is to carry out the complete rated operating sequence as follows:

Os followed by

Od – t – Cs_{sym}Os – t' – Cd_{asy}Os or

Cs_{sym}Od – t'' – Cd_{asy}Os

with Od having the same minimum arcing time condition as the previous Os and Cd_{asy}, meeting requirement b) of 6.104.2.1 of IEC 62271-100.

The purpose of the first Os is

– to comply with the requirement to have the specified number of breaking operations at the specified values,

– to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100, closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

Method 2

The procedure is to carry out the complete rated operating sequence as follows:

Cs_{sym} and Os followed by

Od – t – CdOs – t' – CdOs or

CdOd – t'' – CdOs

with Od having the same minimum arcing time condition as the previous Os and one of the two Cd meeting requirement b) of 6.104.2.1 of IEC 62271-100.

The purpose of the first Os is

– to comply with the requirement to have the specified number of breaking operations at the specified values,

– to provide the necessary information to enable the control of the tripping impulse to be set for the relevant requirements during the subsequent operating sequence. This enables the minimum arcing time conditions to be established, as if direct tests were performed at specified values. These conditions have to be reproduced during the Od operation in the subsequent operating sequence.

The purpose of the Cs_{sym} is to meet requirement a) of 6.104.2.1 of IEC 62271-100, closing against a symmetrical current as a result of the pre-arcing commencing at the peak of the applied voltage.

6.106.5 Test duty T100a

Three breaking operations shall be made as specified in 6.106.5 of IEC 62271-100 (see Table 3).

During tests with asymmetrical current both di/dt and the TRV are modified due to the d.c. component. In synthetic tests these modifications have to be pre-arranged as follows:

a) Depending on the required d.c. time constant, the following asymmetry criteria have to be fulfilled as given below and in IEC 62271-308:

   – last current loop amplitude;

   – last current loop duration;

   – percentage of d.c. component at current zero (parameter controlling the di/dt and the following TRV parameters).

   Several test parameters shall be simultaneously reproduced during T100a in order to obtain a valid interruption.

   Values for the duration and amplitude of the last loop and the percentage of d.c. component at final current zero can be found in Tables ~~I.1a to I.2d of Annex I~~ 15 through 22 of IEC 62271-100:2008.

   The prospective percentage of d.c. component at current zero shall be calculated from the percentage d.c. component at contact separation during the test and from the d.c. time constant of the test circuit. The d.c. time constant of the test circuit shall be measured from the oscillogram of a prospective current calibration test in the region corresponding

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

to the instant of contact separation. The instant of initiation of the short-circuit during the actual tests and during the prospective current calibration test shall be within ±10°.

For the prospective current calibration test, it is necessary to extend the duration of the current by at least an extra current loop in order to be able to measure accurately the prospective percentage of d.c. component at the predicted current zero.

NOTE 1 The percentage of d.c. component at current zero during actual tests can also be calculated by the following formula:

$$p_0 = p_{cs} \times \exp(-\frac{t_a}{\tau})$$

where

p_o is the percentage of d.c. component at current zero during the actual test;

p_{cs} is the percentage of d.c. component at contact separation measured during the actual test;

t_a is the arcing time;

τ is the d.c. time constant of the test circuit measured during the prospective current calibration test.

The applicable asymmetry criteria for each particular test method are described in 5.2. of IEC 62271-308.

b) Reduction of di/dt at current zero

The reduction of di/dt may be obtained for current injection methods by reducing the charging voltage of the voltage circuit.

The corresponding corrected values can be found in Tables ~~I.1a through I.2d~~ 15 through 22 of IEC 62271-100:2008 for the first-pole-to-clear condition and in Tables I.3a and I.3b for the second pole-to-clear condition in the phase having the full asymmetrical current.

c) Correction of TRV

1) Simplified method

For TRVs with time t_2 or t_3 not exceeding 500 µs, a simplified method can be used.

The charging voltage of the synthetic circuit should be set to obtain the most onerous test parameters. For tests on the minor loop it is u_c, and for the major loop di/dt.

2) For TRVs with time t_2 exceeding 500 µs, other corrections and/or circuit modifications have to be used. For the required prospective TRV values see Tables I.4a through I.4d.

NOTE 2 Different test circuits for major and minor loops may be needed in order to realise the required values. A test with one single test circuit may over-stress the circuit-breaker and requires the consent of the manufacturer.

d) Correction of recovery voltage

When a test is made for clearance at the end of a major loop, the reduced recovery voltage will adequately cover the first quarter loop of the recovery voltage (of an equivalent direct test).

For clearance at the end of a minor loop of current, the reduced recovery voltage will not cover reference system conditions since in the system the power-frequency recovery voltage continues to rise after the onset of the TRV.

Together with the symmetrical test duties, the evidence is sufficient to prove the performance of the circuit-breaker.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

6.108 Single-phase and double-earth fault tests

The basic test requirements are given in 6.108 of IEC 62271-100. The test method is shown in Table 3.

6.109 Short-line fault (SLF) tests

The basic test requirements are given in 6.109 of IEC 62271-100.

The test methods for SLF tests are shown in Table 3.

The final current loop before clearing shall have an amplitude equal to the test current times $\sqrt{2}$ with a tolerance of ±10 % including the provisions of 4.1.1.

For short-line fault synthetic testing, the parameters of the short-line fault circuit shall be those given in 4.105 of IEC 62271-100 and the line circuit shall be in the current-carrying circuit during the whole interaction interval.

With current injection circuits, the short-line fault circuit may be connected in series with the voltage circuit and its inductance is added to L_h, as shown in Figure B.1.

The presence of the short-line fault circuit in the voltage circuit may cause oscillations to be superimposed on the injected current wave. These oscillations should be damped out (to satisfy d) of 4.2.1), so as not to affect the current during the interval of significant change of arc voltage or at least 100 μs before current zero.

A resistance may be connected in series with the TRV shaping circuit. In most cases this resistance, selected to control the initial rate of rise of recovery voltage, is sufficient to supply the necessary damping.

NOTE 1 If, for short-line fault tests, the line is connected to the same side of the test circuit-breaker as the voltage circuit impedance, special attention should be given to voltage distribution and measurement of prospective TRV.

If an extra capacitance is used to adjust the time delays as per 6.109.3 of IEC 62271-100, care should be taken as to where to apply this capacitance:

– when using a line side capacitance, it shall be connected across the line section of the test circuit to simulate the same conditions as in direct tests;
– when using a source side capacitance, it shall be connected across the source section of the voltage circuit.

NOTE 2 A capacitance across the circuit-breaker is normally considered as being part of the test object. In certain cases it may be necessary to apply additional capacitance across the circuit-breaker to adjust the time delay of the test circuit.

NOTE 3 A capacitance across the auxiliary circuit-breaker influences the time delay and is considered as being part of the delay capacitance of the test circuit.

6.110 Out-of-phase making and breaking tests

The basic requirements are given in 6.110 of IEC 62271-100.

The test methods for OP1 and OP2 are given in Table 3.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table 3 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP, DEF, OP and SLF

Test duty	Synthetic test		Rated operating sequence	
			O – t – CO – t' – CO t = 0,3 s or 3 min t' = 3 min	CO – t'' – CO t'' = 15 s
	Subclause	Method		
T10, T30 and T60	6.106.1 to 6.106.3	1	Os – t – (Cd)Os – t' – (Cd)Os [a]	(Cd)Os – t'' – (Cd)Os [a]
		2	Os Od – t – (Cd)Os – t' –(Cd)Os [a]	Os (Cd)Od – t'' – (Cd)Os [a]
T100s	6.106.4.1 time constant of the d.c. component of the test circuit equal to the specified value	1	Os – t – CsOs – t' – CsOs	CsOs – t'' – CsOs
		2	Os Od – t – Cs_{sym}Os – t' – Cd_{asy}Os	Os Cs_{sym}Od – t'' – Cd_{asy}Os
		3	Cs_{sym} Os Od – t – CdOs – t' – CdOs [d]	Cs_{sym} Os CdOd – t'' – CdOs [d]
	6.106.4.2 time constant of the d.c. component of the test circuit less than the specified value	1	Cd_{asy} Os Od – t – Cs_{sym}Os – t' – CdOs [b]	Cd_{asy} Os Cs_{sym}Od – t'' – CdOs [b]
		2	Cd_{asy} Cs_{sym} Os Od – t – CdOs – t' – CdOs [b]	Cd_{asy} Cs_{sym} Os CdOd – t'' – CdOs [b]
	6.106.4.3 time constant of the d.c. component of the test circuit greater than the specified value	1	Os Od – t – Cs_{sym}Os – t' – Cd_{asy}Os [c]	Os Cs_{sym}Od – t'' – Cd_{asy}Os [c]
		2	Cs_{sym} Os Od – t – CdOs – t' – CdOs [c, d]	Cs_{sym} Os CdOd – t'' – CdOs [c, d]
T100a	6.106.5		Os – t' – Os – t' – Os	
SP and DEF	6.108		Os	
SLF	6.109	1	Os – t – (Cd)Os – t' – (Cd)Os [a]	
		2	Os Od – t – (Cd)Os – t' – (Cd)Os [a]	
OP1	6.110		Os, Os, Os	
OP2	6.110	1	Cs_{sym}Os, Os, Os	
		2	Cs_{sym} (Cd)Os, Os, Os [a]	

[a] (Cd) is a closing operation as Cd, which may be carried out under no-load conditions.

[b] Due to the smaller time constant of the d.c. component of the test circuit with respect to the specified value used for the rated short-circuit breaking current, the symmetrical value of the current during Cd_{asy} will need to be greater than the rated value. During the Cd for the same reason, the current peak, already demonstrated during Cd_{asy} will be smaller than the rated short-circuit making current.

[c] Due to the larger time constant of the d.c. component of the test circuit with respect to the specified value used for the rated short-circuit, the current peak during the asymmetrical closing can be larger than the rated short-circuit making current. A peak current reduction circuit can be used or the closing operation may be controlled by use of point on wave control, to obtain the required rated short-circuit making current. The use of point-on-wave control is subject to the consent of the manufacturer.

[d] One of the two Cd's shall be Cd_{asy}.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

6.111 Capacitive-current switching tests

The basic requirements are given in 6.111 of IEC 62271-100.

For metal-enclosed and dead tank circuit-breakers, typical test circuits are given in Annex N and additional guidelines are given in Annex O of IEC 62271-100:2008.

6.111.2 General

A test circuit with a 50 Hz current circuit may be used to prove the capacitive current switching capability for a rating of 60 Hz, provided that the recovery voltage fulfils the 60 Hz requirements (see note 4 of 6.111.2 of IEC 62271-100). The setting of the contact separation should be based on the frequency of the current source. However, the minimum arcing time is determined by changing the setting of the contact separation on opening by periods of approximately 6° based on the rated frequency of the circuit-breaker under test.

6.111.3 Characteristics of supply circuits

When the characteristics of the test circuit do not meet the requirements of 6.111.3 of IEC 62271-100, the prospective recovery voltage specified in 6.111.10 of IEC 62271-100 shall be applied.

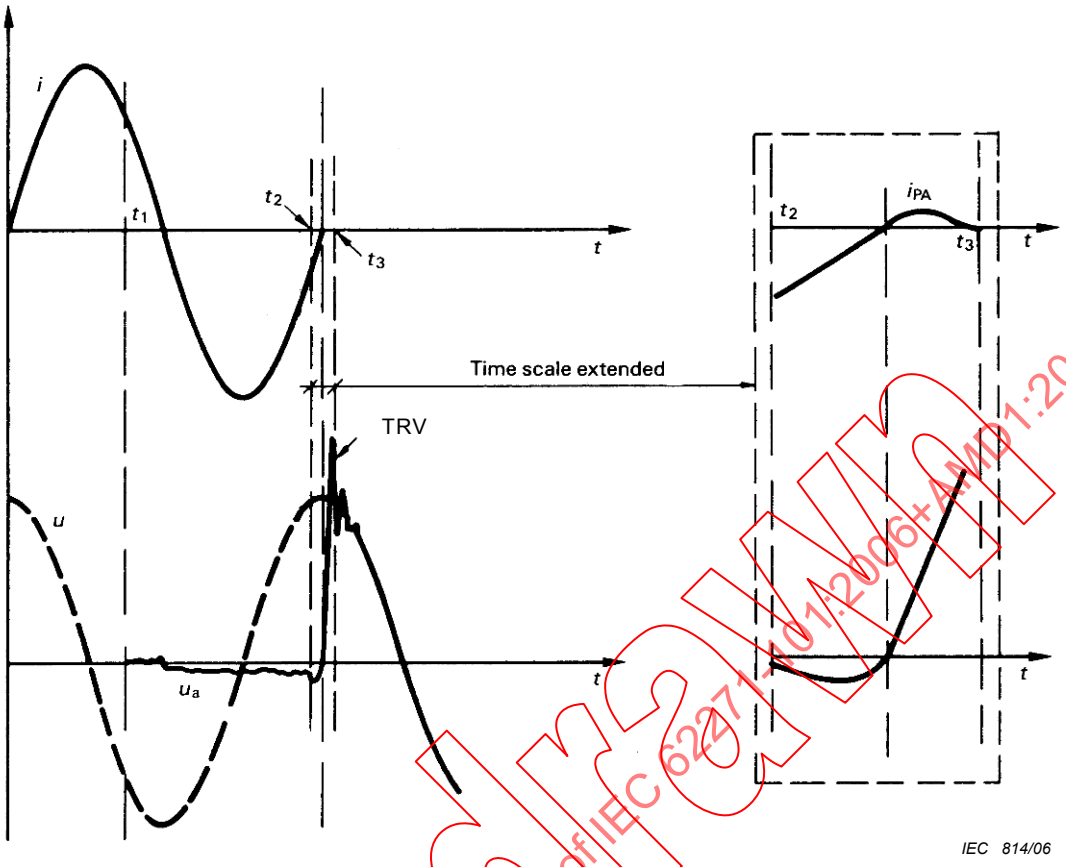
NOTE The effects of current chopping, as described in Clause G.2, may modify the recovery voltage during the capacitive-current switching tests.

6.111.7 Test voltage

For single-phase synthetic capacitive current switching tests, the test voltage specified for direct tests in 6.111.7 of IEC 62271-100 shall be applied.

Examples of synthetic capacitive-current switching circuits are given in Annex G.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

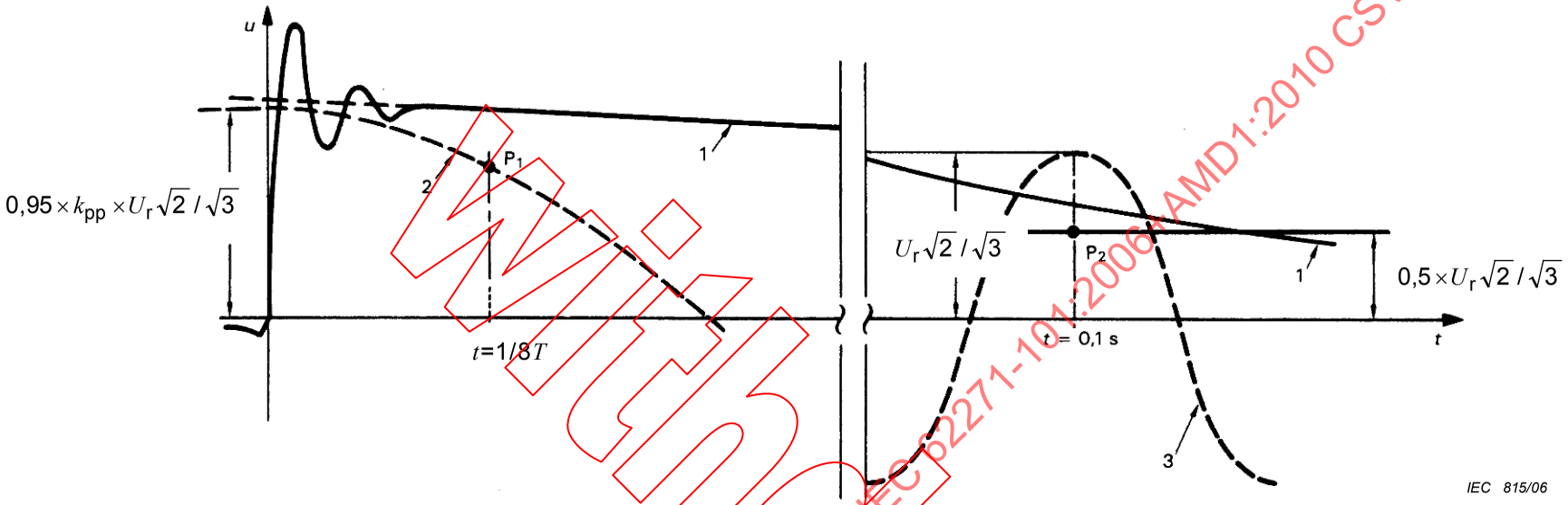


Key

i	breaking current	t_2	start of significant change in arc voltage
u	power-frequency voltage	t_3	instant of cessation of post-arc current
u_a	arc voltage	$t_2 - t_1$	high-current interval
TRV	transient recovery voltage	$t_3 - t_2$	interaction interval
i_{PA}	post-arc current	After t_3	high-voltage interval
t_1	instant of contact separation		

Figure 1 – Interrupting process – Basic time intervals

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

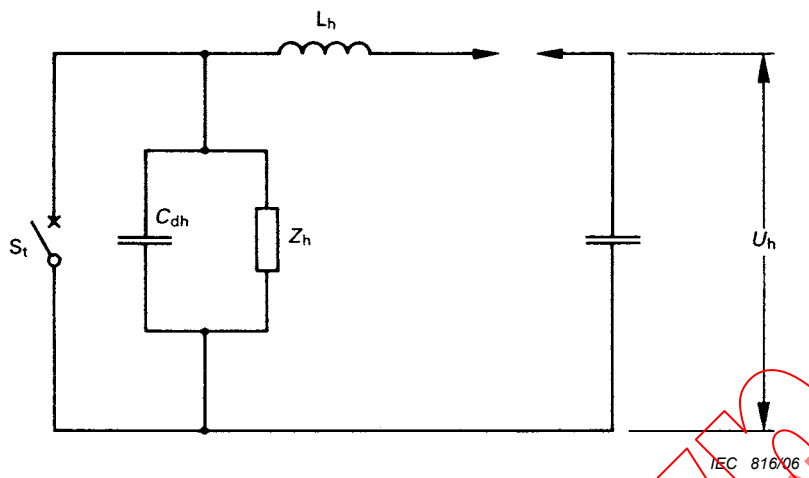


Key

1	recovery voltage with exponential decrement across the circuit-breaker during a synthetic test	P_1	point to which the recovery-voltage (1) shall not fall below the specified value (2)
2	power-frequency recovery voltage of the first extinguishing pole in the equivalent direct test, e.g. first-pole-to-clear factor k_{pp} = 1,3	P_2	point below which the recovery-voltage (1) shall not fall during a synthetic test
3	power-frequency recovery voltage after interruption of currents in all three poles in the equivalent direct test	T	power-frequency period

Figure 2 – Example of recovery voltage

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Key

U_h charging voltage of voltage circuit

L_h inductance of voltage circuit

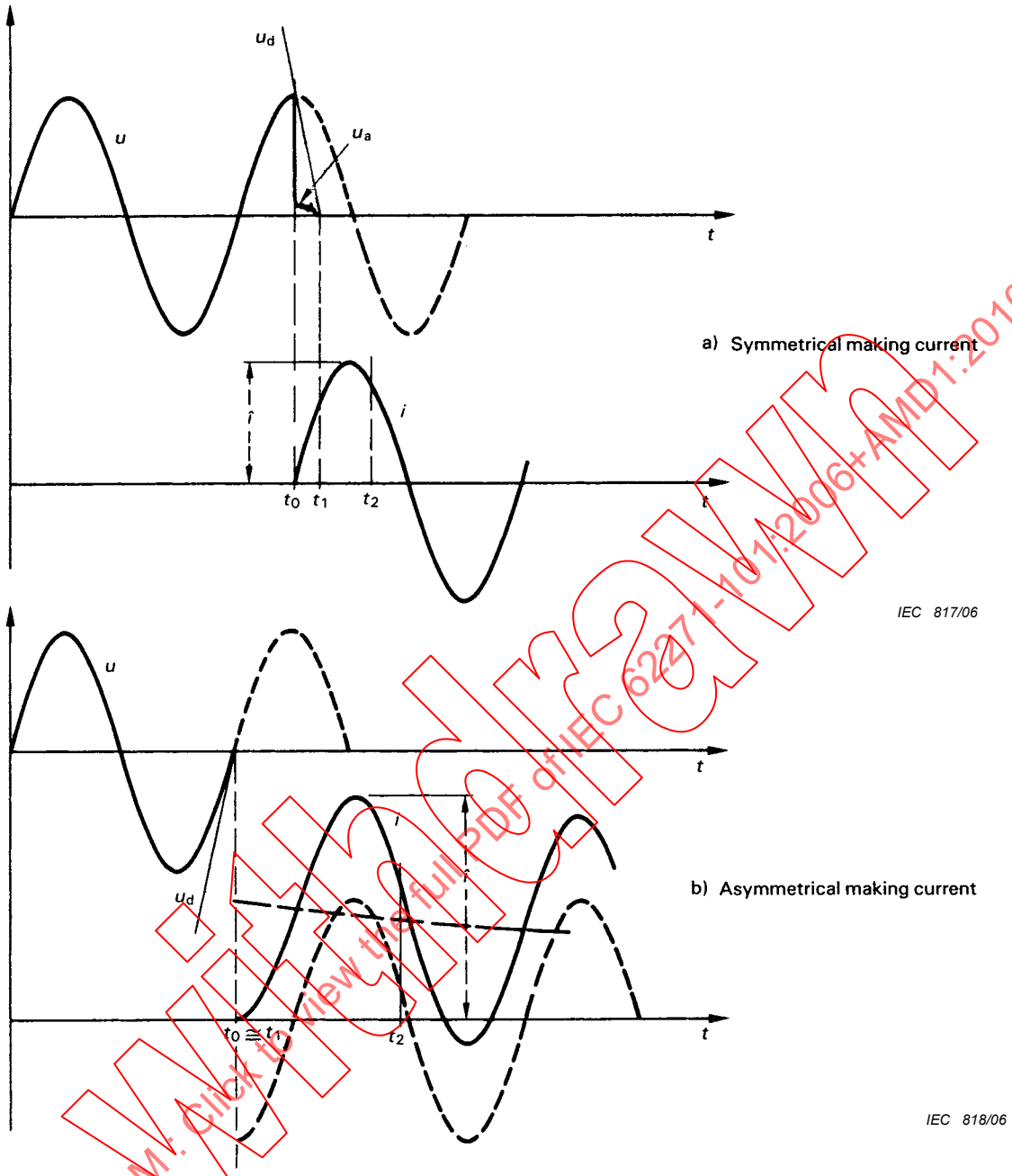
Z_h equivalent surge impedance

C_{dh} capacitance for time delay of voltage circuit

S_t test circuit-breaker

Figure 3 – Equivalent surge impedance of the voltage circuit for the current injection method

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

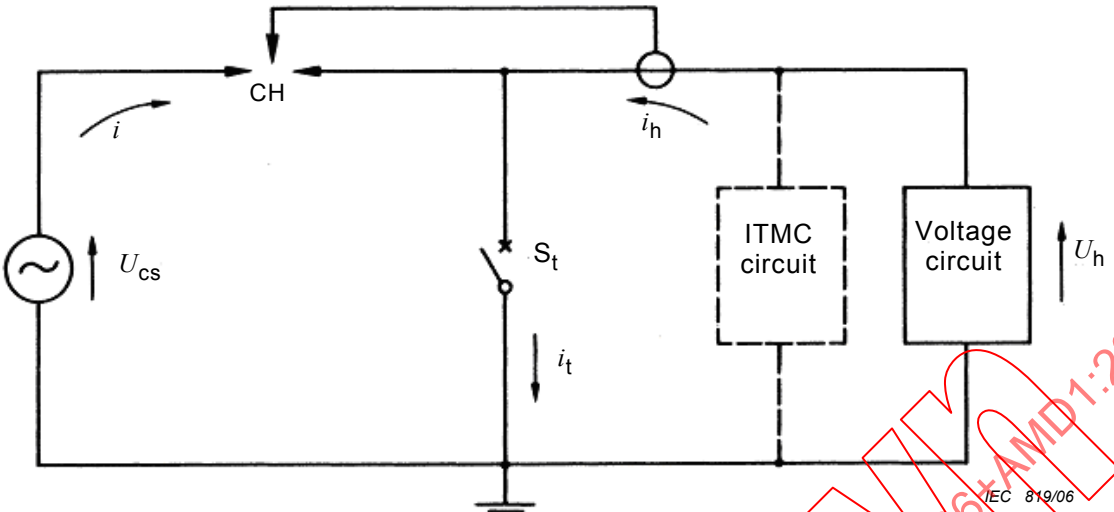


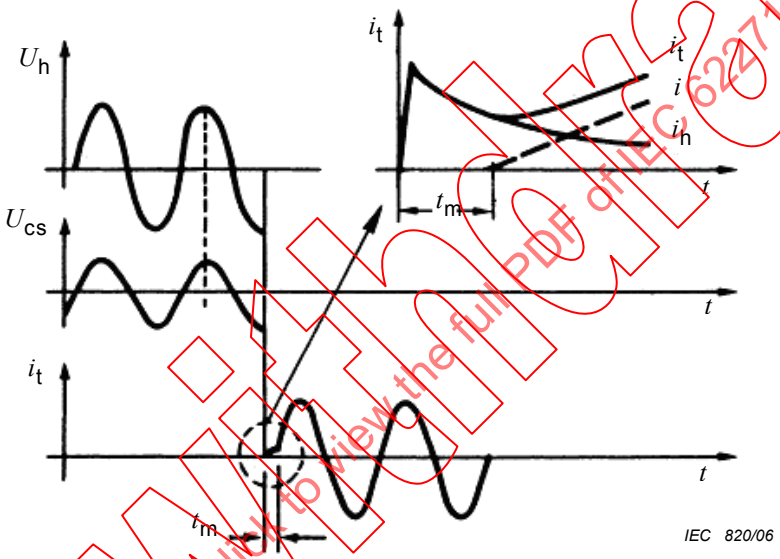
Key

i	current	u_a	arc voltage
$\hat{i}$	making current peak	t_0	instant of prestrike
u	power-frequency voltage	t_1	instant of contact touch
u_d	dielectric closing characteristic	t_2	instant of reaching fully closed position

Figure 4 – Making process – Basic time intervals

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn





~~**Key**~~

~~U_{cs}~~	~~voltage of current circuit~~	~~U_h~~	~~applied voltage~~
~~CH~~	~~making device (triggered spark gap)~~	~~i_h~~	~~initial transient making current (ITMC)~~
~~i~~	~~power-frequency current supplied by current circuit~~	~~i_t~~	~~current in the test circuit-breaker~~
~~S_t~~	~~test circuit-breaker~~	~~t_m~~	~~time delay of making device~~

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

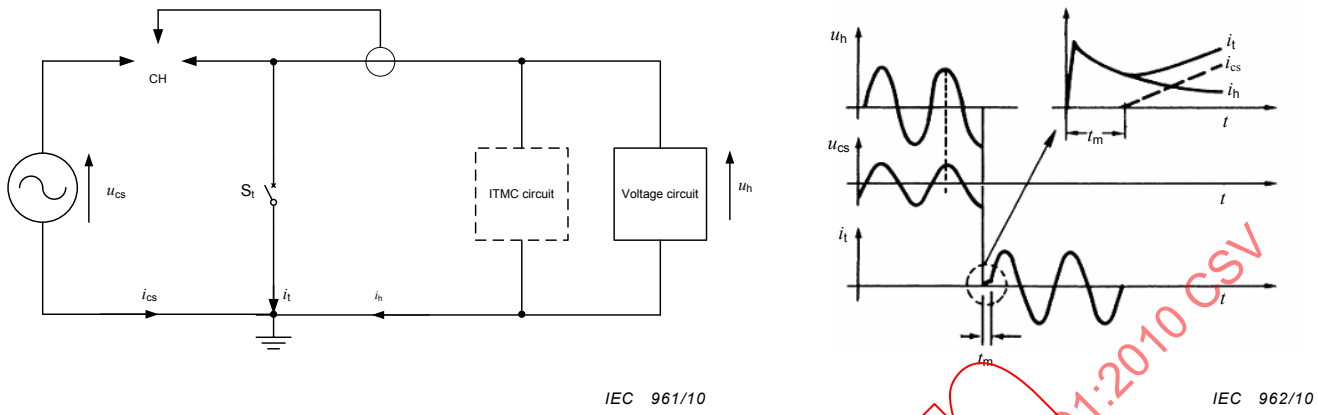


Figure 5a – Synthetic make circuit for terminal fault

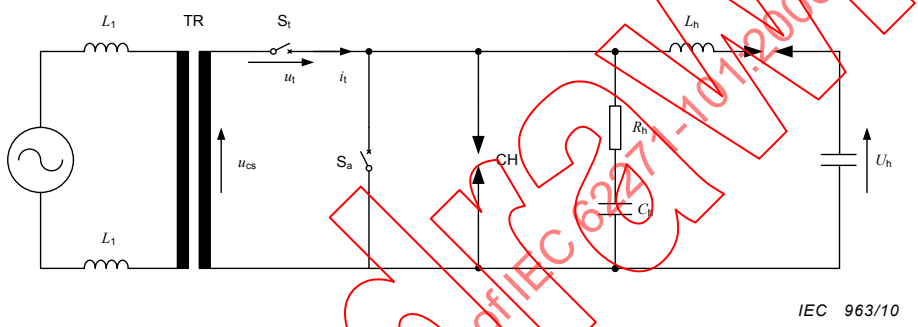


Figure 5b – Synthetic make circuit for out-of-phase (ac + dc method)

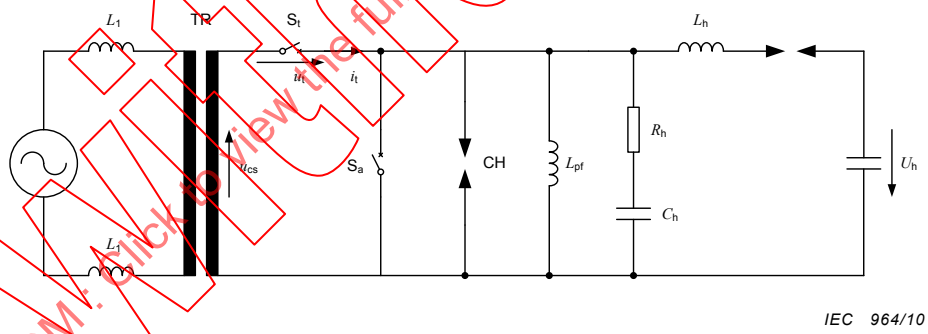


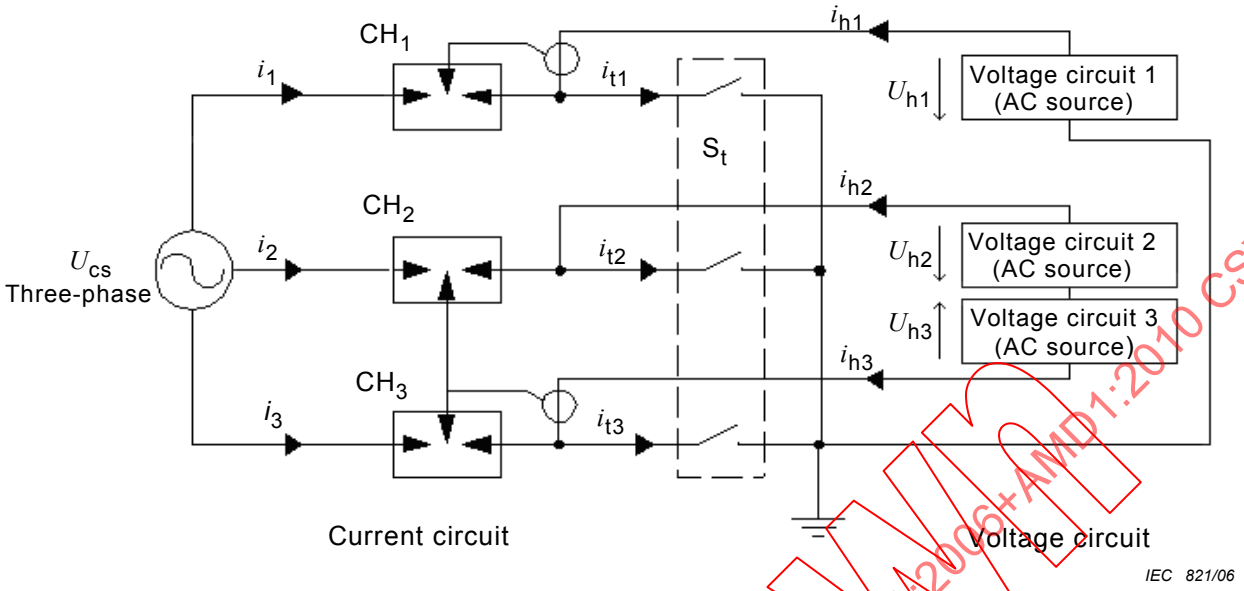
Figure 5c – Synthetic make circuit for out-of-phase (ac + ac method)

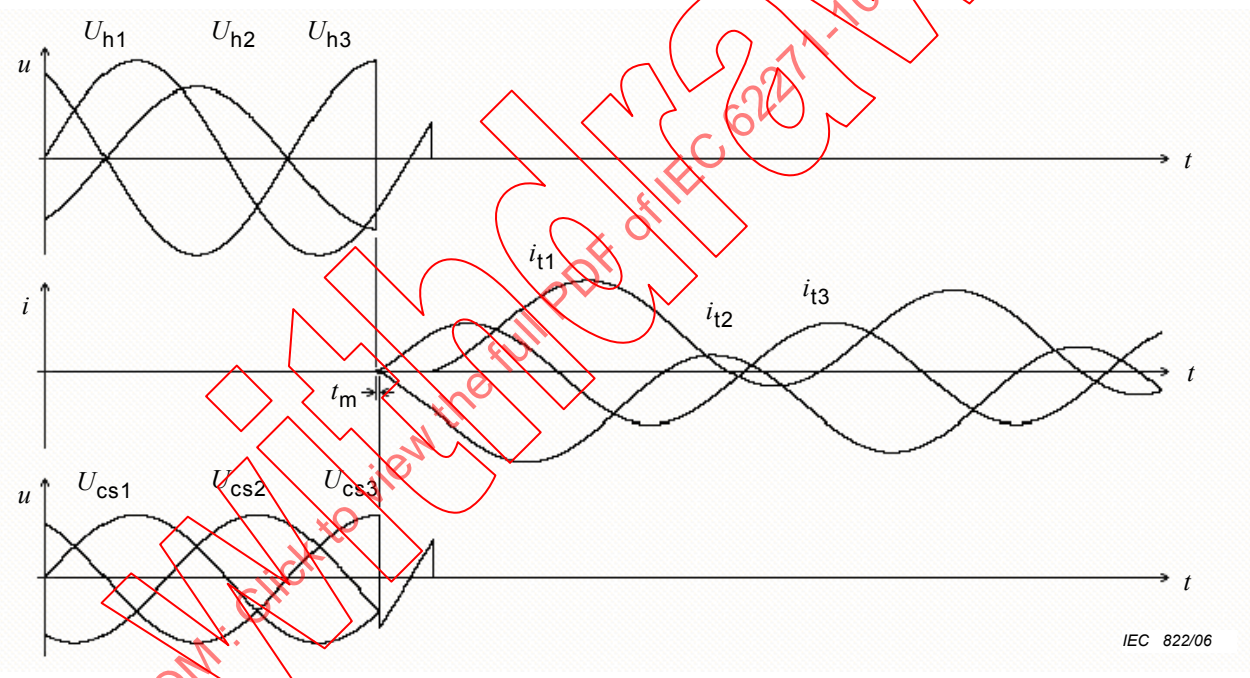
Key

S_a	auxiliary circuit-breaker	i_t	current through S_t
S_t	circuit-breaker under test	L_1	inductance of the current circuit
u_{cs}	voltage of the current circuit	L_h	inductance of the voltage circuit
i_{cs}	current of the current circuit	R_h C_h	components of the ITMC circuit
i_h	injected current	L_{pf}	parallel inductance of the voltage circuit
U_h	applied voltage	t_m	time delay of making device
CH	making device (triggered spark gap)		

Figure 5 – Typical synthetic make circuits for single-phase tests

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



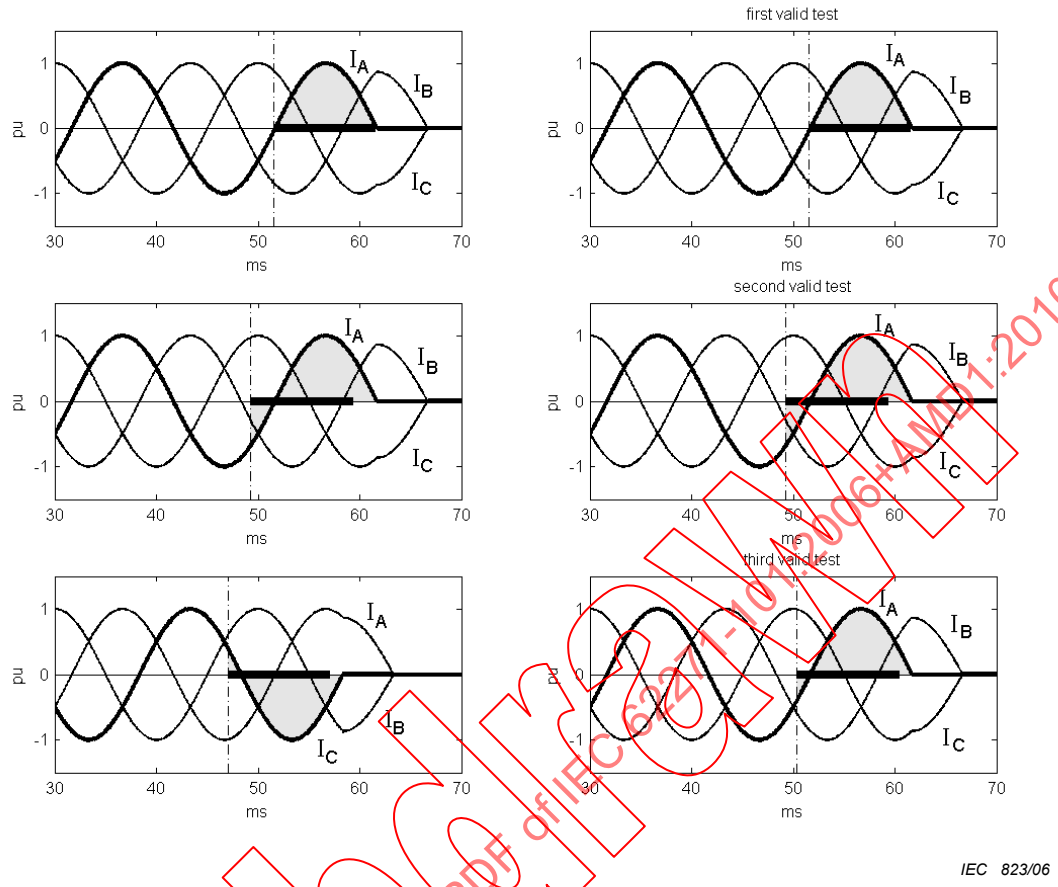


Key

U_{cs1}, U_{cs2}, U_{cs3}	voltage of current circuit	U_{h1}, U_{h2}, U_{h3}	applied voltage
i_1, i_2, i_3	current supplied by the current circuit	CH_1, CH_2, CH_3	making device
i_{t1}, i_{t2}, i_{t3}	current through the test object	S_t	test circuit-breaker
i_{h1}, i_{h2}, i_{h3}	initial transient making current (ITMC)	t_m	time delay of making device

Figure 6 – Typical synthetic make circuit for three-phase tests (k_{pp} = 1,5)

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

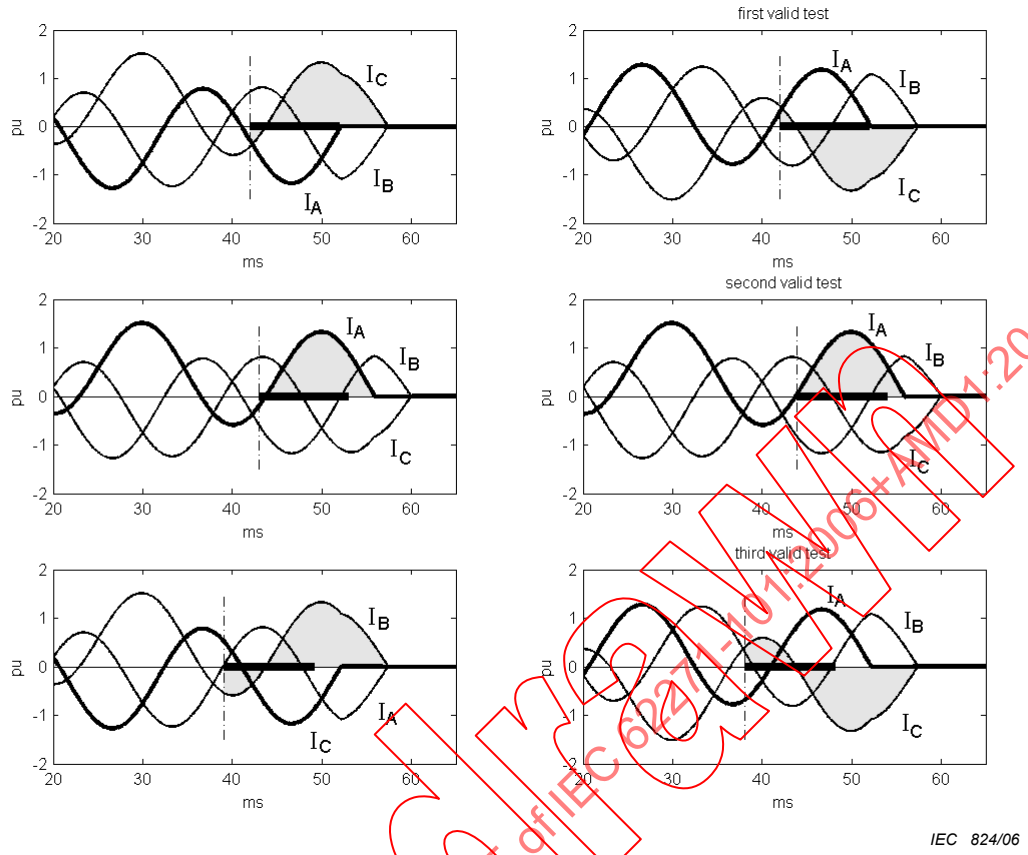


NOTE 1 I_A, I_B, I_C: currents in phases A, B and C, respectively.

NOTE 2 The solid horizontal bar is the minimum arcing time.

Figure 7 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with k_{pp} = 1,5

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



NOTE 1 I_A, I_B, I_C: currents in phases A, B and C, respectively.

NOTE 2 The solid horizontal bar is the minimum arcing time.

Figure 8 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100a with k_{pp} = 1,5

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annex A
(informative)

Current distortion

Current distortion is a well known factor that should be considered during synthetic testing. Clauses A.1, A.2 and A.3 give a basic analysis using simplified methods. In practice digital calculations by computers may be more appropriate where various arc voltage waveshapes can be introduced.

A.1 Current distortion immediately prior to current zero

The interaction interval begins when the arc voltage starts to change significantly as the current approaches zero. The change of the arc voltage during this time influences the shape and the rate-of-change of the current immediately before current zero.

This deviation from the prospective current curve is caused by the distortion current, which mainly flows in the low time constant impedance, taking into account all parameters of the actual circuit.

The particular way in which the current approaches zero is responsible for the physical conditions of the medium between the arcing contacts of a circuit-breaker at current zero. The major interaction between circuit and circuit-breaker is caused by the arc voltage charging and discharging capacitances and influencing di/dt just before zero.

In a simplified circuit, as in Figure A.1 representing a short-circuit in service or a direct test, the voltage u supplies an arc current i with the appropriate arc voltage u_a. Parallel to the arc is a capacitor C.

If it is assumed that the arc voltage $u_a = 0$, then a prospective short-circuit current i_p (see Figure A.2) will flow through the arc, the magnitude and waveshape of this current being determined by the inductance L, the voltage u, the frequency of this voltage and the moment of current initiation.

If it is assumed that the supply voltage $u = 0$ and that an arc voltage exists, then the arc voltage will produce a current flow. This current i_d (see Figure A.3) is the distortion current, which will flow partly as i_{dL} through the inductance L, and partly as i_{dC} through the capacitance C. For this condition, the following equations apply:

$$u_a - L \times \frac{d}{dt}(i_{dL}) = 0$$

and

$$C \frac{d}{dt}(u_a) - i_{dC} = 0$$

From these, the following equation for i_d can be obtained:

$$i_d = i_{dL} + i_{dC} = \frac{1}{L}\int u_a \, dt + C \times \frac{d}{dt}(u_a)$$

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006/AMD1:2010 CSV
Withdrawn

If both of the voltages, u and u_a are present (see Figure A.4), then the resulting actual current is given by:

$$i = i_p - i_d$$

A.2 Current distortion during the high-current interval

During this interval, the arc voltage generates a distortion current i_d, in the circuit. i_d is superimposed on the total current.

By comparison with the prospective current, the resulting arc current exhibits distortion in four physical aspects: current amplitude, loop duration, arc-energy and di/dt.

To evaluate the influence of the arc voltage it is sufficient, in practice, to consider the current amplitude and the loop duration.

As a first approximation, two different arc voltage characteristics can be considered, namely:

1) a constant arc voltage $u_a = U_a$
2) a linearly rising arc voltage $u_a = S \times t$

Since the current through the capacitor C (see Figure A.1) will be small during this period of arcing, the simplified diagram of Figure A.5 is adequate.

A.2.1 Distortion during one loop of arcing related to a symmetrical current

The following equations are derived, where the resistance in Figure A.5 is neglected since the effect of this during the single loop is negligible. Some results are given in Figure A.8 and A.9.

Calculations are made based on the characteristics shown in Figure A.6 and A.7.

$\hat{u} = \omega L \times \hat{i}_p$ peak value of voltage of current circuit

$\hat{i}_p$ peak value of prospective current

$\hat{i}$ peak value of actual current (reduced by arc voltage)

t_m instant of peak value $\hat{i}$

a) *Ratio of current amplitudes*

– for constant arc voltage:

$$\frac{\hat{i}}{\hat{i}_p} = \sin \omega \times t_m - \frac{U_a}{\hat{u}} \times \omega\, t_m$$

– for linearly rising arc voltage:

$$\frac{\hat{i}}{\hat{i}_p} = \sin \omega \times t_m - \frac{S\omega}{2\,\hat{u}}\, t_m^2$$

b) *Actual current loop duration* T_1 (reduced by arc voltage)

– for constant arc voltage

$$\sin \omega T_1 = \frac{U_a\, \omega}{\hat{u}}\, T_1$$

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

– for linearly rising arc voltage:

$$\sin \omega T_1 = \frac{S\omega}{2\,\hat{u}} T_1^2$$

In Figure A.8 and A.9 relative reduction of current amplitude $\Delta i/\hat{\imath}_p$ and current loop duration $\Delta t/T_p$ are given as a function of ratio $U_a/\hat{u}$ for a constant arc voltage and of ratio $S \times T_a/2 \times \hat{u}$ for a linearly rising arc voltage, respectively, where:

$\Delta i = \hat{\imath}_p - \hat{\imath}$,

$\Delta t = T_p - T_1$

T_p = prospective current loop duration

T_a = actual arcing time ($T_a = T_1$ for one loop of arcing, see Figures A.6 and A.7).

A.2.2 Distortion in general case

The distortion currents in the case of both symmetrical and asymmetrical currents including more than one loop of arcing are obtained by the following equations which are applicable for the case of constant and linearly rising arc voltages. These calculations are based on a circuit as in Figure A.5 where the L/R time constant of the supply impedance is introduced. The p.u. prospective current is given by:

$$i_p/\hat{\imath}_p = \sin(\omega t + \omega t_1 - \varphi) - \sin(\omega t_1 - \varphi) \times e^{-\frac{R}{L}t}$$

where

t time coordinate counting from the instant of current initiation;

t_1 time interval between the beginning of the positive voltage loop and current initiation;

φ arctan $\frac{\omega L}{R}$ for symmetrical current $\varphi = \omega t_1$.

The per unit distortion currents are

$i_d/\hat{\imath}_p = C$ for the first loop of arcing,

$i_d/\hat{\imath}_p = D - E$ for the second loop of arcing,

$i_d/\hat{\imath}_p = D - F + G$ for the third loop of arcing,

where C, D, E, F and G are defined as follows:

a) *for constant arc voltage*:

$$C = \frac{M}{\cos\varphi}\left[1 - e^{-\frac{R}{L}(t - t_{cs})}\right]$$

$$D = \frac{M}{\cos\varphi}\left[1 - e^{-\frac{R}{L}(t'_o - t_{cs})}\right] e^{-\frac{R}{L}(t' - t'_o)}$$

$$E = \frac{M}{\cos\varphi}\left[1 - e^{-\frac{R}{L}(t - t'_o)}\right]$$

$$F = \frac{M}{\cos\varphi}\left[1 - e^{-\frac{R}{L}(t''_o - t'_o)}\right] e^{-\frac{R}{L}(t - t''_o)}$$

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

$$G = \frac{M}{\cos\varphi}\left[1 - \mathrm{e}^{-\frac{R}{L}(t - t''_0)}\right]$$

where

$M = \frac{U_a}{\hat{u}}$ = the ratio between the arc voltage and the peak value of the power-frequency voltage

$$\cos\varphi = \frac{R}{\sqrt{R^2 + (\omega L)^2}}$$

t_{cs} = instant of contact separation

t'_0, t''_0 = instants at the end of each current loop

b) *for linearly rising arc voltage:*

$$C = \frac{M}{\cos\varphi}\left[(t - t_{cs}) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t - t_{cs})})\right]$$

$$D = \frac{M}{\cos\varphi}\left[(t'_0 - t_{cs}) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t'_0 - t_{cs})})\right]\mathrm{e}^{-\frac{R}{L}(t - t'_0)}$$

$$E = \frac{M}{\cos\varphi}\left[(t - t'_0) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t - t'_0)}) + (t'_0 - t_{cs}) \times (1 - \mathrm{e}^{-\frac{R}{L}(t - t'_0)})\right]$$

$$F = \frac{M}{\cos\varphi}\left[(t''_0 - t'_0) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t''_0 - t'_0)}) + (t'_0 - t_{cs}) \times (1 - \mathrm{e}^{-\frac{R}{L}(t''_0 - t'_0)})\right]\mathrm{e}^{-\frac{R}{L}(t - t''_0)}$$

$$G = \frac{M}{\cos\varphi}\left[(t - t''_0) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t - t''_0)}) + (t''_0 - t_{cs}) \times (1 - \mathrm{e}^{-\frac{R}{L}(t - t''_0)})\right]$$

where

$$M = \frac{S \times T_a}{2\hat{u}}$$

Relative reductions of current amplitudes and loop durations related to the last arcing loop for some typical cases are given in Figures A.8 to A.11.

For symmetrical current, values are given for constant arc voltage as a function of ratio $U_a/\hat{u}$ in Figure A.8 and for linearly rising arc voltage as a function of the ratio $S \times T_a/2\hat{u}$ in Figure A.9. For asymmetrical current the corresponding results are given in Figures A.10 and A.11.

For arcing times, three typical values, i.e. for 1, 2 and 2,5 loops, are introduced. In the case of asymmetrical current contact parting positions have been selected starting about 1,5 cycles after current initiation.

The modifying of arc voltage is much dependent on not only arc voltage but also arcing time and current asymmetry, therefore an exact evaluation for each case is necessary.

NOTE In order to be able to compare the curves relevant to either type of arcing, suitable values have been chosen for the arc voltages: the value at the last current zero for linearly rising arc voltage is twice the value U_a for the constant arc voltage.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

A.3 Examples of estimation of the parameters of the distorted current

In the following, some examples of application of the methods of evaluation of the distorted current shown in the preceding Clauses A.1 and A.2 are given for the single pole test of a 123 kV circuit-breaker.

For the synthetic test examples, equal arc voltages and contact parting positions of both the test and the auxiliary circuit-breaker are assumed.

A.3.1 Symmetrical current test

A.3.1.1 Constant arc voltage

Direct test

Rated voltage U_r = 123 kV

Single pole test voltage $U_t = \frac{123 \times 1{,}3}{\sqrt{3}} = 92\,\text{kV}$

Mean value of constant arc voltage (last loop) U_a = 1 kV

Therefore: $\frac{U_a}{\hat{u}} = \frac{1}{92 \times \sqrt{2}} = 0{,}007\,7$

by calculation for one loop of arcing (see A.2.1): $\frac{\Delta i}{\hat{i}_p} = -1{,}2\,\%$

and $\frac{\Delta t}{T_p} = -0{,}7\,\%$

Synthetic test

Current circuit voltage U_1 = 31 kV

Mean value of constant arc voltage (test and auxiliary circuit-breaker, last loop) $U_{as} = 2U_a$ = 2 kV

therefore: $\frac{U_{as}}{\hat{u}} = \frac{2}{31 \times \sqrt{2}} = 0{,}046$

from Figure A.8 for one loop of arcing $\frac{\Delta_i}{\hat{i}_p} = -7\,\%$

and: $\frac{\Delta t}{T_p} = -4{,}5\,\%$

Withdrawn
IECNORM.COM: Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

A.3.1.2 Linearly rising arc voltage

Direct test

Single pole test voltage U_t = 92 kV as above

Linearly rising arc voltage $\frac{S\,T_a}{2} = 3\,\text{kV}$

therefore: $\frac{S\,T_a}{2\,\hat{u}} = \frac{3}{92\sqrt{2}} = 0{,}023$

from Figure A.9 for one loop of arcing $\frac{\Delta i}{\hat{i}_p} = -1{,}7\,\%$

and $\frac{\Delta t}{T_p} = -2{,}2\,\%$

Synthetic test

Current circuit voltage U_1 = 31 kV as above

Linearly rising arc voltage (test and auxiliary circuit-breaker) $\frac{S\,T_a}{2} = 2{,}3\,\text{kV} = 6\,\text{kV}$

therefore: $\frac{S\,T_a}{2\,\hat{u}} = \frac{6}{31\sqrt{2}} = 0{,}137$

from Figure A.9 for one loop of arcing $\frac{\Delta i}{\hat{i}_p} = -10\,\%$

and $\frac{\Delta t}{T_p} = -11{,}2\,\%$

In the first example, the tolerances on the amplitude and the duration of the power-frequency current loop, according to 4.1, should not be exceeded during the actual synthetic test. This depends, however, on the decrement of the a.c. component of the current being negligible.

In the second example, the current circuit voltage has to be increased or other measures as described in 4.1 have to be taken because the tolerance on the loop duration is exceeded. Whilst tolerance on the current amplitude is apparently not exceeded, it might be exceeded in practice where there is likely to be some decrement of the a.c. component of the prospective current.

A.3.2 Asymmetrical current test

If the arc voltage is approximately constant or linearly rising, the curves in Figures A.10 and A.11 can be used. The method of evaluation is similar to the one outlined for the symmetrical case. For example in case of constant arc voltage:

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Direct test

Single pole test voltage $U_t = \frac{123 \times 1{,}3}{\sqrt{3}} = 92\,\text{kV}$ (as above)

Constant arc voltage U_a = 1 kV

therefore: $\frac{U_a}{\hat{u}} = \frac{1}{92 \times \sqrt{2}} = 0{,}007\,7$

for contact parting at around 1,5 cycles after current initiation and one loop of arcing $\frac{\Delta i}{\hat{i}_p} = -1\,\%$

and: $\frac{\Delta t}{T_p} = -0{,}6\,\%$ (Figure A.10)

Synthetic test

Current circuit voltage U_1 = 14,2 kV

Constant arc voltage (test and auxiliary circuit-breakers) U_a = 2 kV

therefore: $\frac{U_a}{\hat{u}} = \frac{2}{14{,}2\ \sqrt{2}} = 0{,}10$

for the same situation as above: $\frac{\Delta i}{\hat{i}_p} = -12{,}6\,\%$

and $\frac{\Delta t}{T_p} = -8{,}0\,\%$ (Figure A.10)

The actual arc voltage may not follow one of the simplified characteristics. In such a case the current reduction during the synthetic test can be measured from actual oscillograms or calculated. The actual current of the direct test which is required to establish the synthetic test driving voltage can only be calculated.

For circuit-breakers having relatively low arc voltage (e.g. U_a = 2 % U_1), the modifying effect of the arc voltage on the current in the system or in the direct circuit is negligible. Therefore the specified prospective current is assumed as reference current.

NOTE If the opening of the auxiliary circuit-breaker is delayed in relation to the opening of the test circuit-breaker, or if an auxiliary circuit-breaker with a lower arc voltage is used, then its influence on the breaking current will be smaller than that of the test circuit-breaker.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

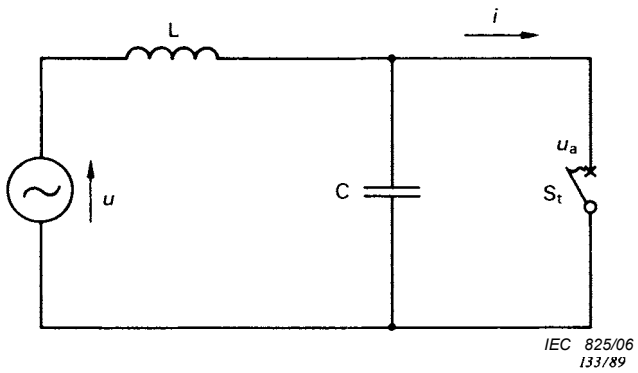


Figure A.1 – Direct circuit, simplified diagram

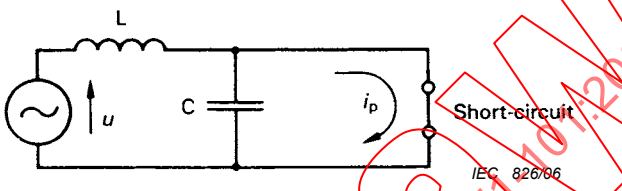
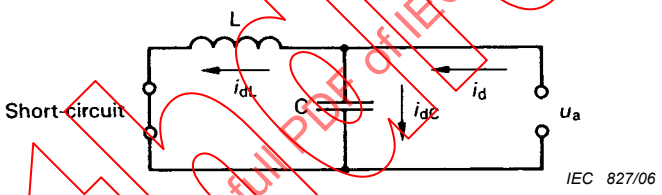


Figure A.2 – Prospective short-circuit current

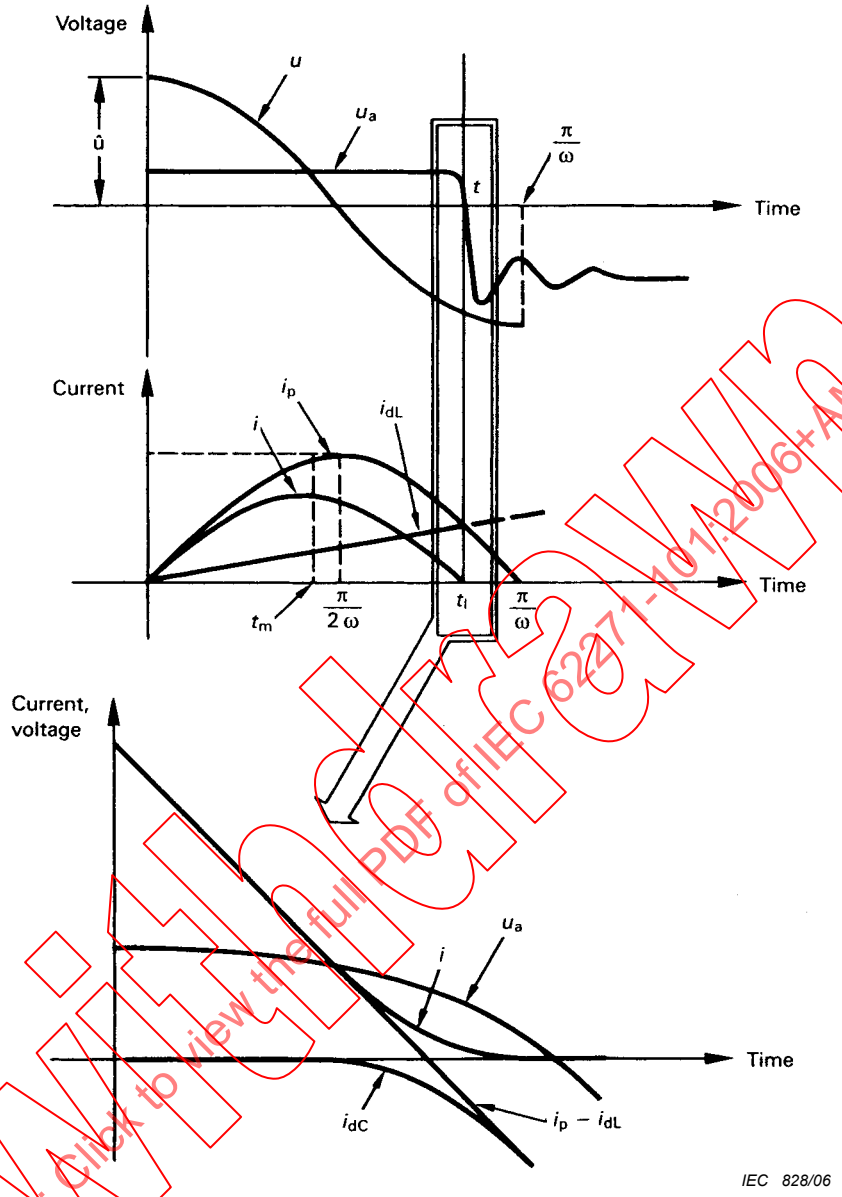


Key

u	voltage supplying the direct circuit	C	capacitance of the full power direct circuit, together with L controlling the transient recovery-voltage of the circuit
u_a	arc voltage of circuit-breaker	S_t	circuit-breaker
L	inductance of the full power direct circuit, together with u controlling the short-circuit current	i	actual current
i_p	prospective short-circuit current	i_{dL}	Distortion current through L
i_{dC}	distortion current through C		

Figure A.3 – Distortion current

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

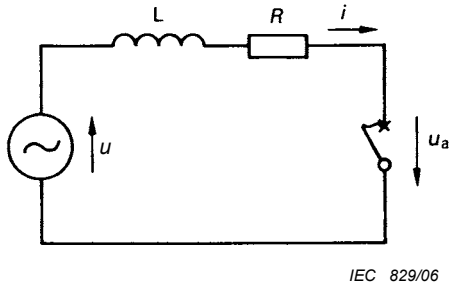


Key

u	voltage supplying the direct circuit	i_{dC}	distortion current through C
u_a	arc voltage of circuit-breaker	i	actual current
L	inductance of the full power direct circuit, together with u controlling the short-circuit current	i_{dL}	distortion current through L
i_p	prospective short-circuit current		

Figure A.4 – Distortion current

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

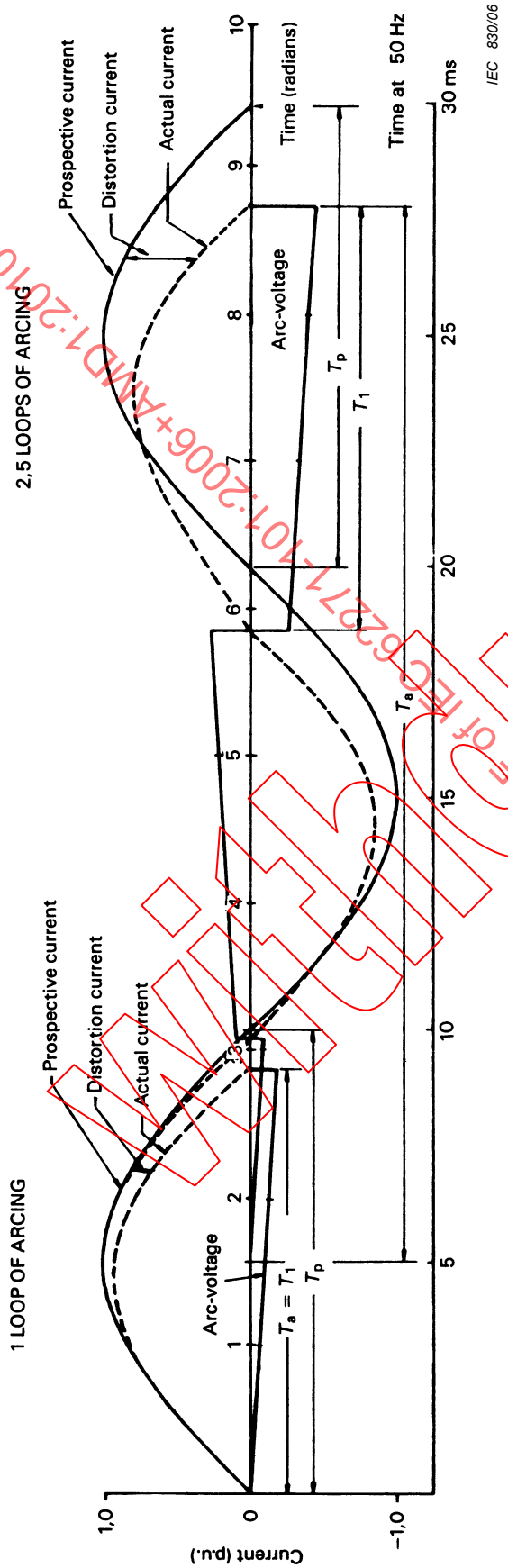


Key

u	voltage supplying the direct circuit	R	resistance of the direct circuit
u_a	arc voltage of circuit-breaker	i	actual current
L	inductance of the full power direct circuit, together with u controlling the short-circuit current		

Figure A.5 – Simplified circuit diagram

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



Key

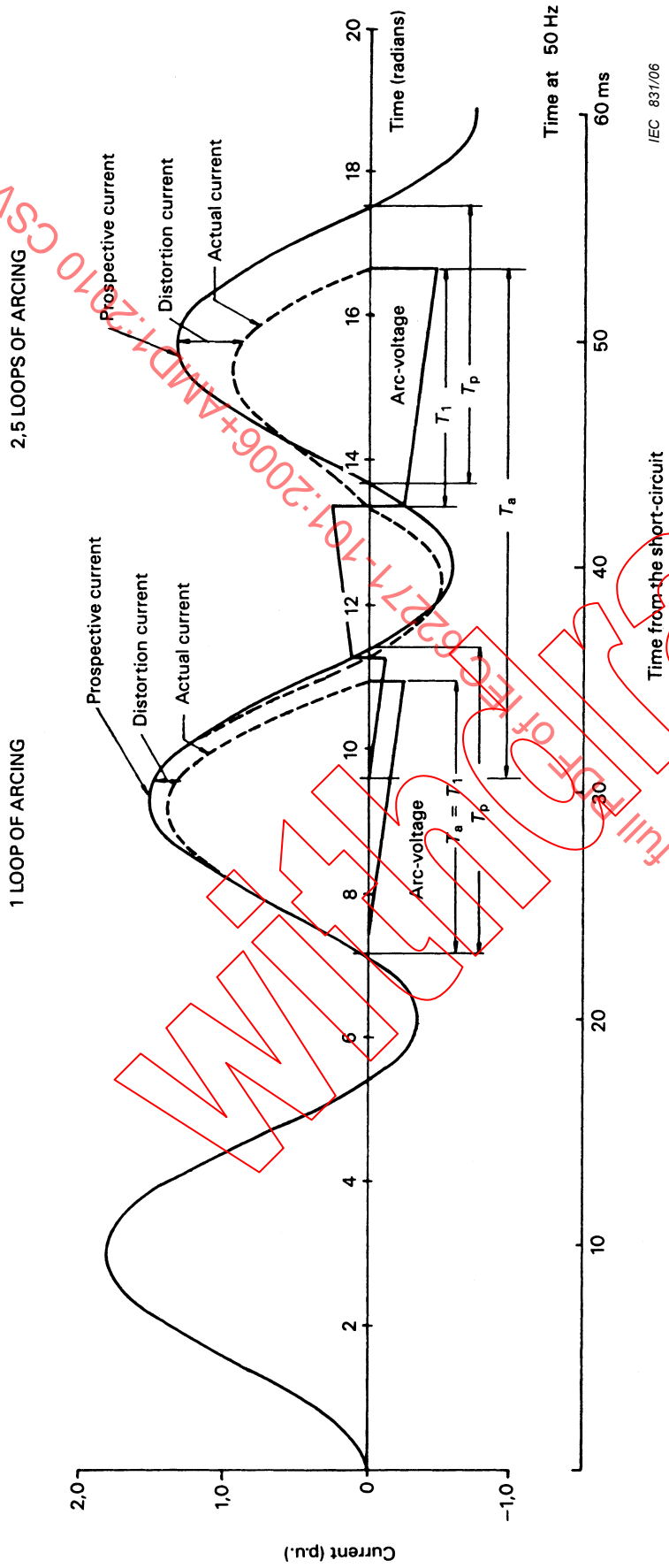
T_a actual arcing time

T_p loop duration of the prospective current

T_1 loop duration of the actual current

Figure A.6 – Current and arc voltage characteristics for symmetrical current

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Key

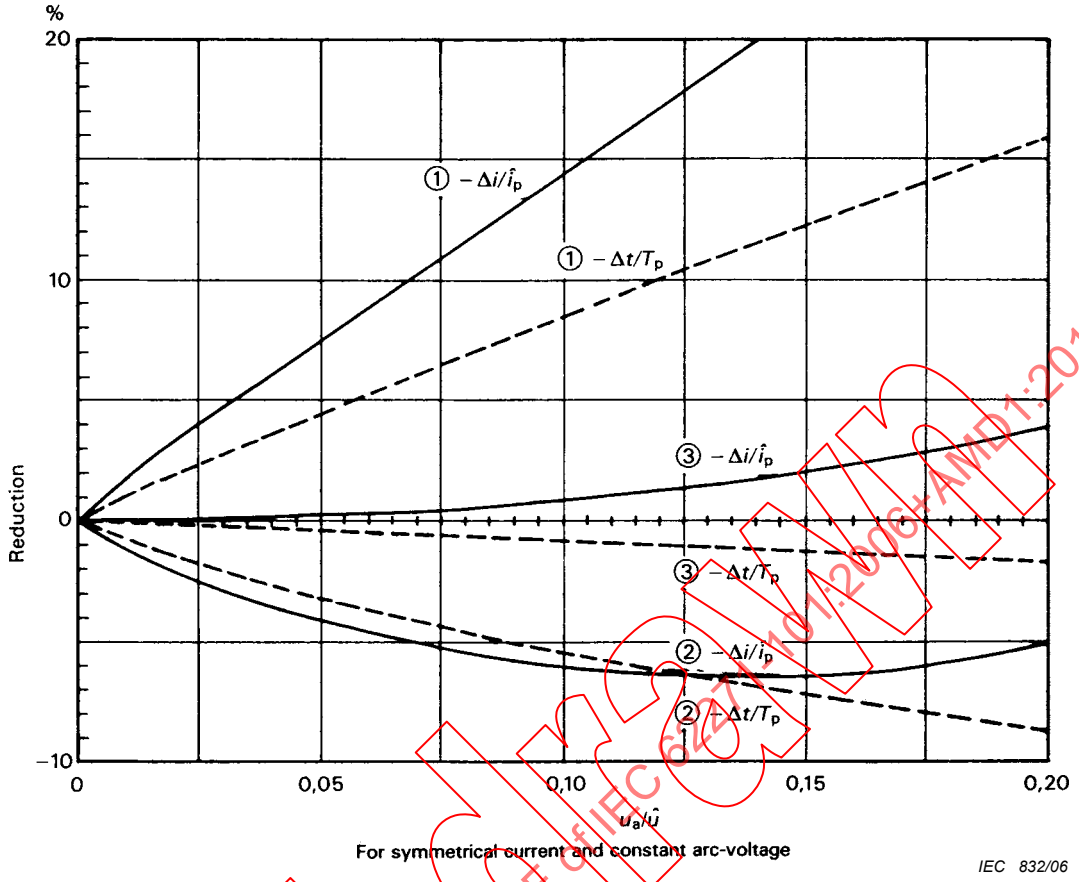
T_a Actual arcing time

T_p Loop duration of the prospective current

T_1 Loop duration of the actual current

Figure A.7 – Current and arc voltage characteristics for asymmetrical current

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



① 1 loop of arcing

② 2 loops of arcing

③ 2,5 loops of arcing

See Figure A.6.

Key

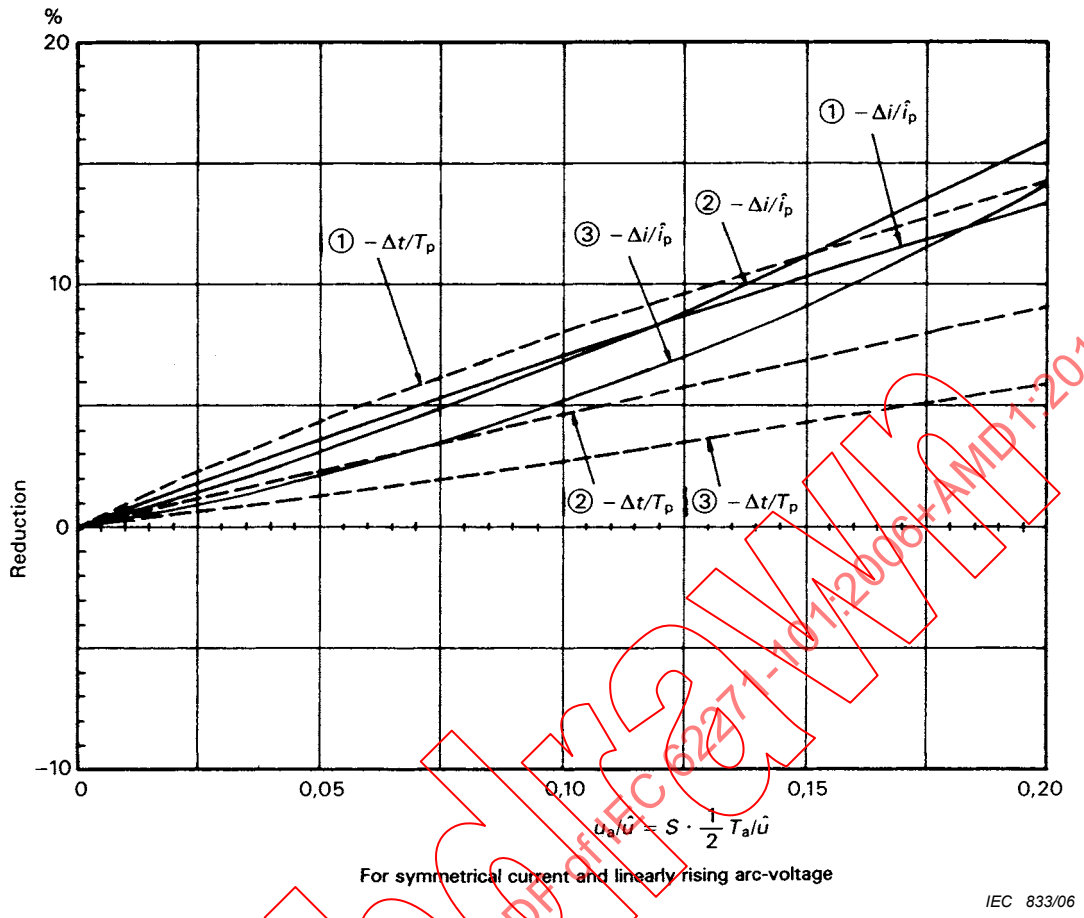
$\Delta i/\hat{i}_p$ relative reduction of current amplitude

$\Delta t/T_p$ relative reduction of duration of current loop

$u_a/\hat{u}$ ratio of arc voltage to supply voltage

Figure A.8 – Reduction of amplitude and duration of final current loop of arcing

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



① 1 loop of arcing

② 2 loops of arcing

③ 2,5 loops of arcing

See Figure A.6.

Key

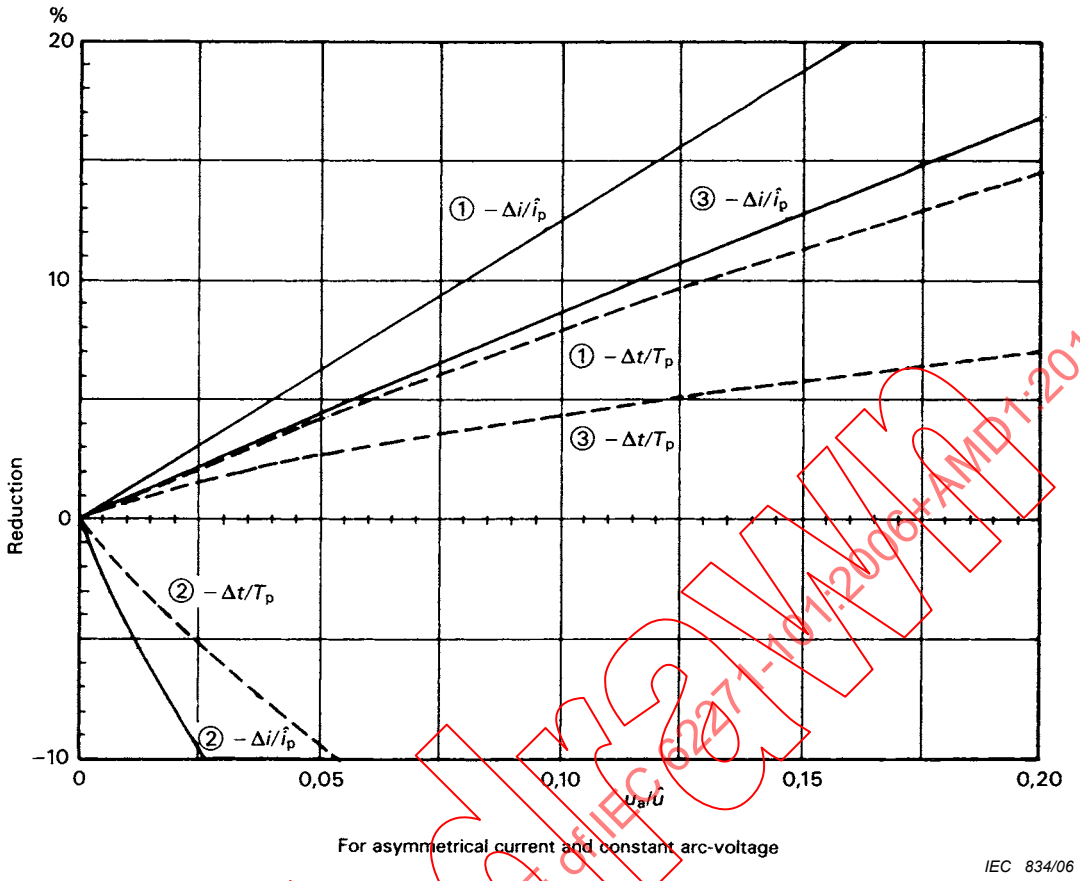
$\Delta i/\hat{i}_p$ relative reduction of current amplitude

$\Delta t/T_p$ relative reduction of duration of current loop

$u_a/\hat{u}$ ratio of arc voltage to supply voltage

Figure A.9 – Reduction of amplitude and duration of final current loop of arcing

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



① 1 loop of arcing

② 2 loops of arcing

③ 2,5 loops of arcing

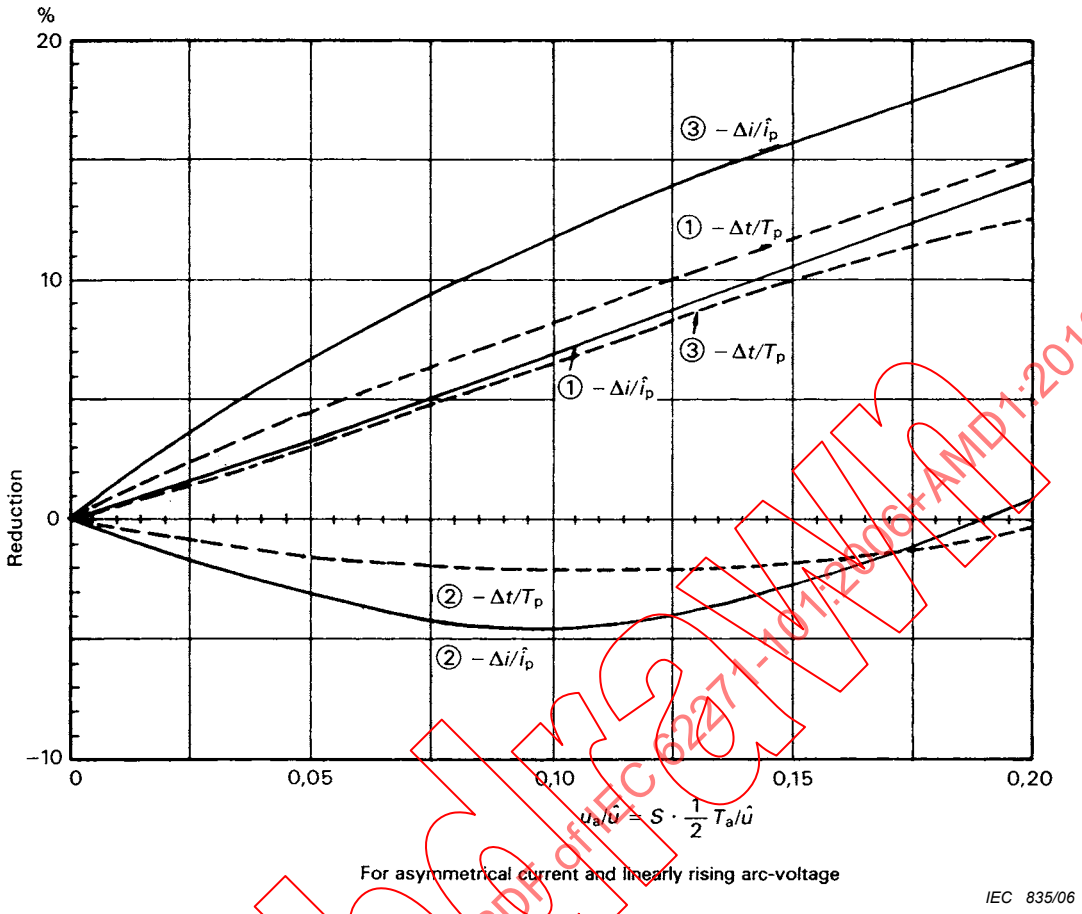
See Figure A.7.

Key

$\Delta i/\hat{i}_p$	relative reduction of current amplitude	$u_a/\hat{u}$	ratio of arc voltage to supply voltage
$\Delta t/T_p$	relative reduction of duration of current loop		

Figure A.10 – Reduction of amplitude and duration of final current loop of arcing

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



① 1 loop of arcing

② 2 loops of arcing

③ 2,5 loops of arcing

See Figure A.7.

Key

$\Delta i/\hat{i}_p$	relative reduction of current amplitude	$u_a/\hat{u}$	ratio of arc voltage to supply voltage
$\Delta t/T_p$	relative reduction of duration of current loop		

Figure A.11 – Reduction of amplitude and duration of final current loop of arcing

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annex B
(informative)

Current injection methods

B.1 Current injection

In a synthetic test circuit using current injection, the superposition of the currents takes place shortly before the zero of the power-frequency, short-circuit current. A current of smaller amplitude but higher frequency, derived from the voltage circuit, is superimposed either in the test circuit-breaker or in the auxiliary circuit-breaker. The instant of switching in this injected current is selected by means of a current-dependent control circuit. This instant should be such that the character of the resulting current wave in the test circuit-breaker corresponds to that of the specified breaking current prior to the current zero during the interval of significant change of arc voltage.

In this way, the circuit-breaker under test is automatically connected into the voltage circuit after the interruption of the current in the auxiliary circuit-breaker, so there will be no delay between the current stress and the application of the voltage stress.

B.1.1 Current injection circuit with the voltage circuit in parallel with the test circuit-breaker (parallel circuit)

Figure B.1 shows the simplified circuit diagram of a current injection circuit with the voltage circuit connected in parallel with the test circuit-breaker.

The voltage circuit is switched in shortly before the zero of the power-frequency short-circuit current, prior to the interaction interval. At this time the high-frequency oscillatory current i_h is superimposed on the power-frequency short-circuit current i, with the same polarity to give a resultant test current in the test circuit-breaker.

After the auxiliary circuit-breaker interrupts the power-frequency short-circuit current i, the test circuit-breaker is connected only to the voltage circuit and i_h is the only remaining current. The voltage circuit also provides the recovery voltage across the test circuit-breaker after the current is interrupted.

Figure B.2 shows an example of injection timing. The two points of inflection typically indicate the start of the current injection in the test circuit-breaker and the interruption of the power-frequency short-circuit current by the auxiliary circuit-breaker. The waveshape of the transient recovery voltage can be adjusted by varying Z_h and C_{dh} (Figure B.1), to obtain compliance with the requirements of IEC 62271-100 (see 4.1.3).

B.1.2 Current injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker (series circuit)

Figure B.3 shows the simplified circuit diagram of a current injection circuit with the voltage circuit connected in parallel with the auxiliary circuit-breaker.

After switching in the voltage circuit, shortly before zero of the power-frequency, short-circuit current, the high-frequency oscillatory current i_h is superimposed, with opposing polarity, on the power-frequency short-circuit current i, in the auxiliary circuit-breaker.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+A1:2010 CSV
Withdrawn

After the resulting current in the auxiliary circuit-breaker has ceased to flow, the oscillatory current commutates into the test circuit-breaker and the current circuit. The test circuit-breaker is now part of a circuit which comprises the series-connected current circuit and the voltage circuit. After the extinction of the resulting current in the test circuit-breaker, the transient recovery voltage is supplied both by the voltage circuit and the current circuit.

Figure B.4 shows an example of injection timing. The single point of inflection corresponds to the interruption of current in the auxiliary circuit-breaker.

The waveshape of the recovery voltage can be adjusted by varying Z_h and C_{dh} as well as Z_1 and C_{d1} (Figure B.3) to obtain compliance with the requirements of IEC 62271-100 (see 4.1.3).

B.2 Determination of the interval of significant change of the arc voltage

To determine the interval of significant change of the arc voltage which occurs immediately prior to current zero, the following method may be applied, dependent on individual arc voltage characteristics.

The arc voltages of circuit-breakers vary considerably in general shape. In many cases, the arc voltage is not steady but fluctuates about a mean value. This mean value is obtained by drawing a smooth curve in the middle, between the maximum and minimum arc voltage levels (Figure B.5). This curve can be used to identify significant changes. The shape of mean arc voltage characteristics may also vary widely.

Most circuit-breakers show a nearly constant or steadily rising arc voltage during the current loop, with an appreciable increase just prior to current zero. In such cases, it is not difficult to determine from the oscillogram the instant at which a significant change begins. For this purpose, it is preferable to use an oscillograph giving a relatively large deflection for the arc voltage and having a time scale which is fast enough to enable the interval of significant change of arc voltage to be measured accurately.

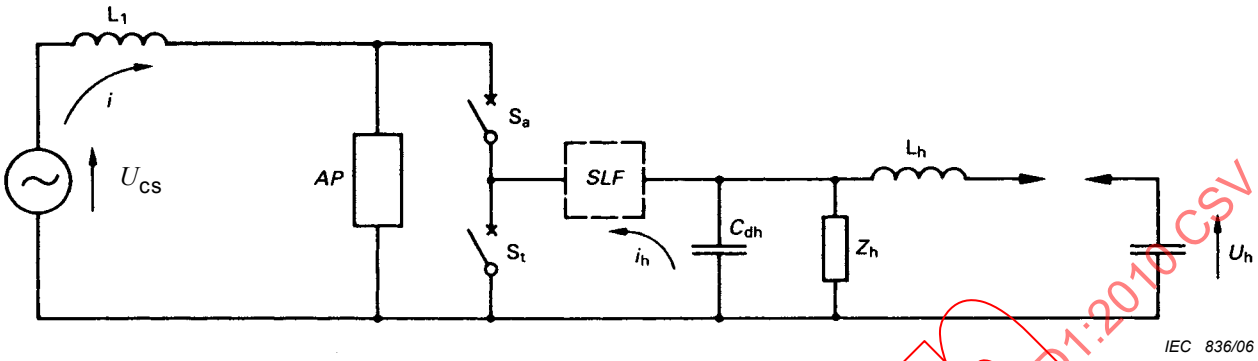
In some cases, it may be difficult to determine the interval of significant change of arc voltage because

a) the arc voltage remains nearly constant or steadily rises during the current loop almost to the instant of current zero,

b) changes in the arc voltage occur considerably before the current zero.

In these cases, an injection current frequency as low as possible shall be used, taking account also of the requirements in 4.2.1.

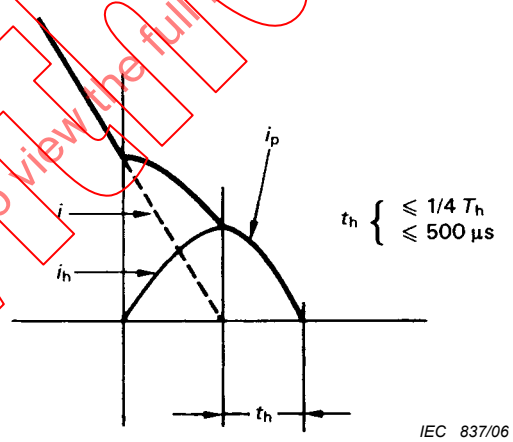
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Key

U_{cs}	voltage of current circuit	C_{dh}	capacitance for time delay of voltage circuit
L_1	inductance of current circuit	L_h	inductance of voltage circuit
AP	arc prolonging circuit	U_h	charging voltage of voltage circuit
S_a	auxiliary circuit-breaker	i	current of the current circuit
S_t	test circuit-breaker	i_h	injected current
Z_h	equivalent surge impedance of voltage circuit	SLF	short-line-fault circuit (for the corresponding tests)

Figure B.1 – Typical current injection circuit with voltage circuit in parallel with the test circuit-breaker

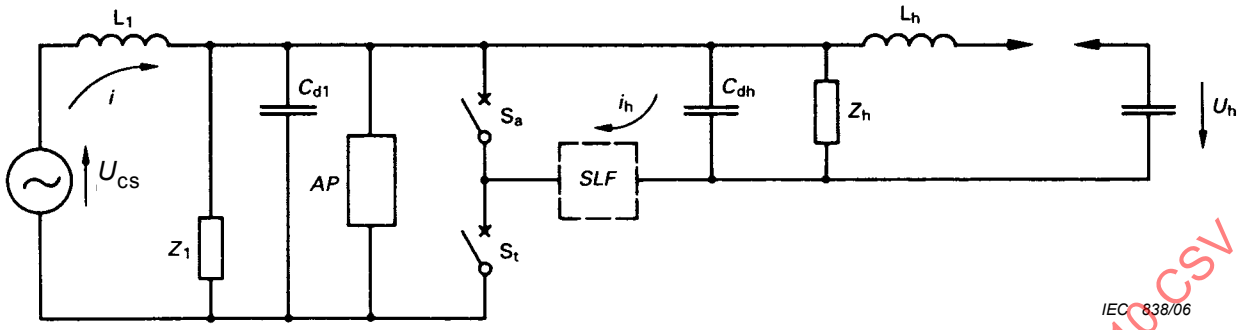


Key

i	current in the auxiliary circuit-breaker	T_h	duration of one period of the injected current
i_h	injected current	t_h	time during which the arc is fed only by the injected current
i_p	current in the test circuit-breaker		

Figure B.2 – Injection timing for current injection scheme with circuit B.1

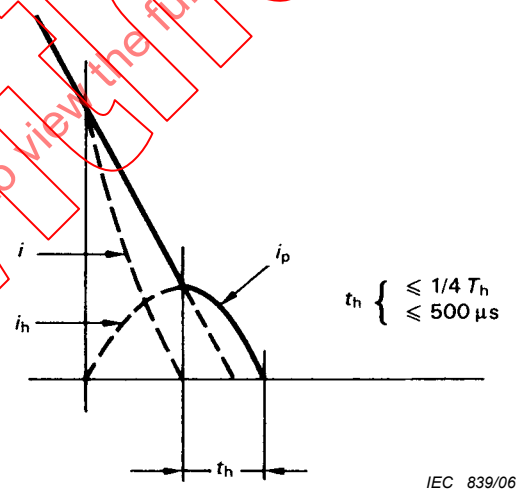
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Key

U_{cs}	voltage of current circuit	U_h	charging voltage of voltage circuit
L_1	inductance of current circuit	i	current of the current circuit
AP	arc prolonging circuit	i_h	injected current
S_a	auxiliary circuit-breaker	Z_1	equivalent surge impedance of current circuit
S_t	test circuit-breaker	C_{d1}	capacitance for time delay of current circuit
Z_h	equivalent surge impedance of voltage circuit	SLF	short-line-fault circuit (for the corresponding tests)
C_{dh}	capacitance for time delay of voltage circuit	L_h	inductance of voltage circuit

Figure B.3 – Typical current injection circuit with voltage circuit in parallel with the auxiliary circuit-breaker



Key

i	current in the auxiliary circuit-breaker	t_h	time during which the arc is fed only by the injected current
i_h	injected current	T_h	duration of one period of the injected current
i_p	current in the test circuit-breaker		

Figure B.4 – Injection timing for current injection scheme with circuit B.3

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

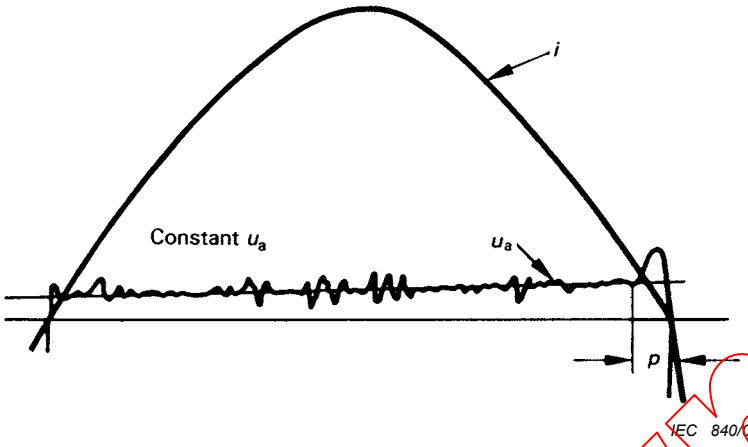


Figure B.5a

Figure B.5b

Key

i	Current	p	interval of significant change of arc voltage
u_a	arc voltage		

Figure B.5 – Examples of the determination of the interval of significant change of arc voltage from the oscillograms

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annex C
(informative)

Voltage injection methods

In a synthetic test circuit using voltage injection, the current circuit provides the entire short-circuit current for the test circuit-breaker and also, after current zero, the first part of the transient recovery voltage.

By suitable choices of its voltage and natural frequency, the correct values of the power factor, current and first part of the TRV can be obtained.

About the time of the first peak of the transient recovery voltage of the current circuit, the voltage circuit is switched in by means of a voltage-dependent control circuit in such a way that the specified transient recovery voltage is continued and so that there will be no delay between the current stress and the voltage stress.

C.1 Voltage injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker (series circuit)

Figure C.1 shows the simplified circuit diagram of a voltage injection circuit with the voltage circuit connected in parallel with the auxiliary circuit-breaker. The current circuit supplies the entire short-circuit current stress. A capacitor of suitable value is connected in parallel with the auxiliary circuit-breaker. After the current zero of the power-frequency short-circuit current, this capacitor transmits the entire transient recovery voltage of the current circuit to the test circuit-breaker, passing the necessary energy for the post-arc current.

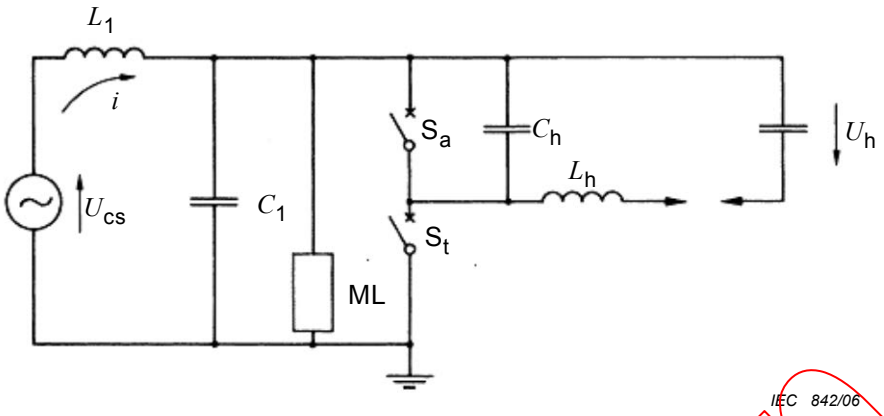
About the time of the first peak of this transient voltage, the voltage circuit will be switched in and from this moment onwards the transient recovery voltages of both circuits are added together to form the transient recovery voltage across the test circuit-breaker.

Figure C.2 shows the current in the test circuit-breaker and the waveshape of the voltage across the auxiliary circuit-breaker and test circuit-breaker. The auxiliary circuit-breaker is stressed only by the voltage of the voltage circuit. Both components of the voltage across the test circuit-breaker are superimposed to produce the transient recovery voltage, the waveshape of which can be adjusted by varying C_h and C_1 in conjunction with additional components – not shown in Figure C.1 – to obtain compliance with the requirements of IEC 62271-100 (see 4.1.3).

C.2 Voltage injection circuit with the voltage circuit in parallel with the test circuit-breaker

This voltage injection circuit is similar to the one described above except that the voltage circuit is in parallel with the test circuit-breaker instead of the auxiliary circuit-breaker. It is not in common usage.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

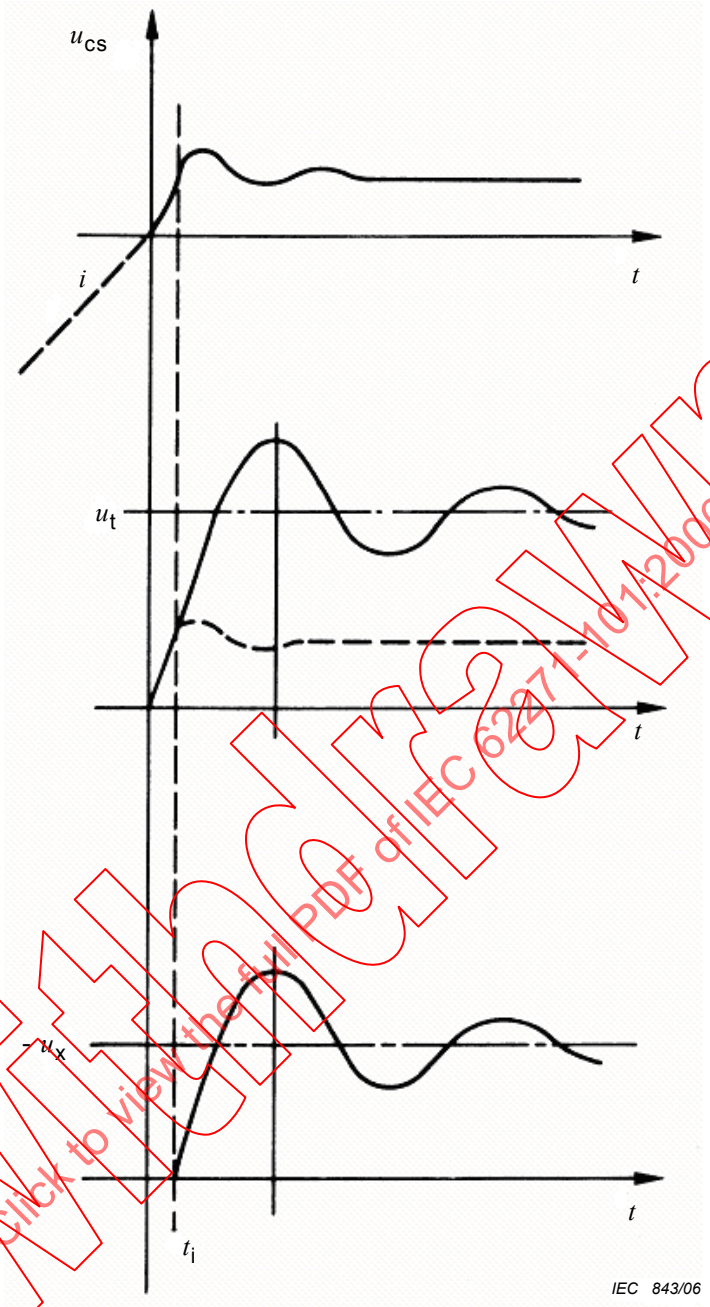


Key

U_{cs}	voltage of current circuit	S_t	test circuit-breaker
L_1	inductance of current circuit	C_h	capacitance of voltage circuit which together with L_h controls the major part of the TRV
C_1	capacitance of current circuit which together with L_1 controls the first part of the TRV	L_h	inductance of voltage circuit
ML	multi-loop re-ignition circuit	U_h	charging voltage of voltage circuit
S_a	auxiliary circuit-breaker		

Figure C.1 – Typical voltage injection circuit diagram with voltage circuit in parallel with the auxiliary circuit-breaker (simplified diagram)

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



Key

i	power-frequency current in test and auxiliary circuit-breakers	u_t	voltage across test circuit-breaker
u_{cs}	TRV from current circuit	u_x	voltage across auxiliary circuit-breaker
		t_i	instant of voltage injection

Figure C.2 – TRV waveshapes in a voltage injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annex D
(informative)

Duplicate circuit (transformer or Skeats circuit)

D.1 Principle of the method

In the duplicate test circuit, the current is supplied from a current circuit to the series combination of the auxiliary and the test circuit-breaker. The high voltage is applied to the test circuit-breaker via a resistance from a transformer (or auto-transformer) the primary of which is connected to the current circuit across the auxiliary and test circuit-breakers. Figure D.1 shows the principal lay-out of the circuit.

During the high-current interval, the arc voltages of the test and auxiliary circuit-breakers induce a current, i_R in the high-voltage circuit which adds to the current through the test circuit-breaker, $i_2 = i_1 + i_R$. The current in the auxiliary breaker will thus reach zero and interrupt before the test circuit-breaker. If the arc voltages are assumed nearly constant, the test circuit-breaker current will go through zero at a time Δt after the interruption of the auxiliary breaker approximately given by:

$$\Delta t = \frac{n\,(u_{aa} + u_{at}) - u_{at}}{n \times \hat{u}_{cs}} \times \frac{L_2}{R}$$

where

n is the transformer ratio;

u_{aa}, u_{at} are the arc voltages in S_a and S_t, respectively;

$\hat{u}_{cs}$ is the voltage peak of the current circuit;

L_2 $= n^2 L_1 + L_T$ (effective inductance in the high-voltage circuit);

L_T is the leakage inductance of T.

During the interval Δt, the rate of change of the current through the test circuit-breaker di_2/dt will approximately attain the value:

$$\frac{di_2}{dt} = -\frac{n \times \hat{u}_{cs}}{L_2} = -\frac{n\,\hat{u}_{cs}}{n^2 L_1 + L_T}$$

i.e. di_2/dt will be lower than the prospective uninfluenced value. This value is reduced by a factor of the same magnitude as the transformer ratio n.

By choosing the resistance, R, sufficiently large, the time interval Δt could be kept small. On the other hand, a high value will increase the damping of the TRV. For circuit-breakers with post-arc current the value may be further restricted. Values of R in the range some kΩ are normally used giving $\Delta t \leq 10$ µs.

The test circuit is thus not valid for tests where attention is paid to the thermal failure mode of a circuit-breaker, because

– the source-side impedance does not correspond to network (or direct test circuit) conditions during the interaction interval,

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

– the di/dt deviates from the prospective value during a (short) time interval just before current zero.

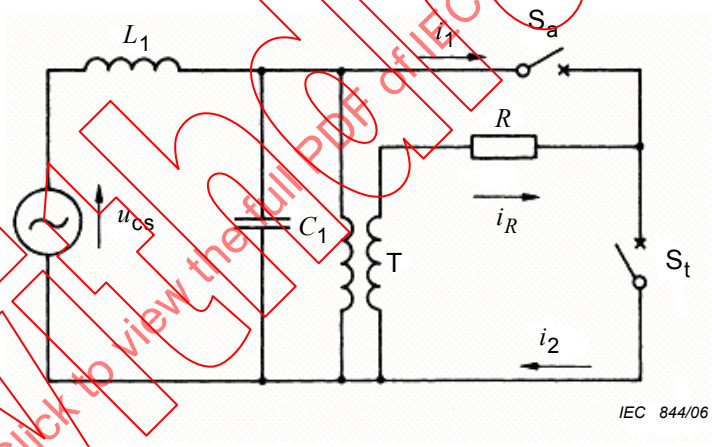
The test circuit could be used when testing the dielectric recovery of a circuit-breaker. It could further be used for closing tests and could be extended to work with several full voltage applications.

D.2 Practical arrangement of the circuit

A practical circuit arrangement is shown in Figure D.2. It can be used to apply full recovery voltage in three consecutive current zeros in an opening operation by opening the auxiliary circuit-breakers S_{a1}, S_{a2} and S_{a3} in turn. The spark gaps G_1 and G_2 are triggered to restore the current if the test circuit-breaker fails to interrupt in the first and second current zero respectively.

It can also apply full voltage stresses at both closing and opening in a CO operation. The test circuit-breaker S_t closes against full voltage (S_{a1} is open) and, when it pre-strikes, one of the spark gaps, e.g. G_2, is triggered to make the current circuit (S_{a2} is closed). S_{a3} is closed before the opening of the test circuit-breaker and used as auxiliary circuit-breaker at the first current zero. If necessary, a second current zero could be tested by means of G_1 and S_{a1}.

In a similar manner the two opening operations in an auto-reclosing operation can be fully tested.

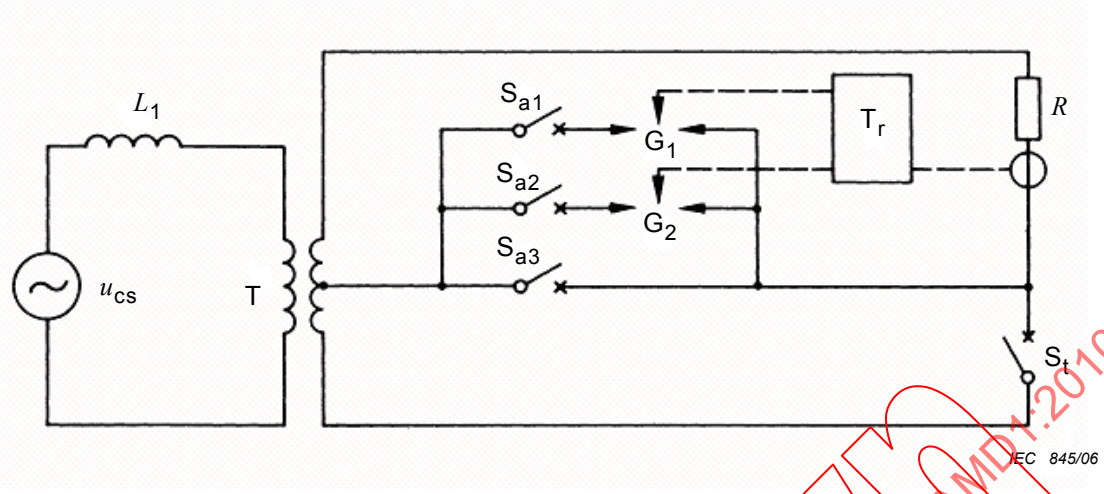


Key

u_{CS}	voltage of the current circuit	i_1	current through the auxiliary circuit-breaker
L_1	inductance of current circuit	i_2	current through the test circuit-breaker
C_1	capacitance of the current circuit which together with L_1 controls the first part of the TRV	iR	current through resistor R
T	transformer	S_a	auxiliary circuit-breaker
R	phase-shifting resistor	S_t	test circuit-breaker

Figure D.1 – Transformer or Skeats circuit

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Key

u_{cs}	voltage of the current circuit	S_{a1}, S_{a2}, S_{a3}	auxiliary circuit-breakers
L_1	inductance of current circuit	S_t	test circuit-breaker
T	transformer	T_r	triggering circuit
R	phase-shifting resistor	G_1, G_2	triggered gaps

Figure D.2 – Triggered transformer or Skeats circuit

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annex E
(normative)

Information to be given and results to be recorded for synthetic tests

In addition to the requirements specified in Annex C of IEC 62271-100, the following information shall be given in reports on synthetic tests.

E.1 Auxiliary circuit-breaker

a) Identification.

b) Description, including the number of units per pole, extinguishing medium and grading capacitors, if any.

E.2 Test conditions

a) Circuit parameters of the voltage circuit.

b) Setting of the intended arcing time of the test circuit-breaker including application of re-ignition circuit(s).

E.3 Quantities to be recorded

The resolution of the records with respect to the deflection and the time scale shall be such that the information to be obtained can be evaluated with sufficient accuracy.

E.3.1 Voltages

a) Voltage of the current circuit.

b) Voltage across the test circuit-breaker.

E.3.2 Currents

a) Current through the test circuit-breaker.

b) Current from the voltage circuit.

NOTE 1 For some quantities it may be necessary to have several records with different deflections and/or time scales. This will normally be the case for measurements given in E.3.1b) and E.3.2a).

NOTE 2 Other information and records may be added to obtain test or design data.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annex F
(informative)

Special procedures for testing circuit-breakers having parallel breaking resistors

F.1 Introduction

When using synthetic test methods on circuit-breakers fitted with parallel breaking resistors, each arrangement should be considered on its merits, the guiding principle being that the synthetic test circuit should have a prospective transient recovery voltage as specified in IEC 62271-100 and a recovery voltage as specified in 4.1.3 of this standard should be applied to the circuit-breaker.

For those circuit-breakers where parallel resistors are employed to modify the shape of the transient recovery voltage, a synthetic test circuit should be such that the shape of the transient recovery voltage will be, as far as possible, the same as the specified transient recovery voltage as modified by the circuit-breaker resistor. If the ohmic value of the shunt resistor is very low, it may not be possible for the actual peak TRV in a synthetic test to attain this value due to the limited energy available from the voltage source. In this case, a modified test method should be chosen where this relative reduction of the actual peak TRV is kept to a negligible minimum (less than 5 %). However, it may then still not be possible to meet the recovery voltage requirements of 4.1.3.

Valid tests may be made after observing certain precautions, e.g. by one of the following methods:

– adjustment of the parameters of the voltage circuit to provide the necessary additional energy absorbed by the resistor;
– switching over to an additional a.c. voltage source capable of maintaining the voltage across the resistor;
– disconnecting the test circuit-breaker shunt resistor and connecting a resistor at other appropriate places in the test circuit (e.g. across the voltage circuit inductance) to give an equivalent transient recovery voltage waveform across the terminals of the test circuit-breaker. When using this method, care should be taken to ensure that the influence of the resistor during the current zero period is sufficiently close to that which would occur in a test with the resistor connected to the circuit-breaker terminals.

The choice and acceptance of such methods require very careful consideration and shall be subject to agreement between testing station, manufacturer and user.

If the applied test method does not subject the resistor to the full thermal stress, or the interrupter of the resistor current to its full breaking stress, then additional tests shall be made (see F.3.3 and F.3.4).

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

F.2 Conditions

The requirements which relate to the basic synthetic test circuit, see 4.1, shall be met. Additional requirements during the high-voltage interval, which must be met when the circuit-breaker resistance is so low as to preclude the use of a voltage source derived only from capacitors, are given below.

F.2.1 Transient recovery voltage interval

The correct transient recovery voltage should appear across the circuit-breaker, taking into account the influence of the shunt resistor incorporated in the circuit-breaker and the arc voltage. There should be no discontinuity in the transient recovery voltage waveform.

NOTE The transient recovery voltage influenced only by the shunt resistor can be calculated by assuming an ideal circuit-breaker and evaluating the influence of the shunt resistor incorporated in the circuit-breaker on the specified transient recovery voltage.

F.2.2 Power-frequency recovery voltage interval

A power-frequency recovery voltage should be provided which is the same as the value specified in IEC 62271-100.

NOTE It is acceptable to use a power-frequency recovery voltage of the correct amplitude which has a phase shift different from that which would be obtained in a network. The direction of this phase shift should be such that the recovery voltage in the synthetic test lags behind that of the network. The result is to extend the first loop of the recovery voltage, which is acceptable provided that the phase shift does not exceed 20°.

F.3 Multiple step test procedure

An alternative approach is to use a set of four separate test procedures to establish that the overall testing of the test circuit-breaker is satisfactory. For this to be achieved it must be possible to disconnect the resistor(s) in the circuit-breaker.

NOTE It is essential that the operation and performance of the resistor interrupter is not affected by the operation of the main interrupter for these separate test procedures to be allowable.

F.3.1 Thermal re-ignition mode tests on the main interrupter

The object of these tests is to establish that re-ignitions do not occur in the main interrupter during the interaction interval.

A synthetic test is made with the resistor mounted in its normal position in the circuit-breaker. This test is subject to the normal requirements during an interval greater than that of the interaction interval.

When the current injection method with the voltage circuit in parallel with the test circuit-breaker is used, energy from the voltage source is usually sufficient if the discharge time constant of the voltage source with parallel breaking resistor of the circuit-breaker is at least five times higher than the duration of the interaction interval.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

F.3.2 Dielectric re-ignition mode tests on the main interrupter

The resistor is first disconnected in the circuit-breaker. A synthetic test is then made with the correct prospective transient recovery voltage, as modified by the effect of the resistor only. This test covers the dielectric interval not already covered in the thermal re-ignition test described in F.3.1.

NOTE 1 One easement is allowed, namely that the substituting resistor in the external circuit can be switched into the circuit just prior to the beginning of the interaction interval, if so desired. This may change the conditions determining the thermal re-ignition criteria but these have already been met in the test of F.3.1.

NOTE 2 Problems can arise when carrying out the dielectric test of F.3.2 on a number of series interrupters. The disconnection of the shunt resistors means that there is no longer any voltage grading apart from that provided by capacitance. This in itself may not provide a sufficiently uniform distribution and there is a danger of overstressing one interrupter. One way of overcoming this problem on open-type circuit-breakers is to attach an external string of higher value resistors to achieve near uniform grading. The effect of these should, of course, be taken into account in providing the correct transient recovery voltage waveform.

F.3.3 Tests on resistor

Resistors should be tested in direct circuits to demonstrate that the resistor can meet the thermal and voltage conditions imposed by the duty cycle of the circuit-breaker.

F.3.4 Tests on resistor interrupter(s)

Tests should be made to demonstrate that the resistor interrupter(s) has (have) the required performance.

F.4 Additional remarks

It should be noted that with a circuit using power-frequency recovery voltage the timing of the make switch in the voltage circuit is critical and that correct operation of the testing procedure depends on this timing being maintained within close tolerances. Failure to observe this precaution can result in significant errors in the prospective transient recovery voltage waveform.

If the alternative multiple step procedure is adopted, it should be noted that problems can arise during the dielectric re-ignition mode tests of F.3.2. The use of a substitute resistor external to the circuit-breaker can introduce parasitic inductance and capacitance into the circuit containing the main interrupter. This could lead to a thermal mode failure during the dielectric mode test. Such failures would not constitute a reason for rejection of the circuit-breaker but would require further dielectric mode tests following circuit modification.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010CSV

Annex G
(informative)

Synthetic methods for capacitive-current switching

G.1 Introduction

Synthetic capacitive current switching tests are generally performed using single-phase test circuits. There are principally two types of circuits:

a) Combined current and voltage circuits

The test circuit consists of two combined circuits, a current circuit and a voltage circuit. Both circuits have a capacitive nature, although an inductive or resistive current circuit can be used as an alternative, provided that the phase angle between the two sources is changed accordingly.

The two sources can be generator-fed transformers or charged capacitors, or a combination of both. The application of this type of circuit implies the use of an auxiliary circuit-breaker to isolate the test circuit-breaker from the current circuit.

b) LC oscillating circuits

The test circuit consists of an LC oscillating circuit that provides both the current and voltage from a single source. The application of this type of circuit does not require the use of an auxiliary circuit-breaker.

NOTE Phenomena occurring after a restrike or a re-ignition event are not representative of service conditions as the test circuit does not adequately reproduce the post-event voltage conditions.

For applicability of the mentioned methods in case of metal-enclosed or dead tank circuit-breakers, see Annex N and Annex O of IEC 62271-100:2008.

G.1.1 Breaking tests

Many test circuits are possible with different features. Some examples are given in Figures G.1 to G.7.

An impedance may be added for protection of the test circuit and/or control of the inrush current, provided that the prospective recovery voltage is in accordance with 6.111.10 of IEC 62271-100.

G.1.2 Recovery voltage

In principle, the recovery voltage consists of an a.c. voltage applied to one terminal of the test circuit-breaker, while a slowly decaying d.c. voltage stresses the other terminal.

In some test circuits both voltages are superimposed at one terminal of the test circuit-breaker, the other terminal being earthed. This condition is more severe for the insulation to earth. The combined current and voltage circuits of Figures G.6 and G.7 can be used to apply the correct voltage stresses to each terminal of the circuit-breaker. For metal-enclosed circuit-breakers an additional voltage source may be connected to the tank to compensate for this effect, in accordance with the recommendations of ~~4.3 of IEC 61633~~ O.4.3 of IEC 62271-100:2008.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

G.1.3 Combined current and voltage circuits

When tests are performed using the circuits described in item a) of Clause G.1, the connection of the current and voltage sources to the auxiliary and test circuit-breakers can be in parallel mode, subtracting the voltages on the auxiliary circuit-breaker, or in series mode, and adding the voltages on the test circuit-breaker.

Depending on whether the voltage circuit is connected permanently, or switched in before or after power-frequency current zero, a distinction can be made between power-frequency current superposition, current injection and voltage injection circuits.

G.1.4 Making tests

Examples of test circuits are given in Figures G.8 and G.9.

The voltage circuit supplies the test voltage during closing of the contacts until dielectric breakdown occurs causing the initial transient making current to flow.

G.2 Current chopping

Current chopping phenomena, caused by interaction between a circuit-breaker and its circuit (in service or during laboratory tests), generally leads to a reduction of the load side voltage and thus also of the dielectric stress of the circuit-breaker.

In service or during laboratory tests in direct test circuits, chopping of small capacitive currents may take place. In synthetic test circuits the probability of these events occurring is increased for the following reasons:

– generally speaking the characteristic parameters of the main and stray components of some synthetic test circuits are different and may influence the chopping behaviour of the circuit-breaker;
– the effect of additional (auxiliary) circuit-breakers in series with the test circuit-breaker in combined current and voltage circuits;
– the increased ratio of arc voltage to power-frequency voltage.

Therefore, when performing synthetic tests using test circuits described in item a) of Clause G.1, it may be difficult to determine whether or not current chopping is a significant feature of the test circuit-breaker. To reduce current chopping, the following measures can be taken:

– modify the capacitances seen from the circuit-breaker terminals;
– use an auxiliary circuit-breaker with a short minimum arc duration and low arc voltage in combined current and voltage circuits.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Figures G.1 to G.9 show some typical examples of synthetic test circuits for capacitive current switching. The following list of symbol explanations relate to these figures, as appropriate, and are listed here for the sake of brevity and to avoid repetition.

C_c = capacitance of the current circuit

C_v = capacitance of the voltage circuit

C_h, L_{pf} = power frequency oscillation circuit

f_{inrush} = frequency of the inrush current

f_r = rated power frequency

f_{RV} = frequency of the recovery voltage

G = gap

i_c = current of the current circuit

$i_{max\ peak}$ = maximum peak of the inrush current

i_L = load current (current through test circuit-breaker S_t)

i_v = current of the voltage circuit

L_c = inductance of the current circuit

L_v = inductance of the voltage circuit

m = ratio of current i_L to current i_v

n = ratio of voltage u_t to voltage U_c

S_a = auxiliary circuit-breaker

S_{a1}, S_{a2}, S_{a3} = auxiliary circuit-breakers

S_t = test circuit-breaker

$\hat{t}$ = time to the peak of injected current

U_c = voltage of the current circuit

U_h = charging voltage of C_h

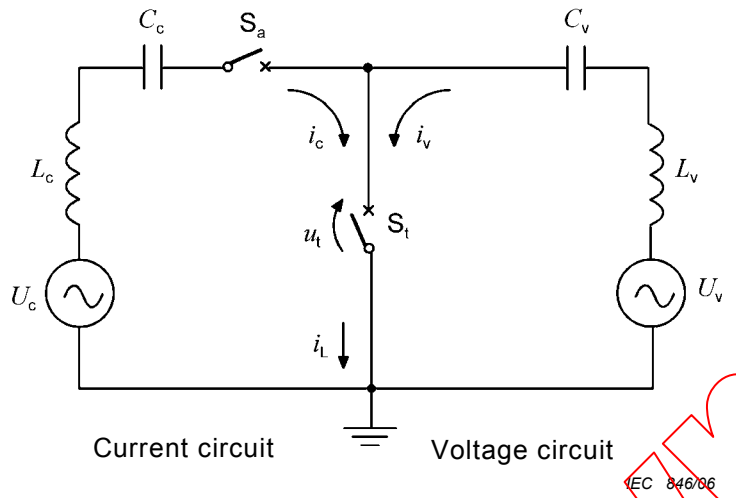
U_{hB} = charging voltage of C_{hB}

U_v = voltage of the voltage circuit

u_A, u_B = voltage to earth at points A and B respectively

u_t = voltage across the test circuit-breaker S_t

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



$U_c = u_t/n$	$U_v = u_t$
$i_c = i_L(1-1/m)$	$i_v = i_L/m$
$\omega L_c \ll 1/\omega C_c$	$\omega L_v \ll 1/\omega C_v$
$C_c = n(1-1/m)C_L$	$C_v = C_L/m$
C_L = equivalent load capacitance	

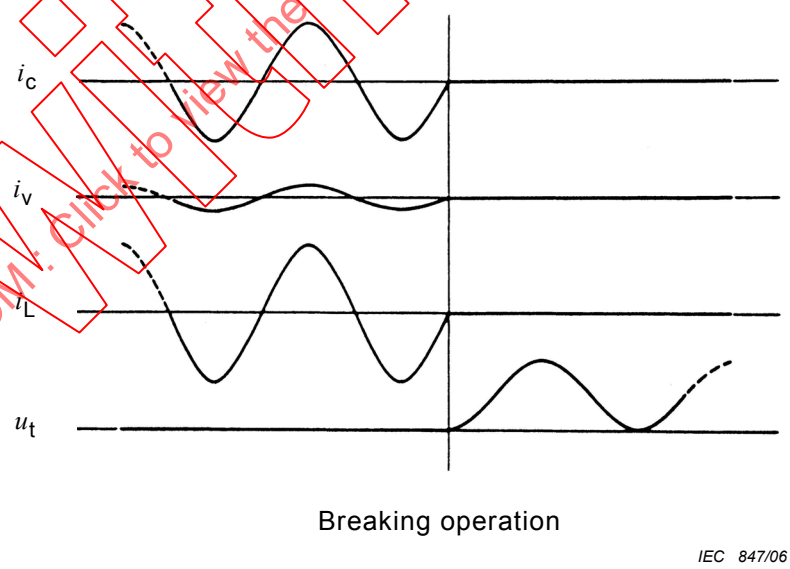
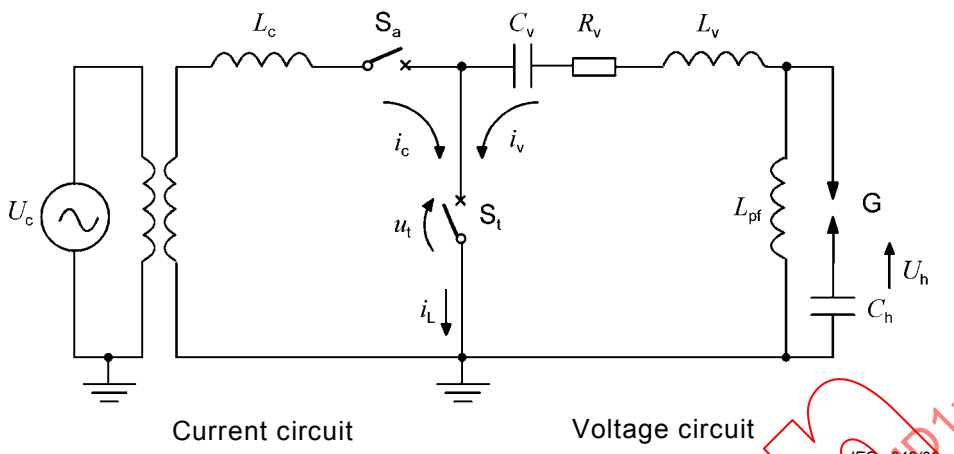
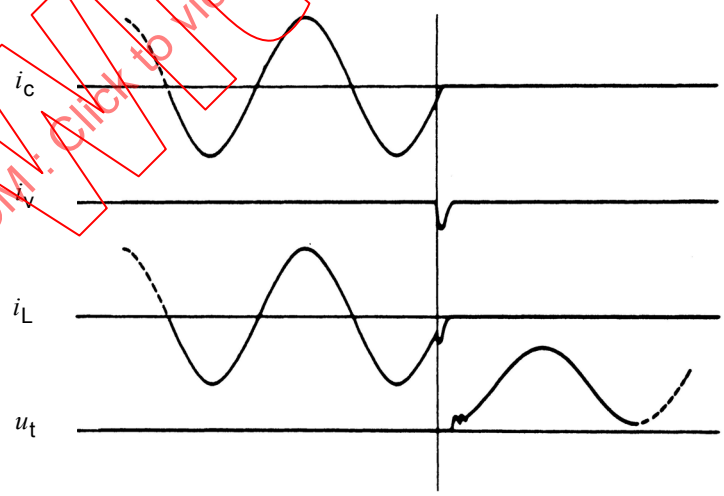


Figure G.1 – Capacitive current circuits (parallel mode)

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$U_c = u_t/n$	$U_h = \frac{(C_v + C_h)}{C_h} U_t \sqrt{2}$
$i_c = i_L$	$i_v = \frac{U_h}{\omega_0 L_v} e^{-\alpha \hat{t}} \sin \omega_0 \hat{t}$, with $\alpha = \frac{R_v}{2L_v}$ and $\omega_0 = \sqrt{\frac{1}{L_v}\left(\frac{1}{C_h} + \frac{1}{C_v}\right) - \left(\frac{R_v}{2L_v}\right)^2}$
$\omega L_c = \frac{1}{n \times \omega \times C_L}$	$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$
C_L = equivalent load capacitance	

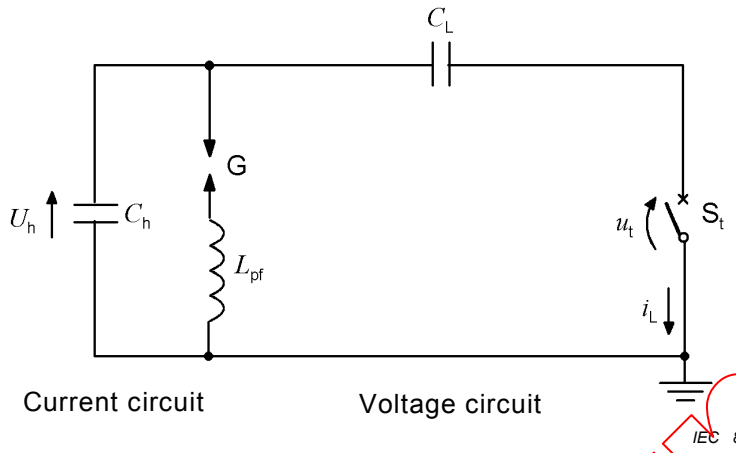


Breaking operation

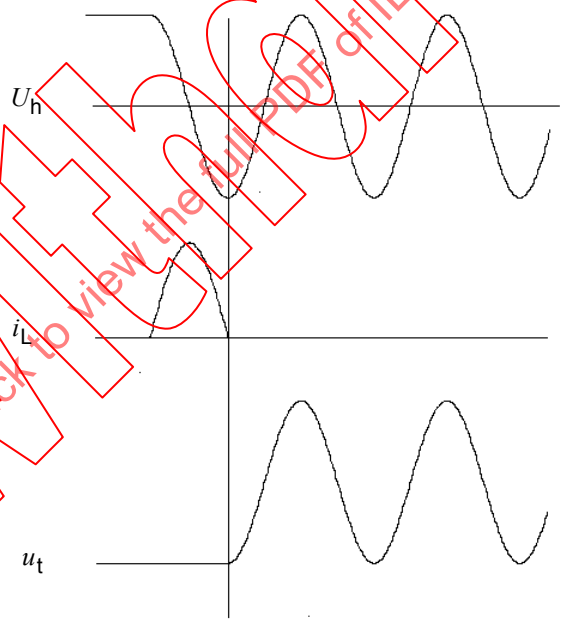
IEC 849/06

Figure G.2 – Current injection circuit

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



$U_h = U_t\sqrt{2}$	$i_L = 2\pi f_L \times C_L \times U_h$
$f_{RV} = \dfrac{1}{2\pi\sqrt{C_h \times L_{pf}}}$	$f_L = \dfrac{1}{2\pi\sqrt{(C_h + C_L) \times L_{pf}}}$
C_L= load capacitance	



Breaking operation

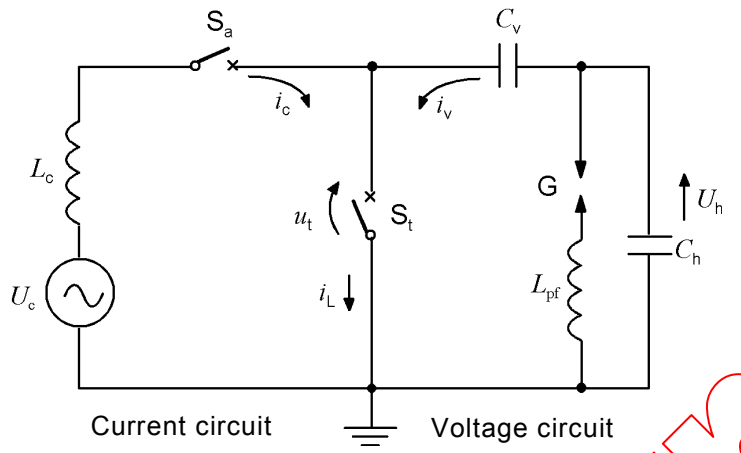
IEC 851/06

C_h and C_L are precharged at the voltage U_h.

NOTE The load capacitance C_L can also be inserted between the test circuit-breaker and earth.

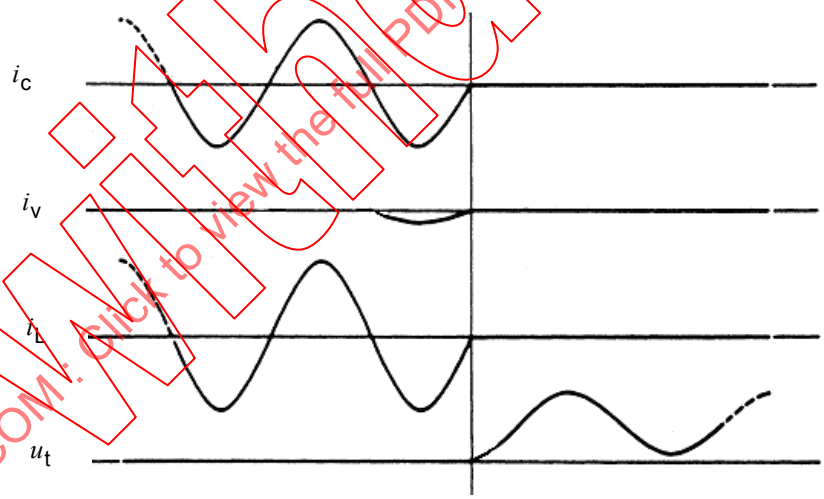
Figure G.3 – LC oscillating circuit

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



IEC 852/06

$i_c = i_L - i_v$	$U_h = U_t \times \sqrt{2}$
$i_c = U_c / \omega_r L_c$, with $\omega_r = 2\pi f_r$	$f_L = \dfrac{1}{2\pi\sqrt{(C_h + C_v) \times L_{pf}}}$
$i_v = U_h \times 2\pi f_L \times C_v$	$f_{RV} = \dfrac{1}{2\pi\sqrt{C_h \times L_{pf}}}$

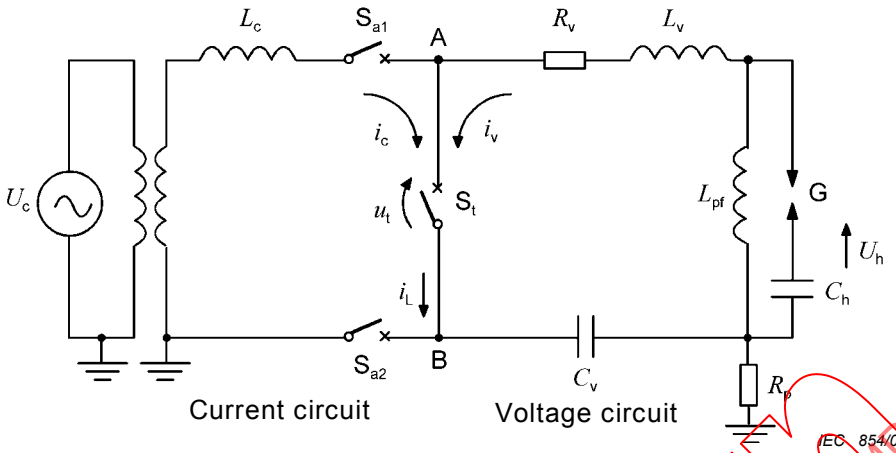


Breaking operation

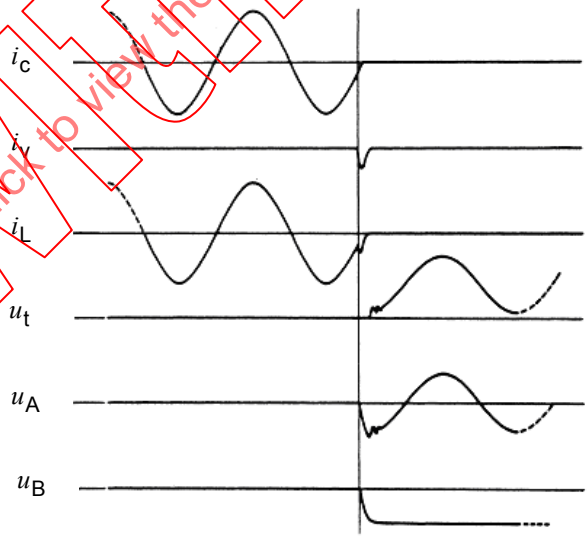
IEC 853/06

Figure G.4 – Inductive current circuit in parallel with LC oscillating circuit

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$U_c = U_t / n$	$U_h = \left(\frac{C_v + C_h}{C_h}\right) \times U_t \sqrt{2}$
$i_c = i_L$	$i_v = \frac{U_h}{\omega_0 L_v} \times e^{-\alpha \hat{t}} \times \sin \omega_0 \hat{t}$, with $\alpha = \frac{R_v}{2L_v}$ and $\omega_0 = \sqrt{\frac{1}{L_v}\left(\frac{1}{C_h} + \frac{1}{C_v}\right) - \left(\frac{R_v}{2L_v}\right)^2}$
$\omega L_c = \frac{1}{n \times \omega \times C_L}$	$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$

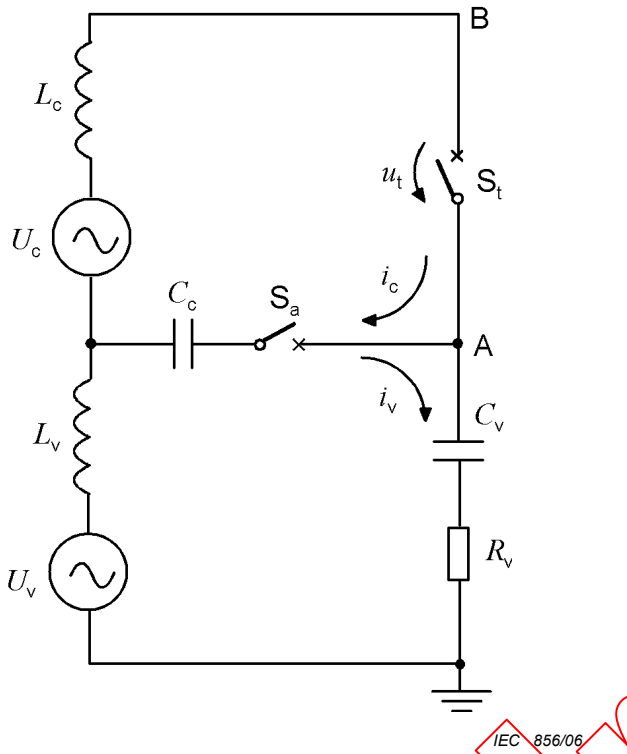


Breaking operation

IEC 855/06

Figure G.5 – Current injection circuit, normal recovery voltage applied to both terminals of the circuit-breaker

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Current circuit

Voltage circuit

$U_c = u_t / n$
$i_c = U_c \times \omega \times C_c$
$\omega L_c << 1/\omega C_c$
$C_c = nC_L$
$i_c = i_L$
$U_v = u_t - U_c$
$i_v = U_t \omega C_v$
$\omega L_c << 1/\omega C_v$
$C_v = C_L / m$

C_L = equivalent load capacitance

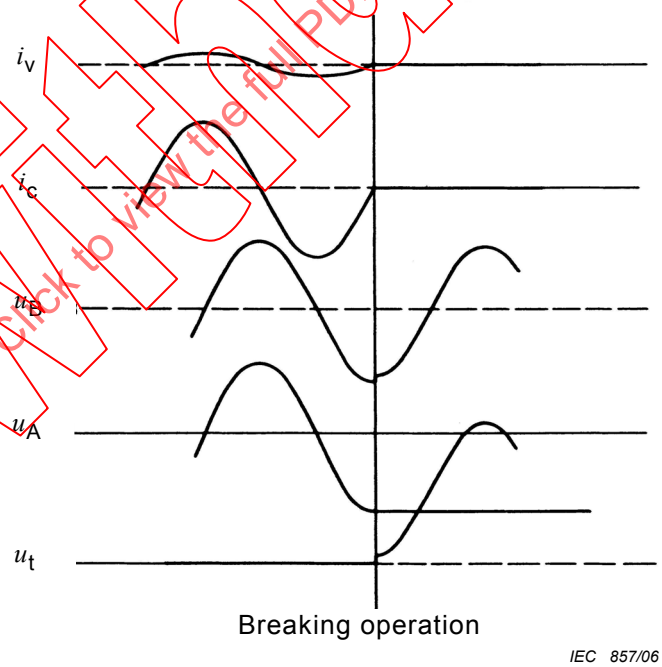
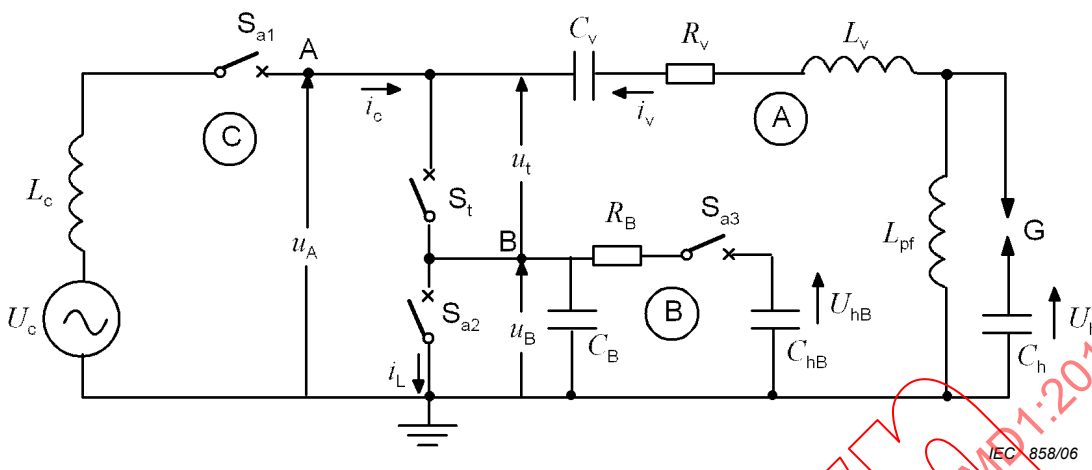


Figure G.6 – Synthetic test circuit (series circuit), normal recovery voltage applied to both sides of the test circuit breaker

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



This test circuit consists of three circuits:

- circuit A is a conventional current injection circuit connected to one terminal of the test circuit breaker earth supplying a recovery voltage U_A of (1-cos) waveshape;
- circuit B is connected to the other terminal of the test circuit-breaker applying an exponential voltage (1-exp($-t/t_0$)waveshape). Its amplitude, rate of decay and timing are chosen with consideration to the voltage applied on the other terminal of the test circuit-breaker, so that the correct recovery voltage (u_t) is applied across the contacts;
- circuit C supplies the test current.

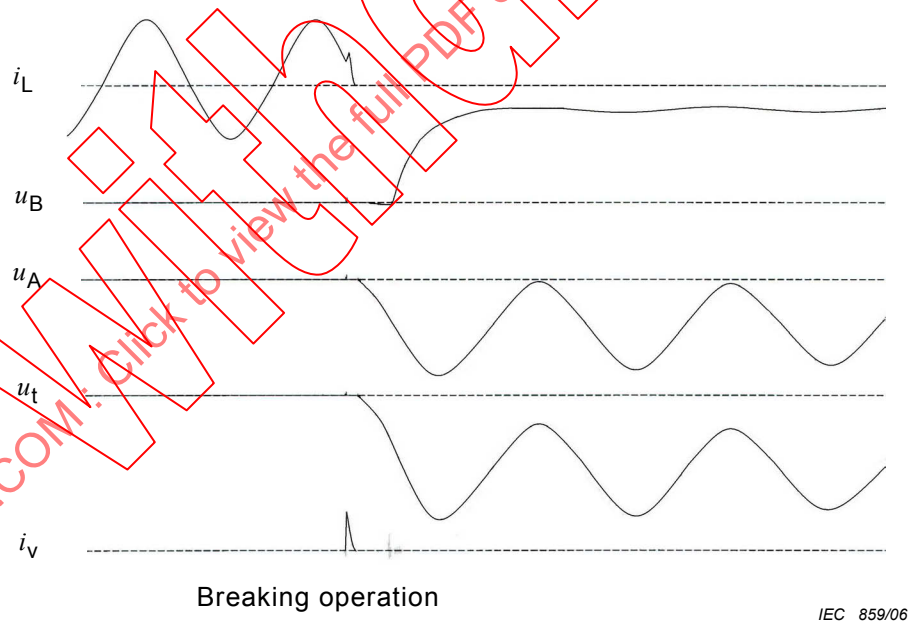
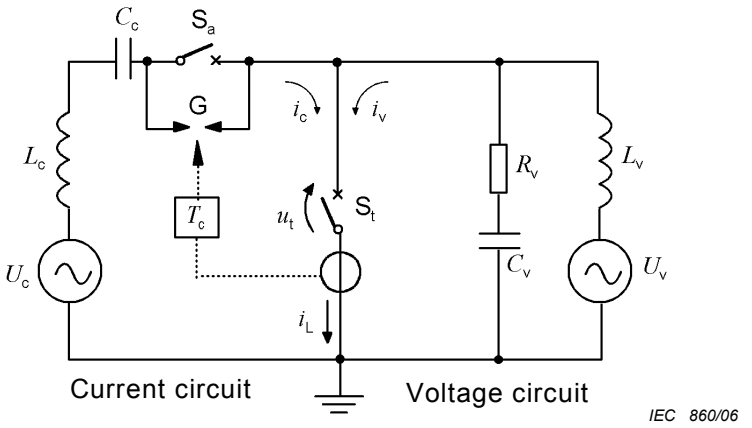
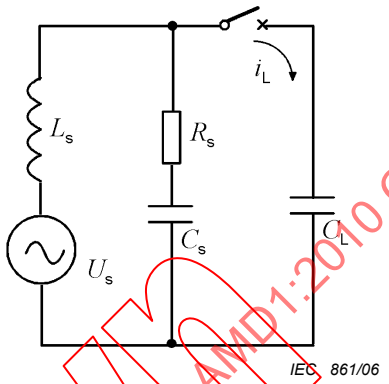


Figure G.7 – Current injection circuit, recovery voltage applied to both sides of the circuit-breaker

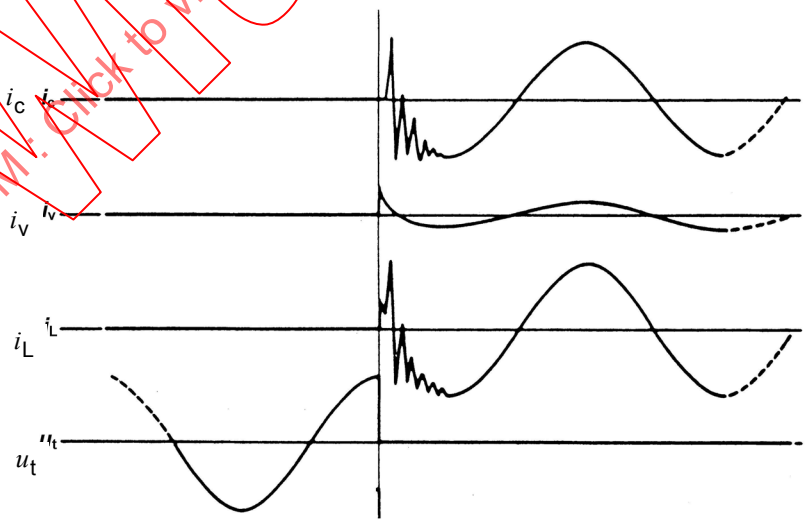
Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV





Equivalent circuit for defining R_s, C_s and L_s

$U_c = U_t / n$	$U_v = U_t$
$i_c = i_L$	$i_v = U_v / \omega L_v$
$L_c = L_s / n$	$R_v = R_s$
$C_c = nC_L$	$C_v = \dfrac{C_s C_L}{C_s + C_L}$, or $C_v = C_L$ if $C_s \ll C_L$
C_L = equivalent load capacitance	
R_s and C_s define the initial transient making current	
L_s and C_L define the transient making current	

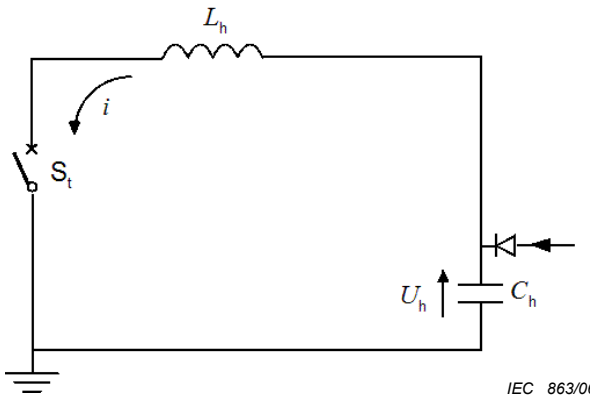


Making operation

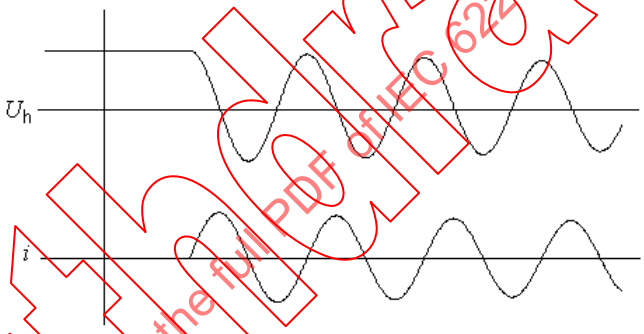
IEC 862/06

Figure G.8 – Making test circuit

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$U_h = U_t \times \sqrt{2}$	$i_{max\ peak} = U_h \times C_h \times 2\pi \times f_{inrush}$
$f_{inrush} = \dfrac{1}{2\pi\sqrt{C_h \times L_v}}$	



Making operation

IEC 864/06

Figure G.9 – Inrush making current test circuit

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annex H
(informative)

Re-ignition methods to prolong arcing

H.1 "Step-by-step" method

With this method, only one voltage source is used. The test circuit-breaker is artificially re-ignited by a special re-ignition circuit, or other means, in order to prolong arcing up to the current zero at which the voltage source is to be applied. This "step-by-step" method needs less additional installations compared to the method described in Clause H.2. However, more tests may be necessary to comply with specified arcing times.

1) Method with a separate re-ignition circuit

   A separate re-ignition circuit provides a rapidly rising pulse of current, of opposite polarity to that of the power-frequency current, approximately 10 µs before current zero. The current through the circuit-breaker is thus rapidly reversed and conduction in the arc gap is maintained for a further loop of power-frequency current. As an example, a re-ignition circuit is indicated in Figure H.1. Several such circuits may be used for prolonging the arcing through several loops of current. The re-ignition circuit can in principle be applied to re-ignite both test and auxiliary circuit-breaker. However, the need to re-ignite both circuit-breakers is usually avoided by suitably delaying the separation of the auxiliary circuit-breaker contacts.

2) Method with increased power-frequency circuit severity

   In some cases, the arcing of the test circuit-breaker may be prolonged by increasing the rate-of-rise of the transient recovery voltage in the power-frequency current circuit. Whether this is effective or not depends upon the characteristics of the power-frequency current circuit and of the circuit-breaker under test.

H.2 Method using a duplicate circuit

A circuit arrangement combining a Skeats and a current injection circuit is shown in Figure H.2 and the corresponding current and voltage for an asymmetrical current breaking test is shown in Figure H.3.

At the first current zero, the test circuit-breaker is stressed by the Skeats circuit, thus achieving a dielectric re-ignition. In this way, the short-circuit current waveform is equivalent to that of a direct test. At the second current zero, the current injection circuit is applied to the test circuit-breaker.

First current zero:

– S_1 is opened and acts as an auxiliary circuit-breaker;
– G_2 is triggered when a re-ignition occurs;
– S_2 remains closed;
– S_3 remains closed;
– S_4 remains open.

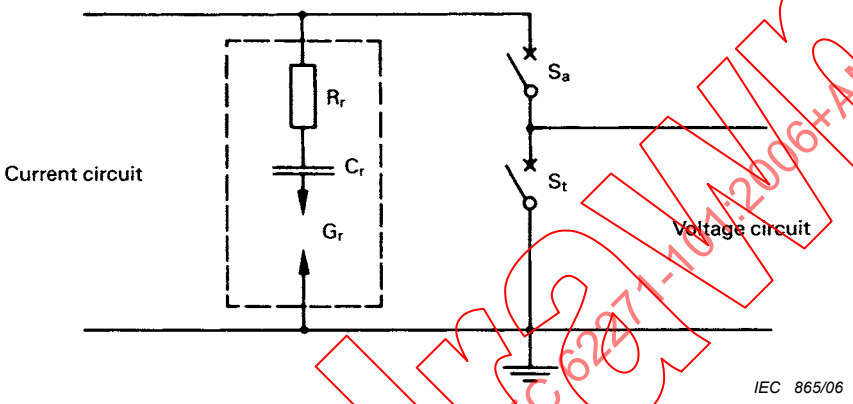
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

During the high-current interval:

– S_3 is opened;
– S_4 is closed.

Second current zero:

– S_1 remains open;
– S_2 is opened and acts as an auxiliary circuit-breaker;
– G_1 is triggered.

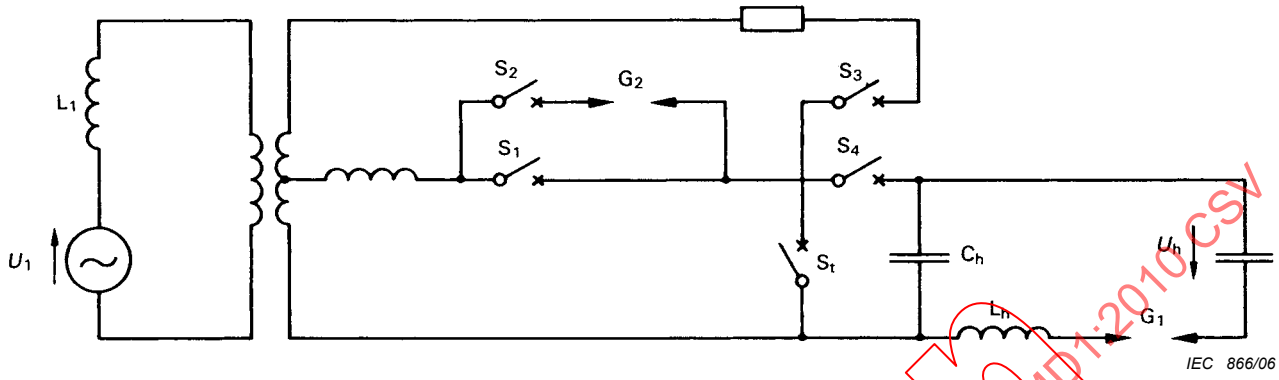


Key

S_t	test circuit-breaker	C_r	capacitor for re-ignition circuit
S_a	auxiliary circuit-breaker	G_r	spark gap for closing re-ignition circuit
R_r	resistor for re-ignition circuit		

Figure H.1 – Typical re-ignition circuit diagram for prolonging arc-duration

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



Key

U_1	voltage of current circuit
L_1	inductance of current circuit
S_1, S_2, S_3, S_4	auxiliary circuit-breakers
S_t	test circuit-breaker
L_h	inductance of voltage circuit
C_h	capacitance of voltage circuit which together with L_h controls the major part of the TRV
U_h	charging voltage of voltage circuit
G_1, G_2	spark gaps

Figure H.2 – Combined Skeats and current injection circuits

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

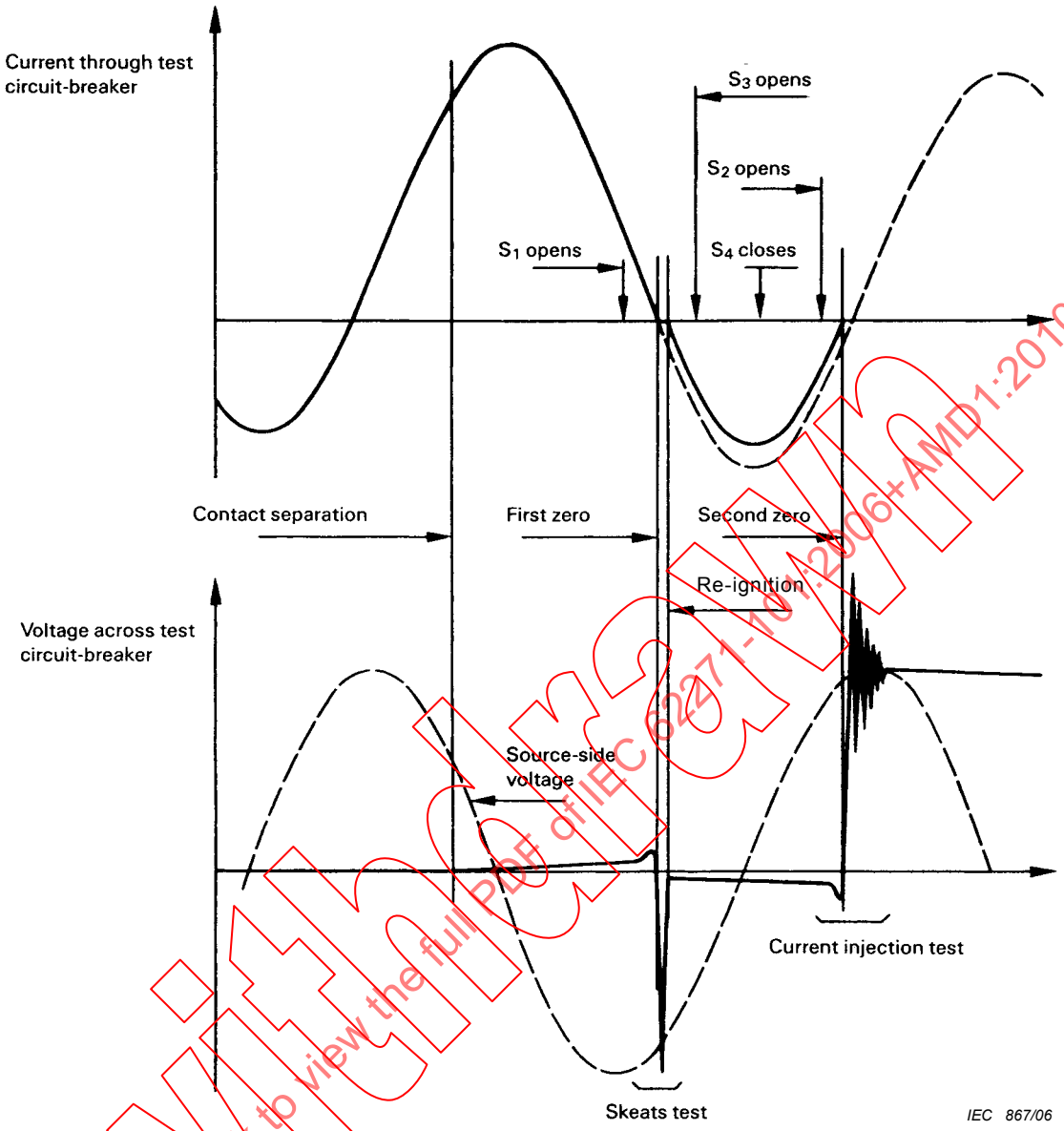


Figure H.3 – Typical waveforms obtained during an asymmetrical test using the circuit in Figure H.2

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annex I
(normative)

Reduction in d*i*/d*t* and TRV for test duty T100a

~~Tables I.1 and I.2 concern last current loop parameters for operation in relation to short-circuit test duty T100a.~~

~~Tables I.1a, I.1b, I.1c and I.1d cover 50 Hz operation where τ = 45 ms, 60 ms, 75 ms and 10 ms, respectively. Tables I.2a, I.2b, I.2c and I.2d cover 60 Hz operation where τ = 45 ms, 60 ms, 75 ms and 10 ms, respectively.~~

~~Tables I.3a and I.3b cover last loop d*i*/d*t* reduction for 50Hz, 60Hz, respectively, under three-phase conditions with the first pole to clear in phase A and the required asymmetry in phase C.~~

~~Tables I.4a, I.4b and I.4c cover corrected values for k_{pp} = 1,3 and f_r = 50Hz; k_{pp} = 1,3 and f_r = 60Hz and k_{pp} = 1,5 and f_r = 50Hz, respectively.~~

For the last current loop parameters, refer to Tables 15 through 22 of IEC 62271-100:2008.

Tables I.1a and I.1b cover the last loop d*i*/d*t* reduction for 50 Hz and 60 Hz, respectively, under three-phase conditions with the first pole-to-clear in phase A and the required asymmetry in phase C.

Tables I.2a and I.2b cover the corrected values for k_{pp} = 1,3 and f_r = 50 Hz; k_{pp} = 1,3 and f_r = 60 Hz and k_{pp} = 1,5 and f_r = 50 Hz, respectively.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table I.1a – Last current loop parameters for 50 Hz operation in relation to short-circuit test duty T100a
τ = 45 ms

τ = 45 ms	Major loop				Minor loop			
Minimum clearing time	$\hat{I}$	Δt_1	Percentage of asymmetry level at current zero	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)	$\hat{I}$	Δt_2	Percentage of asymmetry level at current zero	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)
ms	p.u.	ms	%	%	p.u.	ms	%	%
10,0 < t ≤ 22,5	1,51	13,5	44,6	92,6	0,36	5,5	60,2	75,6
22,5 < t ≤ 43,0	1,33	12	28,9	97,8	0,59	7,5	37,9	89,9
43,0 < t ≤ 63,5	1,21	11,5	18,7	99,6	0,74	8,5	24,0	95,4
63,5 < t ≤ 84,0	[a]	[a]	[a]	[a]	[a]	[a]	[a]	[a]
84,0 < t ≤ 104,0	[a]	[a]	[a]	[a]	[a]	[a]	[a]	[a]

$\hat{I}$: p.u. value of the peak current related to the peak value of the symmetrical short-circuit current
Δt_1: duration of major loop (rounded to 0,5 ms)
Δt_2: duration of minor loop (rounded to 0,5 ms)
τ: system circuit time constant

[a] Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

All values in this table have been calculated with a protection relay time of 10 ms.

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are the special case time constants according to 4.1.

NOTE 2 If the minimum arcing time obtained during the test is different from the value declared by the manufacturer, and if the real minimum arcing time leads to another minimum clearing time class (interruption to another current loop), then it could be necessary to repeat the test with the appropriate current loop values. If a repetition is necessary, re-conditioning of the circuit-breaker according to 6.102.9.5 of IEC 62271-100 or the use of an additional test sample according to 6.102.2 of IEC 62271-100 is permitted.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table I.1b – Last current loop parameters for 50 Hz operation in relation to short-circuit test duty T100a τ = 60 ms

τ = 60 ms	Major loop				Minor loop			
Minimum clearing time	$\hat{I}$	Δt_1	Percentage of asymmetry level at current zero	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)	$\hat{I}$	Δt_2	Percentage of asymmetry level at current zero	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)
ms	p.u.	ms	%	%	p.u.	ms	%	%
10,0 < t ≤ 22,5	1,61	14,0	54,2	86,9	0,28	5,0	68,7	69,0
22,5 < t ≤ 43,0	1,44	13,0	39,2	94,1	0,49	7,0	48,6	84,8
43,0 < t ≤ 63,5	1,31	12,0	28,3	97,4	0,63	8,0	34,5	92,0
63,5 < t ≤ 84,0	1,22	11,5	20,4	99,0	0,74	8,5	24,6	95,7
84,0 < t ≤ 104,0	[a]	[a]	[a]	[a]	[a]	[a]	[a]	[a]

$\hat{I}$: p.u. value of the peak current related to the peak value of the symmetrical short-circuit current
Δt_1: duration of major loop (rounded to 0,5 ms)
Δt_2: duration of minor loop (rounded to 0,5 ms)
τ: system circuit time constant

[a] Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

All values in this table have been calculated with a protection relay time of 10 ms.

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are the special case time constants according to 4.1.

NOTE 2 If the minimum arcing time obtained during the test is different from the value declared by the manufacturer, and if the real minimum arcing time leads to another minimum clearing time class (interruption to another current loop), then it could be necessary to repeat the test with the appropriate current loop values. If a repetition is necessary, re-conditioning of the circuit-breaker according to 6.102.9.5 of IEC 62271-100 or the use of an additional test sample according to 6.102.2 of IEC 62271-100 is permitted.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Table I.1c – Last current loop parameters for 50 Hz operation in relation to short-circuit test duty T100a
τ = 75 ms

τ = 75 ms	Major loop				Minor loop			
Minimum clearing time	$\hat{I}$	Δt_1	Percentage of asymmetry level at current zero	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)	$\hat{I}$	Δt_2	Percentage of asymmetry level at current zero	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)
ms	p.u.	ms	%	%	p.u.	ms	%	%
10,0 < t ≤ 22,5	1,67	15,0	61,0	81,9	0,23	4,5	74,3	63,8
22,5 < t ≤ 43,0	1,51	13,5	47,1	90,2	0,41	6,0	56,3	80,3
43,0 < t ≤ 63,5	1,39	12,5	36,3	94,7	0,55	6,5	42,9	88,5
63,5 < t ≤ 84,0	1,30	12,0	27,9	97,2	0,66	8,0	32,7	93,1
84,0 < t ≤ 104,0	1,23	11,5	21,4	98,6	0,74	8,5	24,9	95,8

$\hat{I}$: p.u. value of the peak current related to the peak value of the symmetrical short-circuit current
Δt_1: duration of major loop (rounded to 0,5 ms)
Δt_2: duration of minor loop (rounded to 0,5 ms)
τ: system circuit time constant

All values in this table have been calculated with a protection relay time of 10 ms.

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are the special case time constants according to 4.1.

NOTE 2 If the minimum arcing time obtained during the test is different from the value declared by the manufacturer, and if the real minimum arcing time leads to another minimum clearing time class (interruption to another current loop), then it could be necessary to repeat the test with the appropriate current loop values. If a repetition is necessary, re-conditioning of the circuit-breaker according to 6.102.9.5 of IEC 62271-100 or the use of an additional test sample according to 6.102.2 of IEC 62271-100 is permitted.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table I.1d – Last current loop parameters for 50 Hz operation in relation to short-circuit test duty T100a
τ = 120 ms

τ = 120 ms	Major loop				Minor loop			
Minimum clearing time	$\hat{I}$	Δt_1	Percentage of asymmetry level at current zero	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)	$\hat{I}$	Δt_2	Percentage of asymmetry level at current zero	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)
ms	p.u.	ms	%	%	p.u.	ms	%	%
10,0 < t ≤ 22,5	1,78	15,5	73,1	70,0	0,16	3,5	83,3	53,1
22,5 < t ≤ 43,0	1,66	14,5	62,1	80,1	0,28	5,0	70,2	69,4
43,0 < t ≤ 63,5	1,56	14,0	52,8	86,3	0,40	6,0	59,2	79,1
63,5 < t ≤ 84,0	1,47	13,0	44,8	90,6	0,49	6,5	50,0	85,3
84,0 < t ≤ 104,0	1,40	12,5	38,0	93,5	0,57	7,0	42,2	89,5

$\hat{I}$: p.u. value of the peak current related to the peak value of the symmetrical short-circuit current
Δt_1: duration of major loop (rounded to 0,5 ms)
Δt_2: duration of minor loop (rounded to 0,5 ms)
τ: system circuit time constant

All values in this table have been calculated with a protection relay time of 10 ms.

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are the special case time constants according to 4.1.

NOTE 2 If the minimum arcing time obtained during the test is different from the value declared by the manufacturer, and if the real minimum arcing time leads to another minimum clearing time class (interruption to another current loop), then it could be necessary to repeat the test with the appropriate current loop values. If a repetition is necessary, re-conditioning of the circuit-breaker according to 6.102.9.5 of IEC 62271-100 or the use of an additional test sample according to 6.102.2 of IEC 62271-100 is permitted.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Table I.2a – Last current loop parameters for 60 Hz operation in relation to short-circuit test duty T100a
τ = 45 ms

τ = 45 ms	Major loop				Minor loop			
Minimum clearing time ms	$\hat{I}$ p.u.	Δt_1 ms	Percentage of asymmetry level at current zero %	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current) %	$\hat{I}$ p.u.	Δt_2 ms	Percentage of asymmetry level at current zero %	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current) %
8,3 < t ≤ 18,5	1,57	11,0	50,7	89,2	0,31	5,0	65,8	71,4
18,5 < t ≤ 36,0	1,39	10,0	35,4	95,6	0,52	6,0	44,9	86,7
36,0 < t ≤ 53,0	1,27	9,5	24,6	98,4	0,67	6,5	30,7	93,4
53,0 < t ≤ 70,0	1,19	9,5	17,1	99,6	0,77	7,0	21,1	96,8
70,0 < t ≤ 87,0	[a]	[a]	[a]	[a]	[a]	[a]	[a]	[a]
87,0 < t ≤ 104,0	[a]	[a]	[a]	[a]	[a]	[a]	[a]	[a]

$\hat{I}$: p.u. value of the peak current related to the peak value of the symmetrical short-circuit current
Δt_1: duration of major loop (rounded to 0,5 ms)
Δt_2: duration of minor loop (rounded to 0,5 ms)
τ: system circuit time constant

[a] Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

All values in this table have been calculated with a protection relay time of 8,3 ms.

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are the special case time constants according to 4.1.

NOTE 2 If the minimum arcing time obtained during the test is different from the value declared by the manufacturer, and if the real minimum arcing time leads to another minimum clearing time class (interruption to another current loop), then it could be necessary to repeat the test with the appropriate current loop values. If a repetition is necessary, re-conditioning of the circuit-breaker according to 6.102.9.5 of IEC 62271-100 or the use of an additional test sample according to 6.102.2 of IEC 62271-100 is permitted.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

~~Table I.2b – Last current loop parameters for 60 Hz operation in relation to short-circuit test duty T100a~~
~~τ = 60 ms~~

~~τ = 60 ms~~	~~Major loop~~				~~Minor loop~~			
~~Minimum clearing time~~ ~~ms~~	~~$\hat{I}$~~ ~~p.u.~~	~~Δt_1~~ ~~ms~~	~~Percentage of asymmetry level at current zero~~ ~~%~~	~~Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)~~ ~~%~~	~~$\hat{I}$~~ ~~p.u.~~	~~Δt_2~~ ~~ms~~	~~Percentage of asymmetry level at current zero~~ ~~%~~	~~Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current)~~ ~~%~~
~~8,3 < t ≤ 18,5~~	~~1,66~~	~~12,0~~	~~59,8~~	~~82,8~~	~~0,24~~	~~4,0~~	~~73,4~~	~~64,7~~
~~18,5 < t ≤ 36,0~~	~~1,50~~	~~11,0~~	~~45,7~~	~~91,0~~	~~0,42~~	~~5,0~~	~~55,0~~	~~81,1~~
~~36,0 < t ≤ 53,0~~	~~1,38~~	~~10,5~~	~~34,8~~	~~95,3~~	~~0,57~~	~~6,0~~	~~41,4~~	~~89,2~~
~~53,0 < t ≤ 70,0~~	~~1,29~~	~~10,0~~	~~26,4~~	~~97,6~~	~~0,67~~	~~6,5~~	~~31,2~~	~~93,6~~
~~70,0 < t ≤ 87,0~~	~~1,22~~	~~9,5~~	~~20,1~~	~~98,9~~	~~0,75~~	~~7,0~~	~~23,5~~	~~96,2~~
~~87,0 < t ≤ 104,0~~	~~a~~	~~a~~	~~a~~	~~a~~	~~a~~	~~a~~	~~a~~	~~a~~

~~$\hat{I}$: p.u. value of the peak current related to the peak value of the symmetrical short-circuit current~~
~~Δt_1: duration of major loop (rounded to 0,5 ms)~~
~~Δt_2: duration of minor loop (rounded to 0,5 ms)~~
~~τ: system circuit time constant~~

~~[a] Test duty T100a is not applicable, asymmetry level lower than 20% for both current loops.~~

~~All values in this table have been calculated with a protection relay time of 8,3 ms.~~

~~NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are the special case time constants according to 4.1.~~

~~NOTE 2 If the minimum arcing time obtained during the test is different from the value declared by the manufacturer, and if the real minimum arcing time leads to another minimum clearing time class (interruption to another current loop), then it could be necessary to repeat the test with the appropriate current loop values. If a repetition is necessary, re-conditioning of the circuit-breaker according to 6.102.9.5 of IEC 62271-100 or the use of an additional test sample according to 6.102.2 of IEC 62271-100 is permitted.~~

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Table I.2c – Last current loop parameters for 60 Hz operation in relation to short-circuit test duty T100a
τ = 75 ms

τ = 75 ms	Major loop				Minor loop			
Minimum clearing time ms	$\hat{I}$ p.u.	Δt_1 ms	Percentage of asymmetry level at current zero %	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current) %	$\hat{I}$ p.u.	Δt_2 ms	Percentage of asymmetry level at current zero %	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current) %
8,3 < t ≤ 18,5	1,72	12,5	66,1	77,4	0,20	3,5	78,2	59,5
18,5 < t ≤ 36,0	1,57	11,5	53,2	86,6	0,36	4,5	62,1	76,2
36,0 < t ≤ 53,0	1,46	11,0	42,8	91,9	0,49	6,0	49,5	85,1
53,0 < t ≤ 70,0	1,37	10,5	34,4	95,1	0,59	6,0	39,5	90,5
70,0 < t ≤ 87,0	1,29	10,0	27,6	97,1	0,67	6,5	31,5	93,8
87,0 < t ≤ 104,0	1,24	9,5	22,2	98,3	0,74	7,0	25,2	95,9

$\hat{I}$: p.u. value of the peak current related to the peak value of the symmetrical short-circuit current
Δt_1: duration of major loop (rounded to 0,5 ms)
Δt_2: duration of minor loop (rounded to 0,5 ms)
τ: system circuit time constant

All values in this table have been calculated with a protection relay time of 8,3 ms.

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are the special case time constants according to 4.1.

NOTE 2 If the minimum arcing time obtained during the test is different from the value declared by the manufacturer, and if the real minimum arcing time leads to another minimum clearing time class (interruption to another current loop), then it could be necessary to repeat the test with the appropriate current loop values. If a repetition is necessary, re-conditioning of the circuit-breaker according to 6.102.9.5 of IEC 62271-100 or the use of an additional test sample according to 6.102.2 of IEC 62271-100 is permitted.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table I.2d – Last current loop parameters for 60 Hz operation in relation to short-circuit test duty T100a
τ = 120 ms

τ = 120 ms	Major loop				Minor loop			
Minimum clearing time ms	$\hat{I}$ p.u.	Δt_1 ms	Percentage of asymmetry level at current zero %	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current) %	$\hat{I}$ p.u.	Δt_2 ms	Percentage of asymmetry level at current zero %	Corresponding di/dt at current zero (percentage of the di/dt of the rated symmetrical current) %
8,3 < t ≤ 18,5	1,81	13,5	76,9	65,6	0,13	2,5	86,0	49,1
18,5 < t ≤ 36,0	1,70	12,5	67,2	75,5	0,24	3,5	74,6	65,0
36,0 < t ≤ 53,0	1,61	12,0	58,6	82,3	0,34	4,5	64,7	74,9
53,0 < t ≤ 70,0	1,53	11,5	51,1	87,1	0,42	5,0	56,2	81,5
70,0 < t ≤ 87,0	1,46	11,0	44,6	90,5	0,50	5,5	48,8	86,2
87,0 < t ≤ 104,0	1,41	10,5	38,8	93,1	0,57	6,0	42,4	89,6

$\hat{I}$: p.u. value of the peak current related to the peak value of the symmetrical short-circuit current
Δt_1: duration of major loop (rounded to 0,5 ms)
Δt_2: duration of minor loop (rounded to 0,5 ms)
τ: system circuit time constant

All values in this table have been calculated with a protection relay time of 8,3 ms.

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are the special case time constants according to 4.1.

NOTE 2 If the minimum arcing time obtained during the test is different from the value declared by the manufacturer, and if the real minimum arcing time leads to another minimum clearing time class (interruption to another current loop), then it could be necessary to repeat the test with the appropriate current loop values. If a repetition is necessary, re-conditioning of the circuit-breaker according to 6.102.9.5 of IEC 62271-100 or the use of an additional test sample according to 6.102.2 of IEC 62271-100 is permitted.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table ~~I.3a~~ I.1a – Last loop d*i*/d*t* reduction for 50 Hz under three-phase conditions with the first pole to clear in phase A and the required asymmetry in phase C

τ	k_{pp}	1,5			1,3		
	Minimum clearing time	Phase A	Phase B	Phase C	Phase A	Phase B [a]	Phase C
ms	ms	%	%	%	%	%	%
45	10,0 < t ≤ 22,5	98,9	82,6	82,6	98,9	56,5	84,4
	22,5 < t ≤ 43,0	99,8	85,6	85,6	99,8	57,1	88,2
	43,0 < t ≤ 63,5	100	86,5	86,5	100	57,2	89,5
	63,5 < t ≤ 84,0	100	86,6	86,6	100	57,3	89,9
60	10,0 < t ≤ 22,5	97,3	79,2	79,2	97,3	55,3	79,7
	22,5 < t ≤ 43,0	98,8	83,3	83,3	98,8	56,6	85,2
	43,0 < t ≤ 63,5	99,6	85,3	85,3	99,6	57,0	87,7
	63,5 < t ≤ 84,0	100	86,1	86,1	100	57,1	88,8
75	10,0 < t ≤ 22,5	96,2	76,1	76,1	96,2	55,1	75,6
	22,5 < t ≤ 43,0	98,0	81,0	81,0	98,0	56,1	82,0
	43,0 < t ≤ 63,5	99,0	83,6	83,6	99,0	56,6	85,5
	63,5 < t ≤ 84,0	99,6	85,1	85,1	99,6	56,9	87,4
120	10,0 < t ≤ 22,5	93,7	69,1	69,1	93,7	53,8	66,8
	22,5 < t ≤ 43,0	95,5	74,8	74,8	95,5	54,8	73,9
	43,0 < t ≤ 63,5	97,0	78,4	78,4	97,0	55,5	78,8
	63,5 < t ≤ 84,0	97,9	81,1	81,1	97,9	56,0	82,1

[a] Phase B is the last pole-to-clear.

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are special time constants according to 4.1.

NOTE 2 For k_{pp} = 1,3 a pure reactive neutral impedance without resistive component is assumed.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table ~~I.3b~~ I.1b – Last loop d*i*/d*t* reduction for 60 Hz under three- phase conditions with the first pole to clear in phase A and the required asymmetry in phase C

τ	k_{pp}	1,5			1,3		
	Minimum clearing time	Phase A	Phase B	Phase C	Phase A	Phase B [a]	Phase C
ms	ms	%	%	%	%	%	%
45	8,3 < t ≤ 18,5	98,2	80,5	80,5	98,2	56,1	81,5
	18,5 < t ≤ 36,0	99,8	84,3	84,3	99,8	56,8	86,4
	36,0 < t ≤ 53,0	99,9	85,8	85,8	99,9	57,1	88,5
	53,0 < t ≤ 70,0	100	86,5	86,5	100	57,2	89,3
	70,0 < t ≤ 87,0	100	86,7	86,7	100	57,2	89,6
60	8,3 < t ≤ 18,5	96,1	76,6	76,6	96,1	55,3	76,4
	18,5 < t ≤ 36,0	98,1	81,4	81,4	98,1	56,2	82,6
	36,0 < t ≤ 53,0	99,1	84,0	84,0	99,1	56,7	85,9
	53,0 < t ≤ 70,0	99,7	85,3	85,3	99,7	56,9	87,7
	70,0 < t ≤ 87,0	99,9	86,0	86,0	99,9	57,1	88,6
75	8,3 < t ≤ 18,5	95,0	73,4	73,4	95,0	54,6	72,0
	18,5 < t ≤ 36,0	97,0	78,7	78,7	97,0	55,6	79,1
	36,0 < t ≤ 53,0	98,3	81,9	81,9	98,3	56,2	83,2
	53,0 < t ≤ 70,0	99,0	83,8	83,8	99,0	56,6	85,7
	70,0 < t ≤ 87,0	99,5	84,9	84,9	99,5	56,8	87,2
120	8,3 < t ≤ 18,5	92,9	66,5	66,5	92,9	53,3	62,8
	18,5 < t ≤ 36,0	94,7	72,1	72,1	94,7	54,3	70,4
	36,0 < t ≤ 53,0	96,0	76,1	76,1	96,0	55,0	75,6
	53,0 < t ≤ 70,0	97,2	79,9	79,9	97,2	55,6	79,8
	70,0 < t ≤ 87,0	97,9	81,0	81,0	97,9	56,0	82,0

[a] Phase B is the last pole-to-clear.

NOTE 1 The system circuit time constant τ = 45 ms is the standard time constant, τ = 60 ms, 75 ms and 120 ms are special time constants according to 4.1.

NOTE 2 For k_{pp} = 1,3, a pure reactive neutral impedance without resistive component is assumed.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table ~~I.4a~~ I.2a – Corrected TRV values for k_{pp} = 1,3 and f_r = 50 Hz

Minimum clearing time ms		10 < t ≤ 22,5		22,5 < t ≤ 43		43 < t ≤ 63,5		63,5 < t ≤ 84		84 < t ≤ 104	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
τ =45 ms minor loop	100 123 145 170 245 300 362 420 550 800	61 75 88 103 149 183 222 258 340 501	117 145 171 203 298 370 454 534 723 1 117	72 88 104 122 176 216 261 303 399 585	137 169 199 235 342 421 513 600 801 1 206	76 94 110 129 187 229 276 321 421 615	144 177 209 246 356 438 532 620 821 1 221	a)	a)	a)	a)
τ = 45 ms major loop	100 123 145 170 245 300 362 420 550 800	74 90 106 124 179 219 264 308 399 576	135 165 193 226 320 389 464 532 679 940	78 96 112 132 190 232 280 324 424 614	144 176 206 242 345 420 503 580 748 1 058	80 97 114 134 194 237 286 331 433 628	147 180 211 248 355 434 521 602 781 1 116	a)	a)	a)	a)
τ = 60 ms minor loop	100 123 145 170 245 300 362 420	56 68 80 94 137 168 203 237	108 133 158 187 276 344 424 501	68 83 98 115 167 205 247 288	130 160 189 224 327 404 494 579	74 90 106 125 180 221 267 310	140 172 203 239 348 429 522 609	77 94 110 129 187 230 277 322	144 177 209 246 357 440 533 622	a)	a)
τ = 60 ms major loop	100 123 145 170 245 300 362 420	69 85 99 117 168 205 247 286	126 154 179 210 296 359 426 487	75 92 108 126 182 223 268 311	137 168 197 231 328 399 476 547	78 95 112 131 189 232 279 323	143 175 206 241 344 419 502 579	79 97 114 133 192 236 284 329	146 179 210 247 353 431 517 597	a)	a)
τ = 75 ms minor loop	550 800	291 430	648 1024	360 529	752 1156	394 577	797 1 206	413 604	817 1224	423 618	825 1228
τ = 75 ms major loop	550 800	349 502	568 760	388 560	659 908	409 592	714 1 000	422 610	748 1 058	429 621	770 1 098
a) Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.											

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table ~~I.4b~~ I.2b – Corrected TRV values for k_{pp} = 1,3 and f_r = 60 Hz

Minimum clearing time ms		8,3 < t ≤ 18,5		18,5 < t ≤ 36		36 < t ≤ 53		53 < t ≤ 87		87 < t ≤ 104	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
τ = 45 ms minor loop	100	58	112	70	133	75	142	a)	a)	a)	a)
	123	71	139	85	164	92	175				
	145	83	164	100	194	108	206				
	170	98	195	118	229	127	243				
	245	142	289	171	335	183	353				
	300	174	360	210	415	225	436				
	362	211	444	253	508	271	530				
	420	245	526	294	596	315	620				
	550	325	720	388	801	414	826				
	800	480	1 133	570	1 224	606	1 242				
τ = 45 ms major loop	100	71	129	76	140	79	145	a)	a)	a)	a)
	123	87	157	93	171	96	177				
	145	102	183	110	200	113	207				
	170	120	214	128	234	132	243				
	245	172	302	185	333	191	347				
	300	210	366	227	404	234	423				
	362	253	433	273	482	281	507				
	420	393	495	316	553	326	584				
	550	381	624	412	708	426	753				
	800	549	842	595	984	617	1 064				
τ = 60 ms minor loop	100	52	102	65	125	72	136	75	142	a)	a)
	123	64	127	80	155	88	168	92	175		
	145	75	151	94	183	103	198	108	206		
	170	89	179	110	217	121	234	127	241		
	245	129	267	160	319	175	342	184	354		
	300	159	334	297	396	215	424	225	437		
	362	192	414	238	486	260	517	272	532		
	420	224	492	277	572	302	606	316	622		
τ = 60 ms major loop	100	66	119	72	132	76	139	78	143	a)	a)
	123	81	145	89	161	93	170	95	176		
	145	94	169	104	188	109	199	112	206		
	170	111	197	122	220	128	234	131	241		
	245	159	276	176	312	185	332	189	344		
	300	195	332	215	377	226	403	232	419		
	362	234	392	258	448	272	481	279	501		
	420	270	445	299	513	315	553	323	577		
τ = 75 ms minor loop	550	275	646	345	749	382	819	417	830	425	835
	800	409	1 042	509	1 171	561	1 244	610	1 250	620	1 248
τ = 75 ms major loop	550	327	498	369	599	395	664	410	707	420	737
	800	468	638	531	802	569	910	593	984	608	1 037

a) Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table ~~I.4c~~ I.2c – Corrected TRV values for k_{pp} = 1,5 and f_r = 50 Hz

Minimum clearing time ms		10 < t ≤ 22,5		22,5 < t ≤ 43		43 < t ≤ 63,5		63,5 < t ≤ 84		84 < t ≤ 104	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
τ=45 ms minor loop	72,5 100 123 145 170	a) 70 86 101 119	96 135 168 200 235	a) 83 102 120 141	113 157 195 231 271	a) 88 108 127 149	119 165 204 242 284	a)	a)	a)	a)
τ=45 ms major loop	72,5 100 123 145 170	a) 85 104 123 144	113 154 190 222 259	a) 90 110 130 152	120 164 202 238 277	a) 91 112 132 155	123 168 208 244 285	a)	a)	a)	a)
τ=60 ms minor loop	72,5 100 123 145 170	a) 64 79 93 109	88 124 154 184 217	a) 78 96 113 133	107 149 185 220 258	a) 85 104 123 144	115 161 199 235 276	a) 88 108 128 150	119 166 205 243 284	a)	a)
τ=60 ms major loop	72,5 100 123 145 170	a) 80 98 115 135	106 144 176 207 240	a) 86 106 125 146	115 157 194 227 264	a) 89 110 129 151	120 164 202 237 277	a) 91 112 131 154	122 167 206 243 283	a)	a)

a) Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

Table ~~I.4d~~ I.2d – Corrected TRV values for k_{pp} = 1,5 and f_r = 60 Hz

Clearing time ms		8,3 < t ≤ 18,5		18,5 < t ≤ 36		36 < t ≤ 53		53 < t ≤ 70		70 < t ≤ 87	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
τ=45 ms minor loop	72,5 100 123 145 170	a) 66 81 96 113	91 129 161 192 227	a) 80 99 116 136	109 153 190 226 265	a) 86 106 125 146	117 163 202 239 280	a)	a)	a)	a)
τ=45 ms major loop	72,5 100 123 145 170	a) 82 100 118 138	109 147 181 211 245	a) 88 108 127 148	117 160 196 230 268	a) 90 111 130 153	121 166 204 240 279	a)	a)	a)	a)
τ=60 ms minor loop	72,5 100 123 145 170	a) 60 74 87 103	83 118 147 176 208	a) 75 92 109 128	103 144 179 213 251	a) 82 101 119 140	112 157 194 231 271	a) 86 106 125 147	117 163 202 240 281	a)	a)
τ=60 ms major loop	72,5 100 123 145 170	a) 76 93 109 128	100 135 166 194 224	a) 83 102 120 141	111 151 185 217 252	a) 87 107 126 148	117 159 196 230 268	a) 90 110 129 152	120 164 202 238 277	a)	a)

a) Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

These tables are based upon the equations of Annex A of IEC 62271-308.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annex J
(informative)

Three-phase synthetic test circuits

This annex outlines some typical three-phase synthetic test circuits.

J.1 Three-phase synthetic combined circuit

This circuit is shown in Figure J.1a and consists of the following:

– a three-phase current source;

  When the circuit of Figure 26a of IEC 62271-100, first-pole-to-clear factor 1,3 is used, an additional inductance, as per Figure 13 of IEC 62271-100, is connected in the neutral connection of the current source.

– a three-phase auxiliary circuit-breaker;

– a voltage circuit: current injection parallel circuit, in accordance with Figures B.1 and B.2, connected between one phase and earth;

  Through this circuit, a four-parameter TRV is applied. Moreover by means of an additional inductance L_{ac}, it is possible to obtain an oscillating recovery voltage at rated power frequency.

– two voltage circuits: duplicate (Skeats) circuits, in accordance with Figure D.1, connected between each one of the other two phases and earth;

  Through these circuits, two parameter TRVs, whose envelope satisfies the specified four-parameter TRV reference line are applied.

– re-ignition circuits connected to each phase to prevent an early clearance of the test circuit-breaker and to check the longest possible arcing time.

The three voltage circuits shall be connected to the different phases according to the requirements of Table 1.

Figure J.1b shows the waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic breaking test (T100s; k_{pp} = ,5) performed according to the three-phase synthetic combined circuit.

J.2 Three-phase synthetic circuit with injection in all phases

This circuit is shown in Figure J.2a and consists of the following:

– a three-phase current source;

– a three-phase auxiliary circuit-breaker;

– a voltage circuit: current injection parallel circuit, in accordance with Figures B.1 and B.2, connected between one phase and earth;

– a voltage circuit, as above, connected between the other two phases.

  This circuit differs only from a normal current injection parallel circuit in that the return conductor must be properly insulated from earth. The recovery voltage can be equally distributed between the two last clearing poles with grading capacitors.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

– re-ignition circuits connected to each phase to prevent an early clearing of the test circuit-breaker and to check the longest possible arcing time.

Through these circuits, a four-parameter TRV is applied. Moreover, by means of an additional inductance L_{ac}, it is possible to obtain an oscillating recovery voltage at rated power frequency.

The two voltage circuits shall be connected to the different phases according to the requirements of Table 1.

Figure J.2b shows the waveshapes of currents and phase-to-ground voltages during a three-phase synthetic breaking test (T100s; k_{pp} = 1,5) performed according to the three-phase synthetic circuit with injection in all phases.

J.3 Three-phase synthetic circuit with injection in two phases

This circuit is shown in Figure J.3a and consists of the following:

– a three-phase current source;

  When the circuit of Figure 26a of IEC 62271-100, first-pole-to-clear-factor 1,3 is used, an additional inductance, as per Figure 13 of IEC 62271-100 is connected in the neutral connection of the current source.

– a three-phase auxiliary circuit-breaker;

– a voltage circuit: current injection parallel circuit, in accordance with Figures B.1 and B.2, connected between one phase and earth;

– a voltage circuit, as above, connected between one of the other two phases and earth. As an alternative, this circuit could be a voltage injection parallel circuit in accordance with Figures C.1 and C.2;

– re-ignition circuits connected to each phase to prevent an early clearance of the test circuit-breaker and to check the longest possible arcing time.

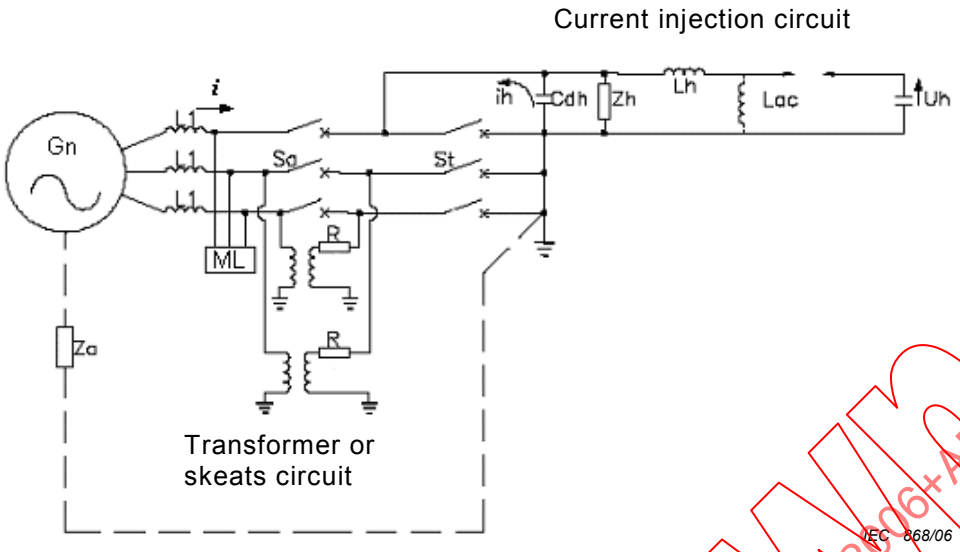
Through these circuits, a four-parameter TRV is applied. Moreover, by means of an additional inductance L_{ac}, it is possible to obtain an oscillating recovery voltage at rated power frequency.

The two voltage circuits shall be connected to the different phases according to the requirements of Table 1.

Figures J.3b and J.3c show the waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic breaking test (T100s; k_{pp} = 1,3) performed according to the three-phase synthetic circuit with current injection in two phases.

.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

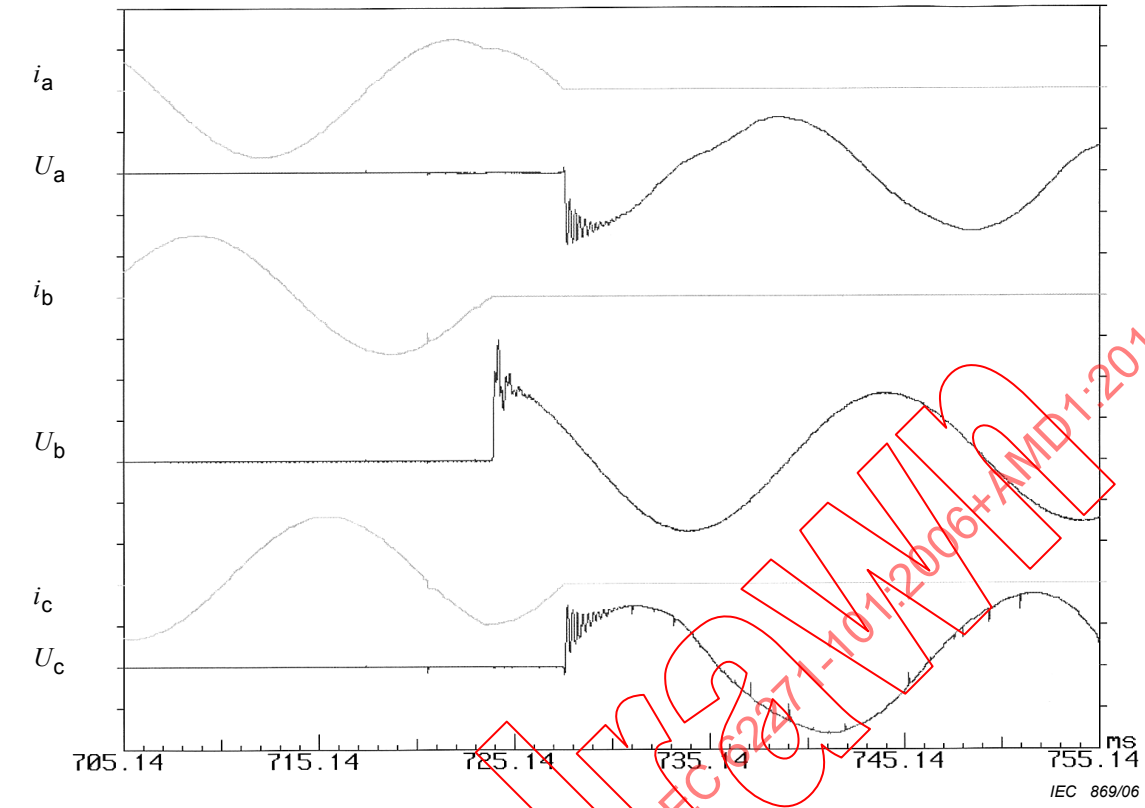


Key

Gn	Current source	C_{dh}	Capacitance for time delay of voltage circuit
S_a	Auxiliary circuit-breaker	L_h	Inductance of voltage circuit
S_t	Test circuit-breaker	U_h	Charging voltage of voltage circuit
Z_0	Impedance in the neutral connection (when circuit with k_{pp} = 1,3 is used)	i	Current of current circuit
L_1	Inductance of current circuit	i_h	Injected current
ML	Multi-loop re-ignition circuit	L_{ac}	Additional reactance when a.c. recovery voltage is requested
Z_h	Equivalent surge impedance of voltage circuit		

Figure J.1a – Three-phase synthetic combined circuit

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



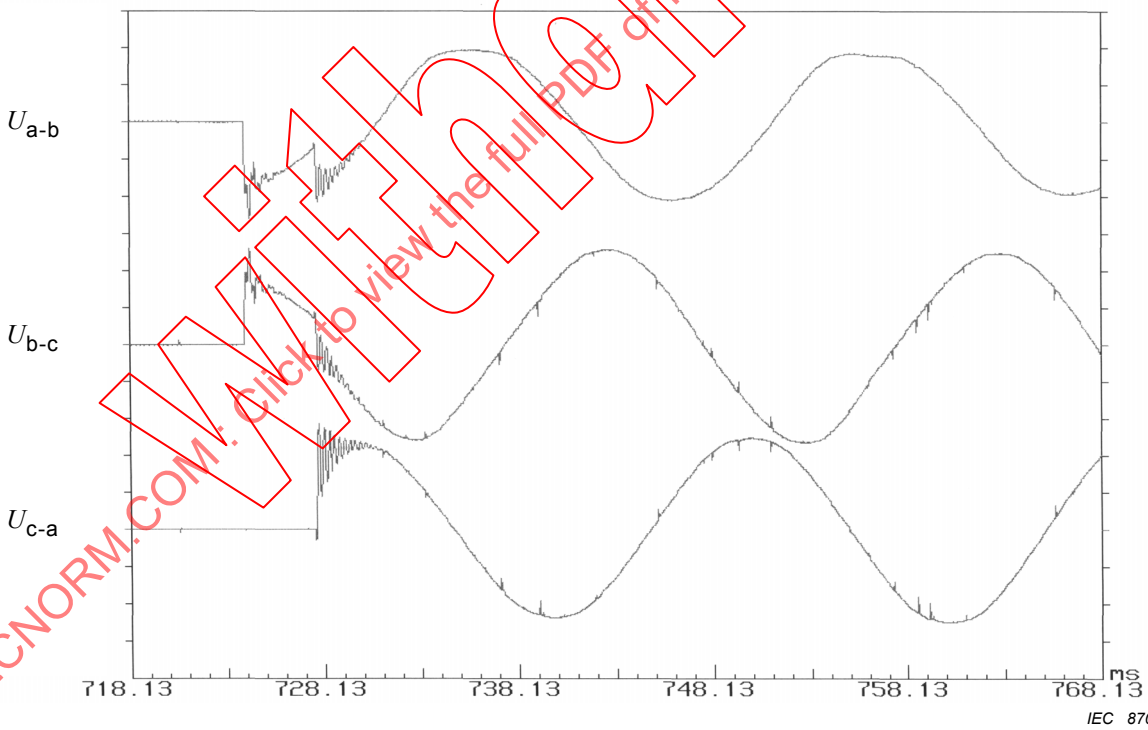
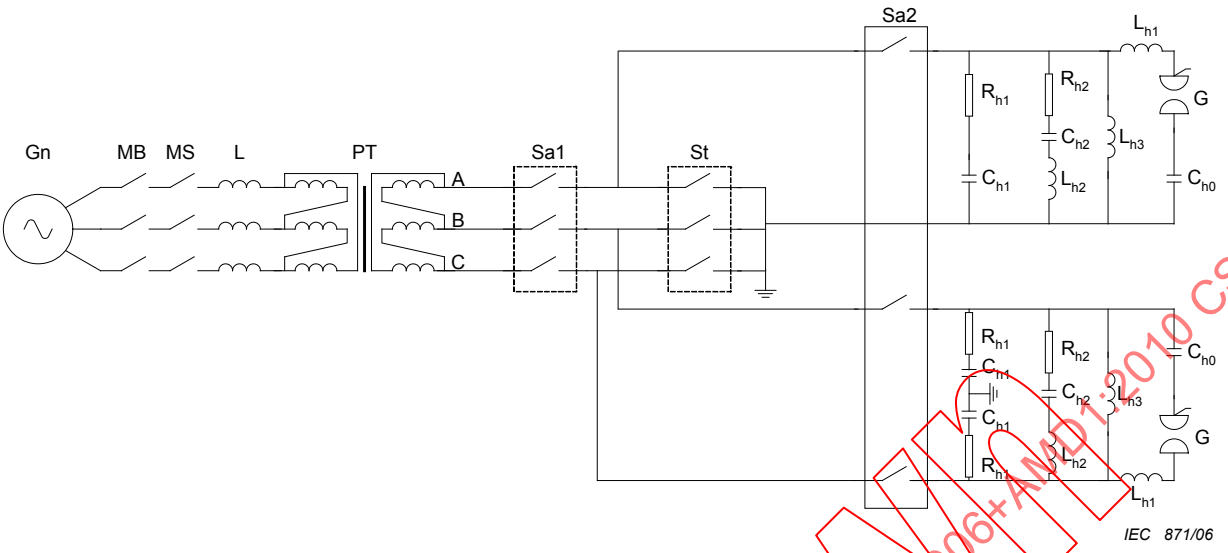


Figure J.1b – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; k_{pp} = 1,5) performed according to the three-phase synthetic combined circuit

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

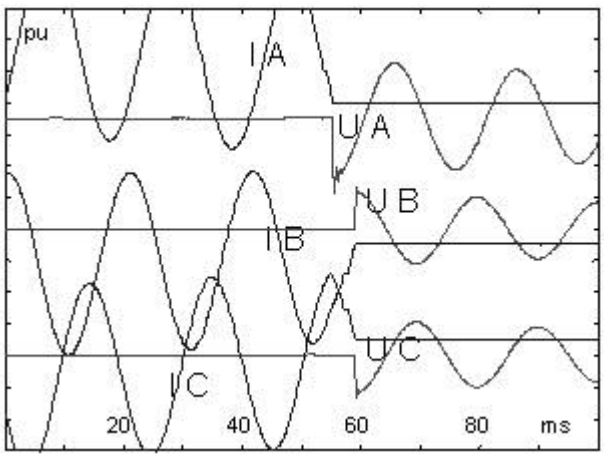


Key

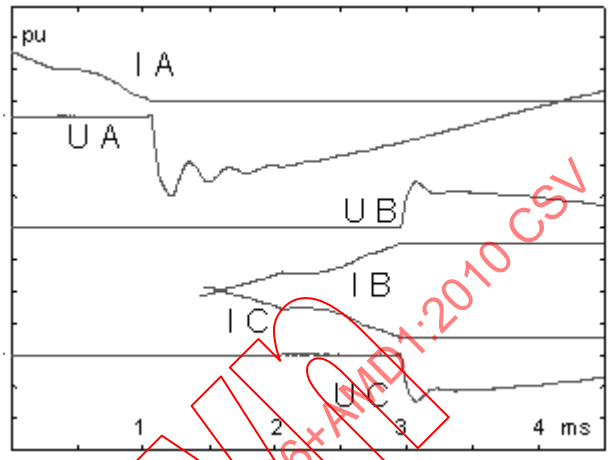
Current source		*Voltage source*	
Gn	Generator	C_{h0}	Main capacitor
MB	Master breaker	$C_{h1, 2}$	TRV control capacitor
MS	Make switch	$R_{h1, 2}$	Damping resistor
L	Inductance of the current circuit	$L_{h1, 2}$	Inductance of voltage circuit
PT	Power transformer	L_{h3}	Power frequency inductance
S_t	Test circuit-breaker		
$S_{a1,2}$	Auxiliary circuit-breakers		

Figure J.2a – Three-phase synthetic circuit with injection in all phases for k_{pp} = 1,5

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



IEC 872/06



IEC 873/06

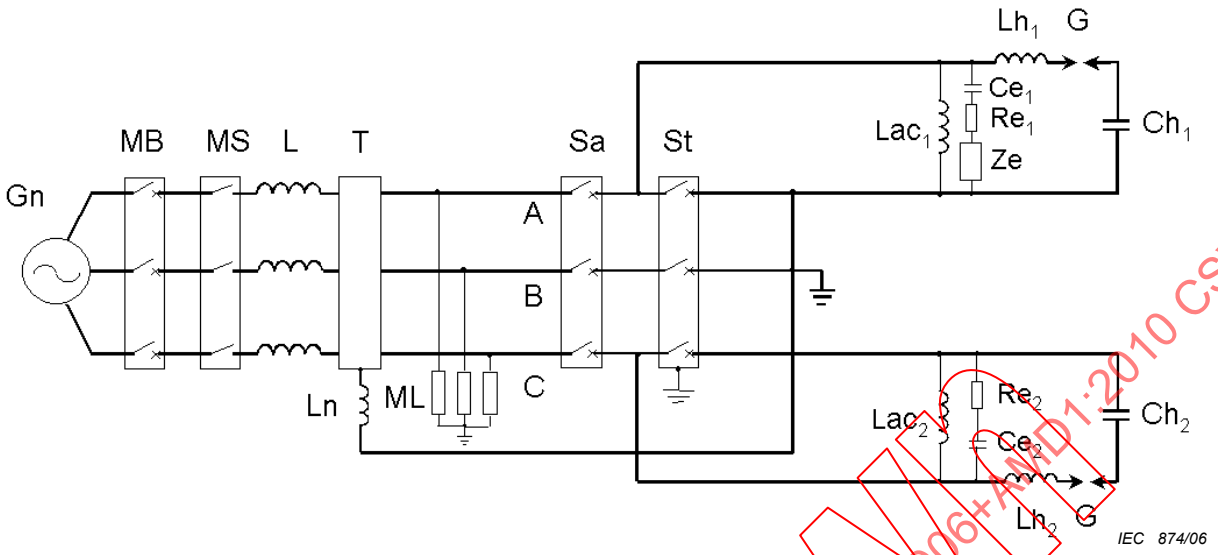
Key

U_A, U_B, U_C voltages across circuit-breaker poles A, B and C, respectively

I_A, I_B, I_C current through circuit-breaker poles A, B and C, respectively

Figure J.2b – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; k_{pp} =1,5) performed according to the three-phase synthetic circuit with injection in all phases

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



Key

Gn	Short-circuit generator	MB	Back-up circuit-breaker
MS	Making switch	T	Transformer
S_a	Auxiliary circuit-breaker	S_t	Test circuit-breaker
L	Inductance of current circuit	Ln	Inductance in the neutral connection
ML	Multi-loop re-ignition circuit	G	Trigger gap
Lac_1, Lac_2	Inductance for a.c. recovery voltage	R_e, C_e, Z_e	TRV components
Lh_1, Lh_2	Inductance of voltage circuit	Ch_1, Ch_2	Main capacitor banks

Figure J.3a – Three-phase synthetic circuit for terminal fault tests with k_{pp} = 1,3 (current injection method)

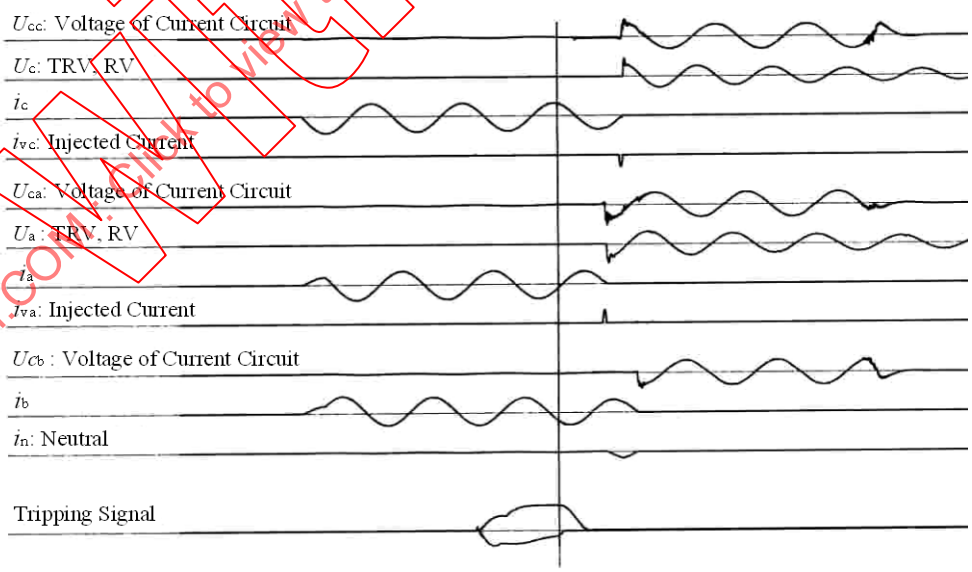
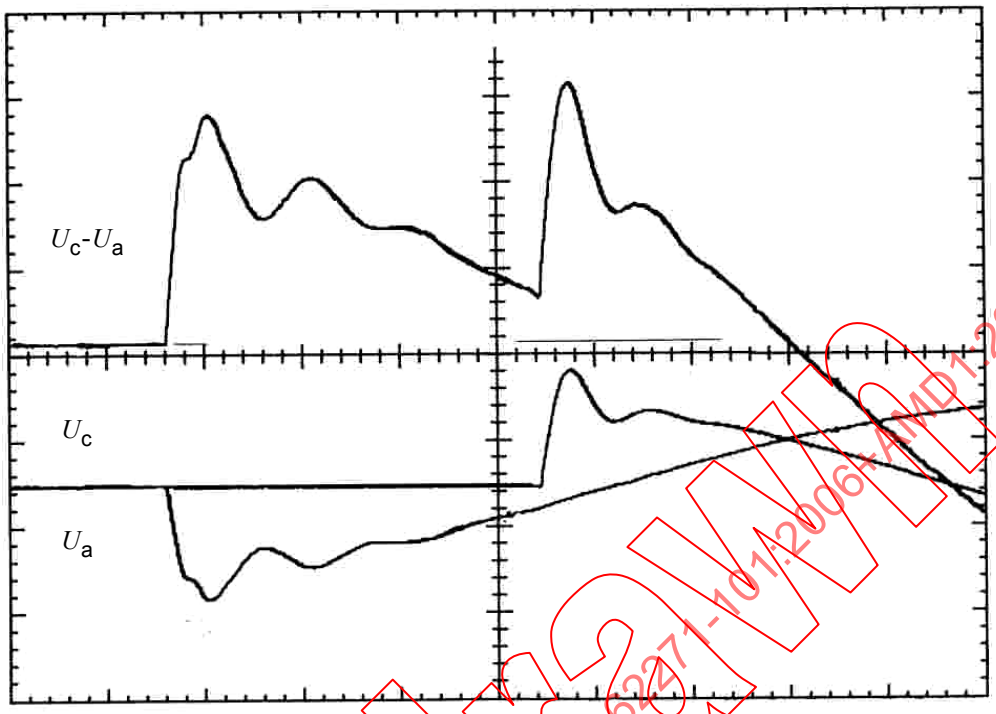


Figure J.3b – Waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic test (T100s; k_{pp} =1,3) performed according to the three-phase synthetic circuit shown in Figure J.3a

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



IEC 876/06

Key

U_a, U_c voltages across poles A and C of the test circuit-breaker, respectively

Figure J.3c – TRV voltages waveshapes of the test circuit described in Figure J.3a

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annex K
(normative)

Test procedure using a three-phase current circuit and one voltage circuit

K.1 Test circuit

The circuit-breaker shall be connected in a test circuit, an example of which is given in Figure K.1 with the following requirements:

a) A three-phase current source with the neutral point of the supply isolated and the short-circuit point earthed as shown in Figure 25a of IEC 62271-100. This gives a first-pole-to-clear factor of 1,5. Alternatively, the neutral point of the supply can be connected to earth by an appropriate impedance and the short-circuit point earthed, as shown in Figure 26a of IEC 62271-100, to give a first-pole-to-clear factor of 1,3.

b) An auxiliary circuit-breaker used to control the relationship between the circuit-breaker and the test circuit.

c) A parallel current-injection voltage circuit as shown in Figures B.1 and B.2. This circuit is used to apply the TRV and the recovery voltage. It is connected between the pole representing the first-pole-to-clear or the last-pole-to-clear and earth in accordance with the test procedures given in Tables K.1a to K.4b. It is possible to provide a.c. power-frequency recovery voltage by use of additional impedance, L_{ac}.

d) Re-ignition circuits connected to each phase to prolong the arcing of the test circuit-breaker through the necessary number of zeros of the power-frequency current.

K.2 Test method

K.2.1 Test duty T100s(b)

The three-phase test procedure for demonstration of arcing times according to 6.102.10.2.1.1 and 6.102.10.2.1.2 of IEC 62271-100 are given in Tables K.1a and K.1b for a first-pole-to-clear factor of 1,5 and Tables K.2a and K.2b for a first-pole-to-clear factor of 1,3.

It is recognized that the tests of Tables K.1a and K.2a are more severe than three-phase tests because the arcing time of the last-pole-to-clear is used together with the TRV of the first-pole-to-clear. As an alternative, the manufacturer may choose to split each test duty into two or three separate test series for demonstration of the arcing times in accordance with 6.102.10.2.5 of IEC 62271-100. The procedures are given in Table K.1b for a first-pole-to-clear factor of 1,5 and Table K.2b for a first-pole-to-clear factor of 1,3. For tests performed in accordance with Tables K.1b and K.2b, each test series must demonstrate a successful interruption with the minimum, maximum and medium arcing time for each pole-to-clear with its associated TRV. Re-conditioning of the circuit-breaker after each test series is permitted and shall comply with the requirements of 6.102.9.5 of IEC 62271-100.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

If a failure occurs while demonstrating the maximum or medium arcing times using the procedure of Tables K.1a and K.2a then it is permissible to continue testing using the test procedure of Tables K.1b and K.2b. In this case, provided no re-conditioning of the circuit-breaker has taken place, the tests demonstrating minimum arcing time on the first-pole-to-clear may be omitted.

NOTE To avoid changing the connection of the high-voltage circuit between tests on the 1st, 2nd and 3rd pole-to-clear, all the required arcing times may be applied on the same pole with the same polarity of the recovery voltage.

Table K.1a – Demonstration of arcing times for a first-pole-to-clear factor of 1,5

Test no.	Test sequence a)	Arcing window		TRV			Injected current di/dt %
		Electrical degrees	Arcing time	Application (with reference to the three-phase current circuit)	Reference table of IEC 62271-100	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ (1st pole to clear)	1st pole to clear	1a/c	1,0	100
2	Os	-18	Re-ignition in the 1st pole to clear to confirm the $t_{arc\ min}$	1st pole to clear	1a/c	1,0	100
3	Od-t–CdOs	132	$t_{arc\ max}$ (last pole to clear)	Last pole to clear with extended loop	1a/c	1,0	100
4	CdOs	66	$t_{arc\ med}$ (1st pole-to-clear)	1st pole to clear	1a/c	1,0	100

NOTE 1 Demonstration of the arcing times as per 6.102.10.2.1.1 of IEC 62271-100.

NOTE 2 Arcing window as per Figure 38 of IEC 62271-100.

NOTE 3 Figure K.2 gives a representation of the testing conditions.

NOTE 4 In the case of a CO-t''-CO operating sequence, test no. 3 should be replaced by CdOd-t''-CdOs and test no. 4 is not required.

a) Abbreviations are in accordance with 6.106.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table K.1b – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,5

Test no.	Test sequence a)	Arcing window		TRV			Injected current
		Electrical degrees	Arcing time	Application (with reference to the three-phase current circuit)	Reference table of IEC 62271-100	u_c value p.u.	di/dt %
1	Os	0	$t_{arc\ min}$ (first-pole-to-clear)	1st pole-to-clear	1a/c	1,0	100
2	Os	-18	Re-ignition in the 1st pole-to-clear to confirm the $t_{arc\ min}$	1st pole-to-clear	1a/c	1,0	100
3	Od-t-CdOs	42	$t_{arc\ max}$ (1st pole–to-clear)	1st pole-to-clear	1a/c	1,0	100
4	CdOs	21	$t_{arc\ med}$ (1st pole-to-clear)	1st pole-to-clear	1a/c	1,0	100
5	Os	90	$t_{arc\ min}$ (last pole-to-clear)	Last pole-to-clear with extended loop	2	0,58	87
6	Od–t–CdOs	132	$t_{arc\ max}$ (last pole-to-clear)	Last pole-to-clear with extended loop	2	0,58	87
7	CdOs	111	$t_{arc\ med}$ (last pole-to-clear)	Last pole–to-clear with extended loop	2	0,58	87

NOTE 1 Demonstration of the arcing times as per 6.102.10.2.5 of IEC 62271-100.

NOTE 2 Arcing window as per Figure 38 of IEC 62271-100.

NOTE 3 Figure K.3 gives a representation of the testing conditions.

NOTE 4 In the case of a CO-t'-CO operating sequence, test nos. 3 and 6 should be replaced by CdOd-t''-CdOs and test nos. 4 and 7 are not required.

a) Abbreviations are in accordance with 6.106.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table K.2a – Demonstration of arcing times for a first-pole-to-clear factor of 1,3

Test no.	Test sequence a)	Arcing window		TRV			Injected current
		Electrical degrees	Arcing time	Application (with reference to the three-phase current circuit)	Reference table of IEC 62271-100	u_c value p.u.	di/dt %
1	Os	0	$t_{arc\ min}$ (1st pole-to-clear)	1st pole-to-clear	1b/d	1,0	100
2	Os	-18	Re-ignition in the 1st pole to clear to confirm the $t_{arc\ min}$	1st pole-to-clear	1b/d	1,0	100
3	Od-t–CdOs	162	$t_{arc\ max}$ (3rd pole-to-clear)	3rd pole-to-clear	1b/d	1,0	100
4	CdOs	81	$t_{arc\ med}$ (2nd pole-to-clear)	2nd pole-to-clear	1b/d	1,0	100

NOTE 1 Demonstration of the arcing times as per 6.102.10.2.2.1 of IEC 62271-100.

NOTE 2 Arcing window as per Figure 37 of IEC 62271-100.

NOTE 3 Figure K.4 gives a representation of the testing conditions.

NOTE 4 In the case of a CO-t''-CO operating sequence, test no. 3 should be replaced by CdOd-t''-CdOs and test no. 4 is not required.

a) Abbreviations are in accordance with 6.106.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Table K.2b – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,3

Test no.	Test sequence a)	Arcing window		TRV			Injected current
		Electrical degrees	Arcing time	Application (with reference to the three-phase current circuit)	Reference table of IEC 62271-100	u_c value p.u.	(di/dt) %
1	Os	0	$t_{arc\ min}$ (1st pole-to-clear)	1st pole-to-clear	1b/d	1,0	100
2	Os	-18	Re-ignition in the 1st pole to clear to confirm the $t_{arc\ min}$	1st pole-to-clear	1b/d	1,0	100
3	Od–t–CdOs	42	$t_{arc\ max}$ (1st pole-to-clear)	1st pole-to-clear	1b/d	1,0	100
4	CdOs	21	$t_{arc\ med}$ (1st pole-to-clear)	1st pole-to-clear	1b/d	1,0	100
5	Os	77	$t_{arc\ min}$ (2nd pole-to-clear)	2nd pole-to-clear	2	0,98	89
6	Od–t–CdOs	119	$t_{arc\ max}$ (2nd pole-to-clear)	2nd pole-to-clear	2	0,98	89
7	CdOs	98	$t_{arc\ med}$ (2nd pole-to-clear)	2nd pole-to-clear	2	0,98	89
8	Od-t-CdOs	162	$t_{arc\ max}$ (3rd pole-to-clear)	3rd pole-to-clear	2	0,77	57

NOTE 1 Demonstration of the arcing times as per 6.102.10.2.5 of IEC 62271-100.

NOTE 2 Arcing window as per Figure 37 of IEC 62271-100.

NOTE 3 Figure K.5 gives a representation of the testing conditions.

NOTE 4 Due to the increased number of tests between 5-8 without re-conditioning, a failure may occur during the test 8. In this case, re-conditioning of the circuit-breaker is permitted and an additional test series on the 3rd pole-to-clear should be performed as follows:

Repeat tests 5, 6 and 7 without maintenance and the application of the TRV on the third-pole-to-clear at the minimum (120°), maximum (162°) and medium (141°) arcing times according to Figure 37 of IEC-62271-100. The u_c value of the TRV will be 0,77 (p.u.) and the injected current (di/dt) will be 57 %. The actual test values will be reduced in accordance with Annex I.

NOTE 5 In the case of a CO-t''-CO operating sequence, test nos. 3, 6 and 8 should be replaced by CdOd-t''-CdOs and test nos. 4 and 7 are not required.

a) Abbreviations are in accordance with 6.106.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

K.2.2 Test duty T100a

The three-phase test procedure for demonstration of arcing times according to 6.102.10.1.2 is given in Tables K.3a and K.3b for a first-pole-to-clear factor of 1,5 and Tables K.4a and K.4b for a first-pole-to-clear factor of 1,3.

NOTE 1 The use of the three-phase test procedure for demonstration of arcing times according to 6.102.10.1.2 is necessary to reproduce the requested stresses, in terms of arcing window, percentage asymmetry, duration of minor, major and extended loops on the three poles.

It is recognized that the tests of Tables K.3a and K.4a are more severe than three-phase tests because the arcing time of the last-pole-to-clear is used together with the TRV of the first-pole-to-clear. As an alternative, the manufacturer may choose to split each test duty into two or three separate test series for demonstration of the arcing times in accordance with 6.102.10.2.5 of IEC 62271-100. The procedures are given in Table K.3b for a first-pole-to-clear factor of 1,5 and Table K.4b for a first-pole-to-clear factor of 1,3. For tests performed in accordance with Tables K.3b and K.4b, each test series must demonstrate a successful interruption with the minimum, maximum and medium arcing time for each pole-to-clear with its associated TRV. Re-conditioning of the circuit-breaker after each test series is permitted and shall comply with the requirements of 6.102.9.5 of IEC 62271-100.

If a failure occurs while demonstrating the maximum or medium arcing times using the procedure of Tables K.3a and K.4a, then it is permissible to continue testing using the test procedure of Tables K.3b and K.4b. In this case, provided no re-conditioning of the circuit-breaker has taken place, the tests demonstrating minimum arcing time on the first-pole-to-clear may be omitted.

NOTE 2 To avoid changing the connection of the high-voltage circuit between tests on the 1st, 2nd and 3rd pole-to-clear, all the required arcing times may be applied on the same pole with the same polarity of the recovery voltage.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Table K.3a – Demonstration of arcing times for a first-pole-to-clear factor of 1,5

Test no.	Test sequence	Arcing window		TRV			Injected current
		Electrical degrees	Arcing time and asymmetry	Application (with reference to the three-phase current circuit)	Reference table of IEC 62271-100	u_c value p.u.	(di/dt) %
1	Os	0	$t_{arc\ min}$ (1st pole-to-clear) Required asymmetry on the last-pole-to-clear with extended loop	1st pole-to-clear	1a/c	1,0	100
2	Os	-18	Re-ignition in the 1st pole to clear to confirm the $t_{arc\ min}$ Required asymmetry on the last-pole-to-clear with extended loop	1st pole-to-clear	1a/c	1,0	100
3	Os	See NOTE 1	$t_{arc\ max}$ with major loop and required asymmetry on the 1st pole-to-clear	1st pole-to-clear	1a/c	1,0	100
4	Os	See NOTE 1	$t_{arc\ max}$ on the 1st pole-to-clear and required asymmetry on the last pole-to-clear with extended loop	Last pole-to clear with extended loop	1a/c	1,0	100

NOTE 1 Demonstration of the arcing times as per 6.102.10.1.2.

NOTE 2 Figure K.6 gives a representation of the testing conditions.

NOTE 3 Values for the duration and amplitude of the last loop and the asymmetry level at the final current zero relevant to the 1st pole-to-clear and also TRV reduction values can be found in Annex I.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table K.3b – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,5

Test no.	Test sequence	Arcing window		TRV			Injected circuit
		Electrical degrees	Arcing time and asymmetry	Application (with reference to three-phase current circuit)	Reference table of IEC 62271-100	u_c value p.u.	(d*i*/d*t*) %
1	Os	0	$t_{arc\ min}$ (1st pole-to-clear) Required asymmetry on the last-pole-to-clear with extended loop	1st pole-to-clear	1a/c	1,0	100
2	Os	-18	Re-ignition in the 1st pole to clear to confirm the $t_{arc\ min}$ Required asymmetry on the last-pole-to-clear	1st pole-to-clear	1a/c	1,0	100
3	Os	See NOTE 1	$t_{arc\ max}$ with major loop and required asymmetry on the 1st pole-to-clear	1st pole-to-clear	1a/c	1,0	100
4	Os	See NOTE 1	$t_{arc\ max}$ on the 1st pole-to-clear and required asymmetry on the last pole-to-clear with extended loop	1st pole-to-clear	1a/c	1,0	100
5	Os	Same as test No. 1	$t_{arc\ min}$ on the last pole-to-clear	Last pole-to-clear with extended loop	2	0,58	87
6	Os	Same as test No 3	$t_{arc\ max}$ on the last-pole-to-clear	Last pole-to-clear with extended loop	2	0,58	87
7	Os	Same as test No 4	$t_{arc\ max\ major\ extended}$	Last pole-to-clear with extended loop	2	0,58	87

NOTE 1 Demonstration of the arcing times as per 6.102.10.2.5 of IEC 62271-100.

NOTE 2 Figure K.7 gives a representation of the testing conditions.

NOTE 3 If tests are performed after a failure of test 4 in Table K.3a and no re-conditioning of the circuit-breaker has taken place, then tests can continue from test 4 in Table K.3b.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table K.4a – Demonstration of arcing times for a first-pole-to-clear factor of 1,3

Test no.	Test sequence	Arcing window		TRV			Injected current (di/dt) %
		Electrical degrees	Arcing time and asymmetry	Application (with reference to the there-phase current circuit)	Reference table of IEC 62271-100	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ (1st pole-to-clear) Required asymmetry on the 2nd-pole-to-clear with extended loop	1st pole-to-clear	1b/d	1,0	100
2	Os	-18	Re-ignition in the 1st pole-to-clear to confirm the $t_{arc\ min}$ Required asymmetry on the 2nd-pole-to-clear with extended loop	1st pole-to-clear	1b/d	1,0	100
3	Os	See Note 1	$t_{arc\ max}$ with major loop and required asymmetry on the 1st pole-to-clear	1st pole-to-clear	1b/d	1,0	100
4	Os	See Note 1	$t_{arc\ max}$ and required asymmetry on the 2nd pole-to-clear with extended loop; $t_{arc\ max}$ on the 1st pole-to-clear	2nd pole-to-clear	1b/d	1,0	100

NOTE 1 Demonstration of the arcing times as per 6.102.10.1.2.

NOTE 2 Figure K.8 gives a representation of the testing conditions.

NOTE 3 Values for the duration and amplitude of the last loop and the asymmetry level at the final current zero relevant to the 1st pole-to-clear and also TRV reduction values can be found in Annex I.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table K.4b – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,3

Test no.	Test sequence	Arcing window		TRV			Injected current
		Electrical degrees	Arcing time and asymmetry	Application (with reference to three-phase current circuit)	Reference table of IEC 62271-100	u_c value p.u.	(di/dt) %
1	Os	0	$t_{arc\ min}$ (1st pole-to-clear) Required asymmetry on the 2nd-pole-to-clear with extended loop	1st pole-to-clear	1b/d	1,0	100
2	Os	-18	Re-ignition in the 1st pole to clear to confirm the 1st pole-to-clear $t_{arc\ min}$ Required asymmetry on the 2nd pole-to-clear with extended loop	1st pole-to-clear	1b/d	1,0	100
3	Os	See NOTE 1	$t_{arc\ max}$ with major loop and required asymmetry on the 1st pole-to-clear	1st pole-to-clear	1b/d	1,0	100
4	Os	See NOTE 1	$t_{arc\ max}$ on the 1st pole-to-clear, required asymmetry on the 2nd pole-to-clear with extended loop	1st pole-to-clear	1b/d	1,0	100
5	Os	Same as test No 1	$t_{arc\ min}$ 2nd pole-to-clear	2nd pole-to-clear	2	0,98	89
6	Os	Same as test No 3	$t_{arc\ max}$ 2nd pole-to-clear	2nd pole-to-clear	2	0,98	89
7	Os	Same as test No 4	$t_{arc\ med}$ 2nd pole-to-clear	2nd pole-to-clear	2	0,98	89
8	Os	Same as test No 4	Asymmetry on the 2nd pole-to-clear with extended loop; ($t_{arc\ max}$ on the 3rd pole-to-clear)	3rd pole-to-clear	2	0,77	57

NOTE 1 Demonstration of the arcing times as per 6.102.10.2.5 of IEC 62271-100.

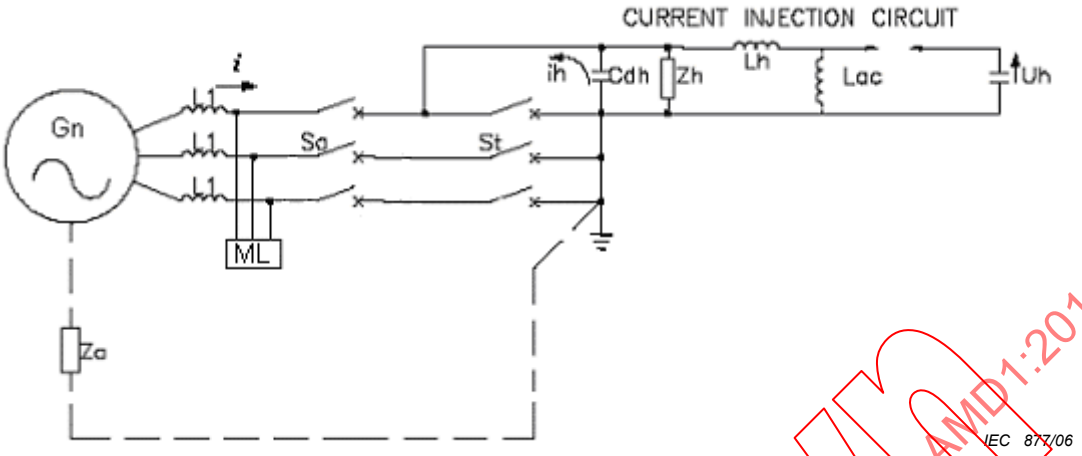
NOTE 2 Figure K.9 gives a representation of the testing conditions.

NOTE 3 If tests are performed after a failure of test 4 in Table K.4a and no re-conditioning of the circuit-breaker has taken place, then tests can continue from test 4 in Table 4b.

NOTE 4 Due to the increased number of tests between 5-8 without re-conditioning, a failure may occur during test 8. In this case, re-conditioning of the circuit-breaker is permitted and an additional test series on the 3rd pole-to-clear should be performed as follows:

Repeat tests 5, 6 and 7 without maintenance and the application of the TRV on the third-pole-to-clear at the arcing times according to 6.102.10.1.2 of IEC-62271-100. The u_c value of the TRV will be 0,77 (p.u.) and the injected current (di/dt) will be 57 %. The actual test values will be reduced in accordance with Annex I.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



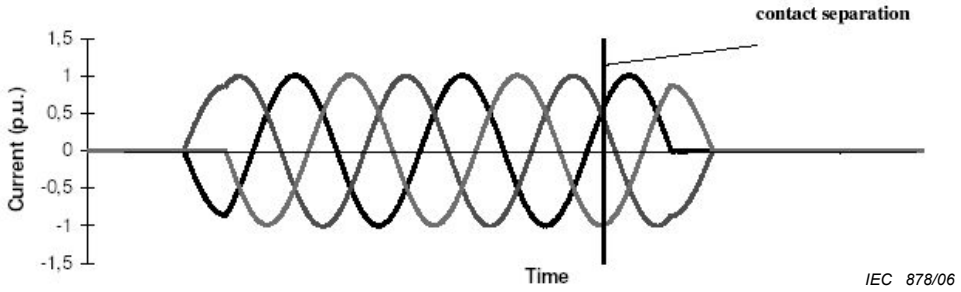
Key

Gn	Current source	Z_h	Equivalent surge impedance of voltage circuit
S_a	Auxiliary circuit-breaker	C_{dh}	Capacitance for time delay of voltage circuit
S_t	Test circuit-breaker	L_h	Inductance of voltage circuit
Z_0	Impedance in the neutral connection (when circuit with k_{pp} = 1,3 is used)	U_h	Charging voltage of voltage circuit
L_1	Inductance of current circuit	i	Current of current circuit
ML	Multi-loop re-ignition circuit	i_h	Injected current
		L_{ac}	Additional reactance when a.c. recovery voltage is requested

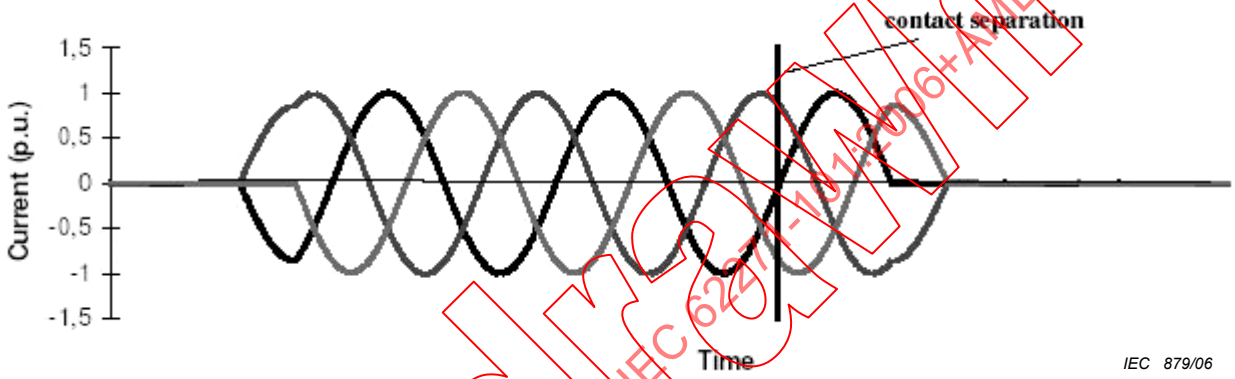
The voltage circuit shall be connected between the first or last pole-to-clear and earth, according to the requirements of the tables.

Figure K.1 – Example of a three-phase current circuit with single-phase synthetic injection

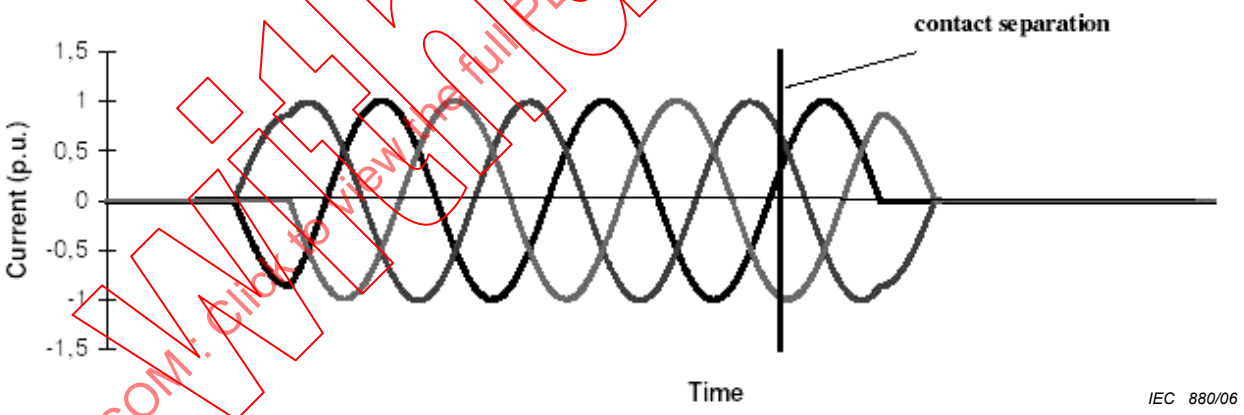
Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



Test Nos. 1 and 2: Application of the TRV on the 1st pole-to-clear



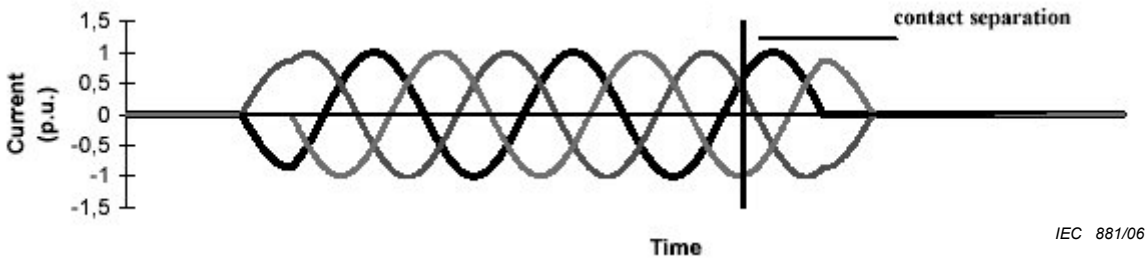
Test No. 3: Application of the TRV on the last-pole-to-clear with extended loop



Test No. 4: Application of the TRV on the 1st pole-to clear

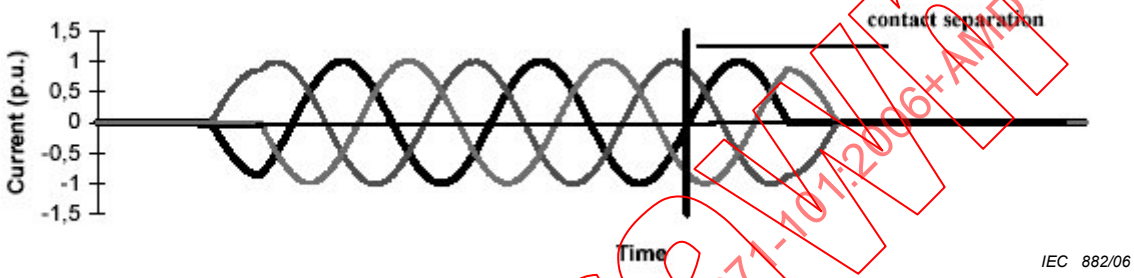
Figure K.2 – Representation of the testing conditions of Table K.1a

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



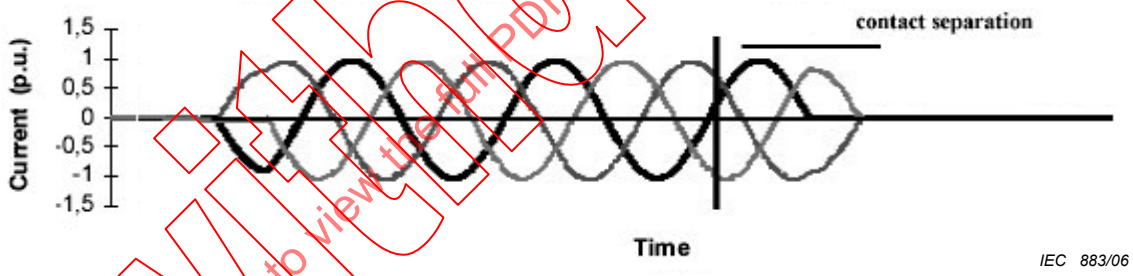
Test Nos. 1 and 2: Application of the TRV on the 1st pole-to-clear

Test No. 5: Application of the TRV on the last pole-to-clear with extended loop



Test No. 3: Application of the TRV on the 1st pole-to-clear

Test No. 6: Application of the TRV on the last pole-to-clear with extended loop

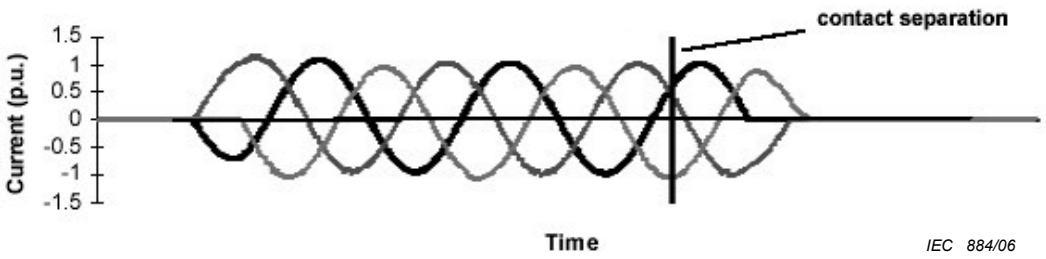


Tests No. 4: Application of the TRV on the 1st pole-to-clear

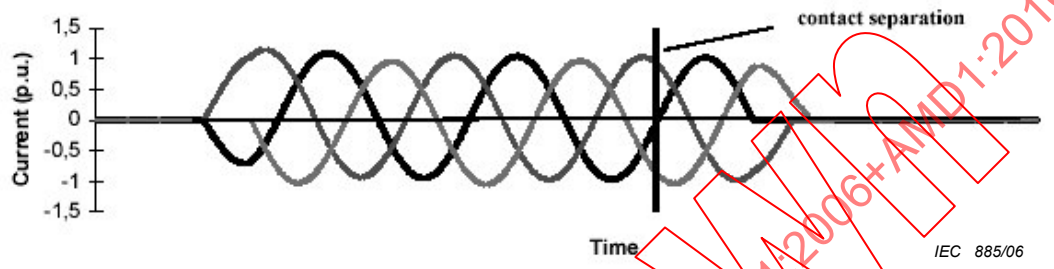
Test No. 7: Application of the TRV on the last pole-to-clear with extended loop

Figure K.3 – Representation of the testing conditions of Table K.1b

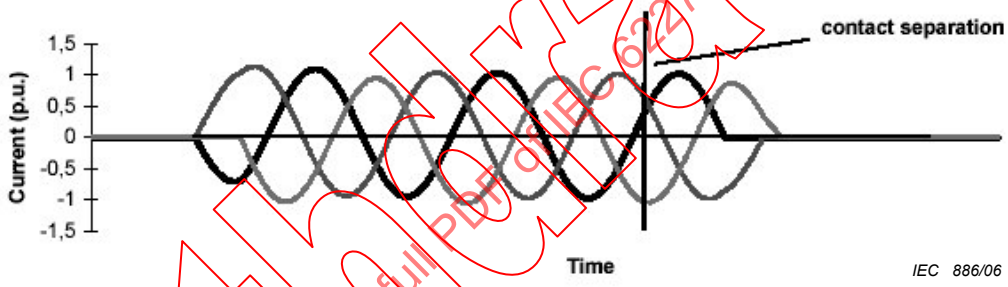
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Test Nos. 1 and 2: Application of the TRV on the 1st pole-to-clear



Test No. 3: Application of the TRV on the 3rd pole-to-clear



Test No. 4: Application of the TRV on the 2nd pole-to-clear

Figure K.4 – Representation of the testing conditions of Table K.2a

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

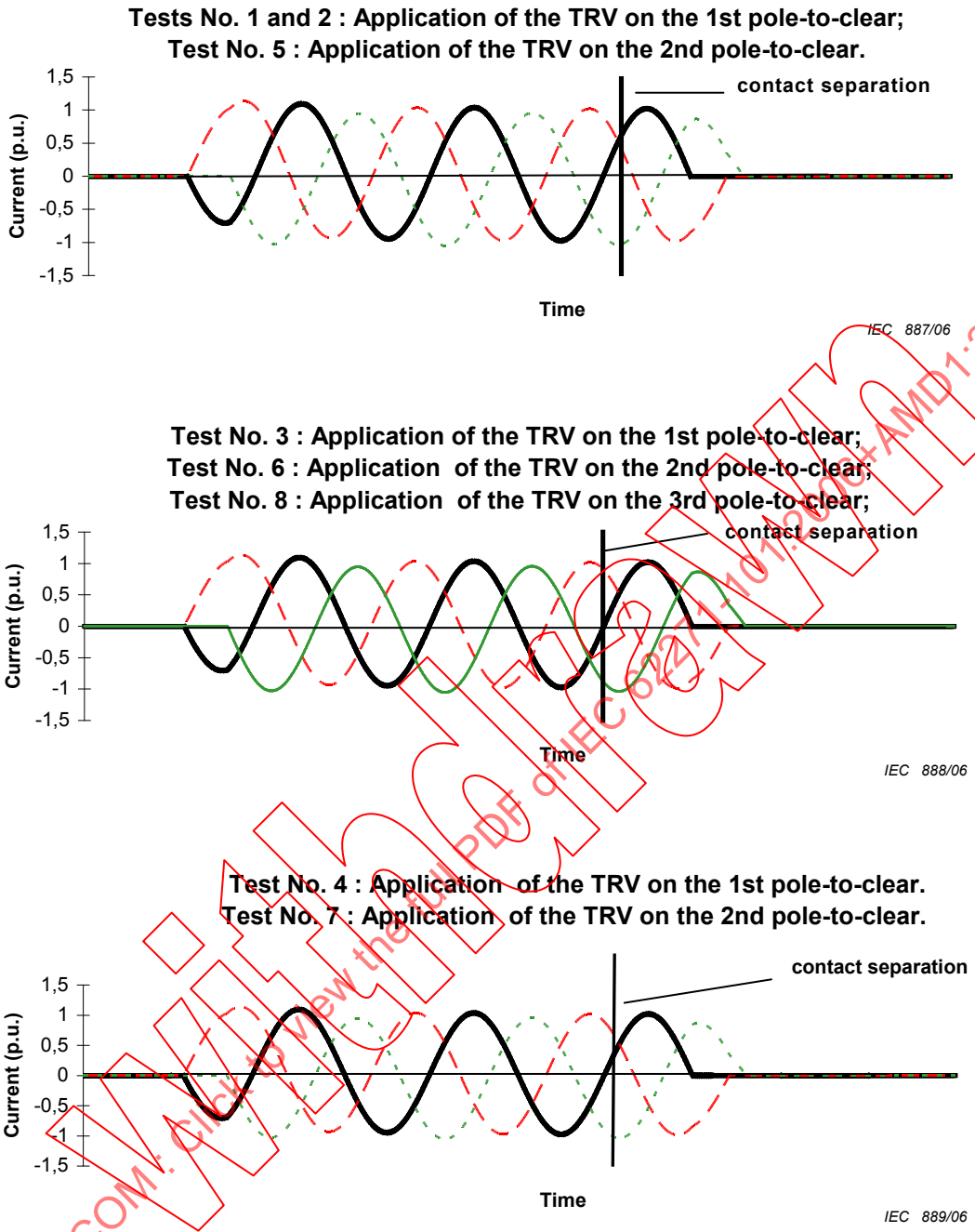
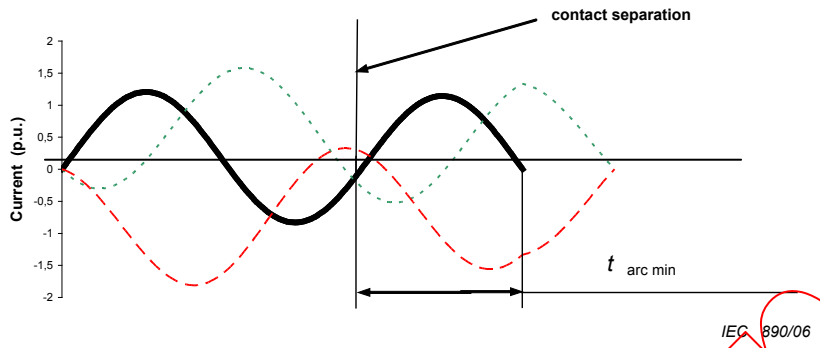


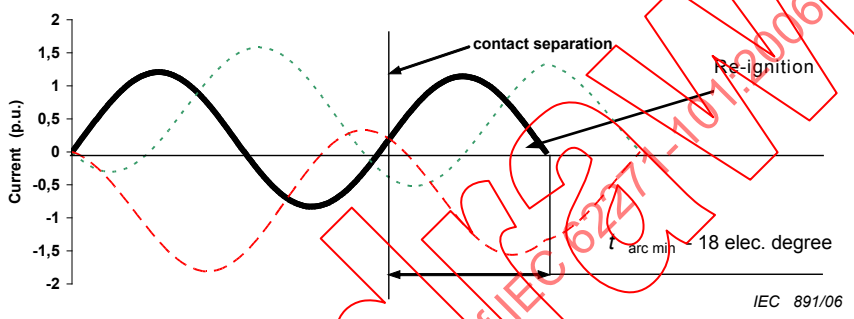
Figure K.5 – Representation of the testing conditions of Table K.2b

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

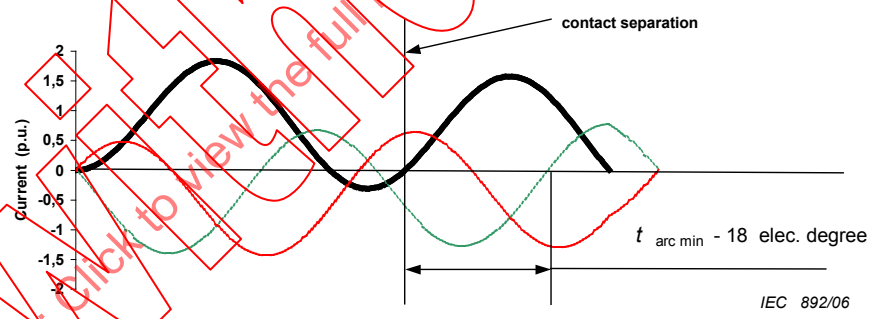
Tests No. 1: Application of the TRV on the 1st pole-to-clear



Tests No. 2: Application of the TRV on the 1st pole-to-clear



Tests No. 3: Application of the TRV on the 1st pole-to-clear with major loop



Tests No. 4: Application of the TRV on the last pole-to-clear with extended major loop

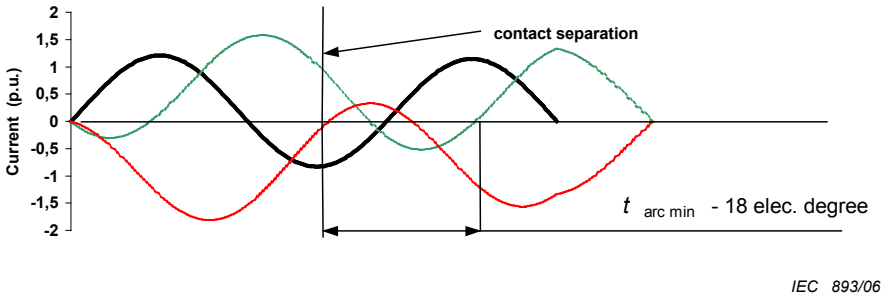
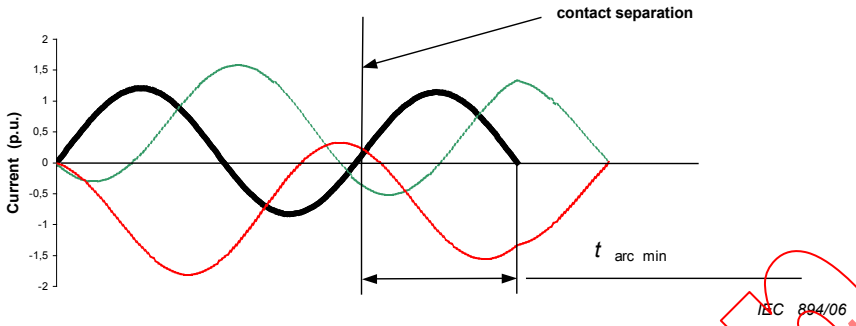


Figure K.6 – Representation of the testing conditions of Table K.3a

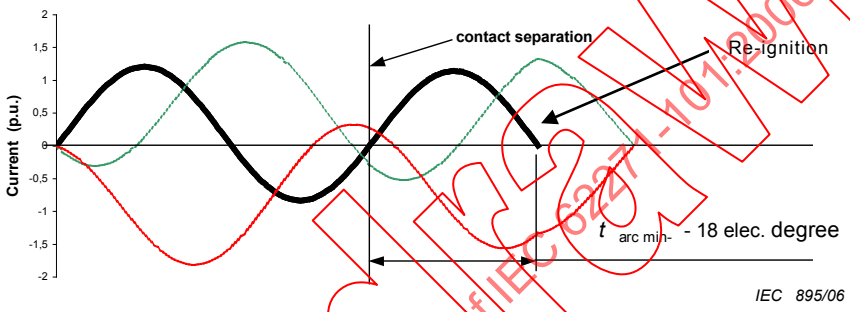
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Tests No. 1: Application of the TRV on the 1st pole-to-clear

Tests No. 5: Application of the TRV on the last pole-to-clear with extended major loop

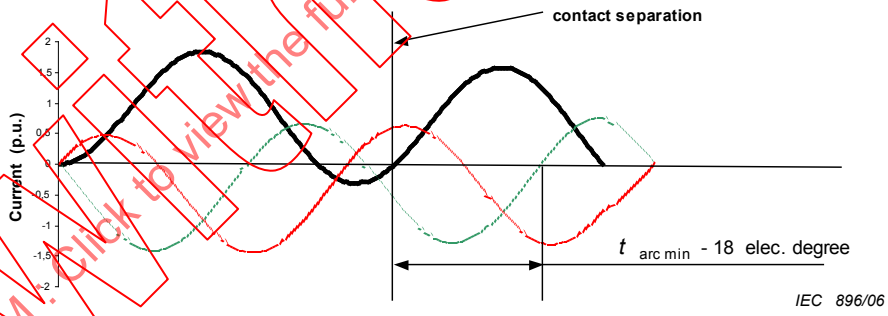


Test No. 2: Application of the TRV on the 1st pole-to-clear



Test No. 3: Application of the TRV on the 1st pole-to-clear with major loop

Test No. 6: Application of the TRV on the last pole-to-clear with extended major loop



Test No. 4: Application of the TRV on the 1st pole-to-clear

Test No. 7: Application of the TRV on the last pole-to-clear with extended major loop

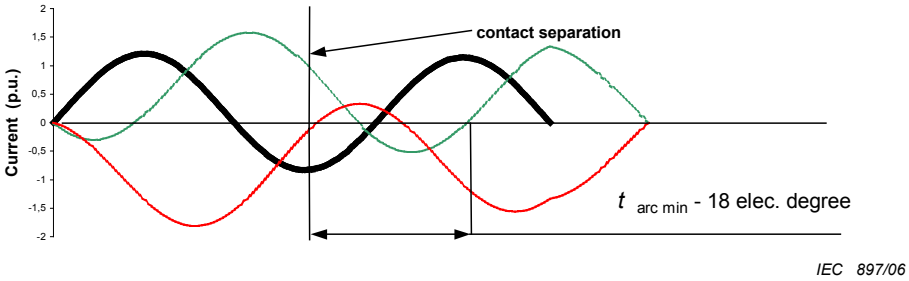
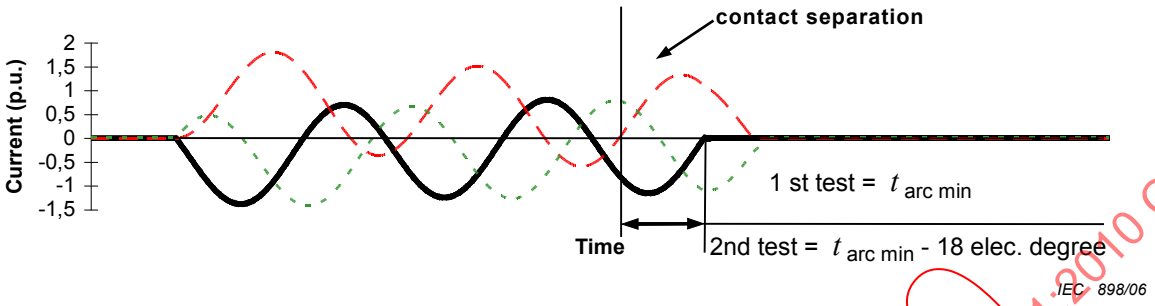


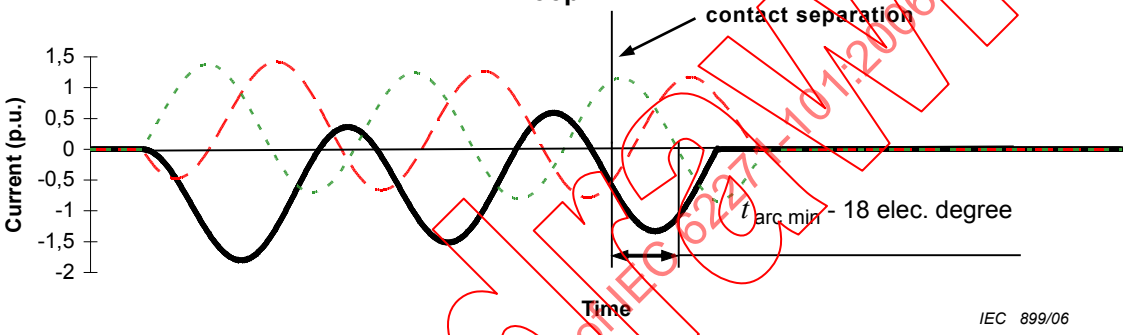
Figure K.7 – Representation of the testing conditions of Table K.3b

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Tests No. 1 and 2 : Application of TRV on the 1st pole-to-clear



Test No. 3 : Application of the TRV on the 1st pole-to-clear with major loop.



Test No. 4 : Application of the TRV on the 2nd pole-to-clear with extended major loop.

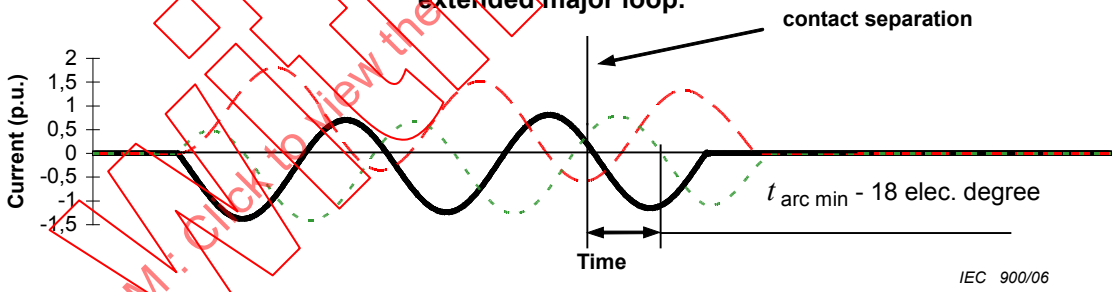
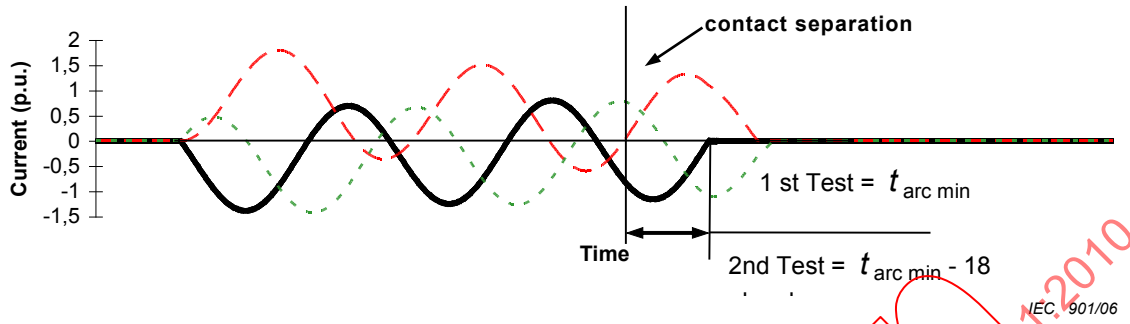


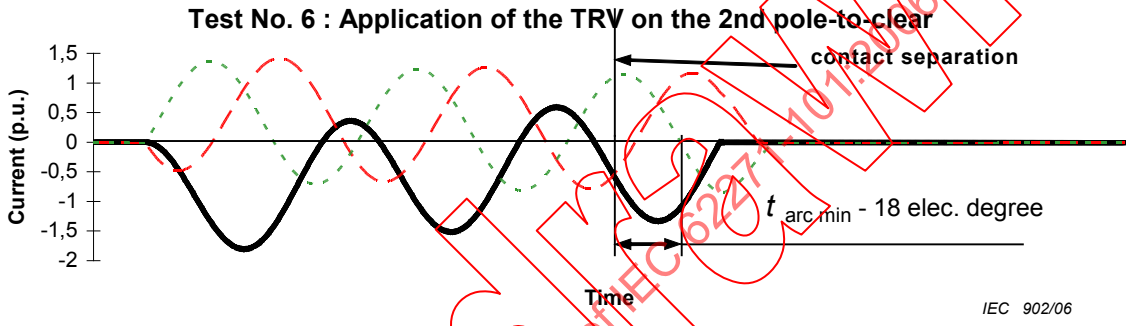
Figure K.8 – Representation of the testing conditions of Table K.4a

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Tests No. 1 and 2 : Application of TRV on the 1st pole-to-clear.
Test No. 5 : Application of the TRV on the 2nd pole-to-clear.



Test No. 3 : Application of the TRV on the 1st pole-to-clear with major loop.
Test No. 6 : Application of the TRV on the 2nd pole-to-clear



Test No. 4: Application of the TRV on the 1st pole-to-clear
Test No. 7: Application of the TRV on the 2nd pole-to-clear with extended major loop
Test No. 8: Application of the TRV on the 3rd pole-to-clear

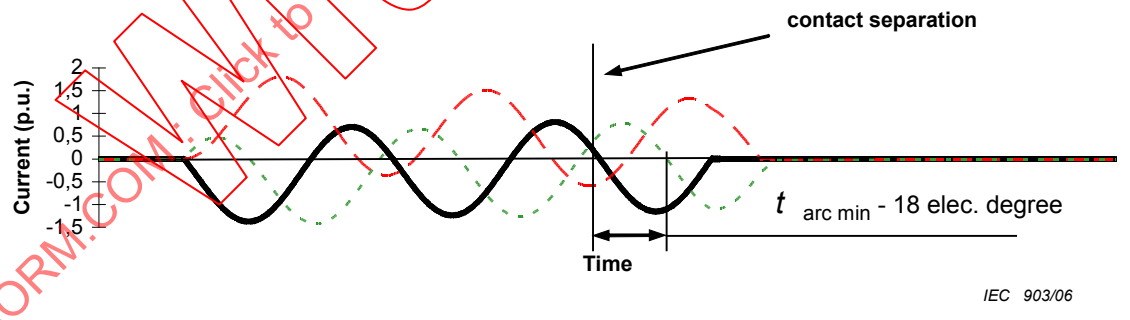


Figure K.9 – Representation of the testing conditions of Table K.4b

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annex L
(normative)

Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear

L.1 Test method

Depending on the limitation of a laboratory, three-phase tests are not always possible. It is customary to perform such tests using a single-phase circuit with a single TRV that covers the first, second and last pole-to-clear. This test procedure may result in higher stresses on the circuit-breaker under test compared to the corresponding three-phase test procedure. This annex describes a single-phase test procedure that produces stresses equal to those of a three-phase test.

This procedure may be used in substitution of three-phase tests where single-phase testing is permitted.

Since arcing is prolonged by means of thermal re-ignitions, it is possible to force the test circuit-breaker to re-ignite in all conditions. Special care shall be taken not to re-ignite the circuit-breaker at the instant of a current zero when the circuit-breaker can clear.

L.1.1 Test duties T10, T30, T60 and T100s(b)

The single-phase test procedures for splitting of test duties to demonstrate arcing times with the correct TRV for each pole-to-clear according to 6.102.10.2.5 of IEC 62271-100 are given in Table L.1 for a first-pole-to-clear factor of 1,5 and in Tables L.2a and L.2b for a first-pole-to-clear factor of 1,3.

A simplified procedure is given in Table L.2b, which is more severe than the procedure given in Table L.2a.

In case of a failure during test nos. 5 or 6 as given in Table L.2a, tests 4, 5 and 6 shall be repeated after re-conditioning of the circuit-breaker

In case of a failure in test no. 5 as given in Table L.2b, test nos. 3 and 5 shall be repeated after re-conditioning of the circuit-breaker. In this case test no. 3 may be performed as a single opening operation under the same conditions as test no. 5.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100.

L.1.2 Test duty T100a

L.1.2.1 Test procedure for first-pole-to-clear factor 1,5

The test series shows the clearing capability for the different asymmetrical conditions and their associated TRV values. The aim is to obtain a series of 5 valid tests.

The corresponding tests can be found in Table L.3.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Tables L.5 and L.6 show the arc extinguishing intervals depending on conditions given.

In case of a failure during test no. 5 as given in Table L.3, tests nos. 3 to 5 shall be repeated after re-conditioning of the circuit-breaker.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100.

L.1.2.2 Test procedure for first-pole-to-clear factor 1,3

The test series shows the clearing capability for the different asymmetrical conditions and its associated TRV values. The aim is to get a series of 6 valid tests.

The corresponding tests can be found in Table L.4.

Tables L.5 and L.6 show the arc extinguishing intervals depending on conditions given.

In case of a failure during test nos. 5 or 6 as given in Table L.4, tests nos. 4 to 6 shall be repeated after re-conditioning of the circuit-breaker.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100.

Table L.1 – Test procedure for a first-pole-to-clear factor of 1,5

Test no.	Test sequence a)	Arcing window		TRV			Injected current (di/dt) %
		Electrical degrees	Arcing time	Reference table of IEC 62271-100	RRRV (p.u.)	u_c value (p.u.)	
1	Os	0	$t_{arc\ min}$ (1st pole-to-clear)	1a/c	1,0	1,0	100
2	Os	-18	Re-ignition in the 1st pole-to-clear to confirm $t_{arc\ min}$	1a/c	1,0	1,0	100
3	Od-t-CdOs	42	$t_{arc\ max}$ (1st pole–to-clear)	1a/c	1,0	1,0	100
4	Os	90	$t_{arc\ min}$ (last pole-to-clear)	2	0,7	0,58	87
5	CdOs	132	$t_{arc\ max}$ (last pole-to-clear)	2	0,7	0,58	87
NOTE For T10, T30 and T60, the Cd operation may be carried out under no-load conditions.							
a) Abbreviations are in accordance with 6.106.							

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table L.2a – Alternative demonstration of arcing times for a first-pole-to-clear factor of 1,3

Test no.	Test sequence a)	Arcing window		TRV			Injected current (d*i*/d*t*) %
		Electrical degrees	Arcing time	Reference table of IEC 62271-100	RRRV (p.u.	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ (1st pole-to-clear)	1b/d	1,0	1,0	100
2	Os	-18	Re-ignition in the 1st pole-to-clear to confirm the $t_{arc\ min}$	1b/d	1,0	1,0	100
3	Od-*t*-CdOs	42	$t_{arc\ max}$ (1st pole–to-clear)	1b/d	1,0	1,0	100
4	CdOs	77	$t_{arc\ min}$ (2nd pole-to-clear)	2	0,95	0,98	89
5	Od–*t*–CdOs	119	$t_{arc\ max}$ (2nd pole-to-clear)	2	0,95	0,98	89
6	Od–*t*–CdOs	162	$t_{arc\ max}$ (3rd pole-to-clear)	2	0,70	0,77	57

NOTE 1 Tests 1, 2 and 3 demonstrate the arcing window under three-phase conditions for the first pole-to-clear. Tests 4 and 5 demonstrate the arcing window for the second pole-to-clear. Tests 5 and 6 demonstrate the arcing window for the third pole-to-clear.

NOTE 2 For T10, T30 and T60 the Cd operation may be carried out under no-load conditions.

a) Abbreviations are in accordance with 6.106.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table L.2b – Simplified test procedure for a first-pole-to-clear factor of 1,3

Test no.	Test sequence a)	Arcing window		TRV			Injected current
		Electrical degrees	Arcing time	Reference table of IEC 62271-100	RRRV p.u.	u_c value p.u.	(di/dt) %
1	Os	0	$t_{arc\ min}$ (1st pole-to-clear)	1b/d	1,0	1,0	100
2	Os	-18	Re-ignition in the 1st pole-to-clear to confirm the $t_{arc\ min}$	1b/d	1,0	1,0	100
3	Od-t-CdOs	119	$t_{arc\ max}$ (2nd pole–to-clear)	1b/d	1,0	1,0	100
4	CdOs	60	$t_{arc\ med}$ (1st and 2nd pole-to-clear)	1b/d	1,0	1,0	100
5	Od–t–CdOs	162	$t_{arc\ max}$ (3rd pole-to-clear)	2	0,70	0,77	57

NOTE 1 Tests 1, 2, 3 and 4 demonstrate the arcing window under three-phase conditions for the first and second pole-to-clear. Tests 3 and 5 demonstrate the arcing window for the third pole-to-clear.

NOTE 2 For T10, T30 and T60 the Cd operation may be carried out under no-load conditions.

a) Abbreviations are in accordance with 6.106.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Table L.3 – Test procedure for asymmetrical currents in the case of a first-pole-to-clear factor of 1,5

Test no.	Test sequence	Asymmetry condition [e]	Arcing window		TRV [b]			Injected current (di/dt) [a]
			Electrical degrees [c]	Arcing time	Reference table of IEC 62271-100	RRRV p.u.	u_c value p.u.	%
1	Os	Major loop intermediate (col. 2)	0	$t_{arc\ min}$ [c] (1st pole-to-clear)	1a/c	1,0	1,0	100
2	Os	Major loop intermediate (col. 2)	-18 [d]	Re-ignition in the 1st pole-to-clear to confirm $t_{arc\ min}$	1a/c	1,0	1,0	100
3	Os	Major loop rated (col. 1)	Δt (col. 7)	$t_{arc\ max}$ (1st pole–to-clear)	1a/c	1,0	1,0	100
4	Os	Major loop rated (col. 1)	Δt (col. 8)	$t_{arc\ med}$ (last pole-to-clear)	2	0,7	0,58	87
5	Os	Major loop rated (col. 1)	Δt (col. 9)	$t_{arc\ max}$ (last pole-to-clear)	2	0,7	0,58	87

NOTE The references to column numbers (for example column 1) refers to the numbered columns in Tables L.5 and L.6.

[a] Additionally, the correction according to the asymmetry condition needs to be applied (see Tables ~~I.1a-d, I.2a-d~~ 15 through 22 of IEC 62271-100:2008).

[b] Corrected TRV values from Table I.3a-d.

[c] Values to be taken from Tables L.5 and L.6.

[d] Results in voltage breakdown.

[e] Intermediate asymmetry is the asymmetry level obtained in a three-phase direct test in the phase having the reduced asymmetry. For reference see Tables I.3a and I.3b, column phase B.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table L.4 – Test procedure for asymmetrical currents in the case of a first-pole-to-clear factor of 1,3

Test no.	Test sequence	Asymmetry condition[e]	Arcing window		TRV [b]			Injected current (di/dt) [a]
			Electrical degrees [c]	Arcing time	Reference table of IEC 62271-100	RRRV p.u.	u_c value p.u.	%
1	Os	Major loop intermediate (col. 2)	0	$t_{arc\ min}$ (1st pole-to-clear)	1b/d	1,0	1,0	100
2	Os	Major loop intermediate (col. 2)	-18 [d]	Re-ignition in the 1st pole-to-clear to confirm $t_{arc\ min}$	1b/d	1,0	1,0	100
3	Os	Major loop rated (col. 1)	Δt (col. 3)	$t_{arc\ max}$ (1st pole–to-clear)	1b/d	1,0	1,0	100
4	Os	Major loop rated (col. 1)	Δt (col. 4)	$t_{arc\ med}$ (2nd pole-to-clear)	2	0,95	0,98	89
5	Os	Major loop rated (col. 1)	Δt (col. 5)	$t_{arc\ max}$ (2nd pole-to-clear)	2	0,95	0,98	89
6	Os	Major loop rated (col. 1)	Δt (col. 6)	$t_{arc\ max}$ (last pole-to-clear)	2	0,70	0,77	57

NOTE The references to column numbers (for example col. 1) refers to the numbered columns in Tables L.5 and L.6.

[a] Additionally, the correction according to the asymmetry condition need to be applied (see Tables ~~I.1a – d, I.2a – d~~ 15 through 22 of IEC 62271-100:2008).

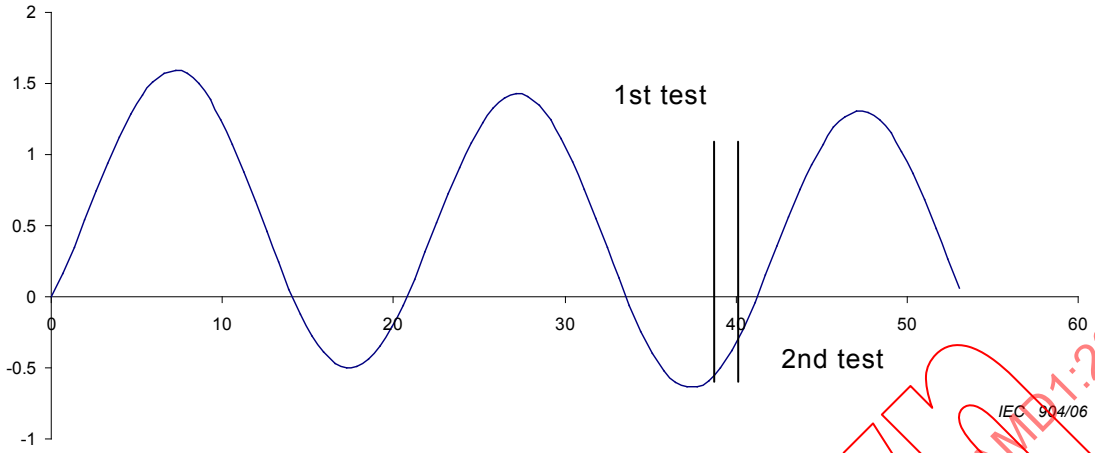
[b] Corrected TRV values from Table I.3a – d.

[c] Values to be taken from Table L.5 and L.6.

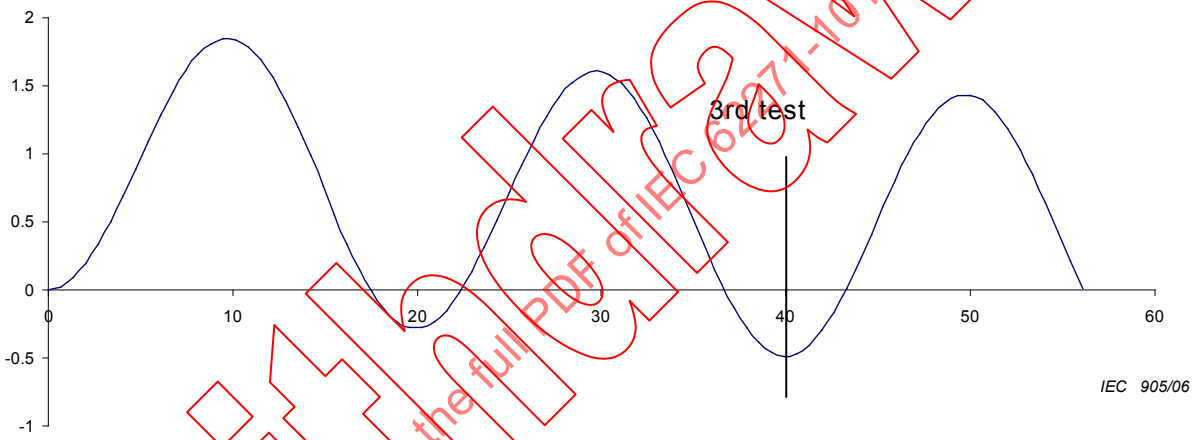
[d] Results in voltage breakdown.

[e] Intermediate asymmetry is the asymmetry level obtained in a three-phase direct test in the phase having the reduced asymmetry. For reference see Tables I.3a and I.3b column phase B.

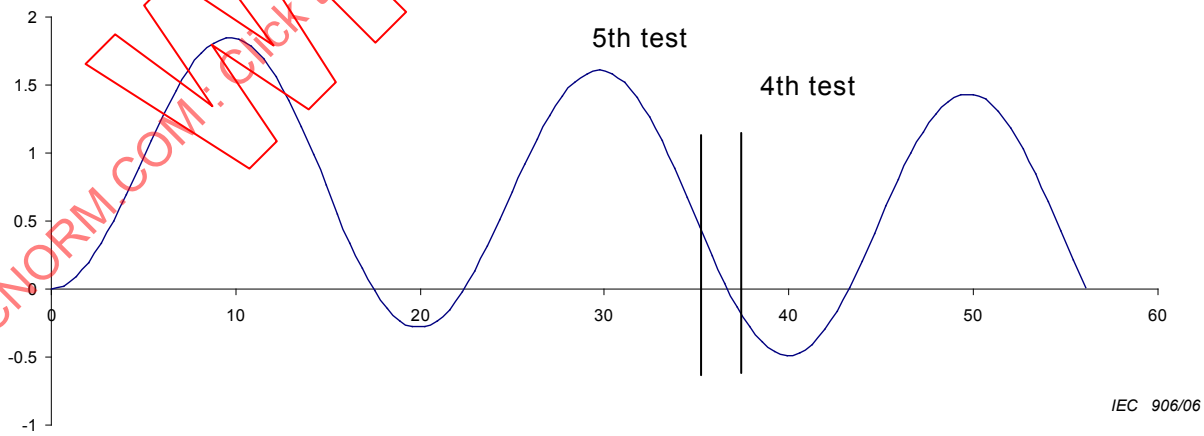
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Intermediate asymmetry, TRV 1,0 p.u.



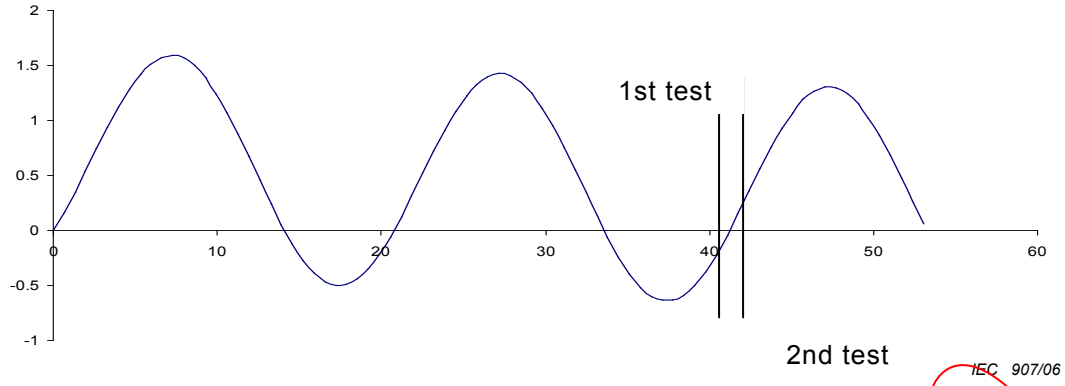
Rated asymmetry, TRV 1 p.u.



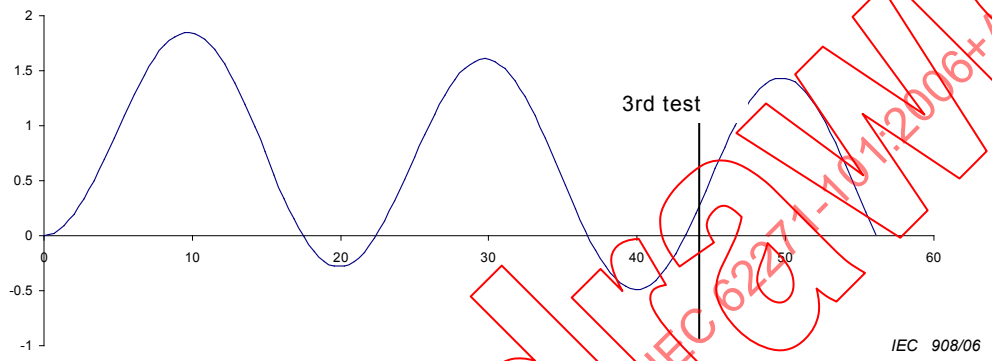
Rated asymmetry, TRV 0,58 p.u.

Figure L.1 – Graphical representation of the test shown in Table L.3

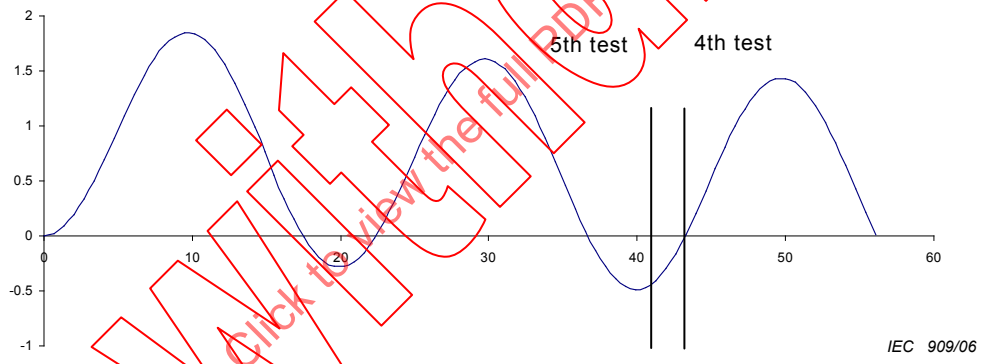
Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



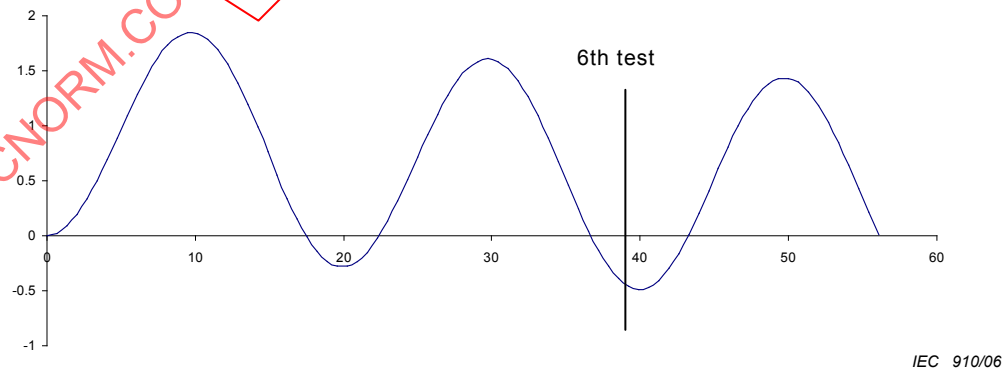
Intermediate asymmetry, TRV 1 p.u.



Rated asymmetry, TRV 1 p.u.



Rated asymmetry, TRV 0,95 p.u.



Rated asymmetry, TRV 0,7 p.u.

Figure L.2 – Graphical representation of the test shown in Table L.4

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table L.5 – Required arcing windows in ° for different asymmetrical conditions, f_r = 50 Hz

k_{pp}				1,3					1,5			
TRV peak (p.u.) for symmetrical currents				**1,3**	**1,3**	**1,27**	**1,27**	**1,0**	**1,5**	**1,5**	**0,87**	**0,87**
	Minimum clearing time (ms)	I_{peak} (p.u.) rated asymmetry	I_{peak} (p.u.) intermediate asymmetry [a]	1st pole-to-clear	Corresponding arcing time after major loop with TRV 1st pole-to-clear	Corresponding arcing times 2nd pole-to-clear after major loop	Corresponding arcing times 2nd pole-to-clear after major loop	Corresponding arcing times last pole-to-clear after major loop	1st pole-to-clear	Corresponding arcing time after major loop with TRV 1st pole-to-clear	Corresponding arcing times 2nd pole-to-clear after major loop	Corresponding arcing times 2nd pole-to-clear after major loop
Column		1	2		3	4	5	6		7	8	9
Symmetrical				0	42	77	119	162	0	42	90	132
τ (ms)												
45	$10 < t \leq 22,5$	1,51	1,24	0	72	90	162	193	0	72	101	173
	$22,5 < t \leq 43,0$	1,33	1,16	0	61	85	146	182	0	61	97	158
	$43,0 < t \leq 63,5$	1,21	1,10	0	54	82	136	175	0	54	94	148
60	$10 < t \leq 22,5$	161	1,29	0	78	93	171	199	0	78	103	181
	$22,5 < t \leq 43,0$	1,44	1,21	0	67	88	155	188	0	67	99	166
	$43,0 < t \leq 63,5$	1,31	1,15	0	60	85	145	181	0	60	96	156
	$63,5 < t \leq 84,0$	1,22	1,11	0	55	83	137	175	0	55	95	149
75	$10 < t \leq 22,5$	1,67	1,33	0	81	95	177	203	0	81	105	186
	$22,5 < t \leq 43,0$	1,51	1,25	0	72	90	162	193	0	72	101	173
	$43,0 < t \leq 63,5$	1,39	1,19	0	65	87	152	185	0	65	98	163
	$63,5 < t \leq 84,0$	1,3	1,15	0	59	85	144	180	0	59	96	156
	$84,0 < t \leq 104$	1,23	1,11	0	55	83	138	176	0	55	95	150
120	$10 < t \leq 22,5$	1,78	1,38	0	88	100	188	209	0	88	108	196
	$22,5 < t \leq 43,0$	1,66	1,32	0	81	96	176	201	0	81	105	185
	$43,0 < t \leq 63,5$	1,56	1,27	0	74	92	167	195	0	74	102	177
	$63,5 < t \leq 84,0$	1,47	1,23	0	69	90	159	190	0	69	100	169
	$84,0 < t \leq 104$	1,4	1,20	0	65	88	153	186	0	65	98	164

[a] Intermediate asymmetry is the asymmetry level obtained in a three-phase direct test in the phase having the reduced asymmetry. For reference see Tables I.3a and I.3b column phase B.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table L.6 – Required arcing windows in ° for different asymmetrical conditions, f_r = 60 Hz

k_{pp}				1,3					1,5			
TRV peak (p.u.) for symmetrical currents				**1,3**	**1,3**	**1,27**	**1,27**	**1**	**1,5**	**1,5**	**0,87**	**0,87**
	Minimum clearing time (ms)	I_{peak} (p.u.) rated asymmetry	I_{peak} (p.u.) intermediate asymmetry [a]	1st pole-to-clear	Corresponding arcing time after major loop with TRV 1st pole-to-clear	Corresponding arcing times 2nd pole-to-clear after major loop	Corresponding arcing times 2nd pole-to-clear after major loop	Corresponding arcing times last pole-to-clear after major loop	1st pole-to-clear	Corresponding arcing time after major loop with TRV 1st pole-to-clear	Corresponding arcing times 2nd pole-to-clear after major loop	Corresponding arcing times 2nd pole-to-clear after major loop
Column		1	2		3	4	5	6		7	8	9
Symmetrical				0	42	77	119	162	0	42	90	132
τ (ms)												
45	$8,3 < t \leq 18,5$	1,57	1,27	0	76	92	168	197	0	76	102	178
	$18,5 < t \leq 36,0$	1,39	1,19	0	65	87	152	186	0	65	98	163
	$36,0 < t \leq 53,0$	1,27	1,13	0	58	84	142	178	0	58	96	153
	$53,0 < t \leq 70,0$	1,19	1,09	0	53	82	135	173	0	53	94	147
60	$8,3 < t \leq 18,5$	1,66	1,32	0	81	95	176	202	0	81	104	185
	$18,5 < t \leq 36,0$	1,5	1,24	0	71	90	161	192	0	71	101	172
	$36,0 < t \leq 53,0$	1,38	1,18	0	64	87	151	185	0	64	98	162
	$53,0 < t \leq 70,0$	1,29	1,14	0	59	84	143	179	0	59	96	154
	$70,0 < t \leq 87,0$	1,22	1,11	0	55	82	137	175	0	55	94	149
75	$8,3 < t \leq 18,5$	1,72	1,35	0	84	97	181	205	0	84	106	190
	$18,5 < t \leq 36,0$	1,57	1,28	0	75	92	168	196	0	75	102	178
	$36,0 < t \leq 53,0$	1,46	1,22	0	69	89	158	189	0	69	100	168
	$53,0 < t \leq 70,0$	1,37	1,18	0	63	87	150	184	0	63	98	161
	$70,0 < t \leq 87,0$	1,29	1,14	0	59	85	144	179	0	59	96	155
	$87,0 < t \leq 104$	1,24	1,11	0	56	83	139	176	0	56	95	150
120	$8,3 < t \leq 18,5$	1,81	1,40	0	90	102	192	211	0	90	110	200
	$18,5 < t \leq 36,0$	1,7	1,35	0	83	98	181	204	0	83	106	190
	$36,0 < t \leq 53,0$	1,61	1,30	0	78	94	172	198	0	78	104	182
	$53,0 < t \leq 70,0$	1,53	1,26	0	73	92	165	194	0	73	102	175
	$70,0 < t \leq 87,0$	1,46	1,23	0	69	90	158	189	0	69	100	169
	$87,0 < t \leq 104$	1,41	1,20	0	65	88	153	186	0	65	99	164

[a] Intermediate asymmetry is the asymmetry level obtained in a three-phase direct test in the phase having the reduced asymmetry. For reference see Tables I.3a and I.3b column phase B.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annex M
(normative)

Tolerances on test quantities for type tests

During type tests, the following types of tolerances may normally be distinguished:

– tolerances on test quantities which directly determine the stress on the test object;
– tolerances concerning features or the behaviour of the test object before and after the test;
– tolerances on test conditions;
– tolerances concerning parameters of measurement devices to be applied.

In Table M.1 only tolerances on test quantities are considered.

A tolerance is defined as the range of the test value specified in this standard within which the measured test value should lie for a test to be valid. In certain cases, the test may remain valid even if the measured value falls outside the tolerance.

Any deviation of the measured test value and the true test value caused by the uncertainty of the measurement are not taken into account in this respect.

The basic rules for application of tolerances on test quantities during type tests are as follows:

a) testing stations shall aim wherever possible for the test values specified;
b) the tolerances on test quantities specified shall be observed by the testing station. Higher stresses of the circuit-breaker exceeding those tolerances are permitted only with the consent of the manufacturer. Lower stresses render the test invalid;
c) where, for any test quantity, no tolerance is given within this standard, the tolerances of IEC 62271-100 apply. The upper stress limits are subject to the consent of the manufacturer;
d) if, for any test quantity, only one limit is given, the other limit shall be considered to be as close as possible to the specified value.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table M.1 – Tolerances on test quantities for type tests

Designation of the test	Test quantity	Specified test value	Test tolerances/ limits of test values
Basic short-circuit test duty	d*i*/d*t* at current zero for T10 [a]	10 % of d*i*/d*t* at current zero of rated short-circuit breaking current	± 20 %
	d*i*/d*t* at current zero for T30 [a]	30 % of d*i*/d*t* at current zero of rated short-circuit breaking current	± 20 %
	d*i*/d*t* at current zero for T60 [a]	60 % of d*i*/d*t* at current zero of rated short-circuit breaking current	± 10 %
	d*i*/d*t* at current zero in T100s and T100a [a]	d*i*/d*t* at current zero of rated short-circuit breaking current	$^{+5}_{0}$ %
Critical current tests	d*i*/d*t* at current zero [a]	d*i*/d*t* at current zero of current defined in 6.107.2 of IEC 66271-100	± 20 %
Single-phase and double earth fault tests	d*i*/d*t* at current zero [a]	d*i*/d*t* at current zero of current defined in Figure 45 of IEC 62271-100	$^{+5}_{0}$ %
Short-line fault tests	d*i*/d*t* at current zero for L_{90} [a]	d*i*/d*t* at current zero of rated short-circuit breaking current	90 % to 92 %
	Rate of rise of the source side recovery voltage for L_{90}	90 % of the rate of rise given in Tables 1a through 1d of IEC 62271-100	$^{+5}_{0}$ %
	d*i*/d*t* at current zero for L_{75} [a]	d*i*/d*t* at current zero of rated short-circuit breaking current	71 % to 79 %
	Rate-of-rise of the source side recovery voltage for L_{75}	75 % of the rate of rise given in Tables 1a through 1d of IEC 62271-100	$^{+5}_{0}$ %
	d*i*/d*t* at current zero for L_{60} [a]	d*i*/d*t* at current zero of rated short-circuit breaking current	55 % to 65 %
	Rate-of-rise of the source side recovery voltage for L_{60}	60 % of the rate of rise given in Tables 1a through 1d of IEC 62271-100	$^{+5}_{0}$ %

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Table M.1 – Tolerances on test quantities for type tests *(continued)*

Designation of the test	Test quantity	Specified test value	Test tolerances/ limits of test values
Out-of-phase making and breaking tests	di/dt at current zero for OP1 [a]	di/dt at current zero of 30 % rated out-of-phase breaking current	± 20 %
	di/dt at current zero for OP2 [a]	di/dt at current zero of rated out-of-phase breaking current	$^{+10}_{0}$ %
Capacitive current switching tests	Frequency of the breaking current	Rated frequency	45 – 65 Hz

[a] These tolerances apply to current injection test circuit only.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annex N
(informative)

Typical test circuits for metal-enclosed and dead tank circuit breakers

This annex outlines some typical synthetic test circuits for type testing relevant to short-circuit making, breaking and switching performance of metal enclosed and dead tank circuit-breakers. Other methods are not excluded provided that they supply the correct stresses to the pole terminals, between the phases and between the terminals and the enclosure of the circuit-breaker.

Many circuits are possible with different features. Some examples are given in Figures N.1 through N.9 as follows:

– terminal fault tests on one or more units of metal-enclosed or dead tank circuit-breakers (Figures N.1 to N.4);
– capacitive current switching tests (Figures N.5 to N.7);
– out-of-phase switching tests (Figure N.8);
– full pole terminal fault tests with voltage applied to both terminals and the metal enclosure (Figure N.9).

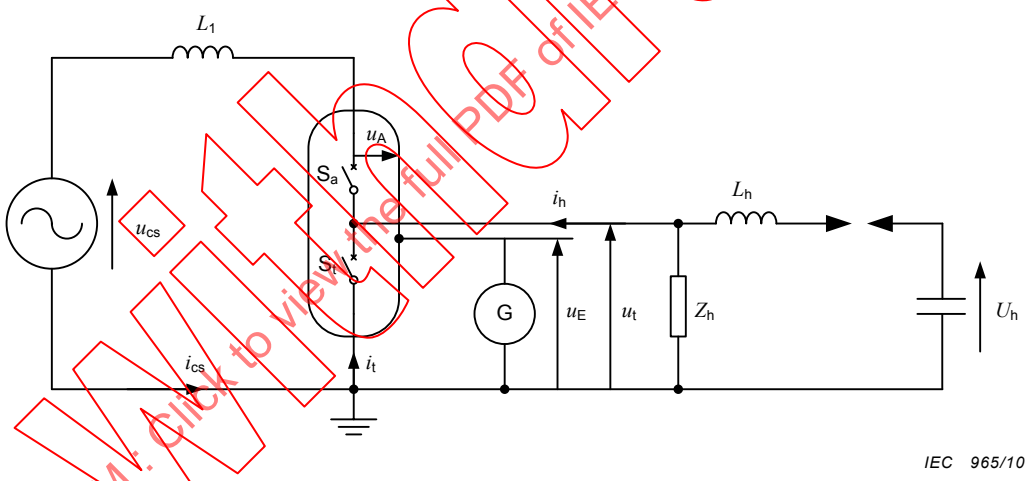


Figure N.1a – Typical injection circuit with voltage circuit in parallel with the unit(s) under test

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

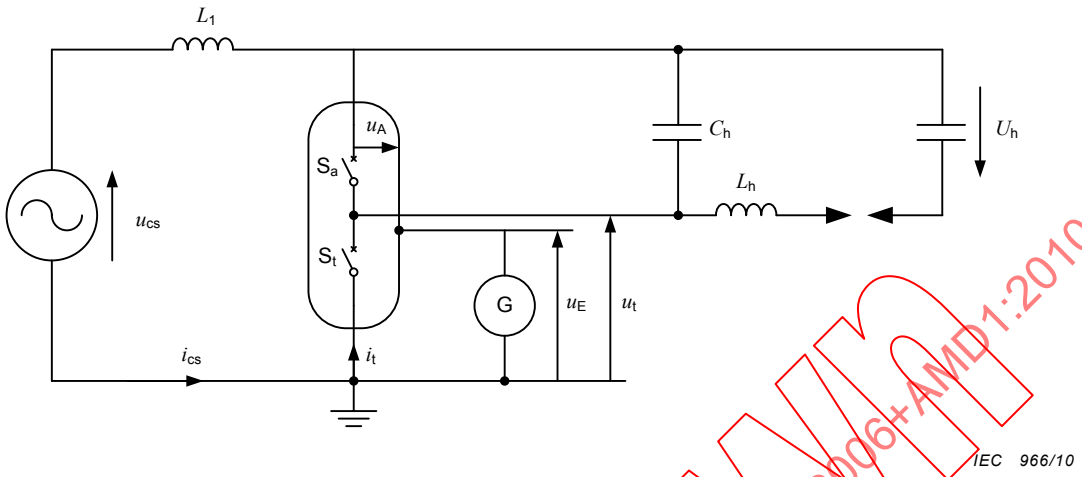


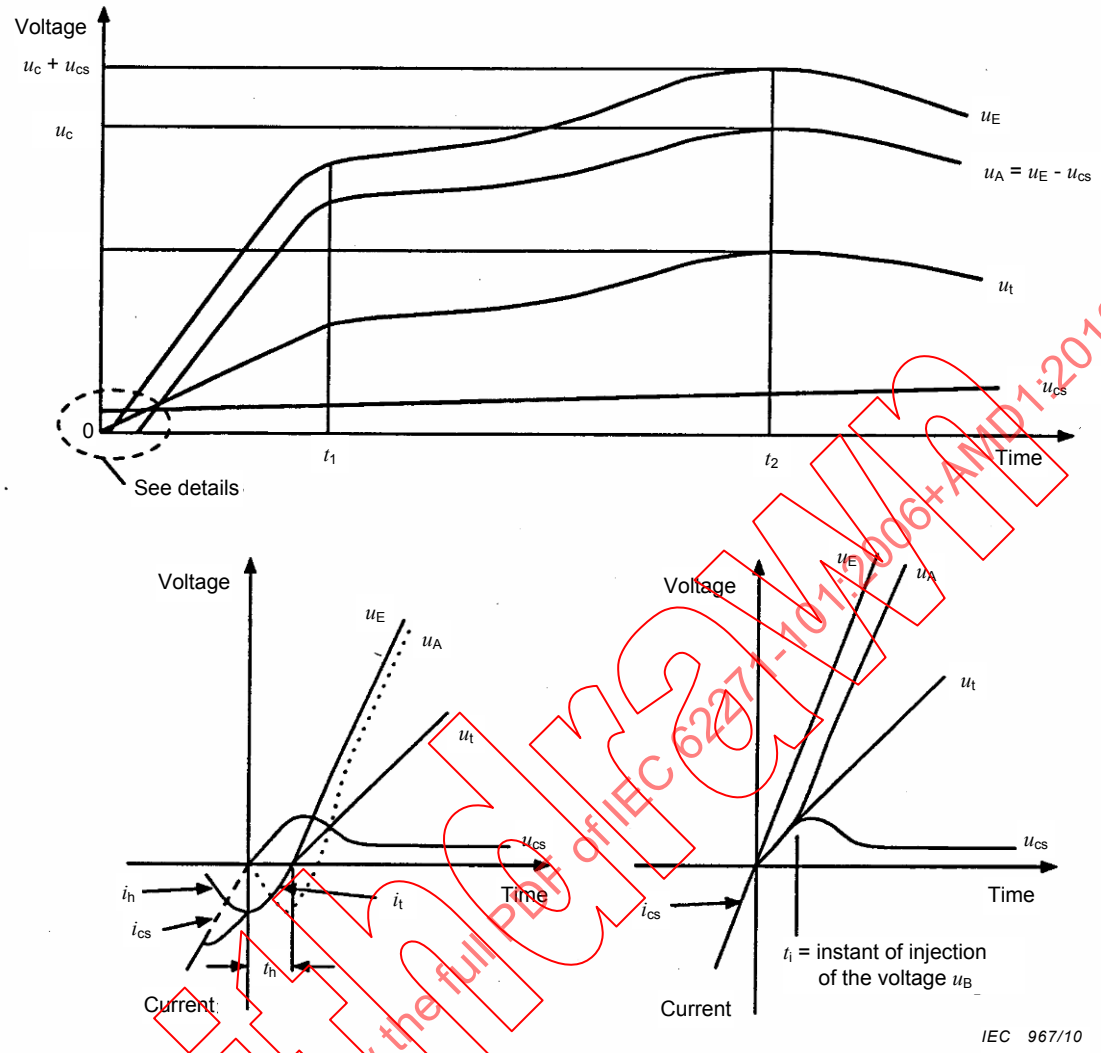
Figure N.1b – Typical injection circuit with voltage circuit in parallel with the unit(s) used as auxiliary circuit-breaker

Key

S_a	unit(s) of the circuit-breaker used as auxiliary circuit-breaker
S_t	unit(s) of the circuit-breaker used as test circuit-breaker
G	source supply of u_E, applied to the enclosure
u_{cs}	voltage of the current circuit
i_{cs}	current of the current circuit
i_h	injected current
i_t	current through S_t
L_1	inductance of the current circuit
L_h	inductance of the voltage circuit
Z_h	equivalent surge impedance of the voltage circuit
C_h	capacitance of the voltage circuit which, together with L_h, controls the major part of the TRV

Figure N.1 – Test circuit for unit testing (circuit-breaker with interaction due to gas circulation)

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Typical voltage waveshapes in a current injection circuit, in accordance with Figure N.1a, with the voltage circuit in parallel with the unit(s) as test circuit-breaker

Typical voltage waveshapes in a voltage injection circuit, in accordance with Figure N.1b, with the voltage circuit in parallel with the unit(s) as auxiliary circuit-breaker

Key

u_E voltage applied to the insulated enclosure

u_B voltage applied to the contact gap of the unit(s) under test (resulting voltage between the terminal not earthed of the unit under test and the enclosure; a linear distribution of the voltage between the units is assumed)

u_{cs} voltage of the current circuit

u_A resulting voltage between one terminal and the enclosure

u_C peak of the TRV

Figure N.2 – Half-pole testing of a circuit-breaker in test circuit given by Figure N.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

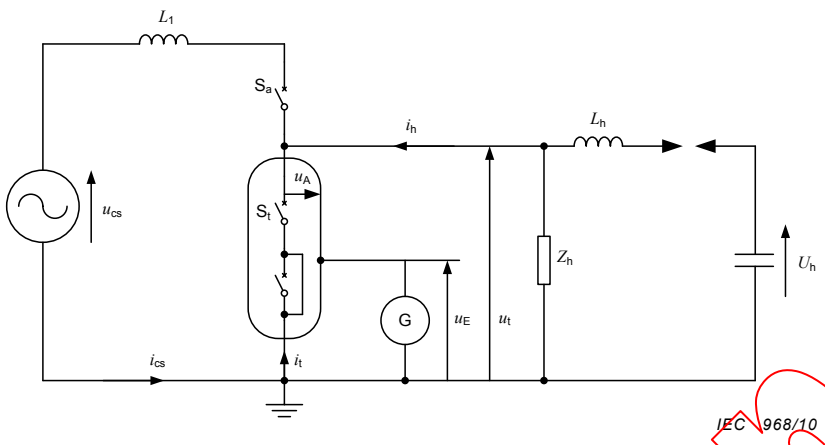


Figure N.3a – Typical injection circuit with voltage circuit in parallel with the unit(s) under test

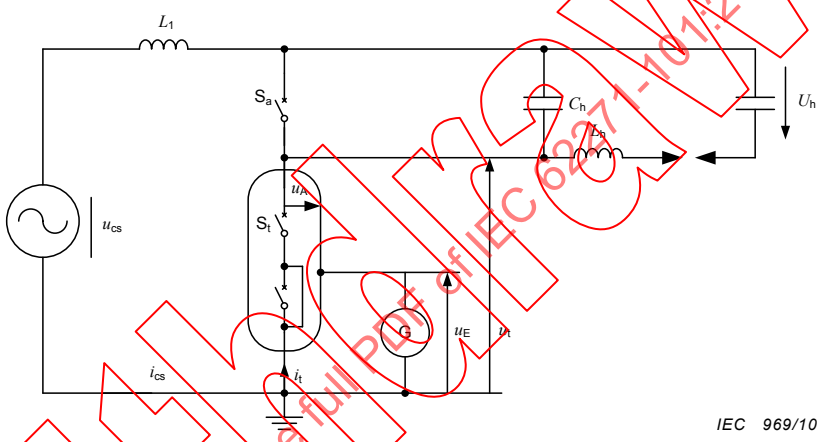


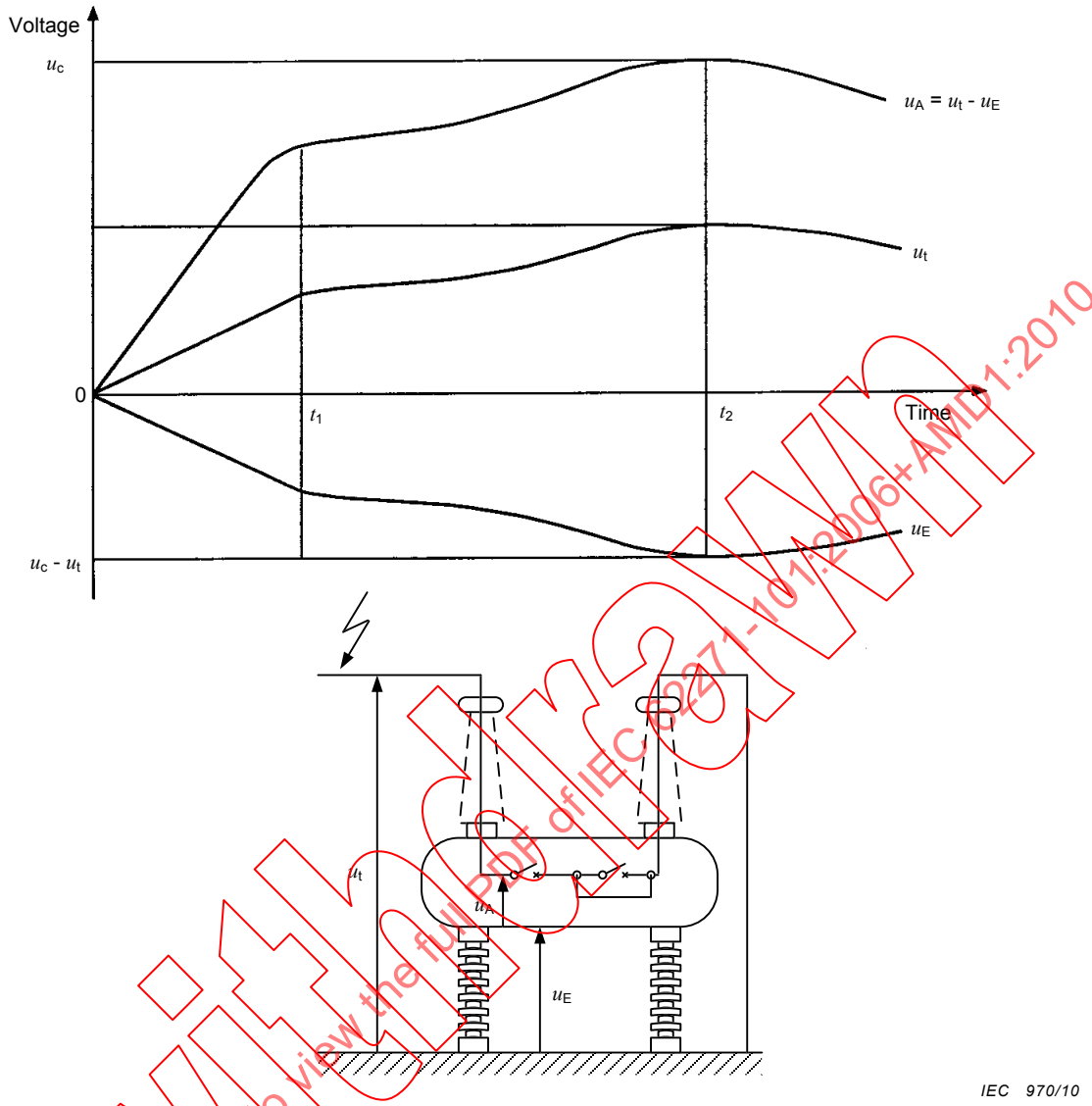
Figure N.3b – Typical injection circuit with voltage circuit in parallel with the auxiliary circuit-breaker

Key

S_a	unit(s) of the circuit-breaker used as auxiliary circuit-breaker
S_t	unit(s) of the circuit-breaker used as test circuit-breaker
G	Source supply of u_E, applied to the enclosure
u_A	resulting voltage between one terminal and the enclosure
u_{cs}	voltage of the current circuit
i_{cs}	current of the current circuit
i_h	injected current
i_t	current through S_t
L_h	inductance of the voltage circuit
Z_h	equivalent surge impedance of the voltage circuit
C_h	capacitance of the voltage circuit which, together with L_h, controls the major part of the TRV

Figure N.3 – Synthetic test circuit for unit testing (if unit testing is allowed as per Subclause 6.102.4.2 of IEC 62271-100:2008)

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Key

u_E voltage applied to the insulated enclosure

u_t voltage applied to the contact gap of the unit(s) under test

u_A resulting voltage between one terminal and the enclosure

u_c peak of the TRV

Figure N.4 – Half-pole testing of a circuit-breaker in the test circuit of Figure N.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

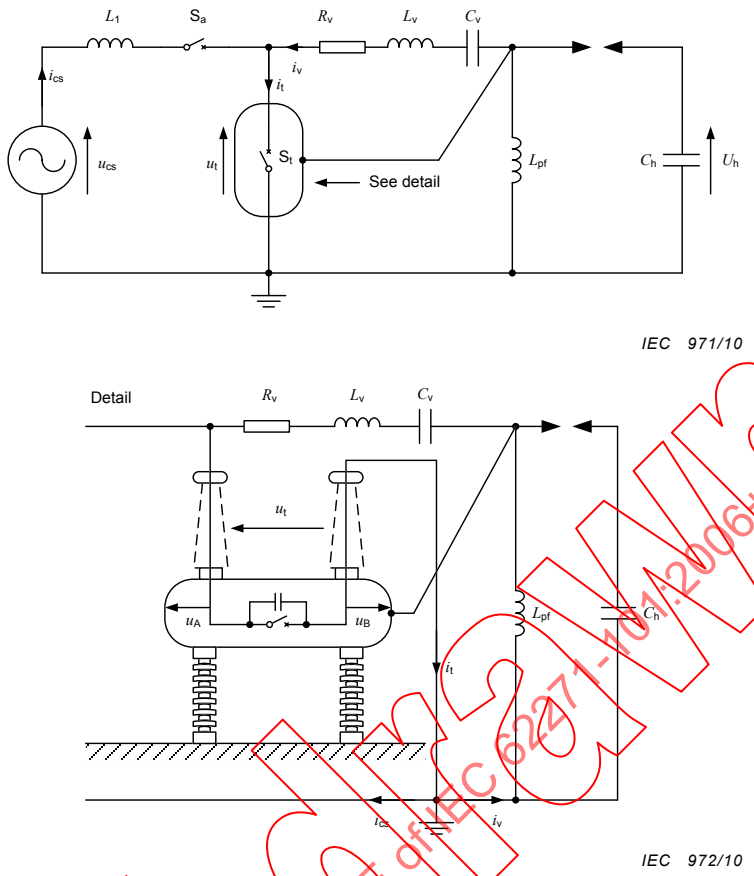
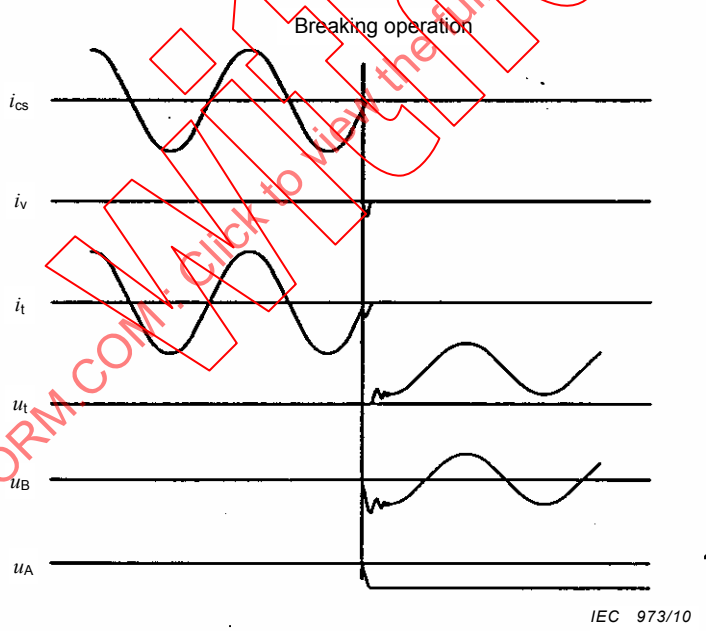


Figure N.5a – General layout of the test circuit



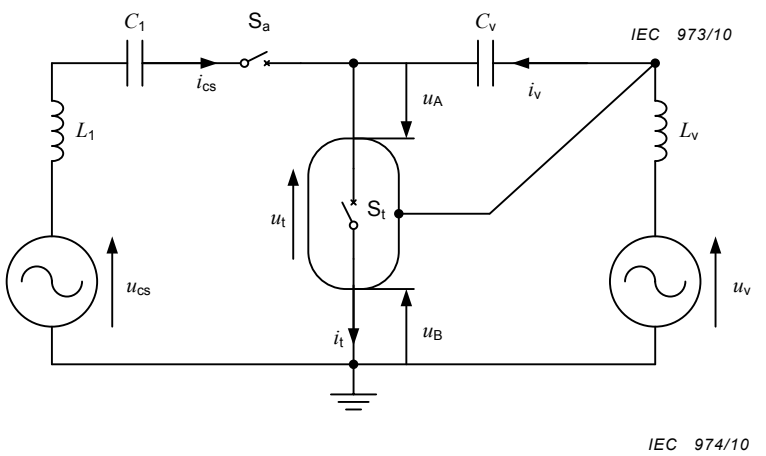
Key

S_a	auxiliary circuit-breakers
S_t	circuit-breaker under test
U_h	charging voltage of the voltage circuit
u_{cs}	voltage of the current circuit
i_{cs}	current of the current circuit
i_v	injected current
i_t	test current
u_A	resulting voltage between the energized terminal of the circuit-breaker and the enclosure
u_B	resulting voltage between the earthed terminal of the circuit-breaker and the enclosure
u_t	test voltage

Figure N.5b – Qualitative current and voltage waveshapes

Figure N.5 – Capacitive current injection circuit with enclosure of the circuit-breaker energized

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Key

S_a	auxiliary circuit-breakers
S_t	circuit-breaker under test
u_V	charging voltage of the voltage circuit
u_{cs}	voltage of the current circuit
i_{cs}	current of the current circuit
i_V	injected current
i_t	test current
u_A	resulting voltage between the energized terminal of the circuit-breaker and the enclosure
u_B	resulting voltage between the earthed terminal of the circuit-breaker and the enclosure
u_t	test voltage

Figure N.6a – General layout of the test circuit

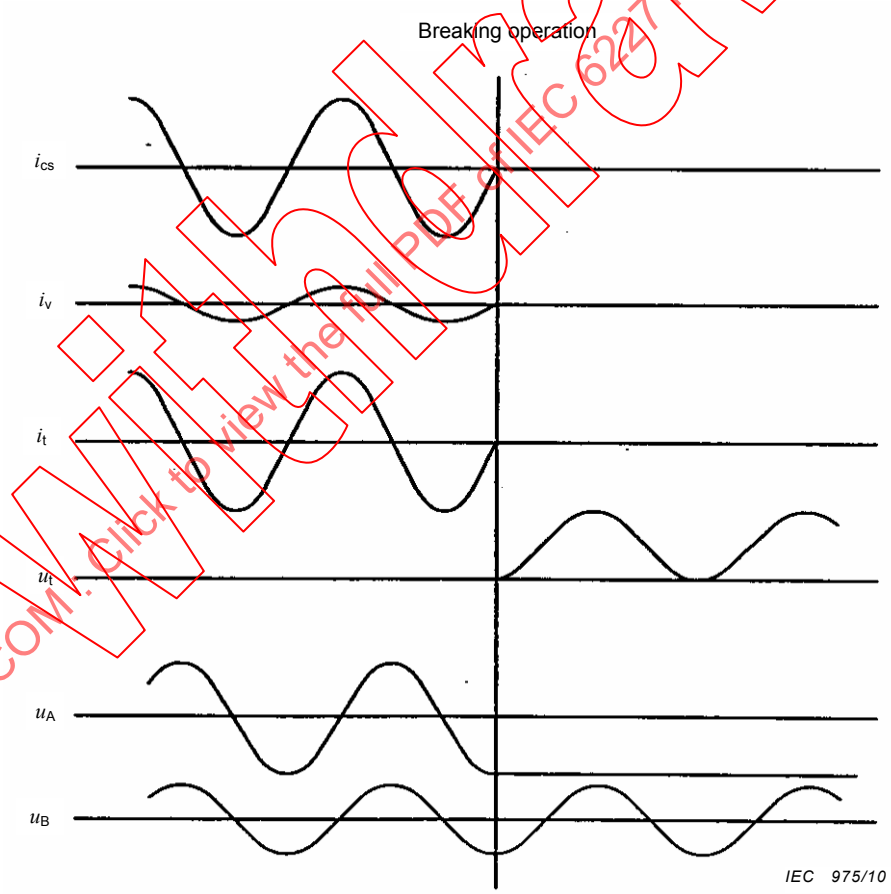
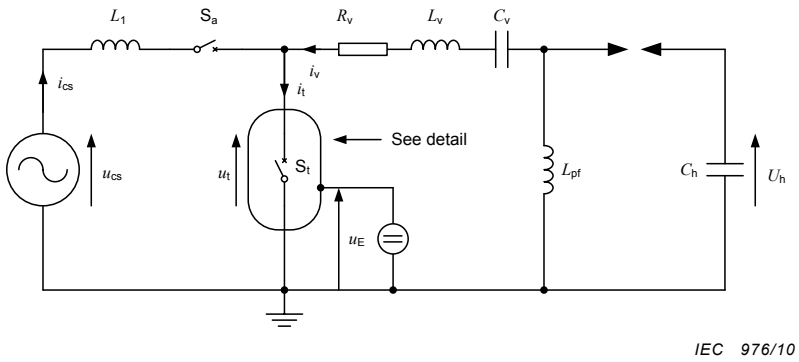


Figure N.6b – Qualitative current and voltage waveshapes

Figure N.6 – Capacitive synthetic circuit using two power-frequency sources and with the enclosure of the circuit-breaker energized

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$$u_t = \frac{U_r \times n \times K \times k_c}{N\sqrt{3}}$$

$$u_E = \frac{k_c \times U_r \sqrt{2}}{\sqrt{3}} \times (1 - \frac{n}{N} \times K)$$

U_r rated voltage of the circuit-breaker

k_c multiplying factor for the single-phase capacitive current switching tests

K voltage distribution factor

n number of units under tests (n = 1)

N total number of units of a pole (N = 2)

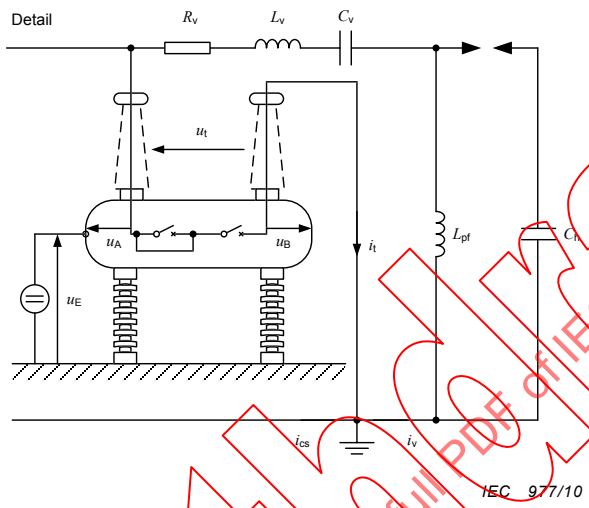
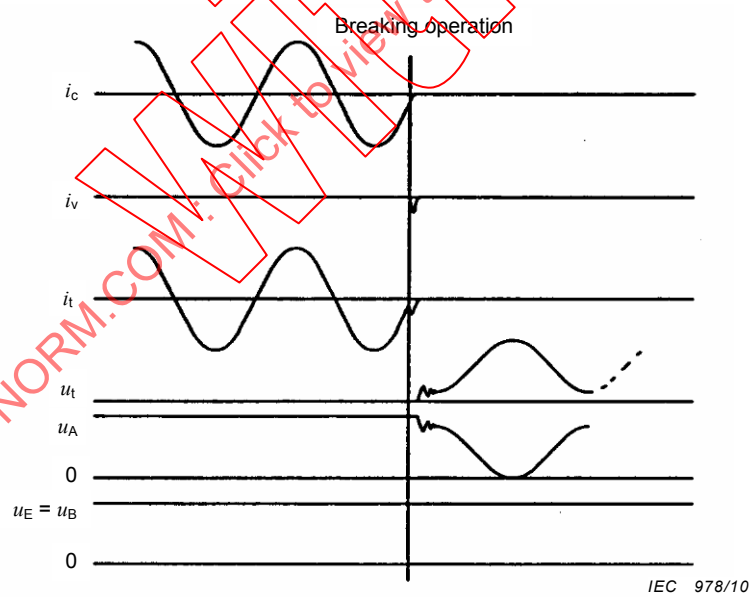


Figure N.7a – General layout of the test circuit



Key

S_a auxiliary circuit-breakers

S_t circuit-breaker under test

u_E d.c. voltage applied to the insulated enclosure

u_{cs} voltage of the current circuit

i_{cs} current of the current circuit

i_v injected current

i_t test current

u_A resulting voltage between the energized terminal of the unit(s) under test and the enclosure

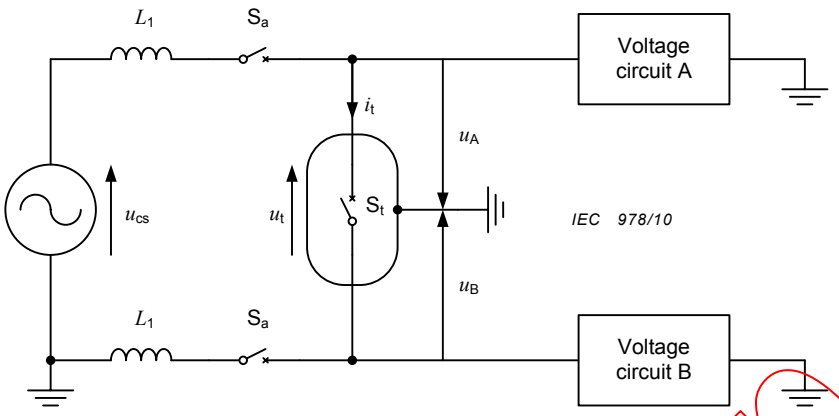
u_B resulting voltage between the earthed terminal of the unit(s) under test and the enclosure

u_t test voltage

Figure N.7b – Qualitative current and voltage waveshapes

Figure N.7 – Capacitive synthetic current injection circuit – Example of unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with d.c. voltage source

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

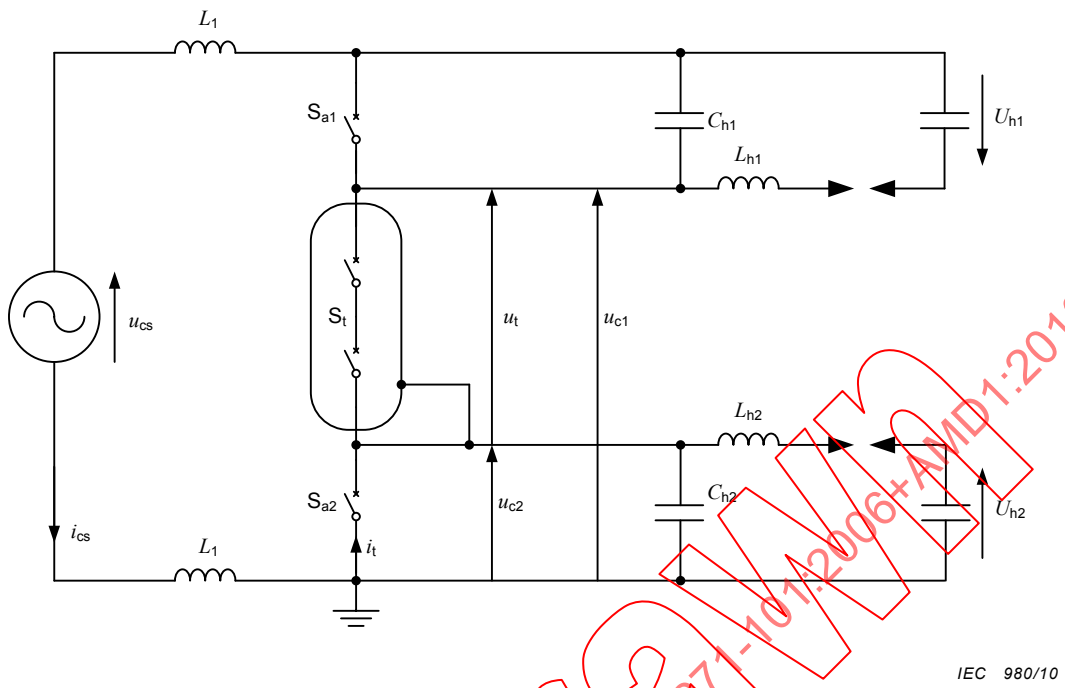


Key

S_a	unit(s) of the circuit-breaker used as auxiliary circuit-breaker
S_t	unit(s) of the circuit-breaker used as test circuit-breaker
u_A	voltage applied to one terminal of the circuit-breaker under test
u_B	voltage applied to the other terminal of the circuit-breaker under test
u_t	test voltage
u_{cs}	voltage of the current circuit
i_t	current through S_t
L_1	inductances of the current circuit

Figure N.8 – Symmetrical synthetic test circuit for out-of-phase switching tests on a complete pole of a circuit-breaker

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



Key

S_{a1}, S_{a2}	auxiliary circuit-breakers
S_t	circuit-breaker under test
u_{c1}	voltage applied to one terminal of the circuit-breaker under test
u_{c2}	voltage applied to the other terminal and the enclosure of the circuit-breaker under test
u_t	test voltage
u_{cs}	voltage of the current circuit
i_t	current through S_t
L_1	inductances of the current circuit--

Figure N.9 – Full pole test with voltage applied to both terminals and the metal enclosure

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Bibliography

IEC 60050(441), *International Electrotechnical Vocabulary (IEV) – Chapter 441: Switchgear, controlgear and fuses*

_____

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

SOMMAIRE

AVANT-PROPOS 159
INTRODUCTION (à l'amendement 1) 161

1 Domaine d'application 162
2 Références normatives 162
3 Termes et définitions 162
4 Techniques et méthodes d'essais synthétiques pour les essais de coupure en court-circuit 164
4.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques de coupure 164
4.2 Exigences spécifiques de chaque circuit d'essais synthétiques pour les essais de coupure 167
4.3 Méthodes d'essais synthétiques triphasés 170
5 Techniques et méthodes d'essais synthétiques pour les essais d'établissement en court-circuit 172
5.1 Principes fondamentaux et exigences générales pour les méthodes synthétiques d'établissement 172
5.2 Circuit d'essais synthétiques pour essais d'établissement et exigences spécifiques s'y rapportant 173
6 Exigences spécifiques pour les essais synthétiques de fermeture et de coupure relatives aux exigences de 6.102 à 6.111 de la CEI 62271-100 174

Annexe A (informative) Déformation du courant 196
Annexe B (informative) Méthodes par injection de courant 212
Annexe C (informative) Méthodes par injection de tension 217
Annexe D (informative) Circuit de Skeats (ou par transformateur) 220
Annexe E (normative) Indications à donner et résultats à enregistrer lors d'essais synthétiques 223
Annexe F (informative) Procédures d'essais particulières pour les disjoncteurs équipés de résistances de coupure parallèles 224
Annexe G (informative) Méthodes d'essais synthétiques pour l'établissement et la coupure de courants capacitifs 227
Annexe H (informative) Méthodes de réallumage pour l'entretien de l'arc 239
Annexe I (normative) Réduction du di/dt et de la TTR pour la séquence d'essais T100a 243
Annexe J (informative) Circuits d'essais synthétiques triphasés 257
Annexe K (normative) Procédure d'essai utilisant un circuit de courant triphasé et un circuit de tension 265
Annexe L (normative) Séparation des séquences d'essais en séries d'essais en tenant compte de la TTR exacte de chaque pôle qui coupe 284
Annexe M (normative) Tolérances sur les paramètres d'essais lors des essais de type 294
Annexe N (informative) Circuits d'essai types pour les disjoncteurs sous enveloppe métallique et à cuve mise à la terre 297

Bibliographie 297

Figure 1 – Processus de coupure – Périodes principales 187
Figure 2 – Exemple de tension de rétablissement 188

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant 189
Figure 4 – Processus d'établissement – Instants principaux 190
Figure 5 – Circuit d'essais synthétiques de fermeture type pour les essais monophasés 192
Figure 6 – Circuit type d'essais synthétiques d'établissement pour les essais triphasés (k_{pp} = 1,5) 193
Figure 7 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec k_p =1,5 194
Figure 8 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec k_{pp}=1,5 195
Figure A.1 – Circuit direct, schéma simplifié 203
Figure A.2 – Courant de court-circuit présumé 203
Figure A.3 – Courant déformant 203
Figure A.4 – Courant déformant 204
Figure A.5 – Schéma de circuit simplifié 205
Figure A.6 – Caractéristiques du courant et de la tension d'arc pour courant symétrique 206
Figure A.7 – Caractéristiques de courant et de tension d'arc pour courant asymétrique 207
Figure A.8 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant 208
Figure A.9 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant 209
Figure A.10 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant 210
Figure A.11 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant 211
Figure B.1 – Circuit type à injection de courant où la source de tension est en parallèle avec le disjoncteur en essai 214
Figure B.2 – Séquence de l'injection du courant dans le circuit de la Figure B.1 214
Figure B.3 – Circuit type à injection de courant où la source de tension est en parallèle avec le disjoncteur auxiliaire 215
Figure B.4 – Séquence de l'injection du courant dans le circuit de la Figure B.3 215
Figure B.5 – Exemples de détermination de la durée de changement significatif de la tension d'arc à partir d'oscillogrammes 216
Figure C.1 – Schéma caractéristique de l'injection de tension avec la source de tension en parallèle avec le disjoncteur auxiliaire (schéma simplifié) 218
Figure C.2 – Formes d'ondes de TTR obtenues dans un circuit à injection de tension avec la source de tension en parallèle avec le disjoncteur auxiliaire 219
Figure D.1 – Circuit de Skeats ou par transformateur 221
Figure D.2 – Circuit de Skeats ou par transformateur déclenché 222
Figure G.1 – Circuits de courant capacitif (mode parallèle) 230
Figure G.2 – Circuit à injection de courant 231
Figure G.3 – Circuit oscillant LC 232
Figure G.4 – Source de courant inductive en parallèle avec le circuit oscillant LC 233
Figure G.5 – Circuit à injection de courant, tension de rétablissement normale appliquée aux deux bornes du disjoncteur en essai 234
Figure G.6 – Circuit d'essais synthétiques (circuit série), tension de rétablissement normale appliquée aux deux bornes du disjoncteur en essai 235
Figure G.7 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur en essai 236

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Figure G.8 – Circuit d'essai d'établissement 237
Figure G.9 – Circuit d'établissement du courant d'appel de fermeture 238
Figure H.1 – Schéma type du circuit de réallumage servant à prolonger la durée d'arc 240
Figure H.2 – Circuits combinés à injection de courant et de Skeats 241
Figure H.3 – Formes d'ondes typiques obtenues pendant un essai asymétrique en utilisant le circuit de la Figure H.2 242
Figure J.1a – Circuit combiné d'essais synthétiques triphasés 259
Figure J.1b – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; k_{pp} = 1,5) réalisé conformément au circuit combiné d'essais synthétiques triphasés 260
Figure J.2a – Circuit d'essais synthétiques triphasés avec injection dans toutes les phases pour k_{pp} = 1,5 261
Figure J.2b – Formes d'ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; k_{pp} =1,5) réalisé conformément au circuit d'essais synthétiques triphasés avec injection dans toutes les phases 262
Figure J.3a – Circuit d'essais synthétiques triphasés pour les essais de défauts aux bornes avec k_{pp} = 1,3 (méthode par injection de courant) 263
Figure J.3b – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; k_{pp} =1,3) réalisé conformément au circuit d'essais synthétiques triphasés représenté à la Figure J.3a 263
Figure J.3c – Formes d'ondes de la TTR du circuit d'essai décrit à la Figure J.3a 264
Figure K.1 – Exemple d'une source de courant triphasée avec une injection synthétique monophasée 275
Figure K.2 – Représentation des conditions d'essais du Tableau K.1a 276
Figure K.3 – Représentation des conditions d'essais du Tableau K.1b 277
Figure K.4 – Représentation des conditions d'essais du Tableau K.2a 278
Figure K.5 – Représentation des conditions d'essais du Tableau K.2b 279
Figure K.6 – Représentation des conditions d'essais du Tableau K.3a 280
Figure K.8 – Représentation des conditions d'essais du Tableau K.4a 282
Figure K.9 – Représentation des conditions d'essais du Tableau K.4b 283
Figure L.1 – Représentation graphique de l'essai représenté au Tableau L.1 290
Figure L.2 – Représentation graphique de l'essai représenté au Tableau L.2 291
Figure N.1 – Circuit d'essai pour essais par éléments séparés (disjoncteur avec interaction due à la circulation de gaz) 298
Figure N.2 – Essais d'un demi-pôle d'un disjoncteur dans le circuit d'essai donné à la Figure N.1 – Exemple des TTR requises devant être appliquées entre les bornes de l'unité (des unités) soumise(s) à l'essai et entre les éléments sous tension et l'enveloppe isolée 299
Figure N.3 – Circuit d'essai synthétique pour essais par éléments séparés (si l'essai par éléments séparés est autorisé par le Paragraphe 6.102.4.2 de la CEI 62271-100:2008) 300
Figure N.4 – Essais d'un demi-pôle d'un disjoncteur dans le circuit d'essai de la Figure N.3 – Exemple des TTR requises devant être appliquées entre les bornes de l'unité (des unités) soumise(s) à l'essai et entre les éléments sous tension et l'enveloppe isolée 301
Figure N.5 – Circuit d'injection de courant capacitif avec enveloppe du disjoncteur sous tension 302
Figure N.6 – Circuit synthétique capacitif utilisant deux sources de fréquence et avec l'enveloppe du disjoncteur sous tension 303

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Figure N.7 – Circuit d'injection de courant synthétique capacitif – Exemple d'essais par éléments séparés d'un demi-pôle d'un disjoncteur ayant deux éléments par pôle – Enveloppe alimentée par une source de tension c.c. 304

Figure N.8 – Circuit d'essai synthétique symétrique pour les essais d'établissement et de coupure en discordance de phases d'un pôle complet de disjoncteur 305

Figure N.9 – Essai de pôle complet avec une tension appliquée aux bornes et à l'enveloppe métallique 306

Tableau 1 – Circuits d'essais pour les séquences d'essais T100s et T100a 170

Tableau 2 – Séquences d'essais T10, T30, T60 et T100s 171

Tableau 2a – Facteur de premier pôle: 1,5 – Paramètres d'essais pendant la coupure triphasée 171

Tableau 2b – Facteur de premier pôle: 1,3 – Paramètres d'essais pendant la coupure triphasée 171

Tableau 3 – Méthodes d'essais synthétiques pour les séquences d'essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF 185

~~Tableau I.1a – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 50Hz τ = 45 ms ..... 244~~

~~Tableau I.1b – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 50Hz τ = 60 ms ..... 245~~

~~Tableau I.1c – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 50Hz τ = 75 ms ..... 246~~

~~Tableau I.1d – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 50 Hz τ = 120 ms ..... 247~~

~~Tableau I.2a – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 60Hz τ = 45 ms ..... 248~~

~~Tableau I.2b – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 60 Hz τ = 60 ms ..... 249~~

~~Tableau I.2c – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 60 Hz τ = 75 ms ..... 250~~

~~Tableau I.2d – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 60 Hz τ = 120 ms ..... 251~~

Tableau ~~I.3a~~ I.1a – Réduction du d*i*/d*t* de la dernière alternance en 50 Hz dans des conditions triphasées avec le premier pôle qui coupe en phase A et l'asymétrie requise en phase C 252

Tableau ~~I.3b~~ I.1b – Réduction du d*i*/d*t* de la dernière alternance en 60 Hz dans des conditions triphasées avec le premier pôle qui coupe en phase A et l'asymétrie requise en phase C 253

Tableau ~~I.4a~~ I.2a – Valeurs corrigées de TTR pour k_{pp} = 1,3 et f_r = 50 Hz 254

Tableau ~~I.4b~~ I.2b – Valeurs corrigées de TTR pour k_{pp} = 1,3 et f_r = 60 Hz 255

Tableau ~~I.4c~~ I.2c – Valeurs corrigées de TTR pour k_{pp} = 1,5 et f_r = 50 Hz 256

Tableau ~~I.4d~~ I.2d – Valeurs corrigées de TTR pour k_{pp} = 1,5 et f_r = 60 Hz 256

Tableau K.1a – Démonstration des durées d'arc pour un facteur de premier pôle de 1,5 266

Tableau K.1b – Démonstration alternative des durées d'arc pour un facteur de premier pôle de 1,5 267

Tableau K.2a – Démonstration des durées d'arc pour un facteur de premier pôle de 1,3 268

Tableau K.2b – Démonstration alternative des durées d'arc pour un facteur de premier pôle de 1,3 269

Tableau K.3a – Démonstration des durées d'arc pour un facteur de premier pôle de 1,5 271

Tableau K.3b – Autre démonstration des durées d'arc pour un facteur de premier pôle de 1,5 272

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Tableau K.4a – Démonstration des durées d'arc pour un facteur de premier pôle de 1,3 273
Tableau K.4b – Autre démonstration des durées d'arc pour un facteur de premier pôle de 1,3 274
Tableau L.1 – Procédure d'essais pour un facteur de premier pôle de 1,5 285
Tableau L.2a – Démonstration alternative des durées d'arc pour un facteur de premier pôle de 1,3 286
Tableau L.2b – Procédure d'essais simplifiée pour un facteur de premier pôle de 1,3 287
Tableau L.3 – Procédure d'essais pour des courants asymétriques dans le cas d'un facteur de premier pôle de 1,5 288
Tableau L.4 – Procédure d'essais pour des courants asymétriques dans le cas d'un facteur de premier pôle de 1,3 289
Tableau L.5 – Conditions d'arc requises en ° pour les différentes conditions asymétriques, f_r = 50 Hz 292
Tableau L.6 – Conditions d'arc requises en ° pour les différentes conditions asymétriques, f_r = 60 Hz 293
Tableau M.1 – Tolérances sur les paramètres d'essais lors des essais de type 296

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

APPAREILLAGE À HAUTE TENSION –

Partie 101: Essais synthétiques

AVANT-PROPOS

1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.

2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.

3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.

4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.

5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.

6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.

7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.

8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.

9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

Cette version consolidée de la CEI 62271-101 comprend la première édition (2006) [documents 17A/753/FDIS et 17A/755/RVD] et son amendement 1 (2010) [documents 17A/907/FDIS et 17A/919/RVD]. Elle porte le numéro d'édition 1.1.

Le contenu technique de cette version consolidée est donc identique à celui de l'édition de base et à son amendement; cette version a été préparée par commodité pour l'utilisateur. Une ligne verticale dans la marge indique où la publication de base a été modifiée par l'amendement 1. Les ajouts et les suppressions apparaissent en rouge, les suppressions sont barrées.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

La Norme internationale CEI 62271-101 a été établie par le sous-comité 17A: Appareillage à haute tension, du comité d'études 17 de la CEI: Appareillage.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Cette publication doit être lue conjointement avec la CEI 62271-100. La numérotation des paragraphes de l'Article 6 reprend celle de la CEI 62271-100. Néanmoins, tous les paragraphes de la CEI 62271-100 ne sont pas concernés, uniquement ceux où les essais synthétiques ont introduit des changements.

La série CEI 62271 comprend les parties suivantes, sous le titre général *Appareillage à haute tension :*[1]

Partie 100: Disjoncteurs à courant alternatif à haute tension

Partie 101: Essais synthétiques

Partie 102: Sectionneurs et sectionneurs de terre à courant alternatif

Partie 104: Interrupteurs à haute tension de tension assignée égale ou supérieure à 52 kV

Partie 105: Combinés interrupteurs-fusibles pour courant alternatif

Partie 107: Circuits-switchers fusiblés pour courant alternatif de tension assignée supérieure à 1 kV et jusqu'à 52 kV inclus

Partie 108: Disjoncteur-sectionneur à courant alternatif à haute tension de tension assignée supérieure ou égale à 72,5 kV

Partie 109: Interrupteurs de contournement pour condensateurs série à courant alternatif

Partie 110: Manoeuvre de charges inductives

La liste des autres parties de la série CEI 62271 se trouve sur le site internet de la CEI http://www.iec.ch. Une information complémentaire est disponible à : http://tc17.iec.ch.

Le comité a décidé que le contenu de la publication de base et de ses amendements ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "http://webstore.iec.ch" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo *"colour inside"* qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

[1] Certaines de ces parties sont toujours en train d'être développées.

INTRODUCTION
(à l'amendement 1)

Cet amendement annule et remplace la CEI 61633.

L'édition d'origine de la CEI 62271-101 (2006) fait d'amples références à la CEI 62271-100:2001. Depuis lors, une nouvelle édition de la CEI 62271-100 a été publiée (2008). Dans cet amendement, il est fait référence à la CEI 62271-100:2008. Sauf si c'est explicitement indiqué dans cet amendement, toutes les références de l'édition d'origine de la CEI 62271-101 (2006) font encore référence à la CEI 62271-100:2001. Un second amendement de la CEI 62271-101 est à l'étude, il fera des mises à jour de toutes les références croisées à la nouvelle CEI 62271-100:2008.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

APPAREILLAGE À HAUTE TENSION –

Partie 101: Essais synthétiques

1 Domaine d'application

La présente partie de la CEI 62271 s'applique principalement aux disjoncteurs à courant alternatif définis dans le domaine d'application de la CEI 62271-100. Elle donne les règles générales d'essais de ces disjoncteurs, pour les pouvoirs de fermeture et de coupure dans la gamme des séquences d'essais décrites de 6.102 à 6.111 de la CEI 62271-100, à l'aide de méthodes d'essais synthétiques.

NOTE Les circuits pour les séquences d'essais décrites en 6.111 n'ont pas encore été normalisés. Néanmoins, les méthodes existantes sont indiquées à l'Annexe G.

Il a été démontré que l'essai synthétique est un moyen économique et techniquement valable pour essayer les disjoncteurs à courant alternatif à haute tension selon les exigences de la CEI 62271-100, et qu'il est équivalent à un essai direct.

Les méthodes et techniques décrites sont celles d'usage courant. L'objet de cette norme est d'établir des critères pour les essais synthétiques et pour l'évaluation correcte des résultats. Ces critères établissent la validité de la méthode d'essai sans limiter l'invention de nouveaux circuits d'essais.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

~~CEI 61633:1995, *Disjoncteurs à courant alternatif à haute tension – Guide pour la procédure d'essai d'établissement et de coupure de courants de court-circuit et de courants de charge pour les disjoncteurs sous enveloppe métallique et à cuve mise à la terre*~~

CEI 62271-100:~~2001~~ 2008, *Appareillage à haute tension – Partie 100: Disjoncteurs à courant alternatif* [2] ~~*à haute tension*~~

CEI 62271-308:2002, *Appareillage à haute tension – Partie 308: Guide pour la séquence d'essais T100a de coupure de courants de court-circuit asymétriques*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions de la CEI 62271-100, ainsi que les termes et définitions suivants, s'appliquent:

3.1
essai direct
essai dans lequel la tension appliquée, le courant, la tension de rétablissement, transitoire et à fréquence industrielle, sont tous obtenus à partir d'un circuit ayant une seule source de puissance. Cette source peut être un réseau ou des alternateurs spéciaux comme ceux qui sont utilisés dans les stations d'essais de court-circuit ou une combinaison des deux

---

[2] Sauf si c'est explicitement indiqué autrement, toutes les références à la CEI 62271-100 font référence à la CEI 62271-100:2001. Un second amendement de la CEI 62271-101 est à l'étude ; il fera une mise à jour de toutes les références croisées à la nouvelle CEI 62271-100:2008.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

3.2
essai synthétique
essai dans lequel la totalité du courant ou la plus grande partie de celui-ci est obtenue à partir d'une source (source de courant) et dans lequel la tension appliquée et/ou les tensions de rétablissement (transitoire et à fréquence industrielle) sont obtenues en totalité ou en partie à partir d'une ou de plusieurs sources séparées (circuits de tension)

3.3
disjoncteur en essai
disjoncteur soumis aux essais (voir 6.102.2 de la CEI 62271-100 :2001)

3.4
disjoncteur(s) auxiliaire(s)
disjoncteur(s) introduit(s) dans le circuit d'essais synthétiques et utilisé(s) pour séparer ou relier les différents circuits au disjoncteur en essai

3.5
source de courant
partie du circuit d'essais synthétiques fournissant la plus grande part du courant à fréquence industrielle ou sa totalité

3.6
source de tension
partie du circuit d'essais synthétiques fournissant la plus grande part de la tension appliquée et/ou de la tension de rétablissement ou sa totalité

3.7
courant présumé (d'un circuit pour un disjoncteur donné)
courant qui circulerait dans le circuit si chaque pôle du disjoncteur en essai et du disjoncteur auxiliaire était remplacé par un conducteur d'impédance négligeable

[VEI 441-17-01, modifiée]

3.8
courant réel
courant circulant dans le disjoncteur en essai (courant présumé modifié par les tensions d'arc des disjoncteurs en essai et auxiliaire)

3.9
courant déformant
courant calculé égal à la différence entre le courant présumé et le courant réel

3.10
courant post-arc
courant qui circule dans l'espace entre les contacts d'arc d'un disjoncteur lorsque le courant et la tension d'arc sont devenus nuls et que la tension transitoire de rétablissement a commencé à croître

3.11
méthode par injection de courant
méthode d'essais synthétiques dans laquelle le circuit de tension est appliqué au disjoncteur en essai avant le zéro de courant à fréquence industrielle

3.12
courant transitoire initial d'établissement
ITMC
courant transitoire circulant à travers le disjoncteur lors de l'établissement à l'instant du claquage en tension et avant le début du courant généré par le circuit de courant

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

3.13
courant injecté
courant fourni par la source de tension d'un circuit à injection de courant au moment où cette source est reliée au disjoncteur en essai

3.14
méthode par injection de tension
méthode d'essais synthétiques dans laquelle le circuit de tension est appliqué au disjoncteur en essai après le zéro de courant à fréquence industrielle

3.15
conditions du réseau de référence
conditions d'un réseau électrique ayant les paramètres constitutifs dont les valeurs assignées et les valeurs d'essais de la CEI 62271-100 sont dérivées

3.16
retard de l'enclencheur
t_m
intervalle de temps, au cours d'un essai synthétique d'établissement, entre l'instant du claquage de la tension appliquée et l'injection de courant à partir du circuit de courant

3.17
durée minimale d'interruption
somme de la durée minimale d'ouverture, de la durée minimale de la protection par relais (½ cycle), et de la durée d'arc minimale de coupure après une petite onde par le premier pôle à interrompre, uniquement au cours de la séquence d'essais T100a, tel que spécifié par le constructeur. Il convient d'utiliser cette définition uniquement pour la détermination des paramètres d'essais pour la séquence d'essais T100a.

NOTE 1 Il convient que la durée minimale de coupure obtenue au cours des essais ne soit pas inférieure à la valeur spécifiée par le constructeur. Avant les essais, il convient de mesurer la durée minimale d'ouverture avec la tension maximale appliquée aux bornes de la bobine de déclenchement, la pression maximale pour la manœuvre et la pression minimale pour la coupure. Si la durée minimale d'ouverture mesurée avant les essais est inférieure à celle indiquée par le constructeur, il convient d'utiliser cette valeur inférieure pour la détermination des paramètres d'essais requis.

NOTE 2 Cette définition suppose que la durée minimale de coupure obtenue avec la pression minimale pour la coupure est similaire à celle qui serait obtenue avec la pression maximale pour la coupure. Normalement, la durée minimale de coupure est obtenue avec la pression maximale pour la coupure. Si une telle condition de pression résulte en une durée minimale de coupure telle que la gamme de durées minimales de coupure applicable pour les essais (telle que donnée aux Tableaux 1a à 2d de la CEI 62271-308:2002) est différente de celle obtenue à la pression minimale pour la coupure, il est alors permis de vérifier la durée minimale de coupure en utilisant la pression maximale pour la coupure.

3.18
pré-amorçage
claquage en tension entre les contacts au cours d'une manœuvre d'enclenchement qui provoque le passage du courant

4 Techniques et méthodes d'essais synthétiques pour les essais de coupure en court-circuit

4.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques de coupure

Toute méthode d'essai synthétique retenue doit contraindre le disjoncteur en essai de manière adéquate. L'adéquation est généralement établie dès que la méthode d'essai satisfait aux exigences exposées dans les paragraphes suivants.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Le disjoncteur a deux positions: fermé et ouvert. Fermé, il conduit le plein courant avec une chute de tension négligeable entre ses contacts. Ouvert, il ne laisse passer qu'un courant négligeable mais avec la pleine tension entre ses contacts. Cela définit les deux contraintes principales, la contrainte en courant et la contrainte en tension, qui sont séparées dans le temps.

Si l'on observe plus précisément les contraintes en tension et courant pendant le processus de coupure (Figure 1), trois périodes principales peuvent être distinguées:

– Période de fort courant

  Cette période est définie par le temps entre la séparation des contacts et le début du changement significatif de la tension d'arc. La période de fort courant précède les périodes d'interaction et de haute tension.

– Période d'interaction

  Cette période est définie par le temps séparant le début du changement significatif de la tension d'arc avant le zéro de courant, de la disparition du courant dans le disjoncteur en essai, y compris, s'il existe, le courant post-arc (voir aussi l'Article B.2).

– Période de contrainte diélectrique

  Cette période est définie par le temps séparant la disparition du courant dans le disjoncteur en essai, y compris le courant post-arc, s'il existe, de la fin de l'essai.

4.1.1 Période de fort courant

Pendant la durée de fort courant, le disjoncteur en essai doit être contraint par le circuit d'essai de manière telle que les conditions initiales de la durée d'interaction, avec des tolérances à préciser, soient les mêmes que celles apparaissant dans les conditions du réseau de référence.

Dans les circuits d'essais synthétiques, le rapport entre la tension à fréquence industrielle de la source de courant et la tension d'arc est faible comparé à ce rapport lors d'essais dans les conditions du réseau de référence, pour deux raisons:

– la tension du circuit de courant est une fraction de la tension du réseau;

– les tensions d'arc des disjoncteurs en essai et auxiliaire s'ajoutent.

Il en résulte que la durée de l'alternance de courant et sa valeur à la crête en sont réduites. Cette déformation du courant est expliquée à l'Annexe A.

L'étude de l'énergie d'arc dégagée dans le disjoncteur en essai conduit à fixer les tolérances pour limiter l'influence de cette déformation sur deux grandeurs caractéristiques de la forme du courant, à savoir la valeur crête du courant et la durée de l'alternance de courant (voir Annexe A).

Les tolérances sur l'amplitude et la fréquence industrielle du courant de coupure présumé sont indiquées en 6.103.2 et 6.104.3 de la CEI 62271-100. Par conséquent, les conditions suivantes concernant le courant réel circulant dans le disjoncteur en essai doivent être satisfaites:

– pour les essais symétriques, l'amplitude du courant et la durée de la dernière alternance ne doivent pas être inférieures à 90 % des valeurs requises issues du courant assigné;

– pour les essais asymétriques, l'amplitude du courant et la durée de la dernière alternance doivent être comprises entre 90 % et 110 % des valeurs requises, issues du courant assigné et de la constante de temps (voir Tableaux ~~I.1a à I.2d~~ 15 à 22 de la CEI 62271-100:2008).

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Mesures d'ajustement:

L'amplitude et la durée de la dernière alternance de courant peuvent être ajustées par plusieurs moyens, tels que

– augmentation ou diminution de la valeur efficace du courant d'essai de court-circuit,
– modification de la fréquence du courant d'essai,
– utilisation du pré-déclenchement ou du déclenchement retardé,
– modification de l'instant de l'injection de courant (composante continue initiale).

A titre de référence, voir 5.3 de la CEI 62271-308.

4.1.2 Période d'interaction

Pendant la période d'interaction, la contrainte provoquée par le courant de court-circuit se change en contrainte à haute tension et, selon le comportement du disjoncteur, les tensions et courant du circuit peuvent être fortement affectés. Quand le courant décroît vers zéro, la tension d'arc peut augmenter en chargeant une capacité parallèle et déformer le courant traversant l'arc. Après le zéro de courant, la conductivité post-arc peut introduire un amortissement supplémentaire de la tension transitoire de rétablissement et, par là, modifier la tension entre les contacts du disjoncteur et l'énergie fournie à l'espace ionisé entre les contacts. L'interaction entre circuit et disjoncteur immédiatement avant et après le zéro de courant (c'est-à-dire pendant la durée d'interaction) est d'une extrême importance pour le phénomène de coupure.

Pendant cette durée d'interaction, les formes d'ondes de courant et de tension doivent être les mêmes en essais synthétiques que dans le réseau de référence (voir 3.15), en prenant en compte les modifications possibles de ces courant et tension par rapport aux valeurs présumées, dues à l'interaction entre le circuit et le disjoncteur.

La durée d'interaction représente la période critique pour une défaillance de coupure du disjoncteur en mode thermique. Par conséquent, il est d'une extrême importance que la forme et l'amplitude de la tension transitoire de rétablissement (TTR) présumée correspondent à celles associées au courant présumé de la séquence d'essais concernée.

Cela impose des exigences strictes pour le circuit d'essai. Pour la méthode par injection de courant, les exigences sont indiquées en 4.2.1 et pour la méthode par injection de tension, les exigences sont indiquées en 4.2.2.

NOTE Selon le circuit d'essai utilisé, l'interaction entre le circuit et le disjoncteur en essai peut être perturbée par la présence du disjoncteur auxiliaire pendant la durée critique autour du zéro de courant.

Il convient que la tension d'arc du disjoncteur auxiliaire soit inférieure ou égale à la tension d'arc du disjoncteur en essai.

Si un disjoncteur auxiliaire à plus forte tension d'arc est utilisé, il peut être nécessaire d'augmenter la tension à fréquence industrielle de la source de courant.

4.1.3 Période de contrainte diélectrique

Pendant cette période, l'intervalle entre contacts du disjoncteur en essai est contraint par la tension de rétablissement.

La TTR présumée doit satisfaire aux exigences de 4.102, 4.105, 4.106 et 6.104.5 de la CEI 62271-100.

Les méthodes permettant de déterminer la TTR présumée dans les circuits d'essais synthétiques peuvent être choisies parmi celles décrites dans l'Annexe F de la CEI 62271-100.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

L'impédance de la source de tension doit être assez faible pour mettre en évidence les claquages, s'il y en a.

NOTE 1 Si le disjoncteur en essai est équipé de résistances de coupure parallèles, une procédure spéciale peut être nécessaire (voir Annexe F).

NOTE 2 Si la TTR est obtenue depuis plusieurs sources, il convient que la forme de l'onde résultante ne présente pas de discontinuité appréciable.

En principe, il convient que la tension de rétablissement à fréquence industrielle pour les séquences d'essais de court-circuit fondamentales soit de préférence alternative et qu'elle satisfasse aux exigences de 6.104.7 de la CEI 62271-100. Pendant les essais synthétiques, la tension de rétablissement est fournie par le circuit de tension soit directement, soit mise en série avec la source de courant. Cela fait apparaître une tension alternative, une tension continue ou leur combinaison, qui, dans la plupart des cas, décroît du fait de l'énergie limitée du circuit de tension. Il peut alors ne pas être possible de maintenir la tension de rétablissement pendant au moins 0,3 s comme spécifié en 6.104.7 de la CEI 62271-100. Les écarts par rapport à la tension de rétablissement spécifiée peuvent être acceptés si les conditions suivantes sont remplies:

– La valeur instantanée de la tension de rétablissement pendant une période égale au 1/8 d'un cycle de la fréquence assignée du disjoncteur ne doit pas être inférieure à la valeur instantanée équivalente de la tension de rétablissement à fréquence industrielle indiquée en 6.104.7 de la CEI 62271-100 qui, pour un essai avec un courant symétrique, apparaît avec une valeur crête minimale de $0{,}95 \times k_{pp} \times U_r \sqrt{2} / \sqrt{3}$

  où

  k_{pp} est le facteur de premier pôle;

  U_r est la tension assignée du disjoncteur.

– Si une tension de rétablissement continue, alternative, ou alternative et continue combinée décroissant exponentiellement, est utilisée, il convient que sa valeur instantanée (pour la tension continue) ou sa valeur crête (pour la tension alternative, ou alternative et continue combinée) soit, en principe, maintenue aussi près que possible de $U_r \sqrt{2} / \sqrt{3}$ et, dans tous les cas, ne doit pas descendre au-dessous de $0{,}5\, U_r \sqrt{2} / \sqrt{3}$ en moins de 0,1 s (voir Figure 2).

– Si une tension de rétablissement continue ou continue et alternative combinées, décroissant exponentiellement, impose une contrainte incorrecte au disjoncteur par rapport à celle due à la tension de rétablissement alternative spécifiée dans les conditions du réseau de référence, un autre circuit d'essai satisfaisant mieux à 6.104.7 de la CEI 62271-100 et aux limites indiquées ci-dessus peut alors être utilisé.

4.2 Exigences spécifiques de chaque circuit d'essais synthétiques pour les essais de coupure

4.2.1 Méthodes par injection de courant

En termes généraux, ces méthodes peuvent se décrire ainsi (voir Annexe B):

– le courant du circuit de tension est superposé au courant à fréquence industrielle dans le disjoncteur en essai avant la période d'interaction;

– un disjoncteur auxiliaire coupe le courant du circuit de courant avant la période d'interaction.

Pendant la période d'interaction, le disjoncteur en essai est soumis à la tension du circuit de tension dont l'impédance représente celle du réseau de référence. Cela explique la validité des méthodes par injection de courant. Plusieurs méthodes par injection de courant sont connues, mais seule l'injection de courant parallèle est décrite ici puisque c'est celle utilisée par la plupart des laboratoires d'essais. Les conditions suivantes doivent être remplies:

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+A1:2010 CSV
Withdrawn

a) *Circuit de mise en forme d'onde de la TTR*

1) La forme et l'amplitude de la TTR présumée doivent satisfaire aux valeurs spécifiées.

2) L'impédance d'onde équivalente Z_h (voir Figure 3) doit, idéalement, être égale à $(du/dt)/(di/dt)$ pendant la période d'interaction. (du/dt) est la vitesse d'accroissement de la tension transitoire de rétablissement spécifiée et di/dt est la vitesse de décroissance du courant de court-circuit spécifié.

3) La combinaison des capacités C_{dh} localisées ou réparties, en parallèle avec Z_h, provoque le temps de retard $t_d = Z_h \times C_{dh}$.

b) *Inductance du* circuit *de tension*

Sa valeur doit être comprise entre 1,0 et 1,5 fois l'inductance calculée à partir de la tension à fréquence industrielle équivalente divisée par le courant présumé.

c) *Fréquence du courant injecté et instant d'injection*

La fréquence du courant injecté doit être de préférence de l'ordre de 500 Hz avec une limite inférieure de 250 Hz et une limite supérieure de 1 000 Hz.

Afin d'éviter une influence anormale du courant à fréquence industrielle sur la forme d'onde, la limite inférieure de la fréquence du courant injecté est fixée à 250 Hz.

La fréquence maximale du courant injecté est déterminée par la durée de changement significatif de la tension d'arc, durée qui doit être plus courte que le temps pendant lequel l'arc est alimenté uniquement par le courant injecté. Pour cela, il convient que la période de la fréquence injectée soit d'au moins quatre fois la durée du changement significatif de tension d'arc (voir Annexe B).

L'instant initial du courant injecté doit être ajusté de façon telle que la durée durant laquelle le disjoncteur en essai est alimenté uniquement par le courant injecté soit moins d'un quart de la période de la fréquence du courant injecté, avec un maximum de 500 µs.

NOTE Il est conseillé de veiller à ne pas contraindre indûment le disjoncteur lorsque la durée pendant laquelle le disjoncteur en essai est alimenté seulement par le courant injecté est inférieure à 200 µs.

d) *Forme de l'onde de courant injecté*

La vitesse présumée de décroissance (di/dt) du courant injecté doit correspondre à celle du courant présumé à fréquence industrielle.

Pratiquement, aucune oscillation ne doit perturber le courant injecté pendant au moins 100 µs avant le zéro de courant.

4.2.2 Méthode par injection de tension

Plusieurs méthodes par injection de tension sont connues, mais seule la méthode d'injection série est décrite ici en termes généraux comme suit (voir aussi Annexe C):

– la tension fournie par le circuit de tension est appliquée au disjoncteur en essai après la période d'interaction;

– un condensateur en parallèle avec le disjoncteur auxiliaire est utilisé pour appliquer la tension de rétablissement au disjoncteur en essai;

– pendant les périodes de fort courant et d'interaction, seule la source de courant alimente le disjoncteur en essai.

La méthode par injection de tension ne doit pas être utilisée pour vérifier le comportement du disjoncteur pendant la phase thermique.

Par exemple, dans le cas des essais de défaut proche en ligne, en complément du circuit à injection de tension alimentant la TTR du côté source, un circuit à injection de courant qui est relié au côté ligne du disjoncteur en essai doit être utilisé pour fournir la tension transitoire côté ligne.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Quand cette méthode est utilisée pour les essais relatifs au comportement diélectrique du disjoncteur, les conditions suivantes doivent être respectées:

– il convient que le disjoncteur auxiliaire ait une tension d'arc inférieure ou égale à celle du disjoncteur en essai (voir Note en 4.1.2);

– le circuit de tension doit être conçu de manière à permettre la détection de réallumages ou de réamorçages s'ils apparaissent.

  La capacité aux bornes du disjoncteur auxiliaire doit donc être d'au moins 20 fois la capacité en parallèle avec le disjoncteur en essai. Il convient de prendre des dispositions pour éviter une déformation anormale du courant avant le zéro de courant à fréquence industrielle;

– aucune interruption de la contrainte ne doit provenir de la combinaison de la source de courant et de la source de tension.

4.2.3 Circuit de Skeats (ou par transformateur)

En termes généraux, cette méthode peut se décrire ainsi (voir aussi Annexe D):

– les courant et tension proviennent d'une même source;

– la tension de rétablissement à fréquence alternative est fournie par un transformateur élévateur dont le primaire est raccordé à la source de courant;

– la tension de rétablissement est appliquée au disjoncteur en essai par l'intermédiaire d'une impédance (généralement une résistance).

Le disjoncteur auxiliaire coupe le courant avant le disjoncteur en essai, dans un intervalle de temps court (le plus souvent environ 10 µs). Pendant ce court intervalle de temps, la valeur de la pente de courant di/dt dans le disjoncteur en essai est diminuée.

Le circuit de Skeats n'est donc pas valable pour réaliser des essais destinés à vérifier l'absence de réallumages thermiques du disjoncteur en essai. Il convient pour tester le comportement diélectrique d'un disjoncteur et peut être utilisé pour les essais d'établissement.

Le circuit de Skeats peut être facilement modifié pour fournir la pleine contrainte de tension pendant deux manœuvres d'une séquence (ou plus), par exemple aux fermeture et ouverture d'un cycle CO, aux ouvertures d'un cycle O – t – CO et même à des zéros de courant consécutifs d'une manœuvre d'ouverture. Voir Annexe D.

4.2.4 Autres méthodes d'essais synthétiques

D'autres méthodes peuvent être valables ou avantageuses pour l'essai de disjoncteurs de caractéristiques spécifiques ou pour l'essai de disjoncteurs à des performances spécifiques. Même lorsque ces méthodes ne sont pas décrites dans la présente norme, il peut être possible de les appliquer sous réserve d'une étude détaillée des conditions d'utilisation et de l'accord du constructeur et de l'utilisateur.

Il convient que les méthodes concernant les disjoncteurs sous enveloppe métallique et à cuve mise à la terre prennent en considération les recommandations de ~~la CEI 61633~~ l'Annexe O de la CEI 62271-100:2008.

Une méthode d'essai, applicable aux disjoncteurs munis d'une résistance de coupure parallèle, est décrite en Annexe F.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

4.3 Méthodes d'essais synthétiques triphasés

Les méthodes d'essais synthétiques triphasés doivent être appliquées pour l'essai des disjoncteurs qui ne peuvent pas être essayés en unipolaire selon 6.102.4.1 de la CEI 62271-100. Elles peuvent également être utilisées comme une alternative aux essais synthétiques monophasés, si approprié. Les séquences d'essais de court-circuit T10, T30 et T60 peuvent, dans tous les cas, être réalisées dans les circuits d'essais monophasés.

Afin de s'assurer que les contraintes appropriées dans l'élément de coupure et celles entre les pôles et, si approprié, l'enveloppe, sont appliquées, les exigences générales suivantes doivent être remplies:

a) le courant triphasé complet doit être fourni au disjoncteur tripolaire en essai;

b) les informations concernant les circuits d'essais requis pour les séquences d'essais T100s et T100a sont données au Tableau 1;

c) les paramètres d'essais pour chaque pôle à interrompre sont donnés aux Tableaux 2a et 2b;

d) il convient d'appliquer de préférence toutes les contraintes ci-dessus dans le même essai. Si cela est impossible, une procédure d'essais en plusieurs parties peut être nécessaire;

e) afin d'éviter de modifier le raccordement du circuit haute tension au disjoncteur entre les essais de chaque séquence d'essais, il est permis de garder le premier pôle à interrompre dans la même phase pendant toute la séquence, en tenant compte des exigences de 6.105.1 de la CEI 62271-100.

Tableau 1 – Circuits d'essais pour les séquences d'essais T100s et T100a

	T100s		T100a	
k_{pp}	**Premier pôle à interrompre**	**Autres pôles**	**Premier pôle à interrompre**	**Autres pôles**
1,5	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 lors de toutes les manœuvres	Application de circuits d'essais synthétiques de 4.2.1, 4.2.2 ou 4.2.3 lors de toutes les manœuvres	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 pendant au moins deux manœuvres. La troisième manœuvre peut être essayée avec 4.2.3	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 au moins lors de la manœuvre avec la grande alternance étendue et la durée d'arc la plus longue
1,3	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 pendant au moins deux manœuvres. La troisième manœuvre peut être essayée avec 4.2.3	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 au moins au deuxième pôle à interrompre lors de la manœuvre avec la durée d'arc la plus longue. Application de circuits d'essais synthétiques de 4.2.1 à 4.2.3 lors de toutes les autres manœuvres	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 pendant au moins deux manœuvres. La troisième manœuvre peut être essayée avec 4.2.3	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 au moins au deuxième pôle à interrompre lors de la manœuvre avec la grande alternance étendue et la durée d'arc la plus longue. Application de circuits d'essais synthétiques de 4.2.1 à 4.2.3 lors de toutes les autres manœuvres

k_{pp} facteur de premier pôle.

NOTE L'injection de tension n'est permise que s'il n'y a pas d'exigences de TTRI ou si ces exigences sont couvertes par les essais de défaut proche en ligne.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Tableau 2 – Séquences d'essais T10, T30, T60 et T100s

Tableau 2a – Facteur de premier pôle: 1,5 – Paramètres d'essais pendant la coupure triphasée

Crête de TTR en %				Crête de tension de rétablissement p.u.	d*u*/d*t* %	d*i*/d*t* %	Angle de phase °
		Au moment du premier pôle à couper	Au moment du deuxième et du troisième pôle à couper				
Phases	A	100	-	1	100	100	-
	B	0	58	1	70	87	90
	C	0	58	1	70	87	90
Entre phases	A – B	100	58	1,732			
	B – C	0	115	1,732			
	A – C	100	58	1,732			

TTR crête du premier pôle à couper: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$ (= 100 %).

1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$.

Le premier pôle à couper est en phase A.

Tableau 2b – Facteur de premier pôle: 1,3 – Paramètres d'essais pendant la coupure triphasée

Crête de TTR en %				Crête de tension de rétablissement p.u.	d*u*/d*t* %	d*i*/d*t* %	Angle de phase °
		Au moment du premier pôle à couper	Au moment du deuxième et du troisième pôle à couper				
Phases	A	100	- / -	1	100	100	-
	B	0	- / 77	1	70	57	120
	C	0	98 / -	1	95	89	77
Entre phases	A – B	100	- / 91	1,732			
	B – C	0	98 / 98	1,732			
	A – C	100	89 / -	1,732			

TTR crête du premier pôle à couper: $u_c = k_{af} \times k_{pp} \times U \times \sqrt{2}/\sqrt{3}$ (= 100 %)

1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$

Le premier pôle à couper est en phase A.

Le deuxième pôle à couper est en phase C.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

5 Techniques et méthodes d'essais synthétiques pour les essais d'établissement en court-circuit

5.1 Principes fondamentaux et exigences générales pour les méthodes synthétiques d'établissement

Pendant une fermeture sur un court-circuit, la distance entre contacts du disjoncteur est soumise à la tension appliquée selon 6.104.1 de la CEI 62271-100. Après l'instant de claquage, le disjoncteur est soumis au courant d'établissement selon 6.104.2.1 de la CEI 62271-100. Dans un circuit d'essais synthétiques, la tension appliquée est fournie par un circuit de tension séparé et le courant de court-circuit par un circuit de courant à tension réduite. Cette dernière est connectée au disjoncteur immédiatement après claquage de l'espace entre contacts au moyen d'un enclencheur rapide, par exemple un éclateur déclenché.

Toute méthode d'essai synthétique retenue doit contraindre le disjoncteur en essai de manière adéquate. L'adéquation est généralement établie dès que la méthode d'essai satisfait aux exigences exposées dans les paragraphes suivants.

Avant l'établissement, un disjoncteur supporte entre ses contacts la tension assignée entre phase et terre: à la fermeture, il est traversé par le courant de court-circuit assigné. Si les contraintes de tension et de courant sont plus finement étudiées pendant cet essai d'établissement (voir Figure 4), trois périodes principales apparaissent:

– Période de contrainte diélectrique

  La période de haute tension est la durée entre le commencement de l'essai, disjoncteur ouvert, et le moment du claquage de l'espace entre contacts;

– Période de pré-amorçage

  La période de pré-amorçage est la durée, pendant la fermeture des contacts du disjoncteur, entre l'instant de claquage de l'espace entre contacts et l'instant où les contacts se touchent;

– Période de fermeture et d'accrochage

  La période de fermeture et d'accrochage est la durée, pendant la fermeture du disjoncteur, séparant l'instant où les contacts se touchent de l'instant où le mouvement des contacts s'arrête (position fermée).

5.1.1 Période de contrainte diélectrique

Pendant cette durée, le disjoncteur doit être contraint par le circuit d'essai de manière telle que les conditions initiales de la durée de pré-amorçage, avec des tolérances à préciser, soient les mêmes que celles apparaissant dans les conditions suivantes du réseau de référence:

– La tension appliquée doit être conforme à l'exigence exposée en 6.104.1 de la CEI 62271-100;

– La relation de phase entre la tension appliquée et le courant de court-circuit doit correspondre au facteur de puissance assignée du circuit d'essai avec les tolérances indiquées en 6.103.1 de la CEI 62271-100.

5.1.2 Période de pré-amorçage

Pendant cette période, des forces électrodynamiques sont produites par le courant sur le disjoncteur et l'énergie d'arc produit des dégradations. Le courant possède trois composantes:

– le courant transitoire initial de fermeture ITMC;

– les composantes continue et alternative du courant de court-circuit.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Deux cas typiques peuvent se présenter selon l'instant de fermeture:

– le claquage apparaît près de la crête de la tension appliquée, établissant un courant presque symétrique. L'énergie de pré-arc et l'ITMC sont relativement élevés;
– le claquage apparaît près du zéro de la tension appliquée, établissant un courant asymétrique. L'énergie de pré-arc et l'ITMC sont négligeables, sauf dans le cas de fermeture non simultanée dans un pôle multichambre.

5.1.3 Périodes en position accrochée et de fermeture complète

Pendant ces périodes, le disjoncteur doit se fermer en présence des forces électrodynamiques dues au courant, et des forces de frottement des contacts. Le courant d'établissement doit donc satisfaire à 4.103 de la CEI 62271-100 pendant ces périodes.

5.2 Circuit d'essais synthétiques pour essais d'établissement et exigences spécifiques s'y rapportant

5.2.1 Généralités

Le circuit d'essai et les exigences spécifiques doivent satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100.

5.2.2 Circuit d'essai

Le circuit d'essai se compose de deux circuits, à savoir le circuit de courant et le circuit de tension. Des circuits types présentant des formes d'ondes de tension et de courant sont donnés à la Figure 5 pour le monophasé et à la Figure 6 pour le triphasé.

– le circuit de tension fournit
  - la tension appliquée pendant la période de contrainte diélectrique,
  - l'ITMC pendant la période de pré-amorçage, par la décharge du circuit ITMC;
– le circuit de courant fournit le courant d'établissement pendant les périodes de pré-amorçage et d'accrochage.

5.2.3 Exigences spécifiques

Lors d'un essai synthétique de fermeture, la relation de phase entre la tension d'essai appliquée et le courant de court-circuit dépend des paramètres suivants:

– facteur de puissance (cos φ) de la source de courant;
– déphasage (β) entre U_{cs} et U_h (si U_h est une tension alternative);
– retard de l'enclencheur (t_m).

La condition de manœuvre de fermeture correcte est satisfaite lorsque

$\beta + t_m' + (90 - \varphi) \leq 27$ ° dans le cas où U_h est une tension alternative et t_m est aussi court que possible, mais en aucun cas supérieur à 300 µs.

où $t_m' = (t_m / T) \times 360$ ° (avec T = 20 ms pour 50 Hz et T = 16,7 ms pour 60 Hz).

NOTE 1 Le circuit haute tension U_h peut être une source alternative, une source continue ou une combinaison des deux.

NOTE 2 β peut être négatif, si la tension U_h est obtenue par une source séparée.

Le courant injecté fourni par la source de tension doit permettre au courant de pré-amorçage de s'établir avant l'amorçage de l'éclateur. En conséquence, la constante de temps du circuit ITMC doit être suffisamment longue pour assurer le passage du courant pendant le retard de l'enclencheur.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

6 Exigences spécifiques pour les essais synthétiques de fermeture et de coupure relatives aux exigences de 6.102 à 6.111 de la CEI 62271-100

Les Paragraphes 6.102 à 6.111 de la CEI 62271-100 sont également applicables aux essais synthétiques. Cependant, des procédés spéciaux sont nécessaires dans certains cas. Ces cas sont exposés dans les paragraphes suivants. La numérotation des paragraphes correspond à celle de la CEI 62271-100. L'Annexe O de la CEI 62271-100:2008 donne les lignes directrices pour les essais des disjoncteurs sous enveloppe métallique ou à cuve mise à la terre.

6.102.4.2 Essais par éléments séparés

Pour l'application des méthodes d'essais synthétiques à une ou plusieurs unités d'un disjoncteur, les exigences de 6.102.4.2 de la CEI 62271-100:2008 sont applicables. Dans le cas de disjoncteurs sous enveloppe métallique ou à cuve mise à la terre, l'Annexe N donne des détails concernant des circuits d'essai types et l'Annexe O de la CEI 62271-100:2008 présente les lignes directrices appropriées pour les essais.

6.102.4.3 Essais en plusieurs parties

Des méthodes d'essais synthétiques des disjoncteurs équipés de résistances de coupure sont données en Annexe F.

Les manœuvres d'ouverture de disjoncteurs avec résistances de fermeture ne nécessitent pas de techniques d'essais particulières, étant donné que la résistance de fermeture n'influencera pas le circuit d'essai.

Les résistances de fermeture ne peuvent être essayées que dans un circuit direct qui fournit les contraintes correctes de courant et de tension à partir d'une source unique de puissance.

Au cours des essais synthétiques de fermeture, il est nécessaire de retirer la résistance de fermeture, afin d'obtenir les contraintes correctes de courant de court-circuit et les conditions de pré-amorçage dans l'interrupteur principal.

6.102.10 Démonstration des durées d'arc

Les exigences fondamentales devant être satisfaites sont données en 6.102.10 de la CEI 62271-100.

De manière à pouvoir réaliser les essais synthétiques avec les mêmes bases que les essais directs, il sera normalement nécessaire d'utiliser les méthodes spéciales de réallumage pour maintenir l'arc du disjoncteur en essai pendant le nombre nécessaire de zéros du courant à fréquence industrielle. L'Annexe H donne des méthodes de réallumage permettant la prolongation de l'arc.

La méthode «pas à pas», décrite en Annexe H, est celle utilisée dans la plupart des essais synthétiques. Elle est considérée comme étant une approximation suffisamment proche de la procédure d'essais directs.

La durée d'arc est prolongée par réallumages thermiques. Etant donné que cette méthode permet d'imposer que le disjoncteur en essai réallume en toutes circonstances, on doit veiller à ne pas réallumer le disjoncteur à un zéro de courant où il peut interrompre. Pour cela, il est nécessaire de déterminer pour chaque séquence d'essai de défaut aux bornes, de défaut proche en ligne et de discordance de phase, la durée d'arc minimale du disjoncteur. Au moins deux essais de coupure, une interruption et un réallumage, sont nécessaires à cette détermination.

L'interruption à la durée d'arc minimale est la première coupure valable. L'autre essai est réalisé pour prouver que le réallumage à un zéro de courant prématuré se produirait entre les contacts d'arc.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

NOTE 1 Les essais supplémentaires nécessaires pour prouver le comportement correct aux zéros de courant prématurés ne contribueront généralement que dans une faible mesure à l'usure des contacts, etc., étant donné la courte durée d'arc. C'est pourquoi il est recommandé que la remise en état de l'appareil ne soit pas nécessaire du fait de ces essais.

NOTE 2 Le ou les réallumages obtenus durant la détermination de la durée d'arc minimale n'indiquent pas un défaut du disjoncteur. Cependant, il est important de vérifier que ce réallumage s'est produit entre les contacts d'arc uniquement. Lorsque l'on utilise une méthode par injection de courant, la coupure du courant injecté quelques alternances après le réallumage est souvent un moyen utile d'appréciation. Il convient aussi d'effectuer l'examen détaillé des écrans, des contacts d'arc et des contacts principaux, etc., pour vérifier que le comportement est correct.

6.102.10.1 Essais triphasés

Selon le circuit d'essai utilisé, les procédures d'essais données ici peuvent ne pas couvrir les conditions du 3ème pôle à interrompre pour les réseaux mis directement à la terre (k_{pp} = 1,3). Pour ce cas, les mêmes procédures peuvent être appliquées, avec l'accord du constructeur, en combinant les paramètres de TTR et de di/dt pour le 2ème pôle à interrompre et la durée d'arc correspondant au 3ème pôle à interrompre. En variante, un essai supplémentaire peut être réalisé avec la TTR, di/dt et la durée d'arc maximale correspondant au 3ème pôle à interrompre.

Pour les autres procédures d'essais des disjoncteurs sous enveloppes multiples avec des caractéristiques de mécanisme d'entraînement qui nécessitent un courant triphasé, voir l'Annexe K.

6.102.10.1.1 Séquences d'essais T10, T30, T60, T100s(b)

La procédure d'essai est la suivante:

Pour la commodité des essais, le pôle de la phase A est maintenu comme le premier pôle à interrompre.

Premièrement, la durée d'arc minimale et le comportement de réallumage correct sont établis. Cela est réalisé en modifiant le réglage de l'ordre d'ouverture par pas de 18° (il est possible qu'il faille répéter cela plusieurs fois). Après avoir effectué cela, le réglage de la commande de l'ordre d'ouverture doit être avancé d'environ 40°, en commençant par la durée d'arc la plus courte avec laquelle le disjoncteur a coupé. Pour le dernier essai, le réglage de la commande de l'ordre d'ouverture doit être avancé d'environ 20°, en commençant par la durée d'arc la plus courte avec laquelle le disjoncteur a coupé.

– Première coupure valable: $t_{arc\ min}$, durée d'arc minimale en phase A;
– Essai de réallumage: $t_{arc\ reig}$ = $t_{arc\ min}$ – 18°, réallumage en phase A;
– Deuxième coupure valable: t_{max} = $t_{arc\ min}$ + 40°, durée d'arc la plus longue en phase A;
– Troisième coupure valable: t_{med} = $t_{arc\ min}$ + 20°, durée d'arc moyenne en phase A.

La première coupure valable et l'essai de réallumage se composent de manœuvres simples d'ouverture. Les deuxième et troisième coupures valables sont effectuées comme partie de la séquence de manœuvre assignée. Si la séquence de manœuvre assignée est CO-15s-CO, la troisième coupure valable n'est pas requise (voir 6.102.10 de la CEI 62271-100).

A titre de comparaison avec les réglages de durée d'arc utilisés dans les essais directs triphasés, voir la Figure 7.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

6.102.10.1.2 Séquence d'essais T100a

La procédure d'essai est la suivante:

Tous les essais se composent de manœuvres simples d'ouverture.

Afin de simplifier la procédure d'essai, le pôle en phase A est maintenu comme le premier pôle à interrompre, mais le pôle en phase C sera soumis à une usure électrique accrue. Afin d'obtenir une usure électrique similaire sur les pôles des phases B et C, les essais peuvent être réalisés en échangeant les pôles des phases B et C pour la troisième coupure valable.

Premièrement, la durée d'arc minimale (première manœuvre valable) et le comportement de réallumage sont vérifiés avec la grande alternance étendue se produisant en phase C. Cela est réalisé en modifiant le réglage de l'ordre d'ouverture par pas de 18° (il est possible qu'il faille répéter cela plusieurs fois).

La seconde coupure valable est réalisée avec l'asymétrie requise transposée en phase A. En même temps l'injection du courant de court-circuit et le réglage de l'ordre d'ouverture doivent être avancés de 60° par rapport à l'essai de réallumage.

La troisième coupure valable est réalisée avec l'asymétrie requise en phase C. L'injection du courant de court-circuit est retardée de 60° tandis que l'ordre d'ouverture est avancé de 10°, en se référant à la deuxième coupure valable.

– Première coupure valable: $t_{\text{arc min}}$
  - durée d'arc minimale en phase A,
  - conditions d'asymétrie requise en phase C ;
– Essai de réallumage: $t_{\text{arc reig}} = t_{\text{arc min}} - 18°$
  - réallumage en phase A,
  - conditions d'asymétrie requise en phase C ;
– Deuxième coupure valable: $t_{\text{arc max major}}$ dans le premier pôle à interrompre
  - injection du courant de court-circuit et réglage de l'ordre d'ouverture avancés de 60°, en se référant à $t_{\text{arc reig}}$,
  - conditions d'asymétrie requise en phase A ;
– Troisième coupure valable: $t_{\text{arc max major extended}}$
  - durée d'arc maximale en phase A,
  - conditions d'asymétrie requise en phase C;
  - injection du courant de court-circuit retardée de 60° et réglage de l'ordre d'ouverture avancé de 10°, en se référant à $t_{\text{arc max major}}$.

L'ordre des essais est donné uniquement pour des raisons pratiques.

A titre de comparaison avec les réglages de durée d'arc utilisés dans les essais directs triphasés, voir la Figure 8.

Les deuxième et troisième coupures valables peuvent être interchangées comme suit:

– Deuxième coupure valable: $t_{\text{arc max major extended}}$
  - durée d'arc la plus longue en phase A,
  - conditions d'asymétrie requises en phase C,
  - réglage de l'ordre d'ouverture avancé de 70°, en se référant à $t_{\text{arc reig}}$;

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

– Troisième coupure valable: $t_{arc\ max\ major}$ dans le premier pôle à interrompre

- injection du courant de court-circuit avancée de 60° et réglage de l'ordre d'ouverture retardé de 10°, en se référant à $t_{arc\ \ max\ major\ extended}$,
- conditions d'asymétrie requise en phase A.

Etant donné que certains disjoncteurs ne couperont pas à l'issue de la grande alternance, un essai est encore valable si le disjoncteur coupe après la petite alternance suivante.

NOTE Pour certains types de disjoncteurs, il peut apparaître que pour la troisième coupure valable ($t_{arc\ max\ major\ extended}$), la petite alternance du courant au zéro de courant précédent pourrait déjà être interrompue en phase B. Cela n'est pas vérifié dans la procédure décrite ci-dessus, mais peut être vérifié en retardant à la fois l'établissement du court-circuit et le réglage de l'ordre d'ouverture de 60°, en se référant à $t_{arc\ max\ major\ extended}$. Par conséquent, si une interruption se produit lors de la petite alternance précédente, la troisième coupure valable peut être répétée avec une durée d'arc plus courte, selon la durée d'arc à laquelle le disjoncteur n'interrompra pas cette petite alternance de courant.

6.102.10.2 Essais monophasés en substitution des essais triphasés

Les procédures décrites en 6.102.10.2 de la CEI 62271-100 sont applicables.

6.102.10.2.5 Séparation des séquences d'essais en séries d'essais en tenant compte de la TTR exacte de chaque pôle à couper

Les procédures décrites en 6.102.10.2.5 de la CEI 62271-100 sont applicables et la procédure d'essai pour les essais synthétiques est donnée à l'Annexe L.

6.104.5.4 Séquence d'essais T30

Pour les tensions assignées inférieures ou égales à 72,5 kV, il peut être difficile de satisfaire aux petites valeurs de t_3. Il convient d'utiliser la plus petite durée qui peut être obtenue, mais sans être inférieure aux valeurs spécifiées au Tableau 13 de la CEI 62271-100. Les valeurs utilisées doivent être indiquées dans le rapport d'essai.

6.104.5.5 Séquence d'essais T10

Pour les tensions assignées inférieures ou égales à 72,5 kV, il peut être difficile de satisfaire aux petites valeurs de t_3. Il convient d'utiliser la plus petite durée qui peut être obtenue, mais sans être inférieure aux valeurs spécifiées au Tableau 13 de la CEI 62271-100. Les valeurs utilisées doivent être indiquées dans le rapport d'essai.

6.106 Séquences d'essais de court-circuit fondamentales

Les exigences fondamentales sont données en 6.106 de la CEI 62271-100. Les méthodes d'essais synthétiques sont données au Tableau 3.

Les abréviations utilisées en 6.106 et au Tableau 3 sont données ci-dessous.

Cd	Manœuvre de fermeture dans un circuit direct à la tension de la source de courant qui peut être inférieure à la tension spécifiée en 6.104.1 de la CEI 62271-100
Cs	Manœuvre de fermeture avec des paramètres spécifiés dans un circuit d'essais synthétiques
Cd_{asy}	Manœuvre de fermeture avec le pouvoir d'établissement assigné en court-circuit selon 6.104.2 de la CEI 62271-100 dans un circuit direct aux conditions décrites en Cd
Cs_{sym}	Manœuvre de fermeture avec un courant symétrique égal au pouvoir de coupure assigné en court-circuit, effectuée à la tension appliquée requise dans un circuit d'essais synthétiques
Od	Manœuvre de coupure à la tension de la source de courant uniquement et avec le courant de coupure spécifié

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Os Manœuvre de coupure avec des paramètres spécifiés dans un circuit d'essais synthétiques

t Intervalle de temps entre les manœuvres (0,3 s ou 3 min selon la séquence de manœuvre assignée)

t' Intervalle de temps entre les manœuvres (3 min)

t'' Intervalle de temps entre les manœuvres (15 s)

SP Essai monophasé tel que défini en 6.108 de la CEI 62271-100

DEF Double défaut à la terre tel que défini en 6.108 de la CEI 62271-100

NOTE 1 Du fait des caractéristiques des essais synthétiques, il peut être difficile de respecter les intervalles de temps spécifiés des séquences de manœuvres assignées. Voir 6.105.1 de la CEI 62271-100.

NOTE 2 Pour satisfaire à toutes les exigences d'essai, il peut être nécessaire de réaliser plus de manœuvres que spécifié dans la séquence d'essais normale. Dans de tels cas, le disjoncteur peut être remis en état et la séquence d'essais répétée.

6.106.1 Séquence d'essais T10

Plusieurs procédures peuvent être utilisées pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 3).

6.106.2 Séquence d'essais T30

Plusieurs procédures peuvent être utilisées pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 3).

6.106.3 Séquence d'essais T60

Plusieurs procédures peuvent être utilisées pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 3).

6.106.4 Séquence d'essais T100s

Plusieurs procédures peuvent être utilisées pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 3), comme suit.

6.106.4.1 Cas où la constante de temps de la composante continue du circuit d'essai est égale à la valeur spécifiée

L'une des méthodes suivantes doit être utilisée lorsque la constante de temps du circuit d'essai est égale à la valeur spécifiée associée au pouvoir de coupure assigné en court-circuit défini en 4.101.2 de la CEI 62271-100.

Méthode 1

La procédure préférentielle consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Os – *t* – Cs Os – *t'* – CsOs ou

CsOs – *t*" – CsOs

avec une Cs satisfaisant à l'exigence a) et l'autre Cs satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Méthode 2

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Os suivie de

$$Od - t - Cs_{sym}Os - t' - Cd_{asy}Os \text{ ou}$$

$$Cs_{sym}Od - t'' - Cd_{asy}Os$$

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et Cd_{asy} satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100.

L'objet de la première Os est

– de respecter l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,
– de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

Méthode 3

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Cs_{sym} et Os suivies de

$$Od - t - CdOs - t' - CdOs \text{ ou}$$

$$CdOd - t'' - CdOs$$

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et l'une des deux Cd satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100.

L'objet de la première Os est

– de respecter l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,
– de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100, établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

6.106.4.2 Cas où la constante de temps de la composante continue du circuit d'essai est inférieure à la valeur spécifiée

L'une des méthodes suivantes doit être utilisée lorsque la constante de temps du circuit d'essai est inférieure à la valeur spécifiée associée au pouvoir de coupure assigné en court-circuit selon 4.101.2 de la CEI 62271-100.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Méthode 1

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Cd_{asy} et Os suivies de

Od – t – Cs_{sym}Os – t' – CdOs ou

Cs_{sym}Od – t'' – Cd Os

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et Cd_{asy} satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100.

L'objet de la première Os est

– de respecter l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,
– de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

Méthode 2

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Cd_{asy}, Cs_{sym} et Os suivies de

Od – t – CdOs – t' – CdOs ou

CdOd – t'' – CdOs

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et Cd_{asy} satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100.

L'objet de la première Os est:

– de respecter l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,
– de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

6.106.4.3 Cas où la constante de temps de la composante continue du circuit d'essai est supérieure à la valeur spécifiée

L'une des méthodes suivantes doit être utilisée lorsque la constante de temps du circuit d'essai est supérieure à la valeur spécifiée associée au pouvoir de coupure assigné en court-circuit selon 4.101.2 de la CEI 62271-100.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Méthode 1

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Os suivie de

$$Od - t - Cs_{sym}Os - t' - Cd_{asy}Os \text{ ou}$$

$$Cs_{sym}Od - t'' - Cd_{asy}Os$$

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et Cd_{asy} satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100.

L'objet de la première Os est

– de respecter l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,

– de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

Méthode 2

La procédure consiste à effectuer la séquence de manœuvre assignée complète comme suit:

Cs_{sym} et Os suivies de

$$Od - t - CdOs - t' - CdOs \text{ ou}$$

$$CdOd - t'' - CdOs$$

avec Od ayant la même condition de durée d'arc minimale que la Os précédente et l'une des deux Cd satisfaisant à l'exigence b) de 6.104.2.1 de la CEI 62271-100.

L'objet de la première Os est

– de respecter l'exigence d'avoir le nombre spécifié de manœuvres de coupure aux valeurs spécifiées,

– de donner les renseignements nécessaires pour permettre le réglage de l'ordre d'ouverture conformément aux exigences applicables pendant la séquence de la manœuvre suivante. Cela permet de déterminer les conditions de la durée d'arc minimale, comme si des essais directs avaient été réalisés aux valeurs spécifiées. Ces conditions doivent être reproduites pendant la manœuvre Od dans la séquence de manœuvre suivante.

L'objet de la Cs_{sym} est de satisfaire à l'exigence a) de 6.104.2.1 de la CEI 62271-100, d'établir un courant symétrique résultant d'un pré-amorçage initié à la crête de la tension appliquée.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

6.106.5 Séquence d'essais T100a

Trois manœuvres de coupure doivent être réalisées comme spécifié en 6.106.5 de la CEI 62271-100 (voir Tableau 3).

Pendant les essais avec courant asymétrique, la pente di/dt et la TTR sont modifiées par la présence de la composante continue. Pour les essais synthétiques, ces modifications doivent être préparées comme suit:

a) Selon la constante de temps en courant continu requise, les critères d'asymétrie suivants doivent être remplis comme indiqué ci-dessous et dans la CEI 62271-308 :

– amplitude de la dernière alternance de courant;

– durée de la dernière alternance de courant;

– pourcentage de la composante continue au zéro de courant (paramètre contrôlant di/dt et les paramètres de TTR suivants).

Plusieurs paramètres d'essais doivent être reproduits simultanément au cours de T100a afin d'obtenir une coupure valable.

Les valeurs pour la durée et l'amplitude de la dernière alternance et le pourcentage de la composante continue au zéro de courant final sont indiqués aux Tableaux ~~I.1a à I.2d de l'Annexe I~~ 15 à 22 de la CEI 62271-100:2008.

Le pourcentage présumé de composante continue au zéro de courant doit être calculé à partir du pourcentage de composante continue à la séparation des contacts pendant l'essai et à partir de la constante de temps en courant continu du circuit d'essai. La constante de temps en courant continu du circuit d'essai doit être mesurée à partir de l'oscillogramme d'un essai d'étalonnage de courant présumé dans la région correspondant à l'instant de séparation des contacts. L'instant d'établissement du court-circuit au cours des essais réels et au cours de l'essai d'étalonnage de courant présumé doit être de ±10°.

Pour l'essai d'étalonnage de courant présumé, il est nécessaire de prolonger la durée du courant d'au moins une alternance de courant supplémentaire, afin de pouvoir mesurer précisément le pourcentage présumé de la composante continue au zéro de courant prévu.

NOTE 1 Le pourcentage de la composante continue au zéro de courant au cours des essais réels peut également être calculé à l'aide de la formule suivante:

$$p_0 = p_{cs} \times \exp(-\frac{t_a}{\tau})$$

où

p_0 est le pourcentage de composante continue au zéro de courant au cours de l'essai réel;

p_{cs} est le pourcentage de composante continue à la séparation des contacts, mesuré au cours de l'essai réel;

t_a est la durée d'arc;

τ est la constante de temps en courant continu du circuit d'essai mesurée au cours de l'essai d'étalonnage de courant présumé.

Les critères d'asymétrie applicables à chaque méthode d'essai particulière sont décrits en 5.2 de la CEI 62271-308.

b) Réduction de di/dt au zéro de courant

La réduction de di/dt peut être obtenue pour les méthodes par injection de courant, en réduisant la tension de charge de la source de tension.

Les valeurs corrigées correspondantes sont indiquées aux Tableaux ~~I.1a à I.2d~~ 15 à 22 de la CEI 62271-100:2008 pour la condition de premier pôle à interrompre et aux Tableaux I.3a et I.3b pour la condition de deuxième pôle à interrompre dans la phase ayant le courant asymétrique complet.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

c) Correction de la TTR

1) Méthode simplifiée

Pour les TTR dont le temps t_2 ou t_3 n'excède pas 500 µs, une méthode simplifiée peut être utilisée.

Il convient que la tension de charge du circuit d'essais synthétiques soit fixée pour obtenir les paramètres d'essais les plus contraignants. Pour les essais sur la petite alternance, il s'agit de u_c, et pour la grande alternance, di/dt.

2) Pour les TTR dont le temps t_2 excède 500 µs, d'autres corrections et/ou des modifications de circuit doivent être utilisées. Pour les valeurs de TTR présumées requises, voir les Tableaux I.4a à I.4d.

NOTE 2 Différents circuits d'essais pour la grande et la petite alternances peuvent être nécessaires afin d'obtenir les valeurs requises. Un essai avec un seul circuit d'essai peut surcharger le disjoncteur et nécessite l'accord du constructeur.

d) Correction de la tension de rétablissement

Quand l'essai représente la coupure à la fin d'une grande alternance, la tension de rétablissement réduite couvrira correctement le premier quart de période de la tension de rétablissement (de l'essai direct correspondant).

Pour la coupure à la fin d'une petite alternance de courant, la tension de rétablissement réduite ne couvrira pas les conditions du réseau de référence, puisque la tension de rétablissement à fréquence industrielle continue de croître après l'établissement de la TTR.

Avec les séquences d'essais symétriques, on a assez d'éléments pour prouver les caractéristiques du disjoncteur.

6.108 Essais de défaut monophasé ou de double défaut à la terre

Les exigences d'essai fondamentales sont données en 6.108 de la CEI 62271-100. La méthode d'essai est présentée au Tableau 3.

6.109 Essais de défaut proche en ligne

Les exigences d'essai fondamentales sont données en 6.109 de la CEI 62271-100.

Les méthodes d'essais pour les essais de défaut proche en ligne sont données au Tableau 3.

La dernière alternance de courant avant l'interruption doit avoir une amplitude égale au courant d'essai fois $\sqrt{2}$ avec une tolérance de ±10 % y compris les dispositions de 4.1.1.

Pour les essais synthétiques de défaut proche en ligne, les paramètres du circuit de défaut proche en ligne doivent être ceux indiqués en 4.105 de la CEI 62271-100 et le circuit côté ligne doit être inséré dans le circuit de courant pendant la totalité de la durée d'interaction.

Avec des circuits à injection de courant, le circuit de défaut proche en ligne peut se mettre en série avec la source de tension, et son inductance est ajoutée à L_h, comme indiqué à la Figure B.1.

Ce circuit de défaut proche en ligne introduit dans la source de tension peut engendrer des oscillations qui se superposent à l'onde de courant injecté. Il convient que ces oscillations soient amorties (pour satisfaire à d) de 4.2.1), de manière à ne pas perturber le courant pendant la durée de changement significatif de la tension d'arc ou au moins pendant 100 µs avant le zéro de courant.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Une résistance peut être connectée en série avec le circuit de mise en forme de TTR. Dans la plupart des cas, cette résistance, destinée à imposer la vitesse de montée initiale de la tension de rétablissement, est suffisante pour assurer l'amortissement nécessaire.

NOTE 1 Il est recommandé d'apporter un soin particulier à la répartition des tensions et au mesurage des TTR présumées lorsque, pour les essais de défaut proche en ligne, la ligne est connectée du même côté du disjoncteur en essai comme l'impédance de la source de tension.

Si une capacité additionnelle est utilisée pour ajuster les retards selon 6.109.3 de la CEI 62271-100, il convient de veiller à l'endroit où cette capacité doit être appliquée :

– en utilisant une capacité côté ligne, elle doit être connectée aux bornes de la section ligne du circuit d'essai pour simuler les mêmes conditions que dans les essais directs;
– en utilisant une capacité côté source, elle doit être connectée aux bornes de la section source du circuit de tension.

NOTE 2 Une capacité aux bornes du disjoncteur est normalement considérée comme faisant partie de l'objet d'essai. Dans certains cas, il peut être nécessaire d'appliquer une capacité supplémentaire aux bornes du disjoncteur pour ajuster le retard du circuit d'essai.

NOTE 3 Une capacité aux bornes du disjoncteur auxiliaire influence le temps de retard et est considéré comme un élément de la capacité de retard du circuit d'essai.

6.110 Essais de fermeture et de coupure en discordance de phases

Les exigences fondamentales sont données en 6.110 de la CEI 62271-100.

Les méthodes d'essais pour OP1 et OP2 sont données au Tableau 3.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Tableau 3 – Méthodes d'essais synthétiques pour les séquences d'essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF

Séquence d'essais	Essai synthétique		Séquence de manœuvre assignée	
	Paragraphe	Méthode	O – t – CO – t' – CO t = 0,3 s ou 3 min t' = 3 min	CO – t'' – CO t'' = 15 s
T10, T30 et T60	6.106.1 à 6.106.3	1	Os – t – (Cd)Os – t' – (Cd)Os [a]	(Cd)Os – t'' – (Cd)Os [a]
		2	Os Od – t – (Cd)Os – t' –(Cd)Os [a]	Os (Cd)Od – t'' – (Cd)Os [a]
T100s	6.106.4.1 constante de temps de la composante continue du circuit d'essai égale à la valeur spécifiée	1	Os – t – CsOs – t' – CsOs	CsOs – t'' – CsOs
		2	Os Od – t – Cs_{sym}Os – t' – Cd_{asy}Os	Os Cs_{sym}Od – t'' – Cd_{asy}Os
		3	Cs_{sym} Os Od – t – CdOs – t' – CdOs [d]	Cs_{sym} Os CdOd – t'' – CdOs [d]
	6.106.4.2 constante de temps de la composante continue du circuit d'essai inférieure à la valeur spécifiée	1	Cd_{asy} Os Od – t – Cs_{sym}Os – t' – CdOs [b]	Cd_{asy} Os Cs_{sym}Od – t'' – CdOs [b]
		2	Cd_{asy} Cs_{sym} Os Od – t – CdOs – t' – CdOs [b]	Cd_{asy} Cs_{sym} Os CdOd – t'' – CdOs [b]
	6.106.4.3 constante de temps de la composante continue du circuit d'essai supérieure à la valeur spécifiée	1	Os Od – t – Cs_{sym}Os – t' – Cd_{asy}Os [c]	Os Cs_{sym}Od – t'' – Cd_{asy}Os [c]
		2	Cs_{sym} Os Od – t – CdOs – t' – CdOs [c, d]	Cs_{sym} Os CdOd – t'' – CdOs [c, d]
T100a	6.106.5		Os – t' – Os – t' – Os	
SP et DEF	6.108		Os	
SLF	6.109	1	Os – t – (Cd)Os – t' – (Cd)Os [a]	
		2	Os Od – t – (Cd)Os – t' – (Cd)Os [a]	
OP1	6.110		Os, Os, Os	
OP2	6.110	1	Cs_{sym}Os, Os, Os	
		2	Cs_{sym} (Cd)Os, Os, Os [a]	

[a] (Cd) est une manœuvre de fermeture comme Cd, qui peut être effectuée à vide.

[b] Du fait que la constante de temps de la composante continue du circuit d'essai est plus faible que la valeur spécifiée utilisée pour le pouvoir de coupure assigné en court-circuit, il sera nécessaire que la valeur symétrique du courant pendant Cd_{asy} soit plus grande que la valeur assignée. De même, pendant Cd, la crête de courant, déjà vérifiée pendant Cd_{asy}, sera plus faible que le pouvoir de fermeture assigné en court-circuit.

[c] Etant donné que la constante de temps de la composante continue du circuit d'essai est plus grande que la valeur spécifiée utilisée pour le court-circuit assigné, la valeur de crête du courant pendant la fermeture asymétrique peut être plus grande que le pouvoir de fermeture assigné en court-circuit. Un circuit de réduction du courant de crête peut être utilisé ou la manœuvre de fermeture peut être réalisée en synchronisant l'ordre par rapport à l'onde de tension pour obtenir le pouvoir de fermeture assigné en court-circuit requis. L'utilisation d'une synchronisation de l'ordre par rapport à l'onde de tension est soumise à l'accord du constructeur.

[d] L'une des deux Cd doit être Cd_{asy}.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

6.111 Essais d'établissement et de coupure de courants capacitifs

Les exigences fondamentales sont données en 6.111 de la CEI 62271-100.

Pour les disjoncteurs sous enveloppe métallique ou à cuve mise à la terre, des circuits d'essai types sont donnés à l'Annexe N et des lignes directrices supplémentaires sont données à l'Annexe O de la CEI 62271-100:2008.

6.111.2 Généralités

Un circuit d'essai avec une source de courant de 50 Hz peut être utilisé pour prouver la capacité d'établissement et de coupure de courants capacitifs pour des caractéristiques assignées de 60 Hz, à condition que la tension de rétablissement satisfasse aux exigences de 60 Hz (voir note 4 de 6.111.2 de la CEI 62271-100). Il convient que le réglage de la séparation des contacts soit basé sur la fréquence de la source de courant. Cependant, pour les manœuvres d'ouverture, la durée d'arc minimale est déterminée en faisant varier le moment de la séparation des contacts lors de l'ouverture par intervalles d'environ 6° basés sur la fréquence assignée du disjoncteur en essais.

6.111.3 Caractéristiques des circuits d'alimentation

Lorsque les caractéristiques du circuit d'essai ne satisfont pas aux exigences de 6.111.3 de la CEI 62271-100, la tension de rétablissement présumée spécifiée en 6.111.10 de la CEI 62271-100 doit être appliquée.

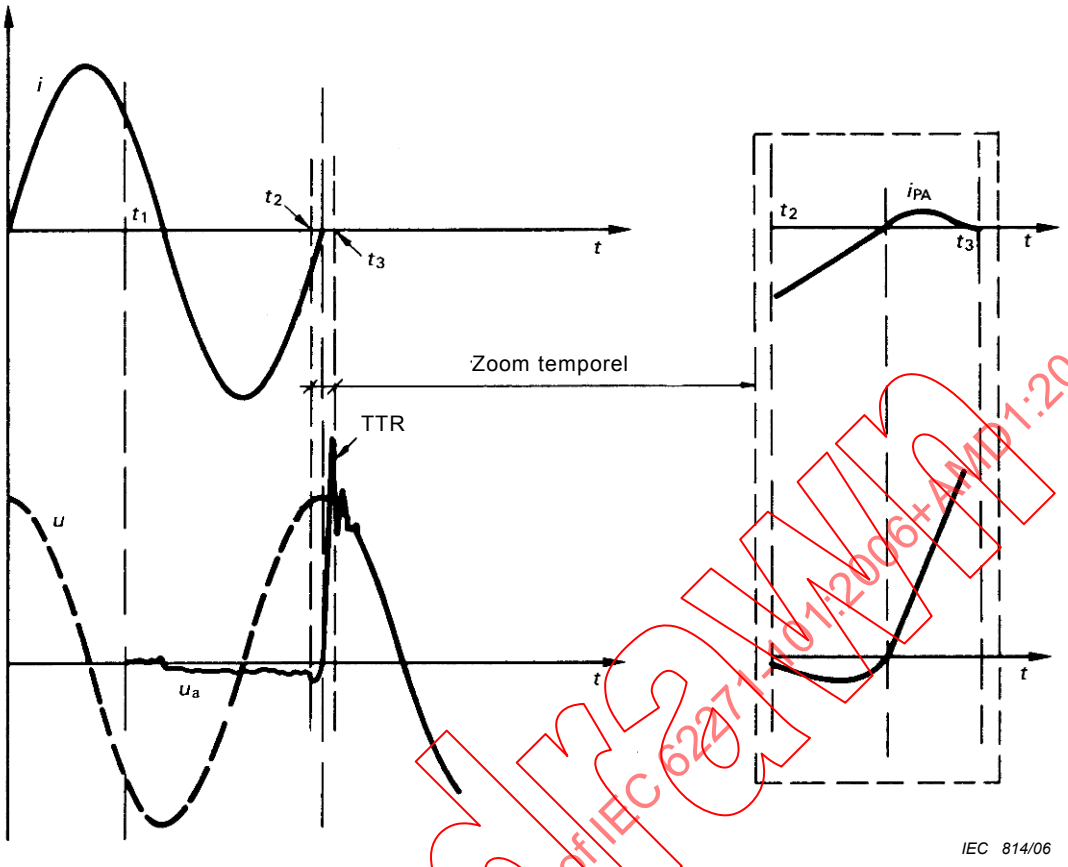
NOTE Les effets de l'arrachement du courant, tels que décrits à l'Article G.2, peuvent modifier la tension de rétablissement au cours des essais de coupure de courants capacitifs.

6.111.7 Tension d'essai

Pour les essais d'établissement et de coupure de courants capacitifs synthétiques monophasés, la tension d'essai spécifiée pour les essais directs en 6.111.7 de la CEI 62271-100 doit être appliquée.

Des exemples de circuits d'établissement et de coupure de courants capacitifs synthétiques sont donnés à l'Annexe G.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+A1:2010 CSV

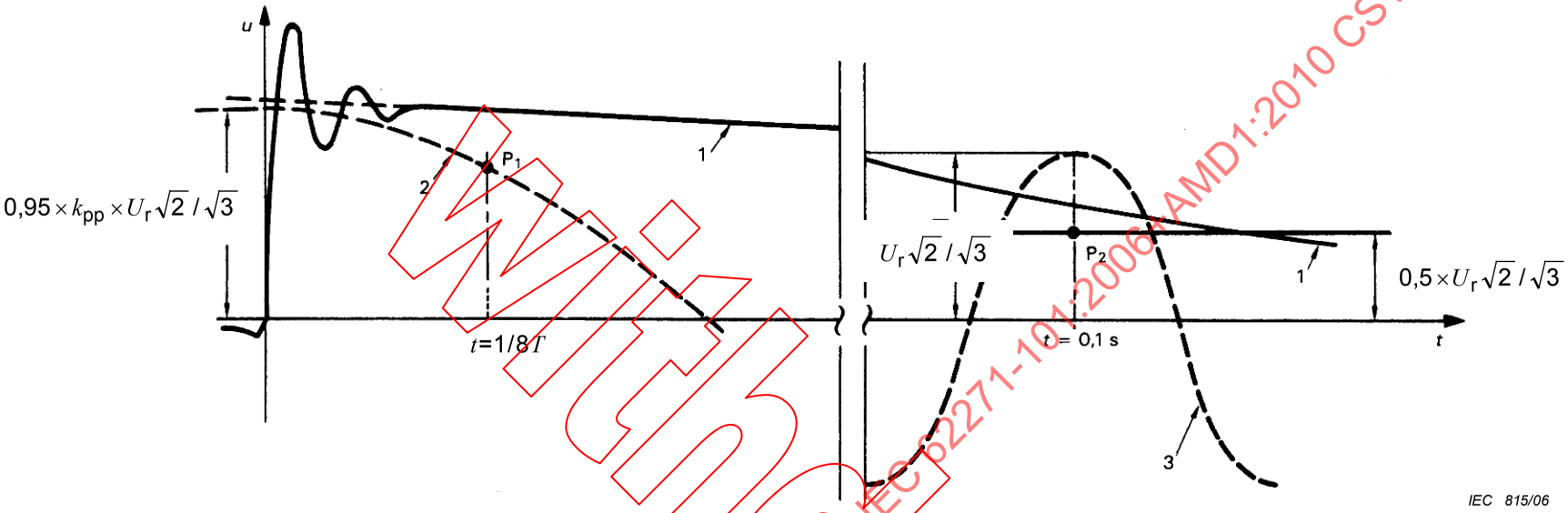


Légende

i	courant de coupure	t_2	début du changement significatif de la tension d'arc
u	tension à fréquence industrielle	t_3	instant de disparition du courant post-arc
u_a	tension d'arc	$t_2 - t_1$	période de fort courant
TTR	tension transitoire de rétablissement	$t_3 - t_2$	période d'interaction
i_{PA}	courant post-arc	Après t_3	période de contrainte diélectrique
t_1	instant de séparation des contacts		

Figure 1 – Processus de coupure – Périodes principales

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

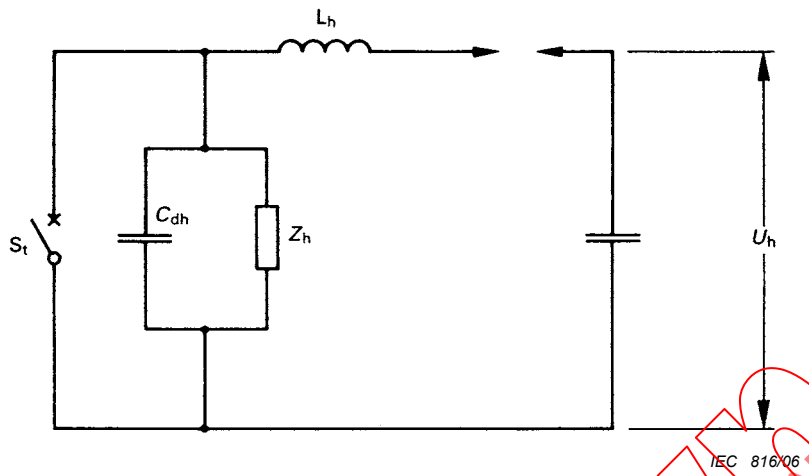


Légende

1	tension de rétablissement avec décroissance exponentielle, aux bornes d'un disjoncteur en essai synthétique	P_1	la tension de rétablissement (1) ne doit pas se trouver au-dessous de la valeur spécifiée (2) en ce point
2	tension de rétablissement à fréquence industrielle pour le premier pôle qui coupe lors d'un essai direct équivalent, par exemple avec un facteur de premier pôle k_{pp} = 1,3	P_2	point au-dessous duquel la tension de rétablissement (1) durant l'essai synthétique ne doit pas tomber
3	tension de rétablissement à fréquence industrielle après la coupure des courants dans chacun des trois pôles pendant l'essai direct équivalent	T	période de la fréquence industrielle

Figure 2 – Exemple de tension de rétablissement

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Légende

U_h tension de charge de la source de tension

L_h inductance du circuit de tension

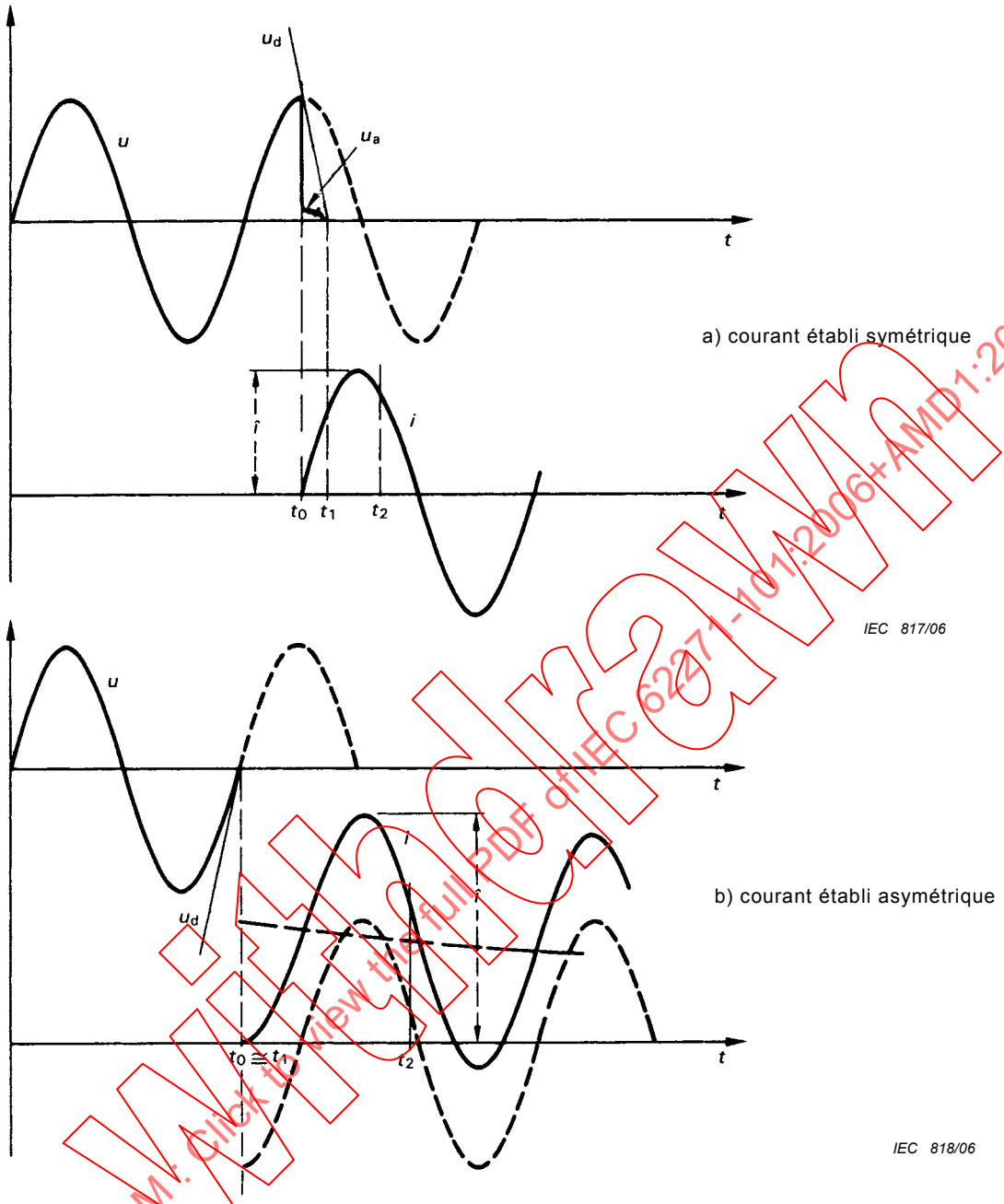
Z_h impédance d'onde équivalente

C_{dh} capacité pour le retard du circuit de tension

S_t disjoncteur en essai

Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

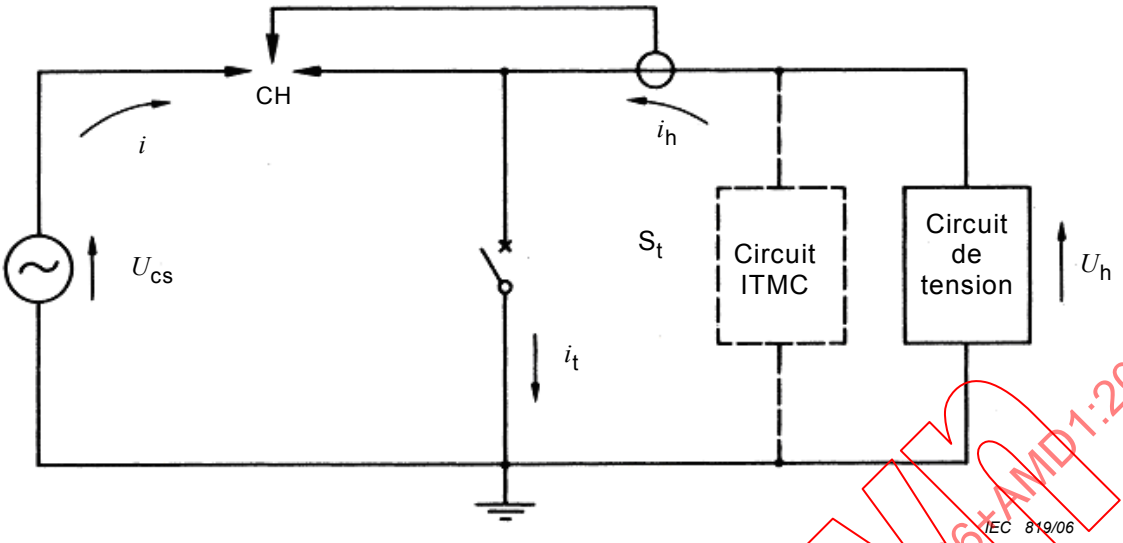


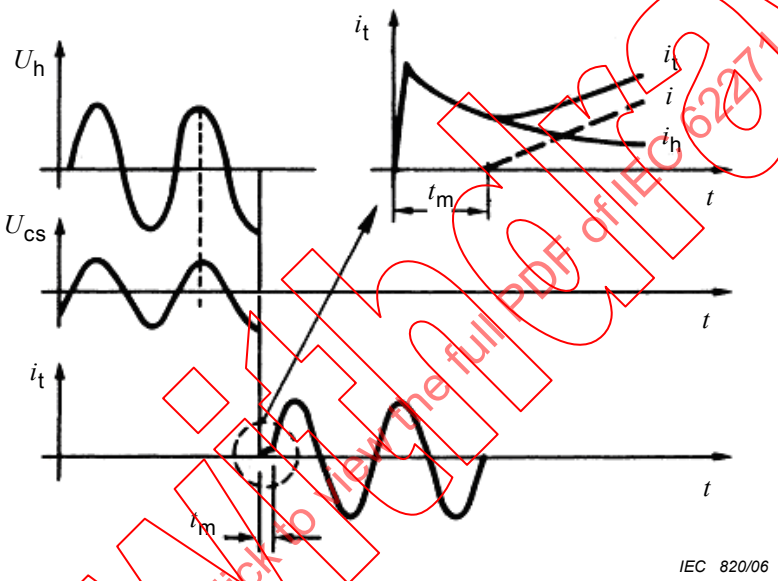
Légende

i	courant	u_a	tension d'arc
$\hat{i}$	valeur crête du courant établi	t_0	instant de pré-amorçage
u	tension à fréquence industrielle	t_1	instant où les contacts se touchent
u_d	caractéristique diélectrique en fermeture	t_2	instant d'obtention de la position totalement fermée

Figure 4 – Processus d'établissement – Instants principaux

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn





~~**Légende**~~

~~U_{cs}~~	~~tension du circuit de courant~~	~~U_h~~	~~tension appliquée~~
~~CH~~	~~enclencheur (éclateur déclenché)~~	~~i_h~~	~~courant transitoire initial établi (ITMC)~~
~~i~~	~~courant à fréquence industrielle fourni par le circuit de courant~~	~~i_t~~	~~courant dans le disjoncteur en essai~~
~~S_t~~	~~disjoncteur en essai~~	~~t_m~~	~~retard de l'enclencheur~~

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

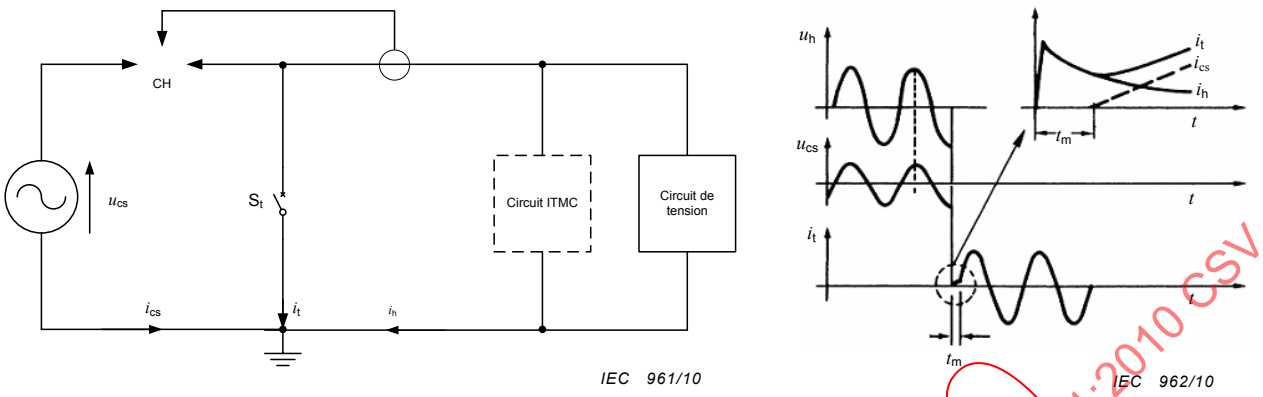


Figure 5a – Circuit d'essai synthétique de fermeture pour les défauts aux bornes

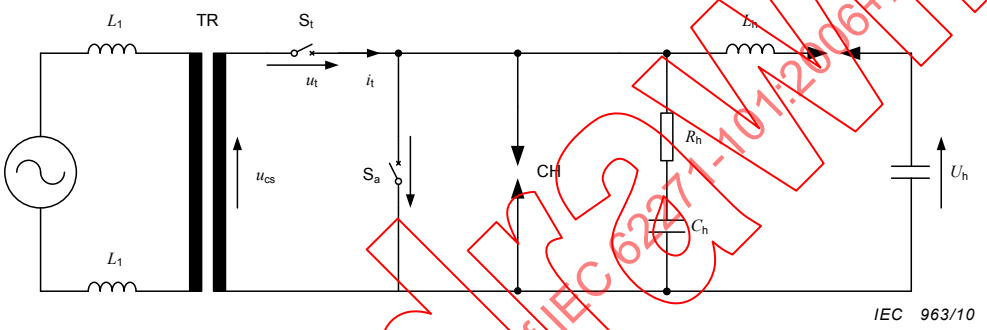


Figure 5b – Circuit d'essai synthétique de fermeture pour la discordance de phase (méthode c.a. + c.c.)

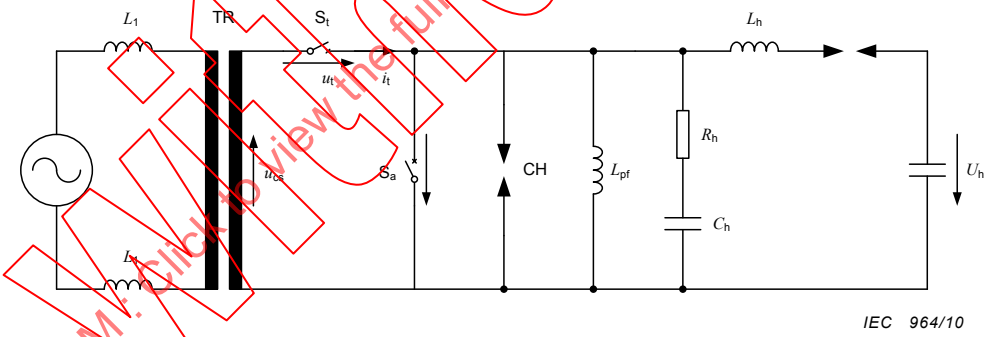


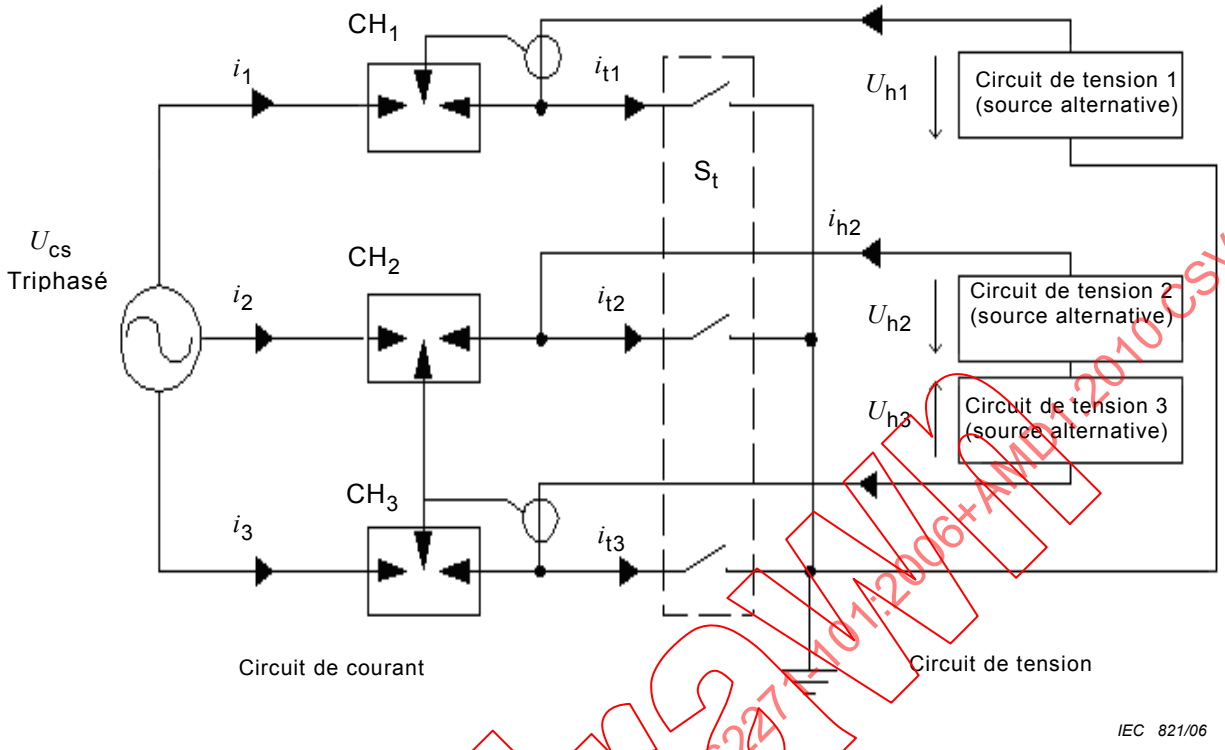
Figure 5c – Circuit d'essai synthétique de fermeture pour la discordance de phase (méthode c.a.+c.a.)

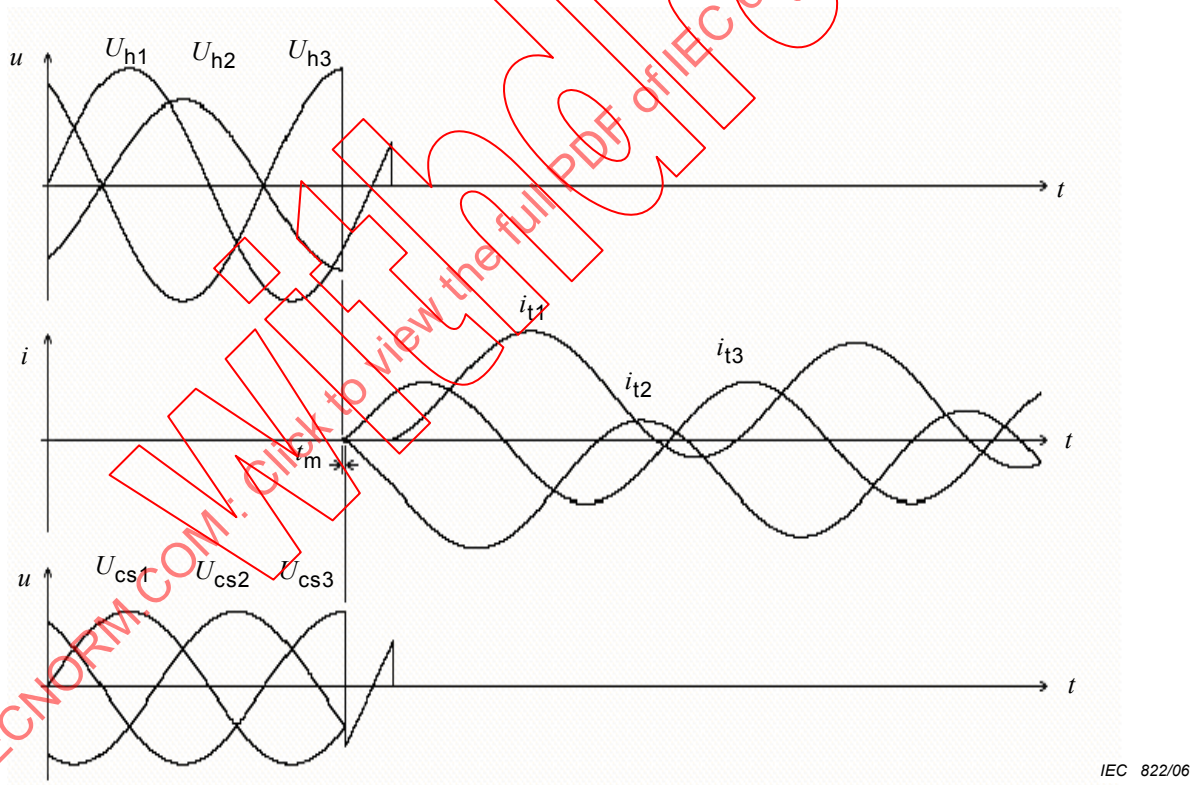
Key

S_a	disjoncteur auxiliaire	i_t	courant à travers S_t
S_t	disjoncteur en essai	L_1	inductance du circuit de courant
u_{cs}	tension du circuit de courant	L_h	inductance du circuit de tension
i_{cs}	courant du circuit de courant	R_h C_h	composants du circuit ITMC
i_h	courant injecté	L_{pf}	inductance parallèle du circuit de tension
U_h	tension appliquée	t_m	retard d'enclencheur
CH	enclencheur (éclateur déclenché)		

Figure 5 – Circuit d'essais synthétiques de fermeture type pour les essais monophasés

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



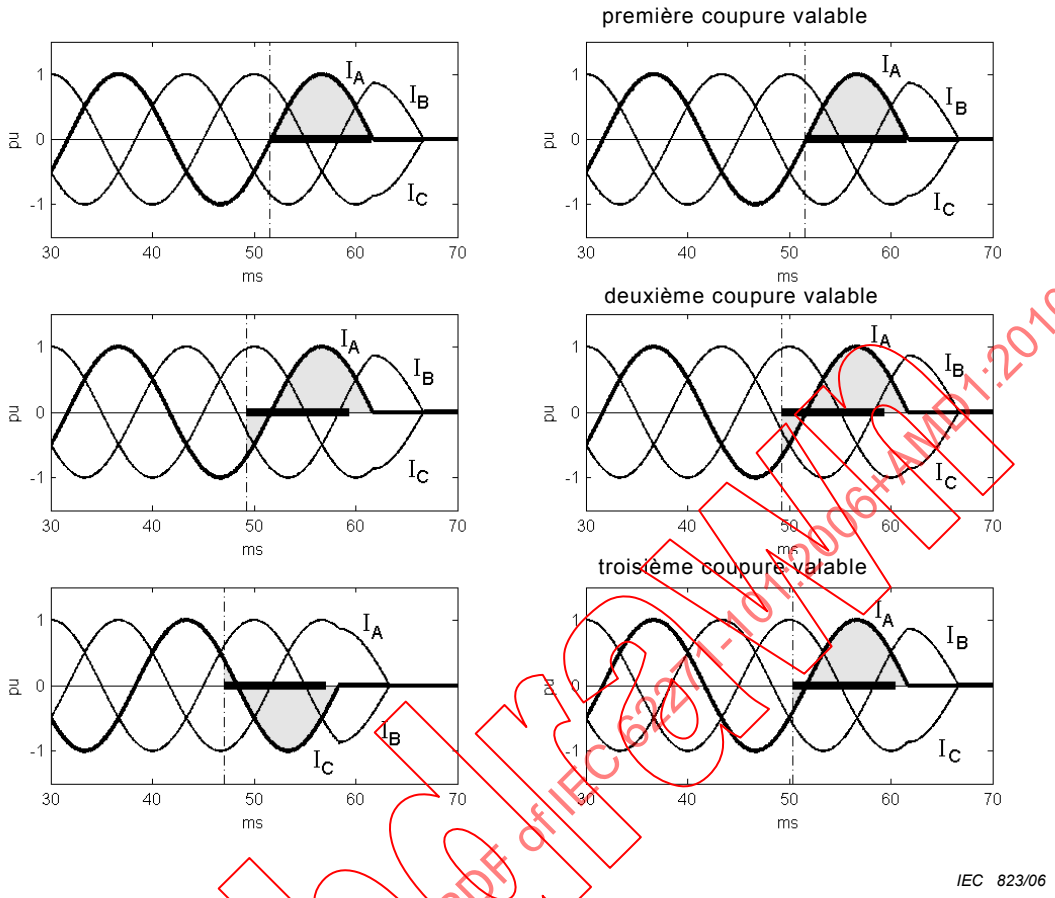


Légende

U_{cs1}, U_{cs2}, U_{cs3}	tension du circuit de courant	U_{h1}, U_{h2}, U_{h3}	tension appliquée
i_1, i_2, i_3	courant fourni par le circuit de courant	CH_1, CH_2, CH_3	enclencheur
i_{t1}, i_{t2}, i_{t3}	courant traversant l'objet en essai	S_t	disjoncteur en essai
i_{h1}, i_{h2}, i_{h3}	courant transitoire initial établi (ITMC)	t_m	retard de l'enclencheur

Figure 6 – Circuit type d'essais synthétiques d'établissement pour les essais triphasés (k_{pp} = 1,5)

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

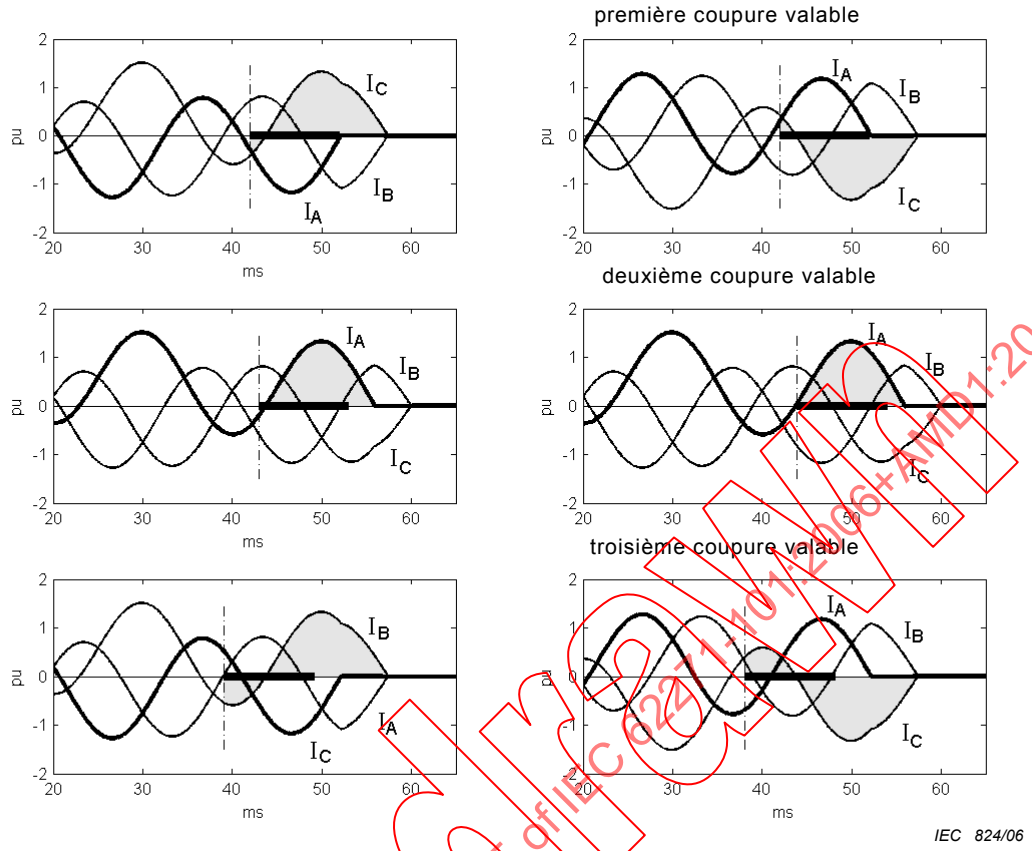


NOTE 1 I_A, I_B, I_C: courants dans les phase A, B et C, respectivement.

NOTE 2 La barre horizontale solide représente la durée d'arc minimale.

Figure 7 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec k_{pp} = 1,5

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



NOTE 1 I_A, I_B, I_C: sont les courants dans les phases A, B et C, respectivement.

NOTE 2 La barre horizontale solide représente la durée d'arc minimale.

Figure 8 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec k_{pp} = 1,5

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annexe A
(informative)

Déformation du courant

La déformation du courant est un facteur bien connu qu'il convient de prendre en considération pendant les essais synthétiques. Les Articles A.1, A.2 et A.3 donnent une analyse de base utilisant des méthodes simplifiées. En pratique, des calculs par ordinateur peuvent être plus appropriés lorsque diverses formes d'ondes de tensions d'arc peuvent être introduites.

A.1 Déformation du courant immédiatement avant le zéro de courant

La durée d'interaction commence lorsque la tension d'arc change de façon significative et que le courant tend vers zéro. La variation de la tension d'arc pendant cette période modifie la forme et la pente du courant juste avant le zéro de courant.

Cet écart par rapport au courant présumé a pour origine le courant déformant, qui s'écoule principalement dans l'impédance à faible constante de temps et dépendant bien sûr de tous les paramètres du circuit réel.

La manière particulière dont le courant approche de zéro est directement responsable des conditions physiques du milieu inter-contacts du disjoncteur au moment du zéro de courant. L'interaction la plus importante entre le circuit et le disjoncteur résulte de la charge et de la décharge des capacités par la tension d'arc et de l'influence de cette dernière sur la pente du courant di/dt avant le zéro.

Sur un circuit simplifié tel que celui de la Figure A.1 représentant un court-circuit dans le réseau ou en essai direct, la tension u alimente le courant d'arc i avec la tension d'arc appropriée u_a. Parallèlement à l'arc se trouve le condensateur C.

Si on admet que la tension d'arc $u_a = 0$, alors le courant présumé de court-circuit i_p circulera à travers l'arc (voir Figure A.2), l'amplitude et la forme d'onde de ce courant étant fonction de l'inductance L, de la tension u, de la fréquence de cette tension et de l'instant d'injection du courant.

Si on admet que la tension d'alimentation u= 0 et qu'une tension d'arc existe, alors cette tension d'arc provoquera la circulation d'un courant. Ce courant i_d (voir Figure A.3) est le courant déformant qui se partagera en deux courants i_{dL} à travers l'inductance L, et i_{dC} à travers la capacité C. Dans ces conditions, les équations suivantes s'appliquent:

$$u_a - L \times \frac{d}{dt}(i_{dL}) = 0$$

et

$$C \frac{d}{dt}(u_a) - i_{dC} = 0$$

On en déduit l'équation suivante pour i_d:

$$i_d = i_{dL} + i_{dC} = \frac{1}{L}\int u_a \, dt + C \times \frac{d}{dt}(u_a)$$

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Si à la fois les tensions u et u_a existent (voir Figure A.4), alors le courant résultant réel est donné par:

$$i = i_p - i_d$$

A.2 Déformation du courant pendant la période de fort courant

Pendant cette période, la tension d'arc engendre un courant déformant i_d, dans le circuit. i_d se superpose au courant total.

En le comparant au courant présumé, le courant d'arc résultant présente des différences sous quatre aspects: l'amplitude du courant, la durée de l'alternance, l'énergie d'arc et di/dt.

Pour évaluer l'influence de la tension d'arc, il suffit, en pratique, de considérer l'amplitude du courant et la durée de l'alternance.

En première approximation, deux caractéristiques différentes de tension d'arc peuvent être considérées, à savoir:

1) une tension d'arc constante $u_a = U_a$
2) une tension d'arc croissant linéairement $u_a = S \times t$

Puisque le courant à travers le condensateur C (voir Figure A.1) est petit pendant cette période d'arc, le schéma simplifié de la Figure A.5 peut être utilisé.

A.2.1 Déformation due à un courant d'arc symétrique pendant une alternance

Les équations suivantes sont obtenues en négligeant la résistance dans le schéma de la Figure A.5, ce qui est licite pour une seule alternance. Quelques résultats sont donnés aux Figures A.8 et A.9.

Les calculs utilisent les caractéristiques indiquées aux Figures A.6 et A.7.

$\hat{u} = \omega L \times \hat{i}_p$ valeur de crête de la tension du circuit de courant

$\hat{i}_p$ valeur de crête du courant présumé

$\hat{i}$ valeur de crête du courant réel (réduite par la tension d'arc)

t_m instant de la valeur de crête $\hat{i}$

a) *Rapport des amplitudes de courant*

– pour une tension d'arc constante:

$$\frac{\hat{i}}{\hat{i}_p} = \sin \omega \times t_m - \frac{U_a}{\hat{u}} \times \omega\, t_m$$

– pour une tension d'arc linéairement croissante:

$$\frac{\hat{i}}{\hat{i}_p} = \sin \omega \times t_m - \frac{S\omega}{2\,\hat{u}}\, t_m^2$$

b) *Durée réelle de l'alternance de courant* T_1 (réduite par la tension d'arc)

– pour une tension d'arc constante:

$$\sin \omega T_1 = \frac{U_a\, \omega}{\hat{u}}\, T_1$$

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

– pour une tension d'arc linéairement croissante:

$$\sin \omega T_1 = \frac{S\omega}{2\,\hat{u}} T_1^2$$

Les Figures A.8 et A.9 montrent la réduction relative de l'amplitude du courant $\Delta i/\hat{\imath}_p$ et de la durée de l'alternance de courant $\Delta t/T_p$ en fonction respectivement du rapport $U_a/\hat{u}$ pour une tension d'arc constante et du rapport $S \times T_a/2 \times \hat{u}$ pour une tension d'arc linéairement croissante, où:

$\Delta i = \hat{\imath}_p - \hat{\imath}$,

$\Delta t = T_p - T_1$

T_p = durée présumée de l'alternance de courant

T_a = durée d'arc réelle ($T_a = T_1$ pour une seule alternance d'arc, voir Figures A.6 et A.7).

A.2.2 Déformation dans le cas général

Les courants déformants en cas de courants symétrique et asymétrique avec un arc durant plus d'une alternance sont obtenus à l'aide des équations suivantes qui sont applicables dans les deux cas de tensions d'arc constante ou linéairement croissante. Ces calculs sont basés sur le schéma de la Figure A.5 où la constante de temps L/R de l'impédance d'alimentation est introduite. Le courant présumé par unité est donné par:

$$i_p/\hat{\imath}_p = \sin(\omega t + \omega t_1 - \varphi) - \sin(\omega t_1 - \varphi) \times e^{-\frac{R}{L}t}$$

où

t est la coordonnée de temps comptée à partir du début du courant ;

t_1 est l'intervalle de temps compris entre le début de l'alternance positive de tension et le début du courant ;

φ arctan $\frac{\omega L}{R}$ pour un courant symétrique $\varphi = \omega t_1$.

Les courants déformants, par unité, sont

$i_d/\hat{\imath}_p = C$ pour la première alternance de l'arc,

$i_d/\hat{\imath}_p = D - E$ pour la deuxième alternance de l'arc,

$i_d/\hat{\imath}_p = D - F + G$ pour la troisième alternance de l'arc,

où C, D, E, F et G sont définis comme suit:

a) *pour une tension d'arc constante:*

$$C = \frac{M}{\cos\varphi}\left[1 - e^{-\frac{R}{L}(t - t_{cs})}\right]$$

$$D = \frac{M}{\cos\varphi}\left[1 - e^{-\frac{R}{L}(t'_o - t_{cs})}\right] e^{-\frac{R}{L}(t' - t'_o)}$$

$$E = \frac{M}{\cos\varphi}\left[1 - e^{-\frac{R}{L}(t - t'_o)}\right]$$

$$F = \frac{M}{\cos\varphi}\left[1 - e^{-\frac{R}{L}(t''_o - t'_o)}\right] e^{-\frac{R}{L}(t - t''_o)}$$

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

$$G = \frac{M}{\cos\varphi}\left[1 - \mathrm{e}^{-\frac{R}{L}(t - t''_0)}\right]$$

où

$M = \frac{U_a}{\hat{u}}$ = rapport entre la tension d'arc et la valeur de crête de la tension à fréquence industrielle

$$\cos\varphi = \frac{R}{\sqrt{R^2 + (\omega L)^2}}$$

t_{cs} = instant de séparation des contacts

t'_0, t''_0 = instants à la fin de chaque alternance de courant

b) *pour une tension d'arc linéairement croissante:*

$$C = \frac{M}{\cos\varphi}\left[(t - t_{cs}) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t - t_{cs})})\right]$$

$$D = \frac{M}{\cos\varphi}\left[(t'_0 - t_{cs}) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t'_0 - t_{cs})})\right]\mathrm{e}^{-\frac{R}{L}(t - t'_0)}$$

$$E = \frac{M}{\cos\varphi}\left[(t - t'_0) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t - t'_0)}) + (t'_0 - t_{cs}) \times (1 - \mathrm{e}^{-\frac{R}{L}(t - t'_0)})\right]$$

$$F = \frac{M}{\cos\varphi}\left[(t''_0 - t'_0) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t''_0 - t'_0)}) + (t'_0 - t_{cs}) \times (1 - \mathrm{e}^{-\frac{R}{L}(t''_0 - t'_0)})\right]\mathrm{e}^{-\frac{R}{L}(t - t''_0)}$$

$$G = \frac{M}{\cos\varphi}\left[(t - t''_0) - \frac{L}{R}(1 - \mathrm{e}^{-\frac{R}{L}(t - t''_0)}) + (t''_0 - t_{cs}) \times (1 - \mathrm{e}^{-\frac{R}{L}(t - t''_0)})\right]$$

où

$$M = \frac{S \times T_a}{2\hat{u}}$$

Les réductions relatives de l'amplitude et de la durée de l'alternance du courant sont données aux Figures A.8 à A.11 dans quelques cas caractéristiques en fonction de la dernière alternance d'arc.

Pour un courant symétrique, les valeurs sont données à la Figure A.8 en fonction du rapport $U_a/\hat{u}$ dans le cas d'une tension d'arc constante et à la Figure A.9 en fonction du rapport $S \times T_a/2\hat{u}$ dans le cas d'une tension d'arc linéairement croissante. Les Figures A.10 et A.11 donnent les résultats correspondant à un courant asymétrique.

Pour les différentes durées d'arc, on a considéré trois cas caractéristiques: 1, 2 et 2,5 alternances. Pour les courants asymétriques, la position de séparation des contacts a été fixée à 1,5 cycle après l'injection du courant.

L'effet de la tension d'arc dépend beaucoup non seulement de la tension d'arc elle-même mais aussi de la durée d'arc et de l'asymétrie du courant. Par conséquent, chaque cas nécessite une évaluation précise.

NOTE Pour comparer les courbes correspondant aux deux types d'arcs, les valeurs de U_a ont été choisies de manière à ce que la tension d'arc croissant linéairement atteigne deux fois la valeur constante de tension d'arc, au moment du dernier zéro de courant.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

A.3 Exemples d'estimation des paramètres du courant déformant

Quelques exemples d'application des méthodes d'évaluation du courant déformant proposées ci-dessus aux Articles A.1 et A.2 sont donnés, ci-après, pour l'essai unipolaire d'un disjoncteur 123 kV.

Pour les exemples d'essais synthétiques, on a supposé égales les tensions d'arc et les positions de séparation des contacts pour le disjoncteur en essai et pour le disjoncteur auxiliaire.

A.3.1 Essai avec un courant symétrique

A.3.1.1 Tension d'arc constante

Essai direct

Tension assignée U_r = 123 kV

Tension d'essai monophasé $U_t = \frac{123 \times 1{,}3}{\sqrt{3}} = 92\,\text{kV}$

Valeur moyenne de la tension d'arc constante (dernière alternance) U_a = 1 kV

En conséquence: $\frac{U_a}{\hat{u}} = \frac{1}{92 \times \sqrt{2}} = 0{,}007\,7$

par le calcul pour une alternance d'arc (voir A.2.1): $\frac{\Delta i}{\hat{i}_p} = -1{,}2\,\%$

et $\frac{\Delta t}{T_p} = -0{,}7\,\%$

Essai synthétique

Tension du circuit de courant U_1 = 31 kV

Valeur moyenne d'une tension d'arc constante (disjoncteurs en essai et auxiliaire, dernière alternance) $U_{as} = 2U_a$ = 2 kV

donc: $\frac{U_{as}}{\hat{u}} = \frac{2}{31 \times \sqrt{2}} = 0{,}046$

à partir de la Figure A.8 pour une alternance d'arc $\frac{\Delta_i}{\hat{i}_p} = -7\,\%$

et: $\frac{\Delta t}{T_p} = -4{,}5\,\%$

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

A.3.1.2 Tension d'arc croissant linéairement

Essai direct

Tension d'essai monophasé U_t = 92 kV comme ci-dessus

Tension d'arc croissant linéairement $\frac{S\,T_a}{2} = 3\,\text{kV}$

donc: $\frac{S\,T_a}{2\,\hat{u}} = \frac{3}{92\sqrt{2}} = 0{,}023$

à partir de la Figure A.9 pour une alternance d'arc $\frac{\Delta i}{\hat{i}_p} = -1{,}7\,\%$

et $\frac{\Delta t}{T_p} = -2{,}2\,\%$

Essai synthétique

Tension du circuit de courant U_1 = 31 kV comme ci-dessus

Tension d'arc croissant linéairement (disjoncteur en essai et disjoncteur auxiliaire) $\frac{S\,T_a}{2} = 2{,}3\,\text{kV} = 6\,\text{kV}$

donc: $\frac{S\,T_a}{2\,\hat{u}} = \frac{6}{31\sqrt{2}} = 0{,}137$

à partir de la Figure A.9 pour une alternance d'arc $\frac{\Delta i}{\hat{i}_p} = -10\,\%$

et $\frac{\Delta t}{T_p} = -11{,}2\,\%$

Dans le premier exemple, il convient que les tolérances sur l'amplitude et la durée de l'alternance de courant à fréquence industrielle ne soient pas, en principe, dépassées pendant l'essai synthétique réel, selon 4.1. Cependant, cela n'est possible que si la décroissance de la composante alternative du courant est négligeable.

Dans le deuxième exemple, la tension de la source de courant doit être augmentée ou d'autres mesures doivent être prises, comme indiqué en 4.1, lorsque les tolérances sur la durée de l'alternance sont dépassées. Alors que la tolérance sur l'amplitude du courant n'est apparemment pas dépassée, elle peut l'être en pratique quand il existe une décroissance de la composante alternative du courant présumé.

A.3.2 Essai avec un courant asymétrique

Si la tension d'arc est présumée presque constante ou croissant linéairement, on peut utiliser les courbes des Figures A.10 et A.11. La méthode d'évaluation est similaire à celle décrite pour le cas symétrique. Par exemple, dans le cas de la tension d'arc constante:

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Essai direct

Tension d'essai monophasé $U_t = \frac{123 \times 1{,}3}{\sqrt{3}} = 92\,\text{kV}$ (comme ci-dessus)

Tension d'arc constante U_a = 1 kV

donc: $\frac{U_a}{\hat{u}} = \frac{1}{92 \times \sqrt{2}} = 0{,}007\,7$

pour une séparation des contacts environ 1,5 cycles après l'injection du courant et une alternance d'arc $\frac{\Delta i}{\hat{i}_p} = -1\,\%$

et: $\frac{\Delta t}{T_p} = -0{,}6\,\%$ (Figure A.10)

Essai synthétique

Tension de la source de courant U_1 = 14,2 kV

Tension d'arc constante (disjoncteurs en essai et auxiliaire) U_a = 2 kV

donc: $\frac{U_a}{\hat{u}} = \frac{2}{14{,}2\ \sqrt{2}} = 0{,}10$

pour le même cas que ci-dessus: $\frac{\Delta i}{\hat{i}_p} = -12{,}6\,\%$

et $\frac{\Delta t}{T_p} = -8{,}0\,\%$ (Figure A.10)

La tension d'arc réelle peut ne pas présenter l'une des caractéristiques simplifiées. Dans un tel cas, la réduction de courant pendant l'essai synthétique peut être mesurée à partir des enregistrements oscillographes réels ou calculés. Le courant réel de l'essai direct qui est nécessaire pour déterminer la tension de la source de courant d'essai synthétique peut seulement être calculé.

Pour les disjoncteurs ayant une tension d'arc relativement faible (par exemple U_a = 2 % U_1), l'effet de la tension d'arc sur le courant d'arc dans le réseau et dans le circuit direct est négligeable. Par conséquent, on peut admettre pour courant de référence, le courant présumé spécifié.

NOTE Si l'ouverture du disjoncteur auxiliaire est retardée par rapport à l'ouverture du disjoncteur en essai, ou si un disjoncteur auxiliaire avec une tension d'arc plus faible est utilisé, son influence sur le courant de coupure sera plus faible que celle du disjoncteur en essai.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

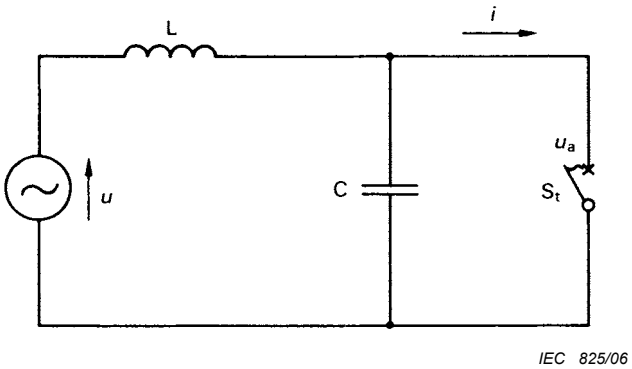


Figure A.1 – Circuit direct, schéma simplifié

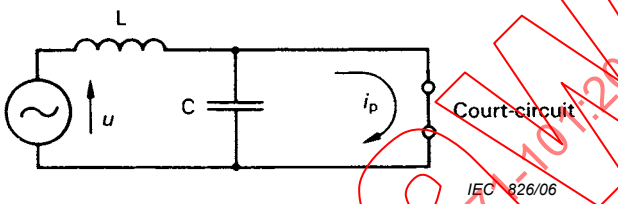
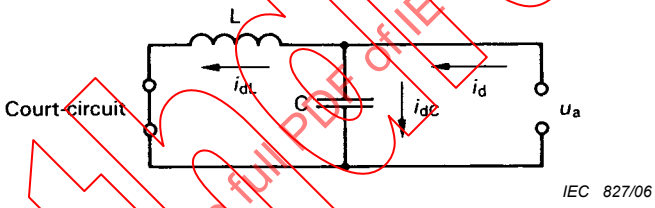


Figure A.2 – Courant de court-circuit présumé

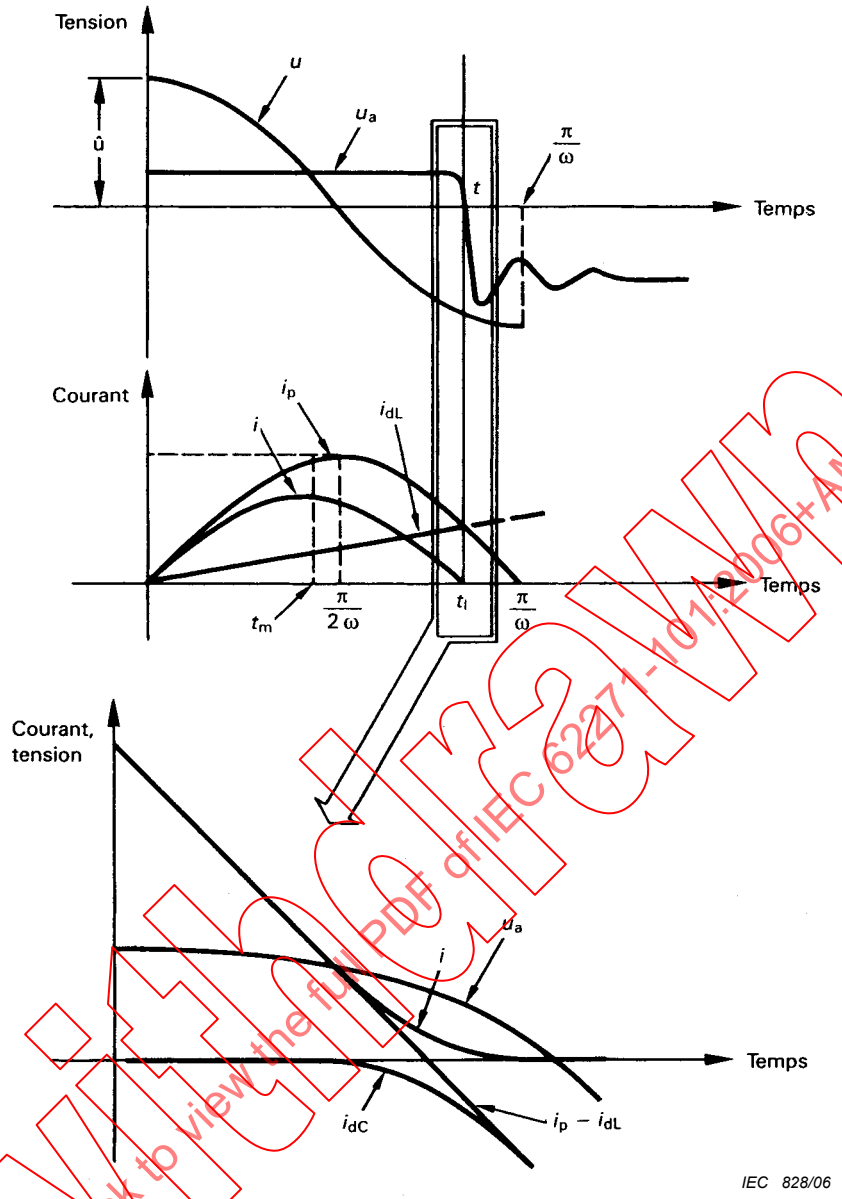


Légende

u	tension alimentant le circuit direct	C	capacité du circuit direct à pleine puissance, avec L contrôlant la tension de rétablissement transitoire du circuit
u_a	tension d'arc du disjoncteur	S_t	disjoncteur
L	inductance du circuit direct à pleine puissance, avec u contrôlant le courant de court-circuit	i	courant réel
i_p	courant de court-circuit présumé	i_{dL}	courant déformant traversant L
i_{dC}	courant déformant traversant C		

Figure A.3 – Courant déformant

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

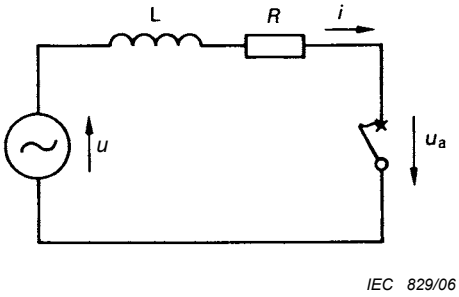


Légende

u	tension alimentant le circuit direct	i_{dC}	courant déformant traversant C
u_a	tension d'arc du disjoncteur	i	courant réel
L	inductance du circuit direct à pleine puissance, avec u contrôlant le courant de court-circuit	i_{dL}	courant déformant traversant L
i_p	courant de court-circuit présumé		

Figure A.4 – Courant déformant

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

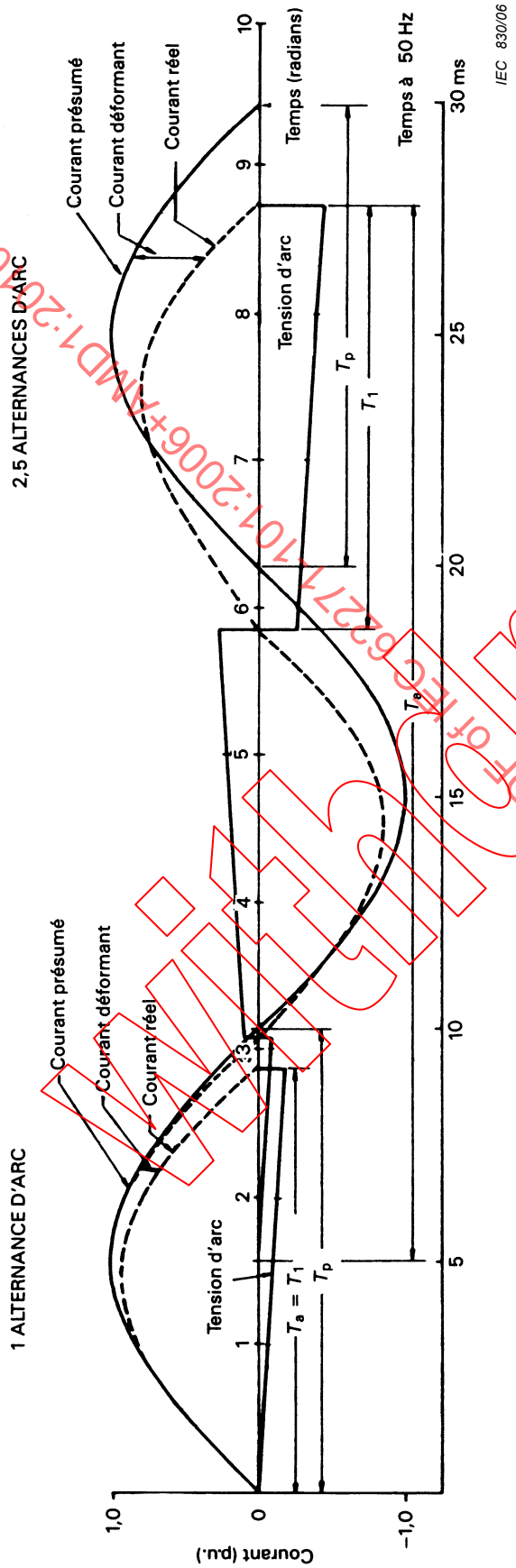


Légende

u	tension alimentant le circuit direct	R	résistance du circuit direct
u_a	tension d'arc du disjoncteur	i	courant réel
L	inductance du circuit direct à pleine puissance, avec u contrôlant le courant de court-circuit		

Figure A.5 – Schéma de circuit simplifié

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



Légende

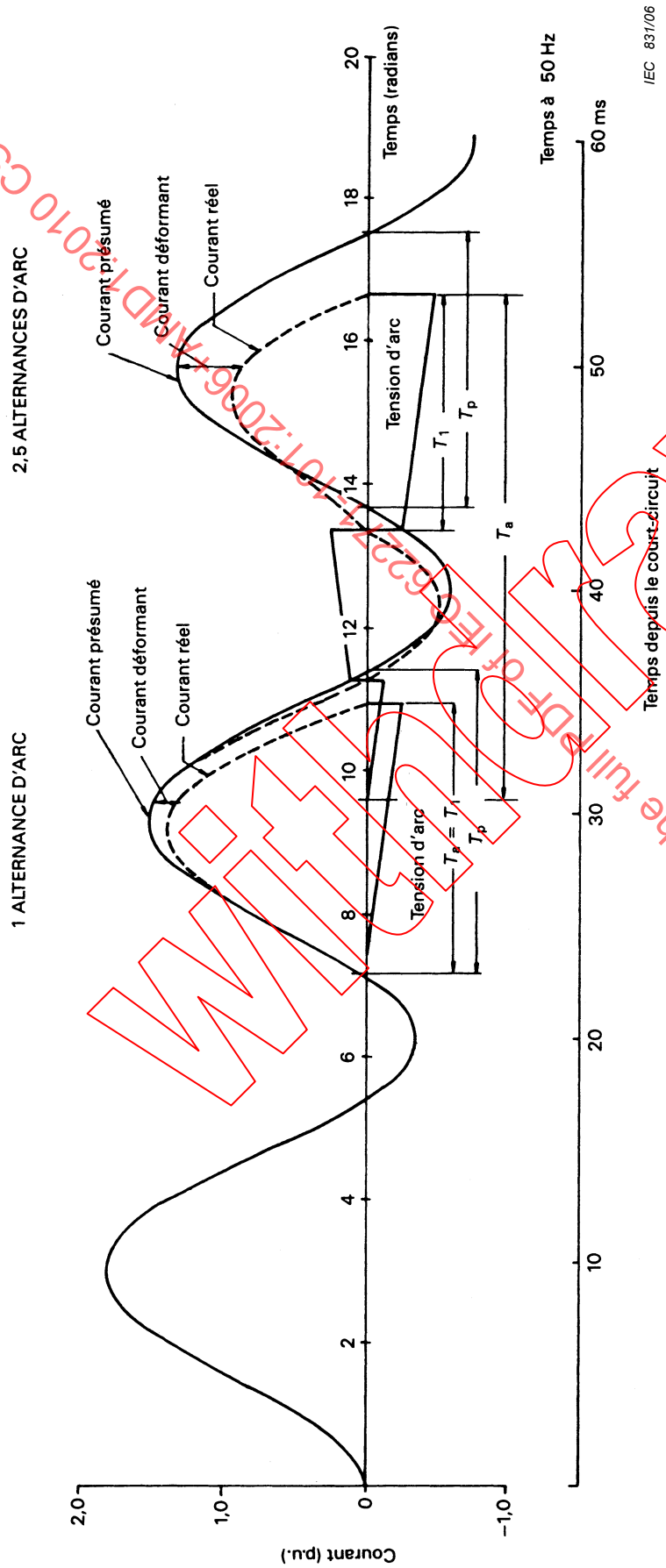
T_a durée d'arc réelle

T_p durée de l'alternance du courant présumé

T_1 durée de l'alternance du courant réel

Figure A.6 – Caractéristiques du courant et de la tension d'arc pour courant symétrique

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Légende

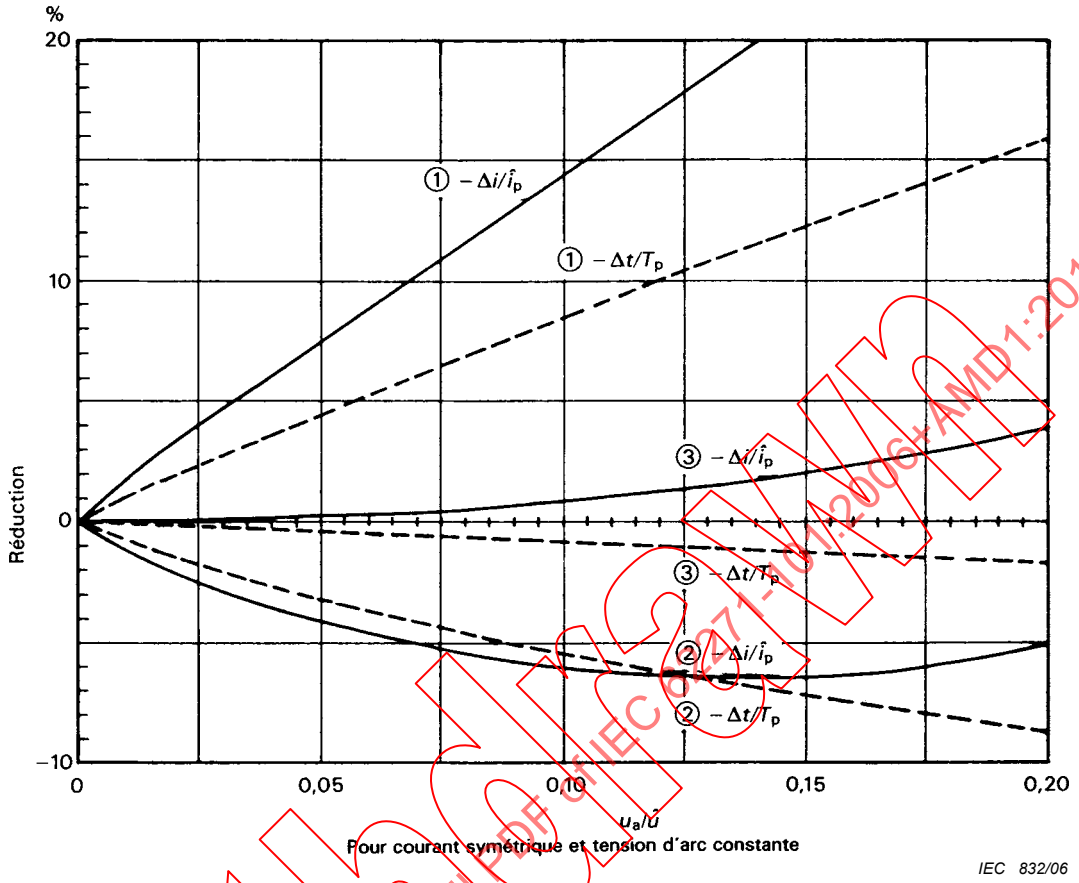
T_a durée d'arc réelle

T_p durée de l'alternance du courant présumé

T_1 durée de l'alternance du courant réel

Figure A.7 – Caractéristiques de courant et de tension d'arc pour courant asymétrique

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



① 1 alternance d'arc

② 2 alternances d'arc

③ 2,5 alternances d'arc

Voir Figure A.6.

Légende

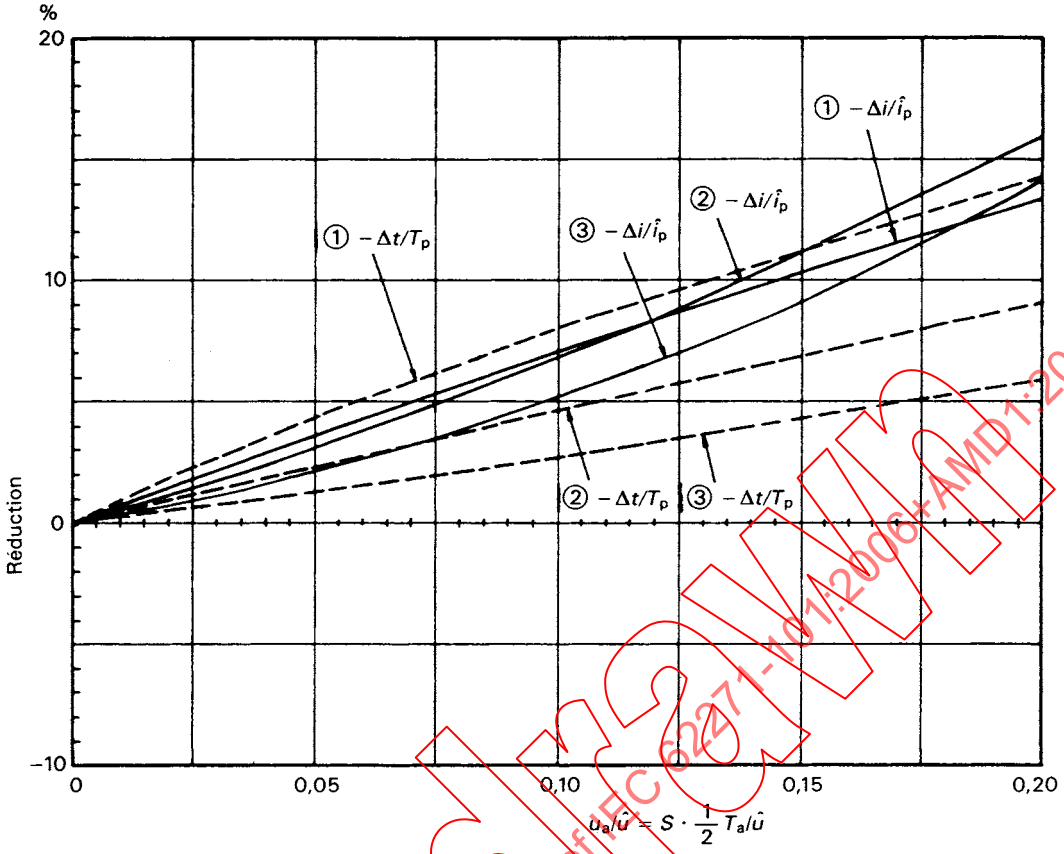
$\Delta i/\hat{i}$ réduction relative de l'amplitude du courant

$\Delta t/T_p$ réduction relative de la durée de l'alternance de courant

$u_a/\hat{u}$ rapport de la tension d'arc sur la tension d'alimentation

Figure A.8 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Pour courant symétrique et tension d'arc croissant linéairement

IEC 833/06

① 1 alternance d'arc

② 2 alternances d'arc

③ 2,5 alternances d'arc

Voir Figure A.6.

Légende

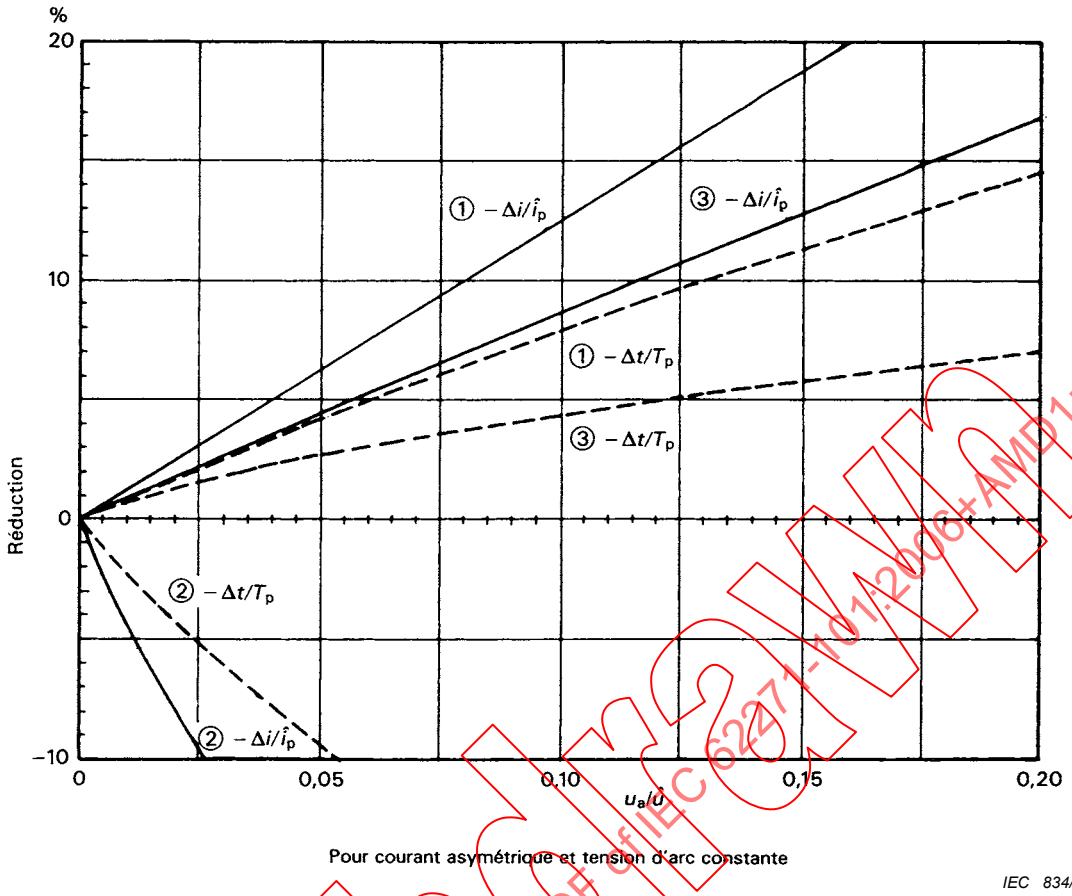
$\Delta i/\hat{i}_p$ réduction relative de l'amplitude du courant

$\Delta t/T_p$ réduction relative de la durée de l'alternance de courant

$u_a/\hat{u}$ rapport de la tension d'arc sur la tension d'alimentation

Figure A.9 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



① 1 alternance d'arc

② 2 alternances d'arc

③ 2,5 alternances d'arc

Voir Figure A.7.

Légende

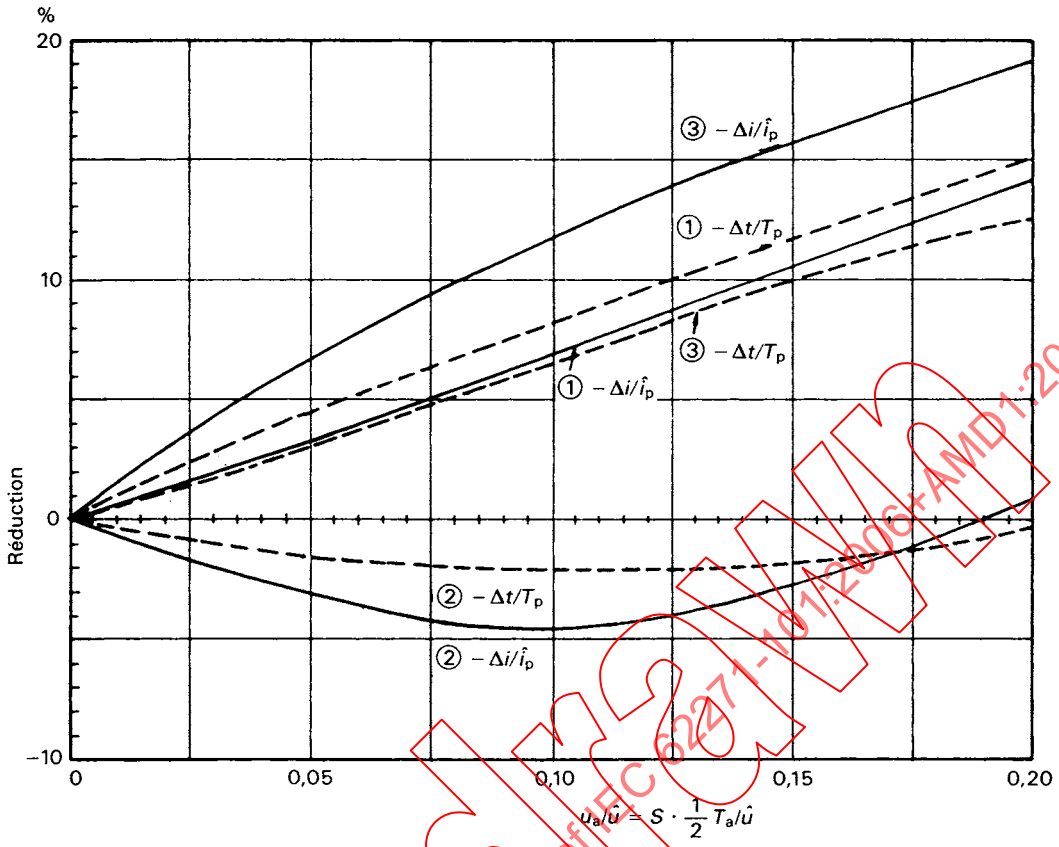
$\Delta i/\hat{i}_p$ réduction relative de l'amplitude du courant

$\Delta t/T_p$ réduction relative de la durée de l'alternance de courant

$u_a/\hat{u}$ rapport de la tension d'arc sur la tension d'alimentation

Figure A.10 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



① 1 alternance d'arc

② 2 alternances d'arc

③ 2,5 alternances d'arc

Voir Figure A.7.

Légende

$\Delta i/\hat{i}_p$ réduction relative de l'amplitude du courant

$\Delta t/T_p$ réduction relative de la durée de l'alternance de courant

$u_a/\hat{u}$ rapport de la tension d'arc sur la tension d'alimentation

Figure A.11 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annexe B
(informative)

Méthodes par injection de courant

B.1 Injection de courant

Dans un circuit d'essais synthétiques utilisant l'injection de courant, la superposition des courants a lieu légèrement avant le zéro du courant de court-circuit à fréquence industrielle. Un courant d'amplitude plus petite mais de fréquence plus élevée, obtenu à partir de la source de tension, est superposé au courant existant dans le disjoncteur en essai ou dans le disjoncteur auxiliaire. L'instant de commutation de ce courant injecté est choisi au moyen d'un circuit de commande dépendant du courant. Il convient que cet instant soit tel que l'onde de courant résultant dans le disjoncteur en essai corresponde à celle du courant de coupure spécifié avant le zéro de courant pendant la durée de changement significatif de tension d'arc.

De cette manière, le disjoncteur en essai est relié automatiquement au circuit de tension après l'interruption du courant par le disjoncteur auxiliaire, de telle sorte qu'il n'y a aucun décalage entre la contrainte de courant et l'application de la contrainte de tension.

B.1.1 Circuit à injection de courant avec source de tension en parallèle avec le disjoncteur en essai (circuit parallèle)

La Figure B.1 montre le schéma simplifié d'un circuit à injection de courant dont la source de tension est connectée en parallèle avec le disjoncteur en essai.

Le circuit de tension est commuté un court instant avant le zéro du courant de court-circuit à fréquence industrielle, avant la durée d'interaction. A cet instant, un courant oscillatoire à haute fréquence i_h est superposé au courant de court-circuit à fréquence industrielle i, avec la même polarité pour obtenir le courant d'essai résultant dans le disjoncteur en essai.

Lorsque le disjoncteur auxiliaire coupe le courant de court-circuit à fréquence industrielle i, le disjoncteur en essai est seulement relié à la source de tension et i_h est le seul courant restant. La source de tension fournit aussi la tension de rétablissement aux bornes du disjoncteur en essai après la coupure de ce courant.

La Figure B.2 montre un exemple de séquence de l'injection. Les deux points d'inflexion indiquent de façon typique le début de l'injection de courant dans le disjoncteur en essai et la coupure du courant de court-circuit à fréquence industrielle par le disjoncteur auxiliaire. La forme d'onde de la tension transitoire de rétablissement peut être réglée en ajustant Z_h et C_{dh} (Figure B.1), pour satisfaire aux exigences de la CEI 62271-100 (voir 4.1.3).

B.1.2 Circuit à injection de courant avec source de tension en parallèle avec le disjoncteur auxiliaire (circuit série)

La Figure B.3 montre le schéma simplifié d'un circuit à injection de courant dont le circuit de tension est connecté en parallèle avec le disjoncteur auxiliaire.

Après commutation du circuit de tension, peu avant le zéro du courant de court-circuit à fréquence industrielle, le courant oscillatoire haute fréquence i_h est superposé, avec la polarité inverse, au courant i de court-circuit à fréquence industrielle dans le disjoncteur auxiliaire.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+A1:2010 CSV
Withdrawn

Dès que le courant résultant est interrompu dans le disjoncteur auxiliaire, le courant oscillatoire traverse le disjoncteur en essai et le circuit de courant. Le disjoncteur en essai fait maintenant partie d'un circuit qui comprend en série le circuit de courant et le circuit de tension. Après extinction du courant résultant par le disjoncteur en essai, la tension transitoire de rétablissement est créée à la fois par le circuit de tension et le circuit de courant.

La Figure B.4 montre un exemple de séquence de l'injection. Le seul point d'inflexion correspond à l'interruption du courant dans le disjoncteur auxiliaire.

La forme d'onde de la tension de rétablissement peut être réglée en ajustant Z_h et C_{dh} ou Z_1 et C_{d1} (Figure B.3) pour satisfaire aux exigences de la CEI 62271-100 (voir 4.1.3).

B.2 Détermination de la période de changement significatif de la tension d'arc

Pour déterminer la période de changement significatif de la tension d'arc qui apparaît immédiatement avant le zéro de courant, la méthode suivante peut être appliquée, selon les caractéristiques de chaque tension d'arc.

Les tensions d'arc des disjoncteurs ont des formes générales très variées. Dans nombre de cas, la tension d'arc n'est pas stable mais fluctue autour d'une valeur moyenne. Dans le but d'évaluer le changement significatif, une valeur moyenne est obtenue en traçant une ligne entre les minima et maxima de la courbe (Figure B.5). Cette courbe peut être utilisée pour identifier des changements majeurs. La forme des caractéristiques de tension d'arc moyenne peut aussi varier considérablement.

La plupart des disjoncteurs présente une tension d'arc approximativement constante ou croissant régulièrement pendant l'alternance de courant avec une augmentation appréciable juste avant le zéro de courant. Dans de tels cas, il n'est pas difficile de déterminer à partir des oscillogrammes l'instant à partir duquel le changement significatif commence. Dans ce but, il est préférable d'utiliser un oscillographe donnant un tracé d'amplitude relativement grand pour la tension d'arc et ayant une échelle de temps suffisamment rapide pour permettre une mesure précise de la durée de changement significatif de la tension d'arc.

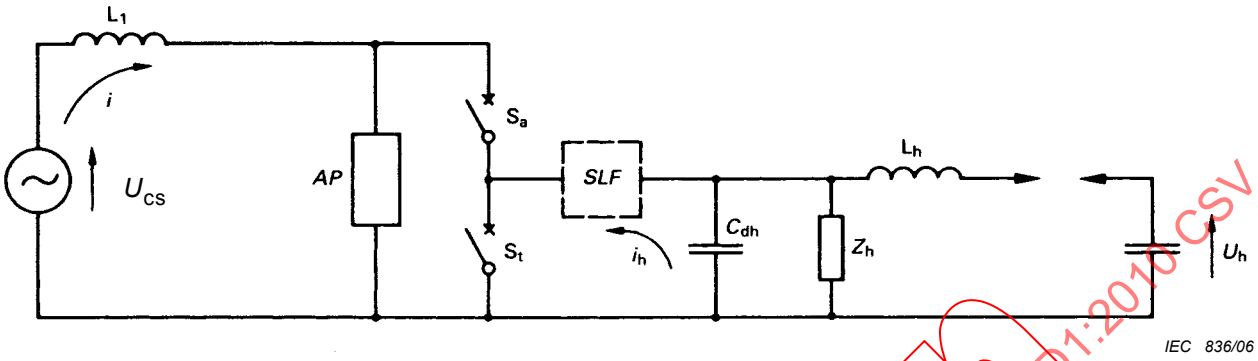
Dans certains cas, il peut être difficile de déterminer cette durée de changement significatif de la tension d'arc parce que

a) la tension d'arc reste quasi constante ou croît régulièrement pendant l'alternance de courant presque jusqu'à l'instant du zéro de courant,

b) des changements de tension d'arc apparaissent très longtemps avant le zéro de courant.

Dans ces cas, la fréquence du courant d'injection doit être aussi basse que possible, en tenant compte des exigences de 4.2.1.

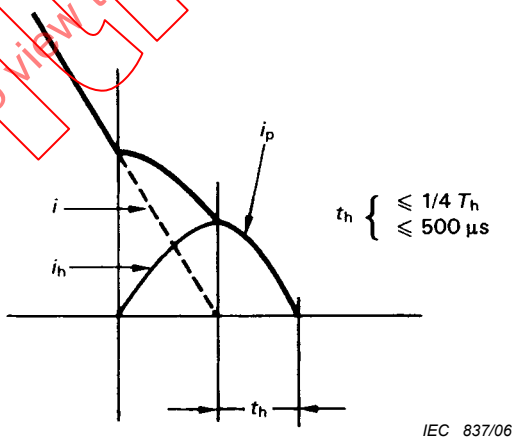
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Légende

U_{cs}	tension du circuit de courant	C_{dh}	capacité pour le retard du circuit de tension
L_1	inductance du circuit de courant	L_h	inductance du circuit de tension
AP	circuit d'entretien de l'arc	U_h	tension de charge du circuit de tension
S_a	disjoncteur auxiliaire	I	courant du circuit de courant
S_t	disjoncteur en essai	I_h	courant injecté
Z_h	impédance d'onde équivalente du circuit de tension	SLF	circuit de défaut proche en ligne (pour les essais correspondants)

Figure B.1 – Circuit type à injection de courant où la source de tension est en parallèle avec le disjoncteur en essai

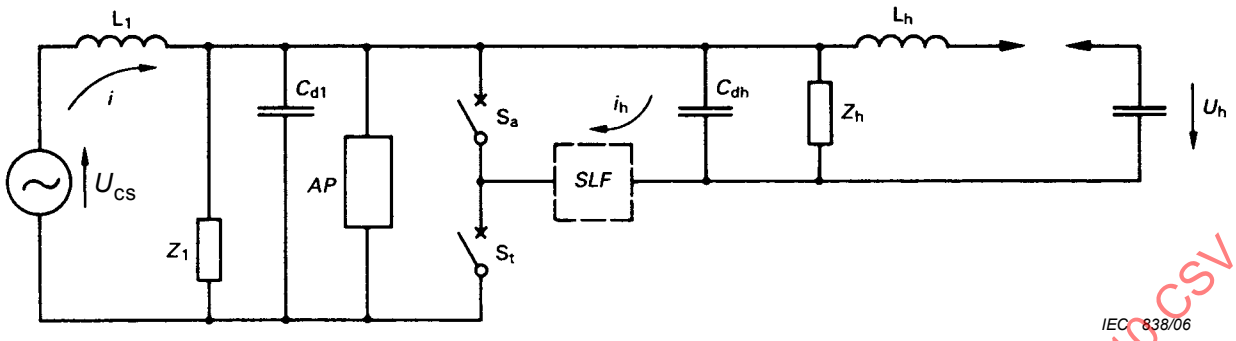


Légende

i	courant dans le disjoncteur auxiliaire	T_h	durée d'une période du courant injecté
i_h	courant injecté	T_h	durée pendant laquelle l'arc n'est alimenté que par le courant injecté
i_p	courant dans le disjoncteur en essai		

Figure B.2 – Séquence de l'injection du courant dans le circuit de la Figure B.1

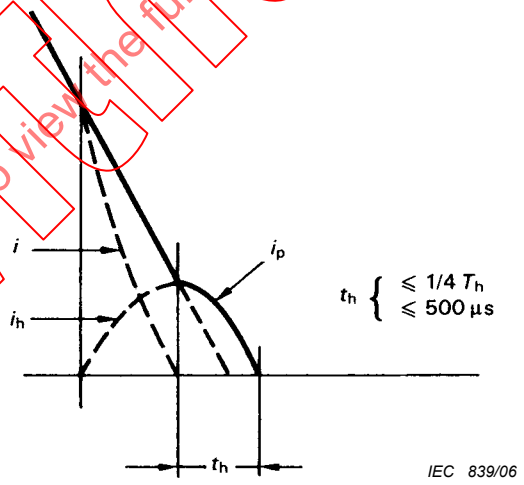
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



Légende

U_{cs}	tension du circuit de courant	U_h	tension de charge du circuit de tension
L_1	inductance du circuit de courant	I	courant du circuit de courant
AP	circuit d'entretien de l'arc	I_h	courant injecté
S_a	disjoncteur auxiliaire	Z_1	impédance d'onde équivalente du circuit de courant
S_t	disjoncteur en essai	C_{d1}	capacité simulant le retard du circuit de courant
Z_h	impédance d'onde équivalente du circuit de tension	SLF	circuit de défaut proche en ligne (pour les essais correspondants)
C_{dh}	capacité pour le retard de la source de tension	L_h	inductance du circuit de tension

Figure B.3 – Circuit type à injection de courant où la source de tension est en parallèle avec le disjoncteur auxiliaire



Légende

i	courant dans le disjoncteur auxiliaire	t_h	durée pendant laquelle l'arc n'est alimenté que par le courant injecté
i_h	courant injecté	T_h	durée d'une période du courant injecté
i_p	courant dans le disjoncteur en essai		

Figure B.4 – Séquence de l'injection du courant dans le circuit de la Figure B.3

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

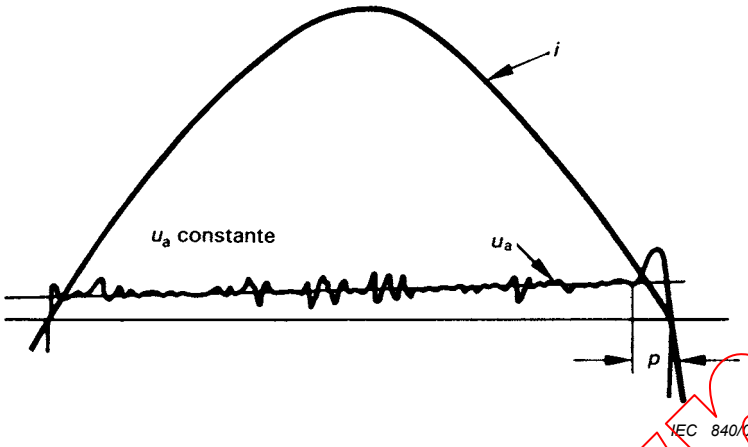


Figure B.5a

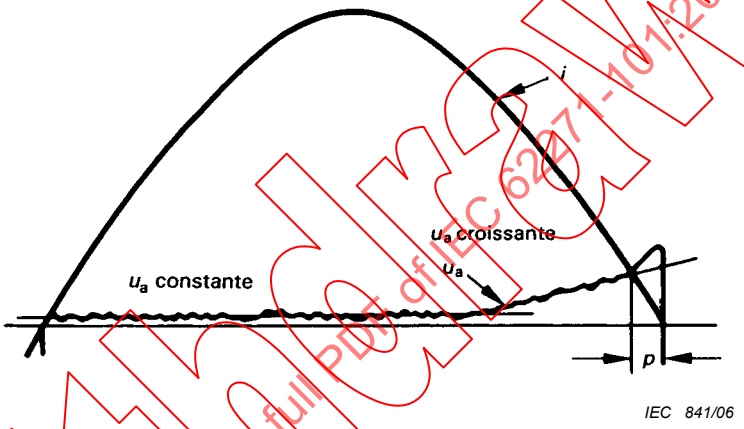


Figure B.5b

Légende

i	courant	p	durée du changement significatif de la tension d'arc
u_a	tension d'arc		

Figure B.5 – Exemples de détermination de la durée de changement significatif de la tension d'arc à partir d'oscillogrammes

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annexe C
(informative)

Méthodes par injection de tension

Dans un circuit d'essais synthétiques utilisant l'injection de tension, le circuit de courant fournit la totalité du courant de court-circuit au disjoncteur en essai et aussi, après le zéro de courant, la première partie de la tension transitoire de rétablissement.

Les valeurs correctes du facteur de puissance, du courant et de la première partie de la TTR peuvent être obtenues par le choix judicieux de la tension et de la fréquence propre du circuit de courant à fréquence industrielle.

Le circuit de tension est commuté à un temps voisin de celui de la première crête de la tension transitoire de rétablissement du circuit de courant, au moyen d'un circuit de commande dépendant de la tension et de manière telle que la tension transitoire de rétablissement spécifiée soit poursuivie sans qu'il n'y ait de retard entre les contraintes de courant et les contraintes de tension.

C.1 Circuit d'injection de tension où le circuit de tension est en parallèle du disjoncteur auxiliaire (circuit série)

La Figure C.1 montre le schéma simplifié du circuit d'injection de tension dans lequel le circuit de tension est connecté en parallèle avec le disjoncteur auxiliaire. La source de courant fournit la contrainte totale du courant de court-circuit. Un condensateur de valeur appropriée est connecté en parallèle avec le disjoncteur auxiliaire. Après le zéro du courant de court-circuit à fréquence industrielle, ce condensateur transmet la tension de rétablissement transitoire totale de la source de courant au disjoncteur en essai, transmettant l'énergie nécessaire au courant post-arc.

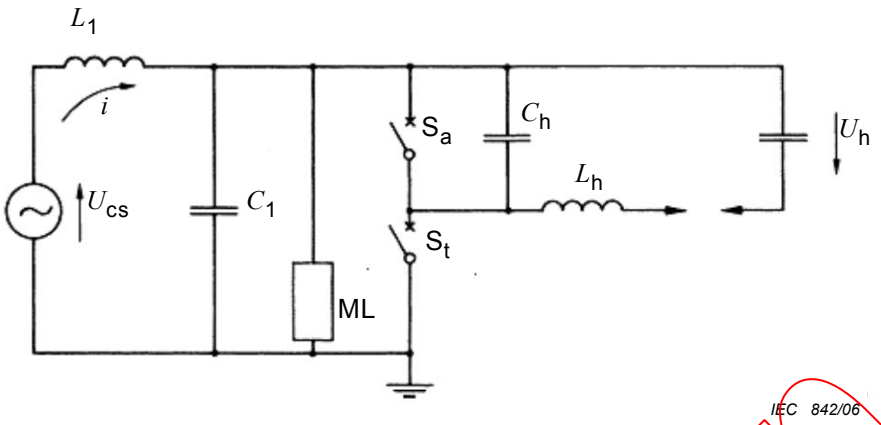
A un temps voisin de celui où la tension transitoire atteint sa première crête, le circuit de tension est commuté et, à partir de ce moment, les tensions transitoires de rétablissement des deux circuits s'ajoutent pour constituer la tension transitoire de rétablissement entre les bornes du disjoncteur en essai.

La Figure C.2 présente le courant dans le disjoncteur en essai et les formes d'ondes de tension aux bornes du disjoncteur auxiliaire et du disjoncteur en essai. Le disjoncteur auxiliaire est seulement soumis aux contraintes de tension du circuit de tension. Les deux composantes de la tension entre les bornes du disjoncteur en essai sont superposées pour produire la tension transitoire de rétablissement dont la forme d'onde peut être réglée en ajustant C_h et C_1 avec éventuellement d'autres composantes additionnelles non indiquées à la Figure C.1 afin de satisfaire aux exigences de la CEI 62271-100 (voir 4.1.3).

C.2 Circuit d'injection de tension où le circuit de tension est en parallèle du disjoncteur en essai

Ce circuit à injection de tension est semblable à celui décrit ci-dessus, sauf que le circuit de tension est en parallèle avec le disjoncteur en essai au lieu de l'être avec le disjoncteur auxiliaire. Ce circuit n'est pas d'usage courant.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

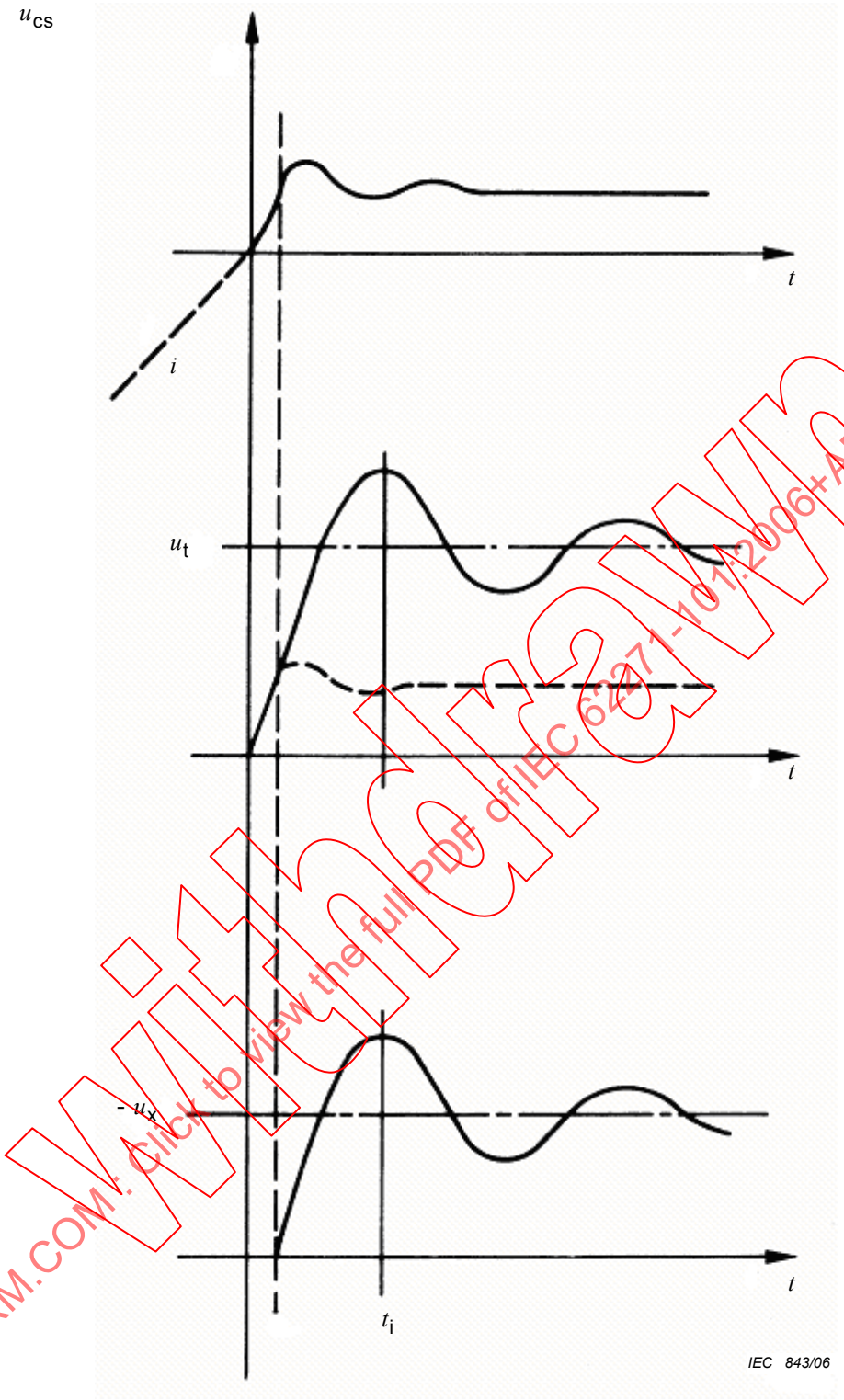


Légende

U_{cs}	tension du circuit de courant	S_t	disjoncteur en essai
L_1	inductance du circuit de courant	C_h	capacité du circuit de tension qui régit avec L_h la plus grande partie de la TTR
C_1	capacité du circuit de courant qui régit avec L_1 la première partie de la TTR	L_h	inductance du circuit de tension
ML	circuit de réallumage multi-alternances	U_h	tension de charge du circuit de tension
S_a	disjoncteur auxiliaire		

Figure C.1 – Schéma caractéristique de l'injection de tension avec la source de tension en parallèle avec le disjoncteur auxiliaire (schéma simplifié)

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Légende

i	courant à fréquence industrielle dans les disjoncteurs en essai et auxiliaire	u_t	tension aux bornes du disjoncteur en essai
u_{cs}	TTR fournie par le circuit de courant	u_x	tension aux bornes du disjoncteur auxiliaire
		t_i	instant de l'injection de tension

Figure C.2 – Formes d'ondes de TTR obtenues dans un circuit à injection de tension avec la source de tension en parallèle avec le disjoncteur auxiliaire

Annexe D
(informative)

Circuit de Skeats (ou par transformateur)

D.1 Principe de la méthode

Dans ce circuit d'essai, le courant est fourni par un circuit de courant au disjoncteur auxiliaire et au disjoncteur en essai disposés en série. La haute tension est appliquée au disjoncteur en essai à travers une résistance, à partir d'un transformateur (ou d'un auto-transformateur), dont le primaire est connecté au circuit de courant aux bornes du disjoncteur en essai et du disjoncteur auxiliaire. La Figure D.1 montre la disposition générale du circuit.

Pendant la durée de fort courant, les tensions d'arc du disjoncteur en essai et du disjoncteur auxiliaire imposent dans le circuit haute tension un courant i_R qui s'ajoute au courant aux bornes du disjoncteur en essai, $i_2 = i_1 + i_R$. Ainsi, dans le disjoncteur auxiliaire, le courant atteint zéro et s'interrompt avant celui du disjoncteur en essai. Si l'on suppose que les tensions d'arc sont quasi constantes, le courant du disjoncteur en essai passe par zéro au temps Δt après l'interruption du disjoncteur auxiliaire, approximativement donné par la formule:

$$\Delta t = \frac{n(u_{aa} + u_{at}) - u_{at}}{n \times \hat{u}_{cs}} \times \frac{L_2}{R}$$

où

n est le rapport du transformateur;

u_{aa}, u_{at} sont les tensions d'arc dans S_a et S_t respectivement;

$\hat{u}_{cs}$ est la tension crête du circuit de courant;

L_2 = $n^2 L_1 + L_T$ (inductance effective dans le circuit haute tension);

L_T = inductance de fuite de T.

Pendant la durée Δt, la vitesse de variation du courant di_2/dt aux bornes du disjoncteur en essai atteint une valeur voisine de:

$$\frac{di_2}{dt} = -\frac{n \times \hat{u}_{cs}}{L_2} = -\frac{n\,\hat{u}_{cs}}{n^2 L_1 + L_T}$$

c'est-à-dire que di_2/dt aura une valeur plus faible que la valeur présumée qui serait obtenue sans influence. Cette valeur est réduite d'un facteur de la même amplitude que le rapport n du transformateur.

Si l'on choisit une résistance R de valeur suffisante, l'intervalle Δt peut être court. D'autre part, une valeur élevée augmente l'amortissement de la TTR. Pour les disjoncteurs avec courant post-arc, des valeurs plus restreintes peuvent être nécessaires. On utilise généralement pour R des valeurs de l'ordre de quelques kΩ, ce qui donne $\Delta t \leq 10$ µs.

Le circuit d'essai n'est donc pas valable pour les essais de défaillance en mode thermique d'un disjoncteur, pour les raisons suivantes:

– l'impédance côté source ne correspond pas aux conditions en réseau (ou en circuit d'essais directs) pendant la durée d'interaction,

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

– le di/dt s'écarte de la valeur présumée pendant un intervalle de temps (court) immédiatement avant le zéro de courant.

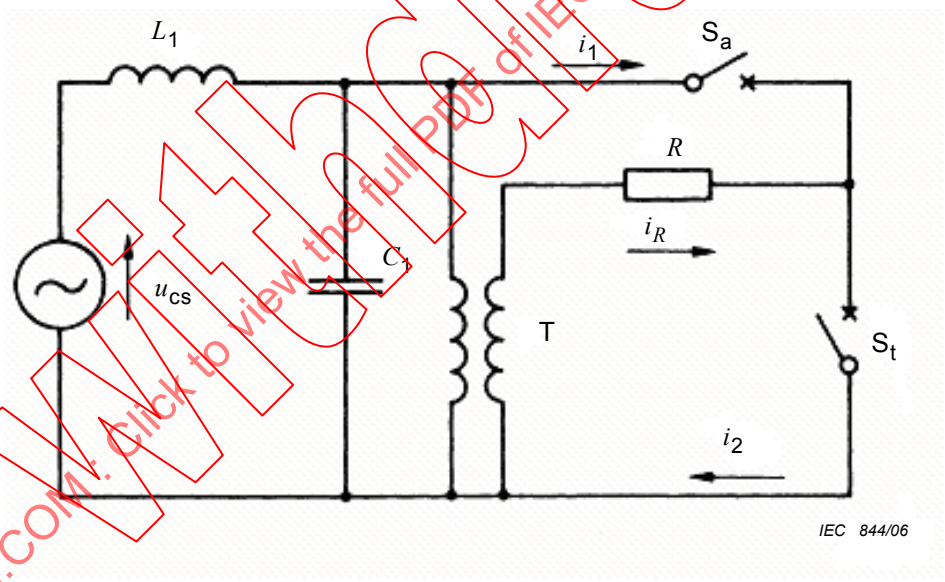
Le circuit d'essai peut être utilisé pour les essais de tenue diélectrique de rétablissement d'un disjoncteur. Il peut aussi être utilisé pour les essais de fermeture et peut être adapté pour fonctionner avec plusieurs applications à pleine tension.

D.2 Disposition pratique du circuit

On peut voir une disposition pratique du circuit à la Figure D.2. Il peut être utilisé pour l'application de la pleine tension de rétablissement sur trois zéros de courant consécutifs dans une manœuvre d'ouverture en ouvrant les disjoncteurs auxiliaires S_{a1}, S_{a2} et S_{a3} l'un après l'autre. Les éclateurs G_1 et G_2 sont déclenchés pour rétablir le courant au cas où le disjoncteur en essai ne coupe pas aux premier et second zéros de courant respectivement.

Il permet aussi d'appliquer les contraintes de pleine tension à la fermeture et à l'ouverture d'un cycle CO. Le disjoncteur en essai S_t est fermé sous haute tension (S_{a1} est ouvert) et, au moment où il pré-amorce, l'un des éclateurs, par exemple G_2, est déclenché pour fermer le circuit de courant (S_{a2} est fermé). S_{a3} est fermé avant l'ouverture du disjoncteur en essai et sert de disjoncteur auxiliaire au premier zéro de courant. On peut, si nécessaire, tester un deuxième zéro de courant au moyen de G_1 et S_{a1}.

Les deux manœuvres d'ouverture d'une opération de réenclenchement automatique peuvent être entièrement essayées de façon similaire.

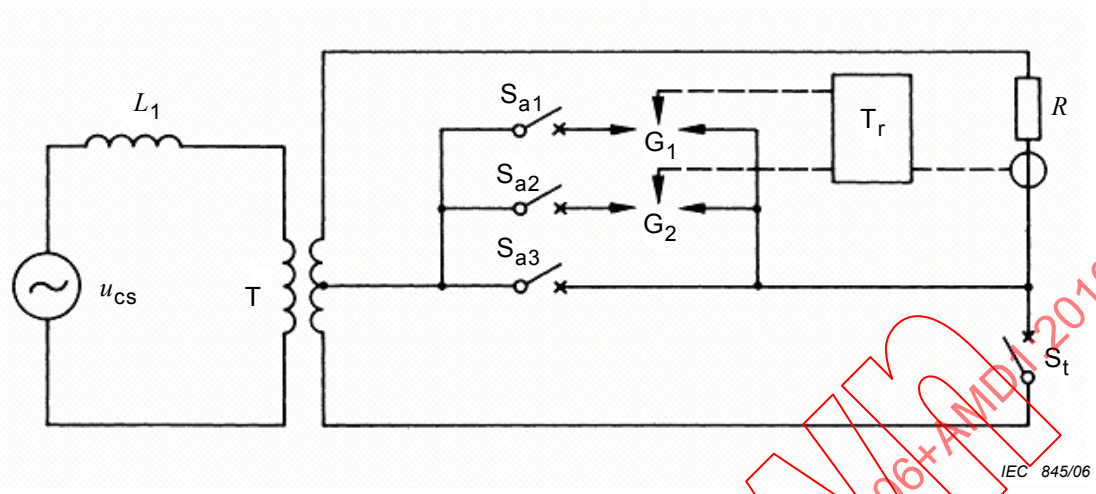


Légende

u_{cs}	tension du circuit de courant	i_1	courant traversant le disjoncteur auxiliaire
L_1	inductance du circuit de courant	i_2	courant traversant le disjoncteur en essai
C_1	capacité du circuit de courant qui régit avec L_1 la première partie de la TTR	i_R	courant traversant la résistance R
T	transformateur	S_a	disjoncteur auxiliaire
R	résistance de déphasage	S_t	disjoncteur en essai

Figure D.1 – Circuit de Skeats ou par transformateur

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006/AMD1:2010 CSV
Withdrawn



Légende

u_{cs}	tension du circuit de courant	S_{a1}, S_{a2}, S_{a3}	disjoncteurs auxiliaires
L_1	inductance du circuit de courant	S_t	disjoncteur en essai
T	transformateur	T_r	circuit de déclenchement
R	résistance de déphasage	G_1, G_2	éclateurs déclenchés

Figure D.2 – Circuit de Skeats ou par transformateur déclenché

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annexe E
(normative)

Indications à donner et résultats à enregistrer lors d'essais synthétiques

En plus des exigences de l'Annexe C de la CEI 62271-100, les informations suivantes doivent être fournies dans les rapports d'essais synthétiques.

E.1 Disjoncteur auxiliaire

a) Identification.

b) Description, incluant le nombre d'éléments par pôle, le fluide utilisé pour l'extinction et, éventuellement, les condensateurs de répartition.

E.2 Conditions d'essais

a) Paramètres du circuit de tension.

b) Ajustement de la durée d'arc recherchée pour le disjoncteur en essai, y compris l'utilisation de circuit(s) de réallumage.

E.3 Grandeurs à consigner

La résolution des enregistrements de la déviation et de l'échelle de temps doit être telle que les informations recherchées puissent être évaluées avec suffisamment de précision.

E.3.1 Tensions

a) tension du circuit de courant;

b) tension aux bornes du disjoncteur en essai.

E.3.2 Courants

a) Courant traversant le disjoncteur en essai.

b) Courant provenant du circuit de tension.

NOTE 1 Pour certaines grandeurs, il peut être nécessaire d'effectuer plusieurs enregistrements avec des déviations et/ou des échelles de temps différentes. Ce sera normalement le cas pour les mesures décrites en E.3.1b) et E.3.2a).

NOTE 2 D'autres informations et enregistrements peuvent être ajoutés pour obtenir des données de type ou d'essais.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annexe F
(informative)

Procédures d'essais particulières pour les disjoncteurs équipés de résistances de coupure parallèles

F.1 Introduction

Quand on utilise des méthodes d'essais synthétiques pour des disjoncteurs équipés de résistances de coupure parallèles, il convient d'envisager chaque circuit en fonction de ses qualités, le principe essentiel étant qu'il convient que le circuit d'essais synthétiques ait une tension transitoire de rétablissement présumée conforme aux exigences de la CEI 62271-100, et d'appliquer sur le disjoncteur une tension de rétablissement comme il est spécifié en 4.1.3 de la présente norme.

Pour ce type de disjoncteur où des résistances parallèles sont employées pour modifier la forme de la tension transitoire de rétablissement, il convient qu'un circuit d'essais synthétiques soit tel que la forme de la tension transitoire de rétablissement soit, dans la mesure du possible, égale à la tension transitoire de rétablissement spécifiée une fois modifiée par la résistance du disjoncteur. Si la valeur ohmique de la résistance shunt est très basse, la valeur crête de la TTR réelle dans un essai synthétique peut ne pas atteindre cette valeur à cause de la limitation de l'énergie disponible dans la source de tension. Dans ce cas, il convient de choisir une méthode d'essais modifiée dans laquelle la réduction relative de la TTR de crête réelle est maintenue à un minimum négligeable (moins de 5 %). Cela n'exclut cependant pas la possibilité de ne pas satisfaire aux exigences de 4.1.3 concernant la tension de rétablissement.

En prenant certaines précautions, des essais valables peuvent être réalisés, par exemple en suivant l'une des méthodes suivantes:

– l'ajustement des paramètres du circuit de tension pour fournir l'énergie supplémentaire nécessaire absorbée par la résistance;
– la commutation d'une source de tension alternative supplémentaire suffisante pour maintenir la tension aux bornes de la résistance;
– la déconnexion de la résistance shunt du disjoncteur en essai et la connexion d'une résistance à d'autres points appropriés du circuit d'essai (par exemple aux bornes de l'inductance de la source de tension) pour donner une forme d'onde de tension transitoire de rétablissement équivalente aux bornes du disjoncteur en essai. Cette méthode exige que l'on s'assure que l'influence de la résistance pendant la période de zéro de courant est suffisamment proche de celle qui se produit dans un essai où la résistance est connectée aux bornes du disjoncteur.

De telles méthodes doivent être choisies et acceptées après mûre réflexion par la station d'essai, le constructeur et l'utilisateur.

Si la méthode d'essais appliquée ne soumet pas la résistance à la pleine contrainte thermique, ou l'interrupteur du courant de résistance à la pleine contrainte de coupure, alors des essais supplémentaires doivent être réalisés (voir F.3.3 et F.3.4).

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

F.2 Conditions

Les exigences concernant le circuit principal d'essais synthétiques doivent être satisfaites (voir 4.1). Des exigences supplémentaires pendant la période de contrainte électrique, qui doivent être satisfaites lors des essais concernant les disjoncteurs équipés de résistances à faible valeur ohmique et dont l'impédance est si faible qu'elle exclut l'utilisation d'une source de tension provenant de condensateurs uniquement, sont données ci-dessous.

F.2.1 Période de tension transitoire de rétablissement

Il convient que la tension transitoire de rétablissement correcte apparaisse aux bornes du disjoncteur, l'influence de la résistance shunt incorporée dans le disjoncteur et la tension d'arc étant prises en compte. Il convient qu'il n'y ait pas de discontinuité dans la forme d'onde de tension transitoire de rétablissement.

NOTE La tension transitoire de rétablissement, influencée seulement par la résistance shunt, peut être calculée en supposant un disjoncteur idéal et en évaluant l'influence de la résistance shunt incorporée dans le disjoncteur sur la tension transitoire de rétablissement spécifiée.

F.2.2 Durée de tension de rétablissement à fréquence industrielle

Il convient qu'une tension de rétablissement à fréquence industrielle, égale à la valeur spécifiée dans la CEI 62271-100, soit appliquée.

NOTE Il est permis d'utiliser une tension de rétablissement à fréquence industrielle d'amplitude correcte ayant un déphasage différent de celui qui peut être obtenu en réseau. Il convient que le sens de ce déphasage soit tel que la tension de rétablissement dans l'essai synthétique soit retardée par rapport à celle obtenue en réseau. Il en résulte une extension de la première alternance de la tension de rétablissement, ce qui est acceptable à condition que le déphasage ne dépasse pas 20°.

F.3 Procédure d'essai en plusieurs étapes

Une autre approche consiste à effectuer une série de quatre procédures d'essais séparées afin de démontrer que le comportement du disjoncteur en essai est globalement satisfaisant. Pour cela, il doit être possible de déconnecter la ou les résistances dans le disjoncteur.

NOTE Pour que ces procédures d'essais séparées soient recevables, il est essentiel que le fonctionnement et le comportement de l'interrupteur de la résistance ne soient pas affectés par le fonctionnement de l'interrupteur principal.

F.3.1 Essais de réallumages thermiques sur l'interrupteur principal

Le but de ces essais est de démontrer que les réallumages ne se produisent pas dans l'interrupteur principal lors de la période d'interaction.

Un essai synthétique est effectué, dans lequel la résistance est montée en position normale sur le disjoncteur. Cet essai est soumis aux exigences normales pendant une période dont la durée est plus grande par rapport à celle de la période d'interaction.

Lors de l'utilisation de la méthode par injection de courant avec circuit de tension en parallèle sur le disjoncteur en essai, l'énergie de la source de tension est en général suffisante si la constante de temps de décharge de la source de tension branchée en parallèle avec la résistance de coupure du disjoncteur est au moins cinq fois plus grande que la durée de l'intervalle d'interaction.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

F.3.2 Essais de réallumages diélectriques sur l'interrupteur principal

Dans un premier temps, la résistance du disjoncteur est déconnectée. Puis, un essai synthétique est réalisé avec la valeur correcte de la tension transitoire de rétablissement présumée, une fois modifiée par la résistance seulement. Cet essai permet de vérifier le comportement pendant la durée diélectrique qui ne l'a pas été lors de l'essai de réallumages thermiques décrit en F.3.1.

NOTE 1 Pour plus de facilité, il est permis, si on le souhaite, de connecter la résistance de substitution au circuit externe immédiatement avant la période d'interaction. Cette mesure peut modifier les conditions déterminant les critères de réallumages thermiques, mais ces conditions ont déjà été remplies dans l'essai décrit en F.3.1.

NOTE 2 Des problèmes peuvent être rencontrés lors de la réalisation de l'essai diélectrique décrit en F.3.2 sur un certain nombre d'interrupteurs montés en série. La déconnexion des résistances shunt implique qu'il n'y a plus distribution de tension en dehors de celle qui est déterminée par les capacités. Ces dernières risquent de ne pas pouvoir assurer une répartition suffisamment uniforme et on risque de soumettre un interrupteur à une trop grande contrainte. Un moyen de résoudre ce problème pour les disjoncteurs de type ouvert est de fixer à l'extérieur une chaîne de résistances de valeur plus élevée pour obtenir une distribution presque uniforme. Il convient, bien sûr, que cela soit pris en compte pour obtenir la forme de l'onde de tension transitoire de rétablissement correcte.

F.3.3 Essais sur la résistance

Il convient que les résistances soient essayées dans les circuits directs pour démontrer que la résistance peut satisfaire aux conditions thermiques et de tension imposées par la séquence de manœuvres du disjoncteur.

F.3.4 Essais sur le ou les interrupteurs de résistance

Il convient d'effectuer des essais pour démontrer que le ou les interrupteurs de résistance ont le comportement exigé.

F.4 Remarques supplémentaires

Il convient de noter que, dans un circuit utilisant la tension de rétablissement à fréquence industrielle, le moment de la fermeture de la source de tension est critique et que la validité de la procédure d'essais exige que ce moment soit maintenu dans des tolérances bien définies. Ne pas respecter cette précaution peut entraîner des erreurs importantes dans la forme d'onde de la tension transitoire de rétablissement présumée.

Si la procédure d'essais en plusieurs étapes est adoptée, il convient de tenir compte des problèmes qui peuvent apparaître pendant les essais de réallumages diélectriques décrits en F.3.2. L'utilisation d'une résistance externe au disjoncteur peut introduire des inductances et capacités parasites dans le circuit contenant l'interrupteur principal. Cela peut conduire à la défaillance en mode thermique pendant l'essai diélectrique. De telles défaillances ne constitueraient pas une raison suffisante de non-acceptation du disjoncteur mais nécessiteraient d'autres essais diélectriques après modification du circuit.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annexe G
(informative)

Méthodes d'essais synthétiques pour l'établissement et la coupure de courants capacitifs

G.1 Introduction

Les essais synthétiques d'établissement et de coupure de courants capacitifs sont généralement effectués en utilisant des circuits d'essais monophasés. Il existe principalement deux types de circuits:

a) Circuits combinés de courant et de tension

Le circuit d'essai est composé de deux circuits combinés: un circuit de courant et un circuit de tension. Les deux circuits ont une nature capacitive, mais on peut également utiliser un circuit de courant inductif ou résistif, à condition que l'angle de phase entre les deux sources soit modifié en conséquence.

Les deux sources sont soit des transformateurs alimentés par générateur, soit des condensateurs chargés, ou encore une combinaison des deux. L'application de ce type de circuit implique l'utilisation d'un disjoncteur auxiliaire afin d'isoler le disjoncteur en essai de la source de courant.

b) Circuits oscillants LC

Le circuit d'essai se compose d'un circuit oscillant LC qui fournit à la fois le courant et la tension à partir d'une seule source. L'application de ce type de circuit ne nécessite pas l'utilisation d'un disjoncteur auxiliaire.

NOTE Les phénomènes qui surviennent suite à un réamorçage ou un réallumage ne sont pas représentatifs des conditions de service, étant donné que les circuits d'essais ne reproduisent pas de manière adéquate les conditions de tensions apparaissant suite à de tels événements.

Pour l'applicabilité des méthodes mentionnées dans le cas de disjoncteurs sous enveloppe métallique ou à cuve mise à la terre, voir l'Annexe N et l'Annexe O de la CEI 62271-100:2008.

G.1.1 Essais de coupure

De nombreux circuits d'essais sont possibles avec des caractéristiques différentes. Les Figures G.1 à G.7 en donnent quelques exemples.

Une impédance peut être ajoutée pour protéger le circuit d'essai et/ou contrôler le courant d'appel, à condition que la tension de rétablissement présumée soit conforme à 6.111.10 de la CEI 62271-100.

G.1.2 Tension de rétablissement

En principe, la tension de rétablissement se compose d'une tension alternative appliquée à une borne du disjoncteur en essai, tandis qu'une tension continue décroissant lentement contraint l'autre borne.

Dans certains circuits d'essais, les deux tensions sont superposées sur l'une des bornes du disjoncteur en essai, l'autre borne étant reliée à la terre. Cette méthode implique une contrainte plus sévère sur l'isolation par rapport à la terre. Les sources combinées de courant et de tension des Figures G.6 et G.7 peuvent être utilisées pour appliquer les contraintes de tension correctes à chaque borne du disjoncteur. Pour les disjoncteurs sous enveloppe métallique, cet effet peut être compensé en appliquant une tension supplémentaire à la cuve, conformément aux recommandations de ~~4.3 de la CEI 61633~~ O.4.3 de la CEI 62271-100:2008.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

G.1.3 Circuits combinés de courant et de tension

Lorsque des essais sont effectués en utilisant les circuits décrits au point a) de l'Article G.1, la connexion des sources de courant et de tension aux disjoncteurs auxiliaire et en essai peut, en mode parallèle, soustraire la tension du disjoncteur auxiliaire ou, en mode série, ajouter cette tension sur le disjoncteur en essai.

Selon que la source de tension est connectée de façon permanente ou commutée avant ou après le zéro de courant à fréquence industrielle, on peut faire une distinction entre la superposition de courants à fréquence industrielle, les circuits à injection de courants et les circuits à injection de tension.

G.1.4 Essais d'établissement

Des exemples de circuits d'essais sont donnés aux Figures G.8 et G.9.

La source de tension fournit la tension d'essai pendant la fermeture des contacts jusqu'au moment du claquage diélectrique, provoquant la circulation du courant transitoire initial de fermeture.

G.2 Arrachement du courant

Les phénomènes d'arrachement de courant, causés par l'interaction entre un disjoncteur et son circuit (en service ou pendant des essais de laboratoire), provoquent généralement une réduction de la tension côté charge et, en conséquence, de la contrainte diélectrique du disjoncteur.

En service ou pendant les essais de laboratoire dans les circuits d'essais directs, les arrachements de faibles courants capacitifs peuvent se produire. Dans les circuits d'essais synthétiques, la probabilité d'apparition de ces événements est augmentée, pour les raisons suivantes:

– en termes généraux, les paramètres caractéristiques des éléments répartis et des éléments localisés de certains circuits d'essais synthétiques sont différents et peuvent influencer le comportement d'arrachement de courant du disjoncteur;
– l'effet du montage en série des disjoncteurs supplémentaires (auxiliaires) avec le disjoncteur en essai dans les circuits combinés de courant et de tension;
– l'augmentation du rapport de la tension d'arc à la tension à fréquence industrielle.

En conséquence, quand on effectue des essais synthétiques en utilisant les circuits d'essais décrits au point a) de l'Article G.1, il peut être difficile de déterminer si les arrachements de courant représentent une caractéristique significative du disjoncteur en essai ou non. Pour réduire les arrachements de courant, les mesures suivantes peuvent être prises:

– modification des capacités vues des bornes du disjoncteur;
– utilisation d'un disjoncteur auxiliaire avec une courte durée minimale d'arc et une basse tension d'arc dans les circuits combinés de courant et de tension.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Les Figures G.1 à G.9 montrent des exemples typiques de circuits synthétiques pour les essais de manœuvre capacitive. La liste des symboles et explications relatives aux figures, est donnée ci-dessous pour alléger leur contenu et éviter les répétitions.

C_c = capacité du circuit courant

C_v = capacité du circuit tension

C_h, L_{pf} = fréquence du circuit oscillant

f_{inrush} = fréquence du courant d'appel de fermeture

f_r = fréquence assignée

f_{RV} = fréquence de la tension de rétablissement

G = éclateur

i_c = courant du circuit de courant

$i_{max\ peak}$ = valeur crête du courant d'appel de fermeture

i_L = courant de charge (courant à travers le disjoncteur S_t)

i_v = courant du circuit de tension

L_c = inductance du circuit de courant

L_v = inductance du circuit de tension

m = rapport du courant i_L sur le courant i_v

n = rapport de la tension u_t sur la tension U_c

S_a = disjoncteur auxiliaire

S_{a1}, S_{a2}, S_{a3} = disjoncteurs auxiliaires

S_t = disjoncteur en essai

$\hat{t}$ = temps jusqu'à la crête du courant injecté

U_c = tension du circuit de courant

U_h = tension de charge de C_h

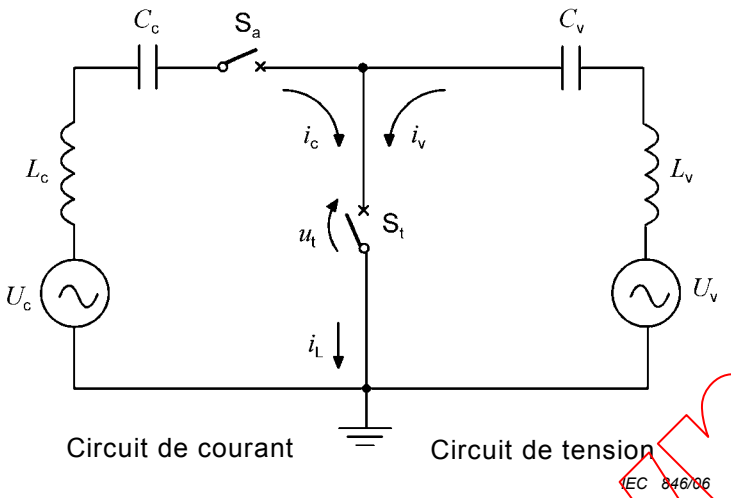
U_{hB} = tension de charge de C_{hB}

U_v = tension du circuit de tension

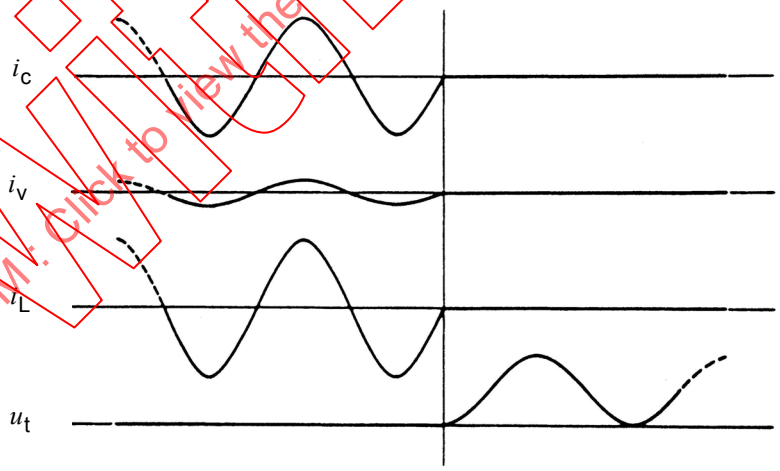
u_A, u_B = tension par rapport à la terre aux points A et B, respectivement

u_t = tension aux bornes du disjoncteur en essai S_t

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



$U_c = u_t/n$	$U_v = u_t$
$i_c = i_L(1-1/m)$	$i_v = i_L/m$
$\omega L_c \ll 1/\omega C_c$	$\omega L_v \ll 1/\omega C_v$
$C_c = n(1-1/m)C_L$	$C_v = C_L/m$
C_L = capacité de charge équivalente	

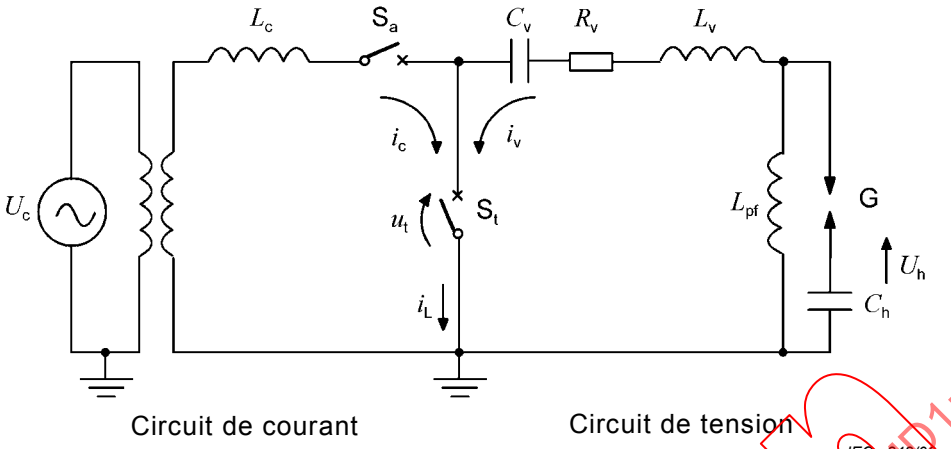


Manœuvre de coupure

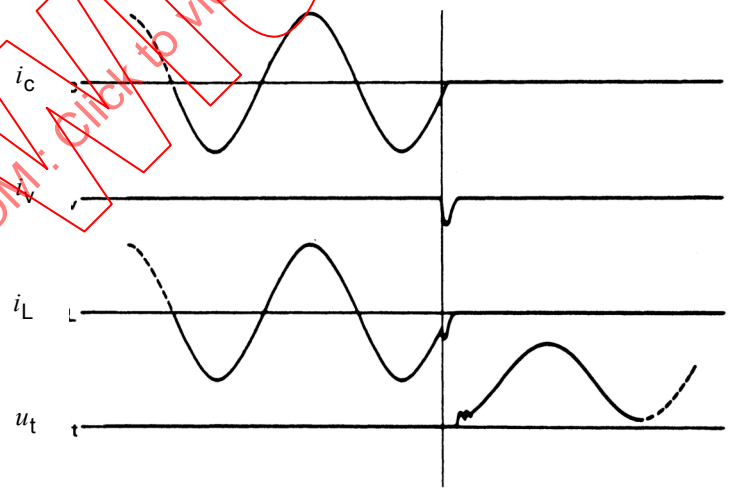
IEC 847/06

Figure G.1 – Circuits de courant capacitif (mode parallèle)

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$U_c = u_t/n$	$U_h = \frac{(C_v + C_h)}{C_h} U_t \sqrt{2}$
$i_c = i_L$	$i_v = \frac{U_h}{\omega_0 L_v} e^{-\alpha \hat{t}} \sin \omega_0 \hat{t}$, avec $\alpha = \frac{R_v}{2L_v}$ et $\omega_0 = \sqrt{\frac{1}{L_v}\left(\frac{1}{C_h} + \frac{1}{C_v}\right) - \left(\frac{R_v}{2L_v}\right)^2}$
$\omega L_c = \frac{1}{n \times \omega \times C_L}$	$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$
C_L = capacité de charge équivalente	

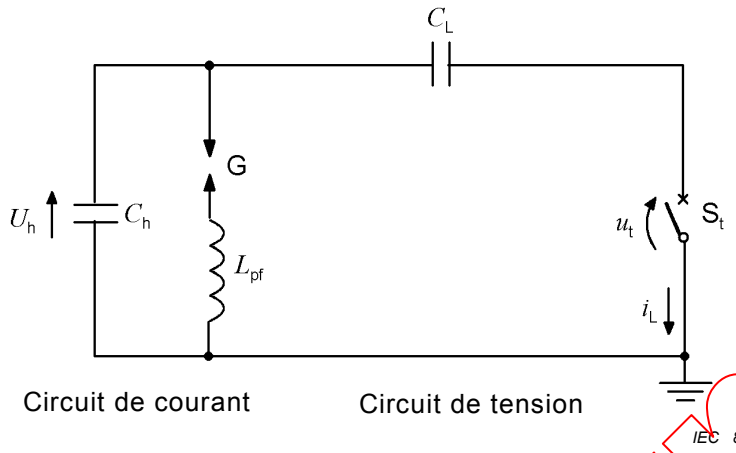


Manœuvre de coupure

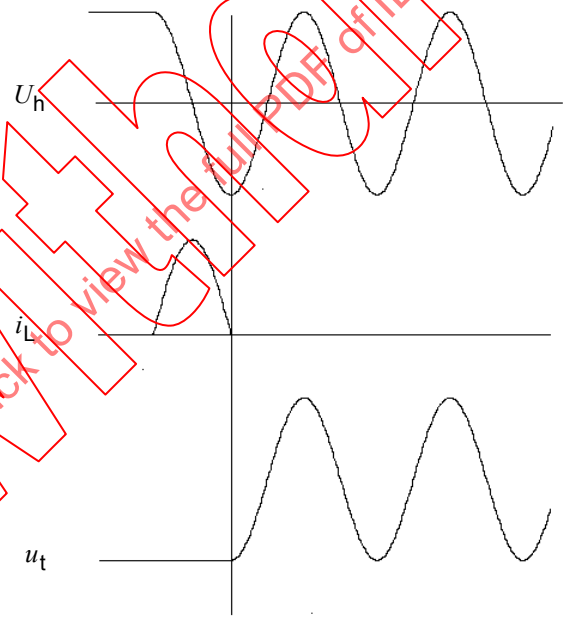
IEC 849/06

Figure G.2 – Circuit à injection de courant

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$U_h = U_t\sqrt{2}$	$i_L = 2\pi f_L \times C_L \times U_h$
$f_{RV} = \dfrac{1}{2\pi\sqrt{C_h \times L_{pf}}}$	$f_L = \dfrac{1}{2\pi\sqrt{(C_h + C_L) \times L_{pf}}}$
C_L= capacité de charge	



Manœuvre de coupure

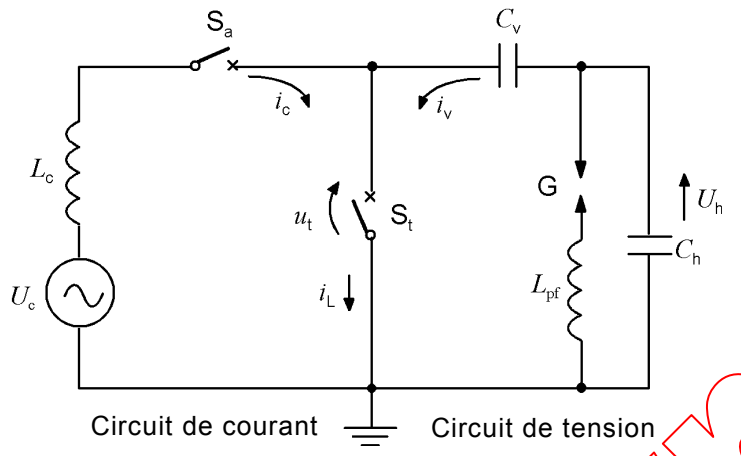
IEC 851/06

C_h et C_L sont préchargées à la tension U_h.

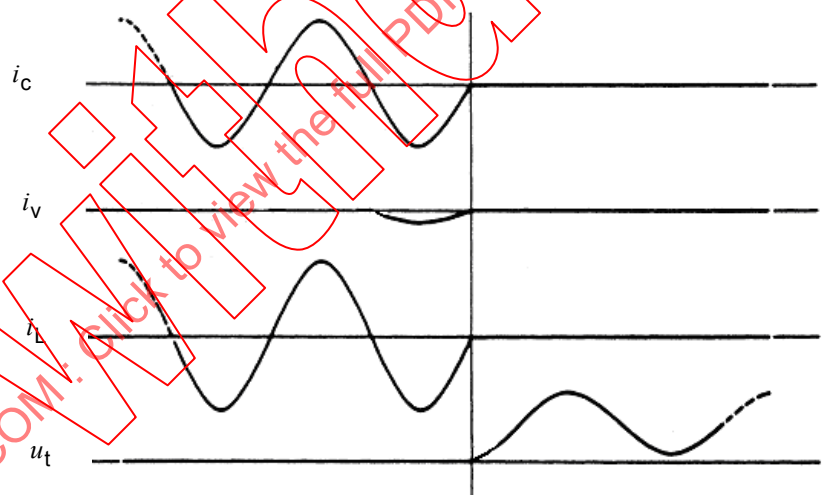
NOTE La capacité de charge C_L peut également être insérée entre le disjoncteur en essais et la terre.

Figure G.3 – Circuit oscillant LC

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$i_c = i_L - i_v$	$U_h = U_t \times \sqrt{2}$
$i_c = U_c / \omega_r L_c$, avec $\omega_r = 2\pi f_r$	$f_L = \dfrac{1}{2\pi\sqrt{(C_h + C_v) \times L_{pf}}}$
$i_v = U_h \times 2\pi f_L \times C_v$	$f_{RV} = \dfrac{1}{2\pi\sqrt{C_h \times L_{pf}}}$

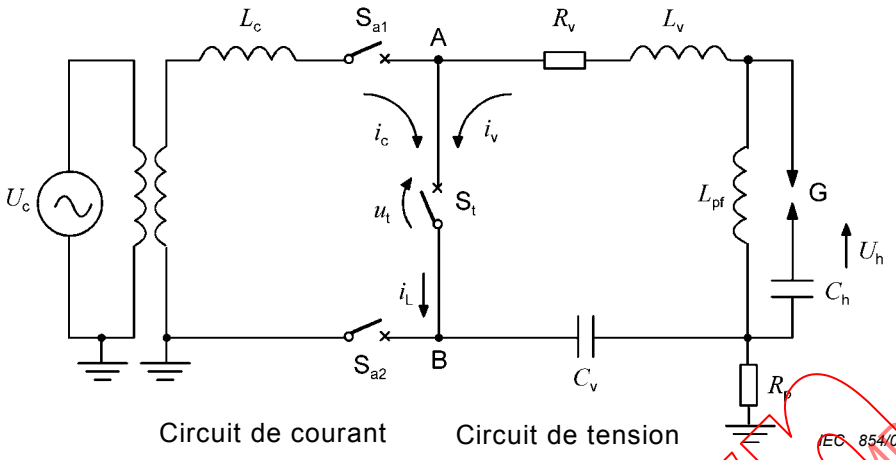


Manœuvre de coupure

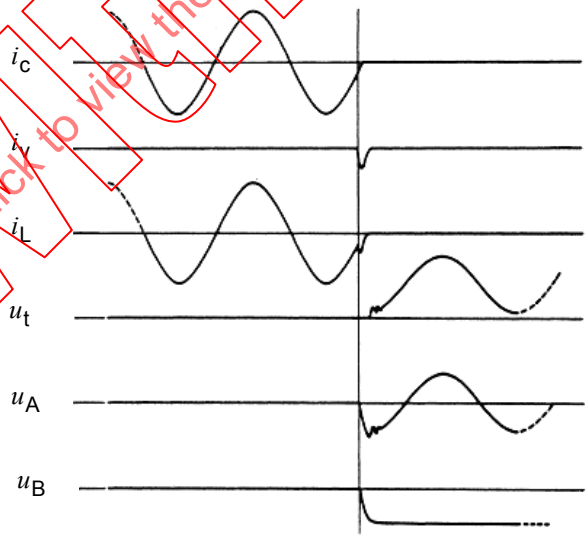
IEC 853/06

Figure G.4 – Source de courant inductive en parallèle avec le circuit oscillant LC

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$U_c = U_t / n$	$U_h = \left(\frac{C_v + C_h}{C_h}\right) \times U_t \sqrt{2}$
$i_c = i_L$	$i_v = \frac{U_h}{\omega_0 L_v} \times e^{-\alpha \hat{t}} \times \sin \omega_0 \hat{t}$, avec $\alpha = \frac{R_v}{2L_v}$ et $\omega_0 = \sqrt{\frac{1}{L_v}\left(\frac{1}{C_h} + \frac{1}{C_v}\right) - \left(\frac{R_v}{2L_v}\right)^2}$
$\omega L_c = \frac{1}{n \times \omega \times C_L}$	$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$

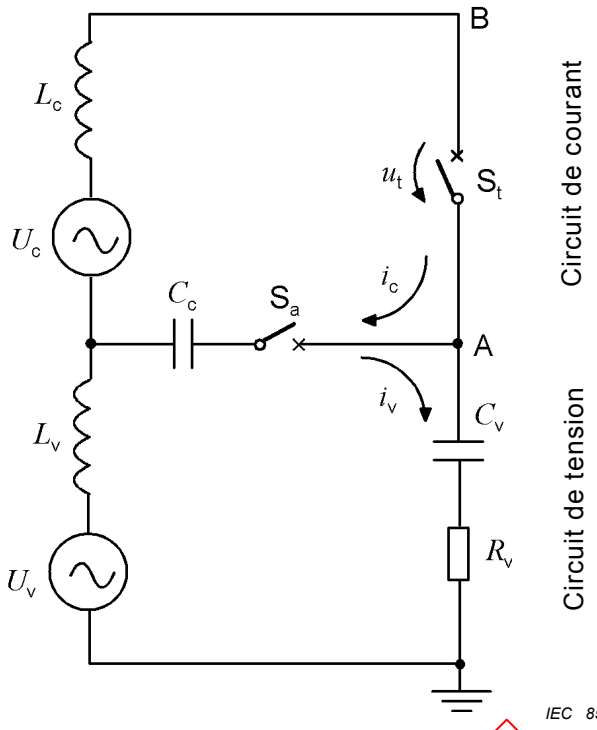


Manœuvre de coupure

IEC 855/06

Figure G.5 – Circuit à injection de courant, tension de rétablissement normale appliquée aux deux bornes du disjoncteur en essai

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$U_c = u_t / n$
$i_c = U_c \times \omega \times C_c$
$\omega L_c << 1/\omega C_c$
$C_c = nC_L$
$i_c = i_L$
$U_v = u_t - U_c$
$i_v = U_t \omega C_v$
$\omega L_c << 1/\omega C_v$
$C_v = C_L / m$

C_L = capacité de charge équivalente

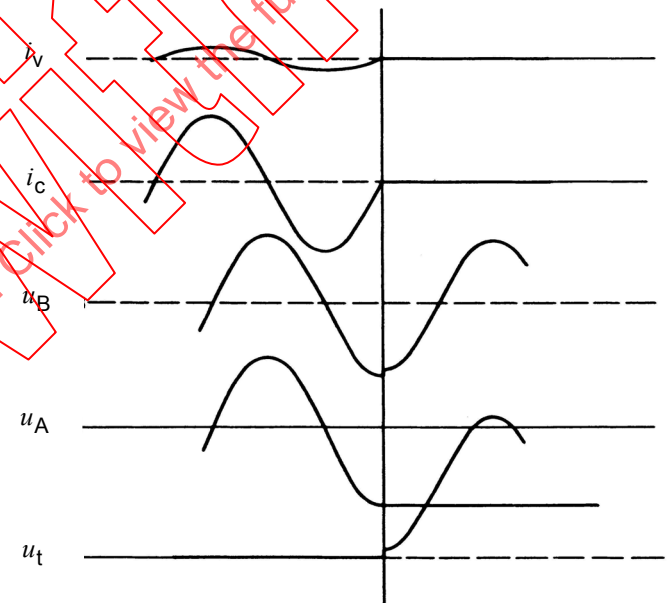
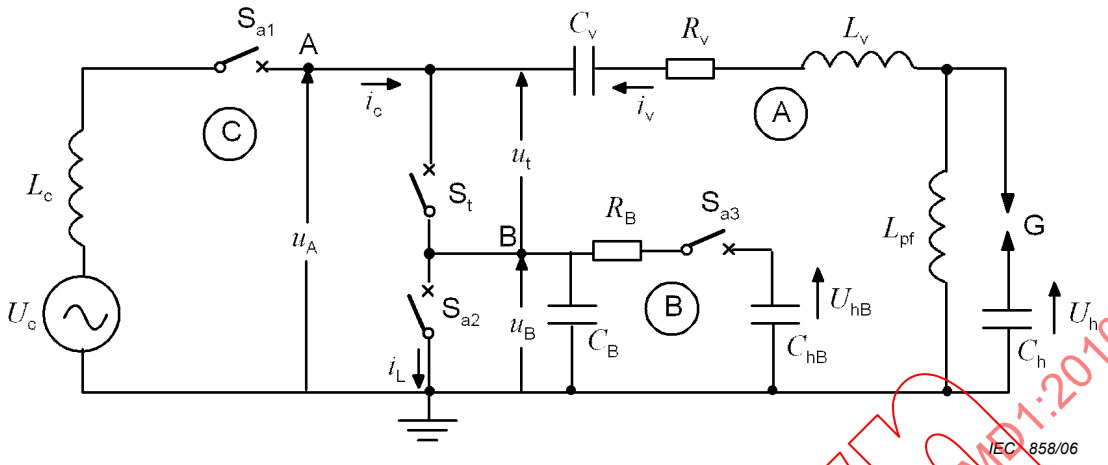


Figure G.6 – Circuit d'essais synthétiques (circuit série), tension de rétablissement normale appliquée aux deux bornes du disjoncteur en essai

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



Ce circuit se compose de trois circuits:

– le circuit A est un circuit à injection de courant conventionnel connecté à une borne du disjoncteur en essai, fournissant une tension de rétablissement U_A de (1–cos);

– le circuit B est connecté à l'autre borne du disjoncteur en essai, fournissant une tension de rétablissement exponentielle de (1-exp(–t/t_0)). Son amplitude, sa vitesse de décroissance et sa position dans le temps sont choisies en prenant en considération la tension appliquée sur l'autre borne du disjoncteur en essai, de telle sorte que la tension de rétablissement correcte (u_t) soit appliquée entre les contacts;

– le circuit C fournit le courant d'essai.

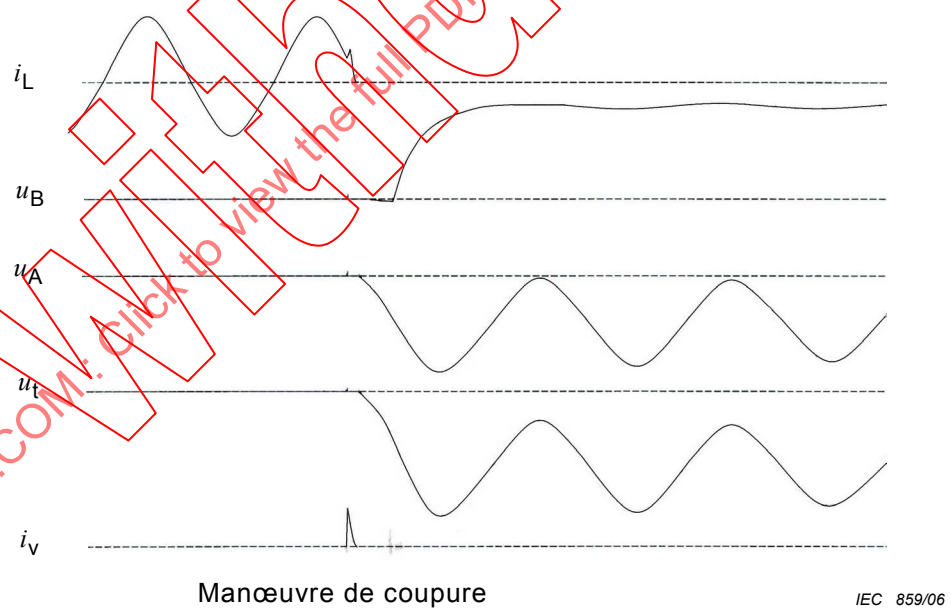
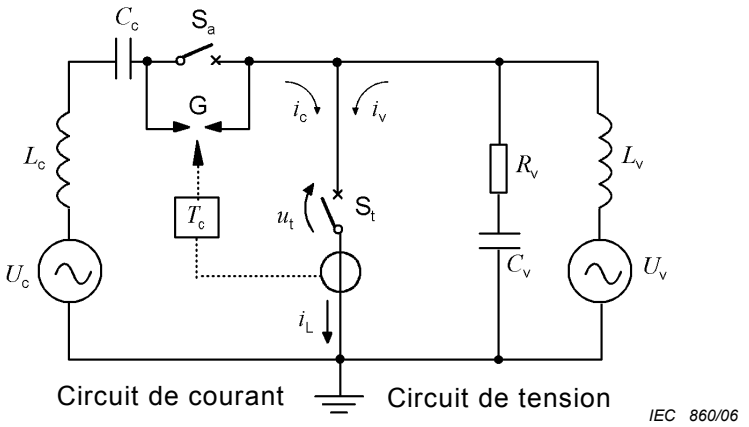


Figure G.7 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur en essai

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



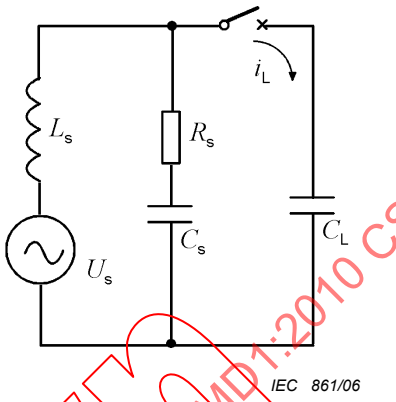


Schéma de circuit équivalent pour définir R_s, C_s et L_s

$U_c = U_t / n$	$U_v = U_t$
$i_c = i_L$	$i_v = U_v / \omega L_v$
$L_c = L_s / n$	$R_v = R_s$
$C_c = nC_L$	$C_v = \dfrac{C_s C_L}{C_s + C_L}$, ou $C_v = C_L$ si $C_s \ll C_L$
C_L = capacité de charge équivalente	
R_s et C_s définissent le courant transitoire initial de fermeture	
L_s et C_L définissent le courant transitoire de fermeture	

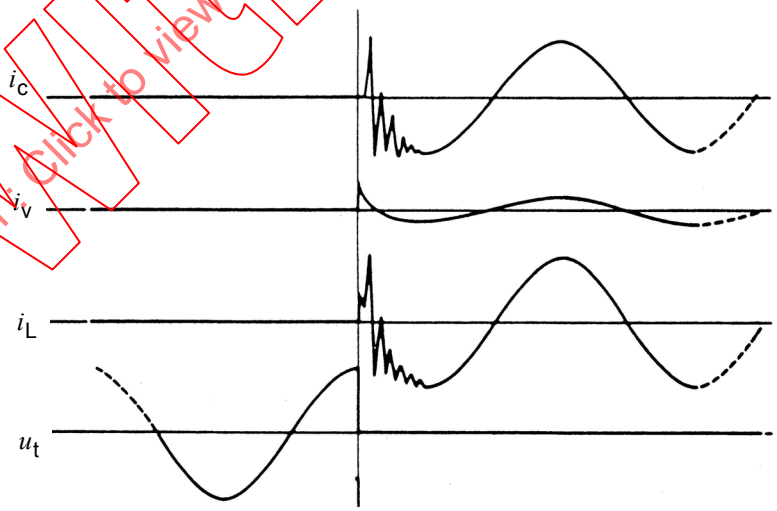
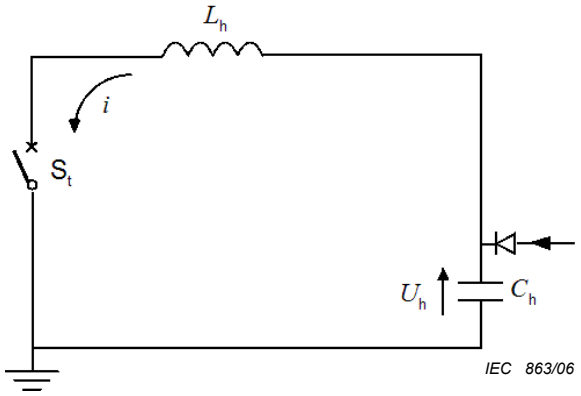
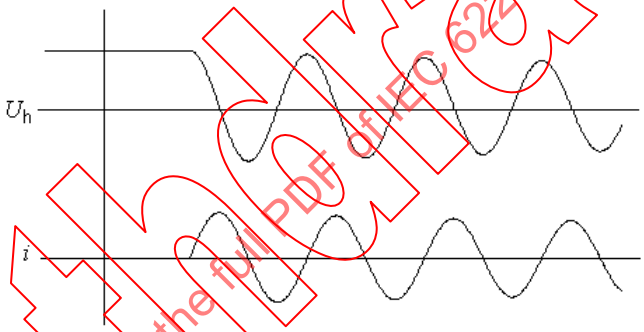


Figure G.8 – Circuit d'essai d'établissement

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn



$U_h = U_t \times \sqrt{2}$	$i_{max\ peak} = U_h \times C_h \times 2\pi \times f_{inrush}$
$f_{inrush} = \dfrac{1}{2\pi\sqrt{C_h \times L_v}}$	



Manoeuvre d'établissement

IEC 864/06

Figure G.9 – Circuit d'établissement du courant d'appel de fermeture

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

Annexe H
(informative)

Méthodes de réallumage pour l'entretien de l'arc

H.1 Méthode « pas à pas »

Cette méthode n'utilise qu'une seule source de tension. Le disjoncteur en essai est artificiellement réallumé soit par un circuit spécial de réallumage, soit par d'autres moyens, afin de prolonger le courant d'arc jusqu'au zéro de courant pour lequel la source de tension doit être appliquée. Cette méthode «pas à pas» nécessite moins d'installations supplémentaires que la méthode décrite à l'Article H.2. Cependant, des essais supplémentaires peuvent s'avérer nécessaires pour atteindre les durées d'arc spécifiées.

1) Méthode utilisant un circuit de réallumage séparé

   Un circuit de réallumage séparé fournit une impulsion de courant croissant rapidement et dont la polarité est opposée à celle du courant à fréquence industrielle, environ 10 µs avant le zéro de courant. Le courant dans le disjoncteur est ainsi inversé rapidement et la conduction dans l'espace entre les courants d'arc est maintenue pendant une alternance supplémentaire de courant à fréquence industrielle. A titre d'exemple, un circuit de réallumage est représenté à la Figure H.1. Plusieurs circuits de ce type peuvent être utilisés afin de prolonger le courant d'arc pendant plusieurs alternances de courant. Le circuit de réallumage peut, en principe, être utilisé pour réallumer le disjoncteur en essai et le disjoncteur auxiliaire. Toutefois, on peut généralement éviter d'avoir à réallumer les deux disjoncteurs en retardant convenablement la séparation des contacts du disjoncteur auxiliaire.

2) Méthode utilisant une plus grande sévérité du circuit à fréquence industrielle

   Dans certains cas, la durée d'arc du disjoncteur en essai peut être prolongée en augmentant la vitesse de montée de la tension transitoire de rétablissement dans le circuit de courant à fréquence industrielle. L'efficacité de cette méthode dépend des caractéristiques du circuit de courant à fréquence industrielle et du disjoncteur en essai.

H.2 Méthode utilisant un circuit double

Une disposition de circuit, combinant le circuit de Skeats et le circuit à injection de courant, est représentée à la Figure H.2. Les courant et tension correspondants pour un essai de coupure de courant asymétrique sont indiqués à la Figure H.3.

Au premier zéro de courant, le disjoncteur en essai est contraint par le circuit de Skeats, réalisant ainsi un réallumage diélectrique. De cette manière, la forme d'onde du courant de court-circuit est équivalente à celle d'un essai direct. Au zéro de courant suivant, le circuit à injection de courant est appliqué au disjoncteur en essai.

Premier zéro de courant:

– S_1 est ouvert et joue le rôle de disjoncteur auxiliaire;
– G_2 est déclenché quand un réallumage apparaît;
– S_2 reste fermé;
– S_3 reste fermé;
– S_4 reste ouvert.

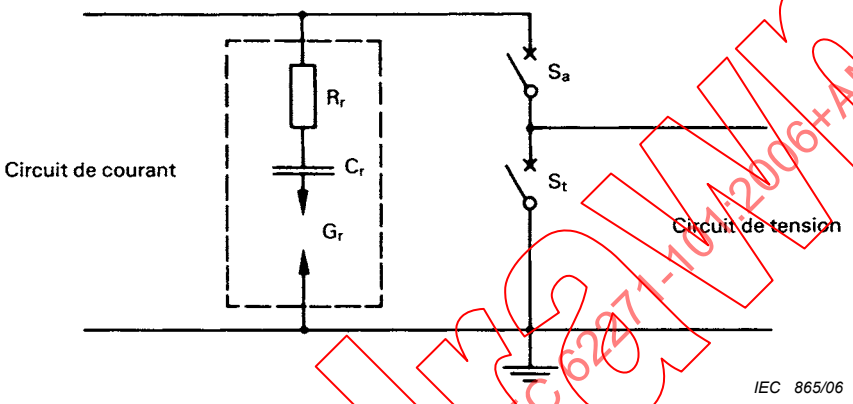
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+A1:2010 CSV

Pendant la période de fort courant:

– S_3 est ouvert;
– S_4 est fermé.

Deuxième zéro de courant:

– S_1 reste ouvert;
– S_2 est ouvert et joue le rôle de disjoncteur auxiliaire;
– G_1 est déclenché.

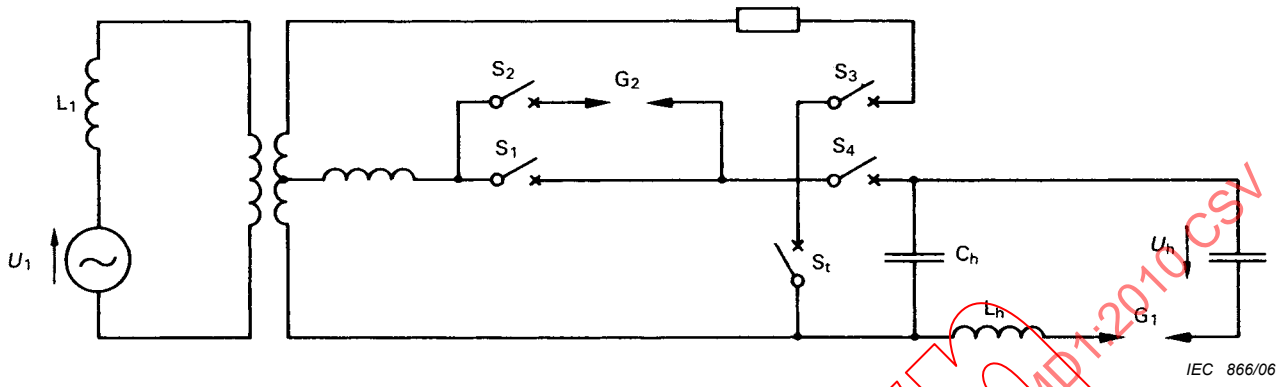


Légende

S_t	disjoncteur en essai	C_r	condensateur du circuit de réallumage
S_a	disjoncteur auxiliaire	G_r	éclateur pour fermer le circuit de réallumage
R_r	résistance du circuit de réallumage		

Figure H.1 – Schéma type du circuit de réallumage servant à prolonger la durée d'arc

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV



Légende

U_1	tension du circuit de courant
L_1	inductance du circuit de courant
S_1, S_2, S_3, S_4	disjoncteurs auxiliaires
S_t	disjoncteur en essai
L_h	inductance du circuit de tension
C_h	capacité du circuit de tension qui régit avec L_h la plus grande partie de la TTR
U_h	tension de charge du circuit de tension
G_1, G_2	éclateurs

Figure H.2 – Circuits combinés à injection de courant et de Skeats

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV

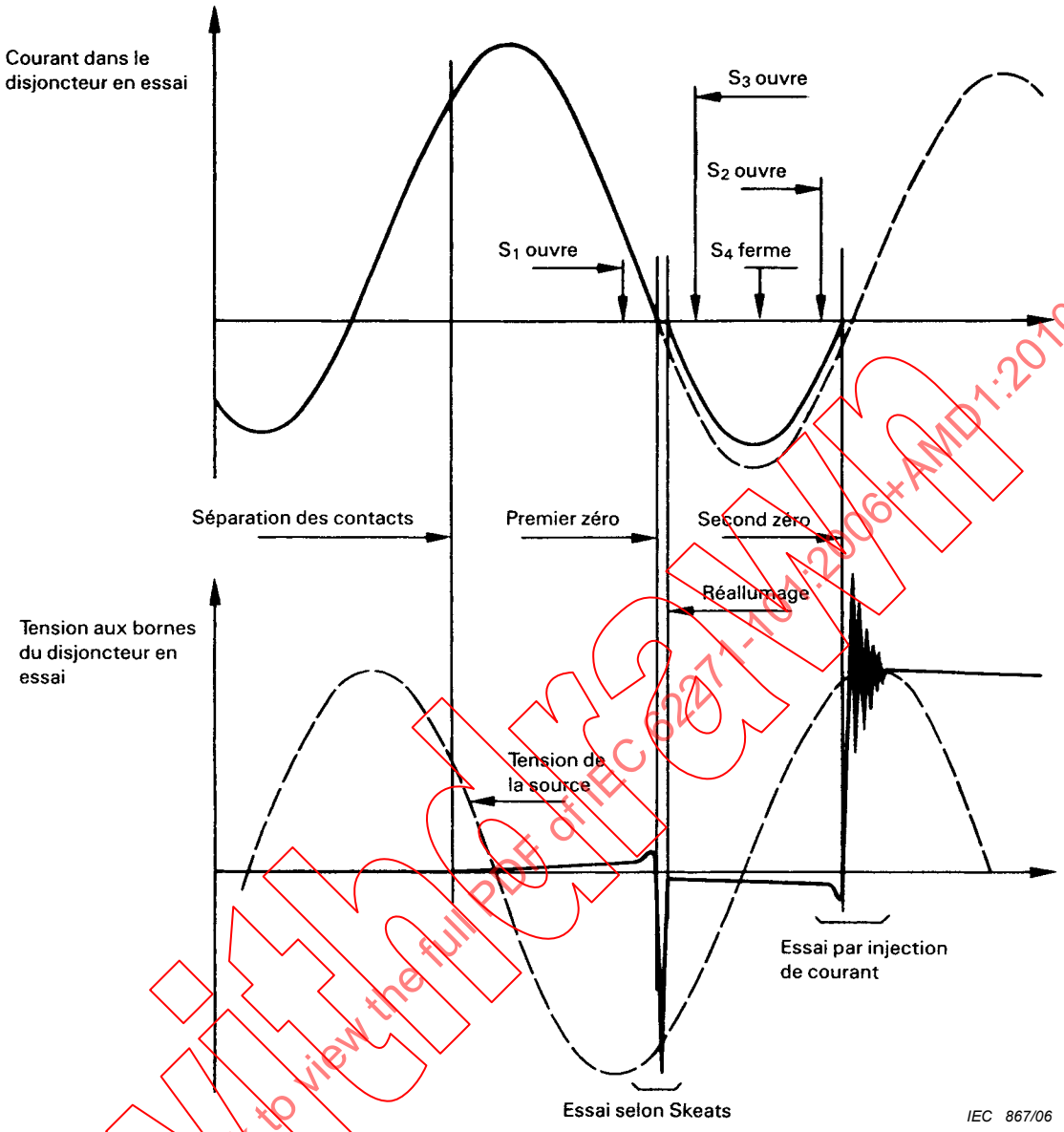


Figure H.3 – Formes d'ondes typiques obtenues pendant un essai asymétrique en utilisant le circuit de la Figure H.2

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Annexe I
(normative)

Réduction du d*i*/d*t* et de la TTR pour la séquence d'essais T100a

~~Les Tableaux I.1 et I.2 concernent les paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a.~~

~~Les Tableaux I.1a, I.1b, I.1c et I.1d couvrent une opération à 50 Hz, où τ = 45 ms, 60 ms, 75 ms et 10 ms, respectivement. Les Tableaux I.2a, I.2b, I.2c et I.2d couvrent une opération à 60 Hz, où τ = 45 ms, 60 ms, 75 ms et 10 ms, respectivement.~~

~~Les Tableaux I.3a et I.3b couvrent une réduction du d*i*/d*t* de la dernière alternance en 50 Hz et 60 Hz respectivement, dans des conditions triphasées avec le premier pôle qui coupe en phase A et l'asymétrie requise en phase C.~~

~~Les Tableaux I.4a et I.4b et I.4c couvrent les valeurs corrigées pour k_{pp} = 1,3 et f_r = 50 Hz, pour k_{pp} = 1,3 et f_r = 60 Hz, pour k_{pp} = 1,5 et f_r = 50 Hz respectivement.~~

Pour les paramètres de la dernière alternance de courant, se référer aux Tableaux 15 à 22 de la CEI 62271-100:2008.

Les Tableaux I.1a et I.1b traitent de la réduction de d*i*/d*t* de la dernière alternance pour 50 Hz et 60 Hz, respectivement, dans des conditions triphasées avec le premier pôle à interrompre en phase A et l'asymétrie requise en phase C.

Les Tableaux I.2a et I.2b traitent des valeurs corrigées pour k_{pp} = 1,3 et f_r = 50 Hz; k_{pp} = 1,3 et f_r = 60 Hz et k_{pp} = 1,5 et f_r = 50 Hz, respectivement.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Tableau I.1a – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 50Hz
τ = 45 ms

τ = 45 ms	Grande alternance				Petite alternance			
Durée minimale d'interruption	$\hat{I}$	Δt_1	Pourcentage du niveau d'asymétrie au zéro de courant	Rapport di/dt correspondant au zéro de courant (pourcentage de di/dt du courant symétrique assigné)	$\hat{I}$	Δt_2	Pourcentage du niveau d'asymétrie au zéro de courant	Rapport di/dt correspondant au zéro de courant (pourcentage de di/dt du courant symétrique assigné)
ms	p.u.	ms	%	%	p.u.	ms	%	%
10,0 < t ≤ 22,5	1,51	13,5	44,6	92,6	0,36	5,5	60,2	75,6
22,5 < t ≤ 43,0	1,33	12	28,9	97,8	0,59	7,5	37,9	89,9
43,0 < t ≤ 63,5	1,21	11,5	18,7	99,6	0,74	8,5	24,0	95,4
63,5 < t ≤ 84,0	[a]	[a]	[a]	[a]	[a]	[a]	[a]	[a]
84,0 < t ≤ 104,0	[a]	[a]	[a]	[a]	[a]	[a]	[a]	[a]

$\hat{I}$: valeur unitaire (p.u.) du courant de crête par rapport à la valeur de crête du courant de court-circuit symétrique
Δt_1: durée de la grande alternance (arrondie à 0,5 ms)
Δt_2: durée de la petite alternance (arrondie à 0,5 ms)
τ: constante de temps du réseau

[a] La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant.

Toutes les valeurs de ce tableau ont été calculées avec une durée de la protection par relais de 10 ms.

NOTE 1 La constante de temps du réseau τ = 45 ms est la valeur normalisée; τ = 60 ms, 75 ms et 120 ms sont des valeurs spéciales selon 4.1.

NOTE 2 Si la durée d'arc minimale obtenue au cours de l'essai est différente de la valeur spécifiée par le constructeur et si la durée réelle d'arc minimale conduit à une autre classe de durée minimale de coupure (coupure à une autre alternance de courant), il pourrait alors être nécessaire de répéter l'essai avec les valeurs d'alternance de courant appropriées. Si une répétition est nécessaire, la remise en état du disjoncteur selon 6.102.9.5 de la CEI 62271-100 ou l'utilisation d'un échantillon d'essai supplémentaire conformément à 6.102.2 de la CEI 62271-100 sont autorisées.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV
Withdrawn

Tableau I.1b – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 50Hz τ = 60 ms

τ = 60 ms	Grande alternance				Petite alternance			
Durée minimale d'interruption	$\hat{I}$	Δt	Pourcentage du niveau d'asymétrie au zéro de courant	Rapport di/dt correspondant au zéro de courant (pourcentage de di/dt du courant symétrique assigné)	$\hat{I}$	Δt_2	Pourcentage du niveau d'asymétrie au zéro de courant	Rapport di/dt correspondant au zéro de courant (pourcentage de di/dt du courant symétrique assigné)
ms	p.u.	ms	%	%	p.u.	ms	%	%
10,0 < t ≤ 22,5	1,61	14,0	54,2	86,9	0,28	5,0	68,7	69,0
22,5 < t ≤ 43,0	1,44	13,0	39,2	94,1	0,49	7,0	48,6	84,8
43,0 < t ≤ 63,5	1,31	12,0	28,3	97,4	0,63	8,0	34,5	92,0
63,5 < t ≤ 84,0	1,22	11,5	20,4	99,0	0,74	8,5	24,6	95,7
84,0 < t ≤ 104,0	[a]	[a]	[a]	[a]	[a]	[a]	[a]	[a]

$\hat{I}$: valeur unitaire (p.u.) du courant de crête par rapport à la valeur de crête du courant de court-circuit symétrique
Δt_1: durée de la grande alternance (arrondie à 0,5 ms)
Δt_2: durée de la petite alternance (arrondie à 0,5 ms)
τ: constante de temps du réseau

[a] La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant.

Toutes les valeurs de ce tableau ont été calculées avec une durée de la protection par relais de 10 ms.

NOTE 1 La constante de temps du réseau τ = 45 ms est la valeur normalisée; τ = 60 ms, 75 ms et 120 ms sont des valeurs spéciales selon 4.1.

NOTE 2 Si la durée d'arc minimale obtenue au cours de l'essai est différente de la valeur spécifiée par le constructeur et si la durée réelle d'arc minimale conduit à une autre classe de durée minimale de coupure (coupure à une autre alternance de courant), il pourrait alors être nécessaire de répéter l'essai avec les valeurs d'alternance de courant appropriées. Si une répétition est nécessaire, la remise en état du disjoncteur selon 6.102.9.5 de la CEI 62271-100 ou l'utilisation d'un échantillon d'essai supplémentaire conformément à 6.102.2 de la CEI 62271-100 sont autorisées.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+A1:2010 CSV

Tableau I.1c – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 50Hz
τ = 75 ms

τ = 75 ms	Grande alternance				Petite alternance			
Durée minimale d'interruption	$\hat{I}$	Δt_1	Pourcentage du niveau d'asymétrie au zéro de courant	Rapport di/dt correspondant au zéro de courant (pourcentage de di/dt du courant symétrique assigné)	$\hat{I}$	Δt_2	Pourcentage du niveau d'asymétrie au zéro de courant	Rapport di/dt correspondant au zéro de courant (pourcentage de di/dt du courant symétrique assigné)
ms	p.u.	ms	%	%	p.u.	ms	%	%
$10{,}0 < t \leq 22{,}5$	1,67	15,0	61,0	81,9	0,23	4,5	74,3	63,8
$22{,}5 < t \leq 43{,}0$	1,51	13,5	47,1	90,2	0,41	6,0	56,3	80,3
$43{,}0 < t \leq 63{,}5$	1,39	12,5	36,3	94,7	0,55	6,5	42,9	88,5
$63{,}5 < t \leq 84{,}0$	1,30	12,0	27,9	97,2	0,66	8,0	32,7	93,1
$84{,}0 < t \leq 104{,}0$	1,23	11,5	21,4	98,6	0,74	8,5	24,9	95,8

$\hat{I}$: valeur unitaire (p.u.) du courant de crête par rapport à la valeur de crête du courant de court-circuit symétrique
Δt_1: durée de la grande alternance (arrondie à 0,5 ms)
Δt_2: durée de la petite alternance (arrondie à 0,5 ms)
τ: constante de temps du réseau

Toutes les valeurs de ce tableau ont été calculées avec une durée de la protection par relais de 10 ms.

NOTE 1 La constante de temps du réseau τ = 45 ms est la valeur normalisée; τ = 60 ms, 75 ms et 120 ms sont des valeurs spéciales selon 4.1.

NOTE 2 Si la durée d'arc minimale obtenue au cours de l'essai est différente de la valeur spécifiée par le constructeur et si la durée réelle d'arc minimale conduit à une autre classe de durée minimale de coupure (coupure à une autre alternance de courant), il pourrait alors être nécessaire de répéter l'essai avec les valeurs d'alternance de courant appropriées. Si une répétition est nécessaire, la remise en état du disjoncteur selon 6.102.9.5 de la CEI 62271-100 ou l'utilisation d'un échantillon d'essai supplémentaire conformément à 6.102.2 de la CEI 62271-100 sont autorisées.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+A1:2010 CSV
Withdrawn

Tableau I.1d – Paramètres de la dernière alternance de courant applicables lors d'une séquence d'essais de court-circuit T100a en 50 Hz τ = 120 ms

τ = 120 ms	Grande alternance				Petite alternance			
Durée minimale d'interruption		Δt_1	Pourcentage du niveau d'asymétrie au zéro de courant	Rapport di/dt correspondant au zéro de courant (pourcentage de di/dt du courant symétrique assigné)	$\hat{I}$	Δt_2	Pourcentage du niveau d'asymétrie au zéro de courant	Rapport di/dt correspondant au zéro de courant (pourcentage de di/dt du courant symétrique assigné)
ms	p.u.	ms	%	%	p.u.	ms	%	%
10,0 < t ≤ 22,5	1,78	15,5	73,1	70,0	0,16	3,5	83,3	53,1
22,5 < t ≤ 43,0	1,66	14,5	62,1	80,1	0,28	5,0	70,2	69,4
43,0 < t ≤ 63,5	1,56	14,0	52,8	86,3	0,40	6,0	59,2	79,1
63,5 < t ≤ 84,0	1,47	13,0	44,8	90,6	0,49	6,5	50,0	85,3
84,0 < t ≤ 104,0	1,40	12,5	38,0	93,5	0,57	7,0	42,2	89,5

$\hat{I}$: valeur unitaire (p.u.) du courant de crête par rapport à la valeur de crête du courant de court-circuit symétrique
Δt_1: durée de la grande alternance (arrondie à 0,5 ms)
Δt_2: durée de la petite alternance (arrondie à 0,5 ms)
τ: constante de temps du réseau

Toutes les valeurs de ce tableau ont été calculées avec une durée de la protection par relais de 10 ms.

NOTE 1 La constante de temps du réseau τ = 45 ms est la valeur normalisée; τ = 60 ms, 75 ms et 120 ms sont des valeurs spéciales selon 4.1.

NOTE 2 Si la durée d'arc minimale obtenue au cours de l'essai est différente de la valeur spécifiée par le constructeur et si la durée réelle d'arc minimale conduit à une autre classe de durée minimale de coupure (coupure à une autre alternance de courant), il pourrait alors être nécessaire de répéter l'essai avec les valeurs d'alternance de courant appropriées. Si une répétition est nécessaire, la remise en état du disjoncteur selon 6.102.9.5 de la CEI 62271-100 ou l'utilisation d'un échantillon d'essai supplémentaire conformément à 6.102.2 de la CEI 62271-100 sont autorisées.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 62271-101:2006+AMD1:2010 CSV