

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61943

QC 211001

Première édition
First edition
1999-03

**Circuits intégrés –
Guide d'application pour l'agrément
des lignes de fabrication**

**Integrated circuits –
Manufacturing line approval
application guideline**



Numéro de référence
Reference number
CEI/IEC 61943:1999

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61943

QC 211001

Première édition
First edition
1999-03

**Circuits intégrés –
Guide d'application pour l'agrément
des lignes de fabrication**

**Integrated circuits –
Manufacturing line approval
application guideline**

© IEC 1999 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photo-copie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembe Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

T

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
AVANT-PROPOS	4
Articles	
1 Généralités	6
1.1 Domaine d'application et objet.....	6
1.2 Référence normative	6
2 Définitions.....	6
3 Principes de l'agrément pour la liste de fabricants qualifiés (QML)	8
3.1 Identification et définition des métiers.....	8
3.2 Spécifications de produits	10
4 Conception de filière (métier 1).....	10
4.1 Domaine de compétence.....	10
4.2 Description des activités.....	10
4.3 Interfaces et procédures de sous-traitance	10
4.4 Procédures de conception et vérification des modèles.....	12
4.5 Procédures d'intégration et de validation	12
5 Conception de circuits intégrés (métier 2).....	14
5.1 Domaine de compétence.....	14
5.2 Description des activités.....	14
5.3 Interfaces.....	16
5.4 Procédures de conception et vérification	20
5.5 Procédure de validation.....	20
6 Fabrication de plaquettes (métier 3).....	22
6.1 Domaine de compétence.....	22
6.2 Description des activités.....	22
6.3 Interfaces.....	26
6.4 Procédure de validation.....	28
7 Caractérisation de procédé (métier 4).....	30
7.1 Domaine de compétence.....	30
7.2 Description des activités.....	30
7.3 Interfaces.....	32
7.4 Procédures de caractérisation	32
8 Assemblage et encapsulation (métier 5)	34
8.1 Domaine de compétence.....	34
8.2 Description des activités.....	34
8.3 Interfaces.....	38
8.4 Procédures de validation	40
9 Tests (métier 6).....	42
9.1 Domaine de compétence.....	42
9.2 Description des activités.....	42
9.3 Interfaces – Validation des informations fournies par le client ou le sous-traitant....	42
9.4 Procédures	42
9.5 Procédures de validation	46

CONTENTS

	Page
FOREWORD	5
Clause	
1 General.....	7
1.1 Scope and object	7
1.2 Normative reference.....	7
2 Definitions.....	7
3 Principles for qualified manufacturer list (QML) approval.....	9
3.1 Identification and definition of tasks.....	9
3.2 Product specifications	11
4 Process design (task 1).....	11
4.1 Field of application	11
4.2 Description of activities	11
4.3 Interfaces and subcontracting procedures	11
4.4 Procedures for design and verification of models.....	13
4.5 Procedures for integration and validation.....	13
5 Integrated circuits design (task 2).....	15
5.1 Field of application	15
5.2 Description of activities	15
5.3 Interfaces.....	17
5.4 Procedures for design and verification.....	21
5.5 Validation procedure	21
6 Wafer fabrication (task 3).....	23
6.1 Field of application	23
6.2 Description of activities	23
6.3 Interfaces.....	27
6.4 Validation procedure	29
7 Process characterization (task 4).....	31
7.1 Field of application	31
7.2 Description of activities	31
7.3 Interfaces.....	33
7.4 Characterization procedures.....	33
8 Assembly and packaging (task 5)	35
8.1 Field of application	35
8.2 Description of activities	35
8.3 Interfaces.....	39
8.4 Validation procedures.....	41
9 Tests (task 6).....	43
9.1 Field of application	43
9.2 Description of activities	43
9.3 Interfaces – Validation of information provided by the customer or subcontractor ...	43
9.4 Procedures	43
9.5 Validation procedures.....	47

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CIRCUITS INTÉGRÉS – GUIDE D'APPLICATION POUR L'AGRÈMENT DES LIGNES DE FABRICATION

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 61943 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47A/533/FDIS	47A/546/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de spécification dans le Système CEI d'assurance de la qualité des composants électroniques (IECQ).

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**INTEGRATED CIRCUITS – MANUFACTURING LINE APPROVAL
APPLICATION GUIDELINE****FOREWORD**

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its Standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61943 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47A/533/FDIS	47A/546/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

The QC number that appears on the front cover of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

CIRCUITS INTÉGRÉS – GUIDE D'APPLICATION POUR L'AGRÉMENT DES LIGNES DE FABRICATION

1 Généralités

1.1 Domaine d'application et objet

La présente norme internationale définit de quelle façon les principes et les exigences de la CEI 61739 sont appliqués aux circuits intégrés monolithiques. Elle est applicable aux fabricants de circuits intégrés (CI) qui demandent l'agrément d'une ligne de fabrication.

L'objet de ce guide est d'établir la cohérence des exigences utilisées par les fabricants et les auditeurs pour les technologies liées à la fabrication de circuits intégrés.

Chaque fabricant peut avoir ses propres méthodes pour satisfaire au contenu de la présente norme, pourvu que le niveau requis de contrôle de la ligne de fabrication soit atteint.

1.2 Référence normative

Le document normatif suivant contient des dispositions qui, par suite de la référence qui y est faite, constitue des dispositions valables pour la présente Norme internationale. Pour les références datées, les amendements ultérieurs ou les révisions de ces publications ne s'appliquent pas. Toutefois, les parties prenantes aux accords fondés sur la présente Norme internationale sont invitées à rechercher la possibilité d'appliquer l'édition la plus récente du document normatif indiqué ci-après. Pour les références non datées, la dernière édition du document normatif en référence s'applique. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 61739:1996, *Circuits intégrés – Procédures pour l'agrément d'une ligne de fabrication et la gestion de la qualité*

2 Définitions

Pour les besoins de la présente norme, les définitions suivantes, tirées de la CEI 61739, s'appliquent:

2.1

véhicule de démonstration

produit ordinaire ou produit spécialement conçu pour démontrer que tous les paramètres critiques du process sont sous contrôle et reproductibles dans la technologie considérée

2.2

moniteur paramétrique (PM)

structure pour mesurer les paramètres électriques

2.3

liste de fabricants qualifiés (QML)

liste utilisée pour la procédure associée à l'Agrément de Ligne de Fabrication tel que défini dans la CEI 61739

INTEGRATED CIRCUITS – MANUFACTURING LINE APPROVAL APPLICATION GUIDELINE

1 General

1.1 Scope and object

This International Standard defines how to apply the principles and requirements given in IEC 61739 to monolithic integrated circuits. The standard is applicable to those manufacturers of integrated circuits (ICs) who apply for manufacturing line approval.

The objective of this applicators guideline is to establish consistency in the requirements used by manufacturers and auditors for techniques related to integrated circuit manufacturing.

Each manufacturer may use his own methods for satisfying the requirements of this standard, provided that the required level of control in the manufacturing line is reached.

1.2 Normative reference

The following normative document contains provisions which, through reference in this text, constitute provisions of this International Standard. For dated references, subsequent amendments to, or revisions of, this publication do not apply. However, parties to agreements based on this International Standard are encouraged to investigate the possibility of applying the most recent editions of the normative document indicated below. For undated references, the latest edition of the normative document referred to applies. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 61739:1996, *Integrated circuits – Procedures for manufacturing line approval and quality management*

2 Definitions

For the purpose of this Guideline the following definitions apply (see 1.4 of IEC 61739):

2.1

demonstration vehicle

normal product or product specifically designed to demonstrate that all critical process parameters are under control and repeatable within the defined technology

2.2

parametric monitor (PM)

structure for measuring electrical parameters

2.3

qualified manufacturer list QML

list used for the procedure associated with manufacturing line approval as defined in IEC 61739

2.4

composant d'évaluation standard (SEC)

structure utilisée pour piloter le procédé de fabrication, et pour servir de produit de substitution pour les essais de fiabilité et l'évaluation du taux de défaillance. Il peut être un produit normal de la technologie considérée

2.5

tâche

activité ou suite d'activités qui forme une étape dans la fabrication du produit

2.6

véhicule technologique (TV)

structure hybride qui démontre la reproductibilité du procédé et des caractéristiques associées

2.7

véhicule de caractérisation technologique (TCV)

structure pour étudier les mécanismes de défaillance intrinsèque et leur répartition

2.8

bureau de révision technologique (TRB) ou organisation équivalente

organisation fondamentale pour la ligne de fabrication ou la tâche. Un TRB sera formé de représentants de toutes les fonctions décrites dans le plan de gestion totale de la qualité (TQM, total quality management) telles que le marketing, les ventes, la conception, le développement de technologie, la fabrication, les essais et l'assurance de la qualité, quand elles s'appliquent

3 Principes de l'agrément pour la liste de fabricants qualifiés (QML)

Les fabricants figurant dans la liste de fabricants qualifiés (QML) doivent être capables de produire des produits issus d'une ligne de fabrication agréée, sans qu'il soit nécessaire d'effectuer des essais de qualification approfondis, et des inspections de conformité à la qualité en fin de fabrication sur chaque produit.

L'organisation initiale de contrôle de la ligne de fabrication qualifiée doit être le bureau de révision technologique (TRB) ou toute organisation équivalente.

Le fabricant en cours de qualification doit certifier et avoir les documents prouvant que tout métier exécuté par un sous-traitant est conforme aux exigences de la CEI 61739.

Au fur et à mesure de l'évolution de la technologie et que les données de qualité et de fiabilité sont accumulées, le fabricant, à travers le plan TQM et le TRB, peut modifier, substituer ou supprimer des essais et/ou des sélections. L'organisme national de surveillance (ONS) doit être prévenu de telles actions par le rapport statutaire.

3.1 Identification et définition des métiers

Ce guide identifie six métiers avec les interfaces qui détaillent les exigences spécifiques pour les cycles de conception et de fabrication des circuits intégrés (CI).

3.1.1 Conception de filière (voir article 4)

Il s'agit de la conception d'une filière de semiconducteur comprenant les modifications et la publication des paramètres de la filière, ainsi que des règles correspondantes de conception de la filière, transcrits sous forme de textes écrits ou de fichiers informatiques.

2.4**standard evaluation component (SEC)**

structure used to monitor the fabrication process and to serve as a surrogate product for reliability testing and failure rate evaluation. It can be an actual device of the technology under consideration

2.5**task**

activity or sequence of activities that form a stage in manufacturing the product

2.6**technological vehicle (TV)**

hybrid structure that demonstrates process repeatability and involved characteristics

2.7**technology characterization vehicle (TCV)**

structure to study intrinsic failure mechanisms and their distribution

2.8**technology review board (TRB) or equivalent organization**

primary organization for the manufacturing line or task. A TRB will consist of representatives of all functions described in total quality management (TQM) Plan, such as marketing, sales, design, technology development, fabrication, testing and quality assurance as applicable

3 Principles for qualified manufacturer list (QML) approval

QML listed manufacturers shall be able to produce products utilizing an approved manufacturing line without the need for extensive qualification testing and end-of-manufacturing quality conformance inspections on each product.

The primary organization for control of the qualified manufacturing line shall be the TRB or equivalent organization.

The qualifying manufacturer shall ensure and document that any tasks to be performed by a subcontractor meet the requirements of IEC 61739.

As the technology matures and reliability and quality data are accumulated, the manufacturer, through the total quality management (TQM) plan and technology review board (TRB) may modify, substitute or delete tests and/or screens. The national supervising inspectorate (NSI) shall be notified of such actions through the status report.

3.1 Identification and definition of tasks

This guideline identifies six tasks with interfaces which detail the specific requirements for the design and manufacturing of ICs.

3.1.1 Process design (see clause 4)

This is the design of the semiconductor process including modification and publication of the process parameters and related process design rules in the form of written text and/or computer files.

3.1.2 Conception de CI (voir article 5)

Il s'agit de la conception de circuits intégrés conformément aux exigences des clients, comme défini par les spécifications de produit ou autres.

3.1.3 Fabrication des plaquettes (voir article 6)

Il s'agit de la réalisation physique de CI sur des substrats sous TQM.

3.1.4 Caractérisation de procédé (voir article 7)

La caractérisation de procédé est l'extraction de toutes les informations nécessaires pour confirmer la conception de filière.

3.1.5 Assemblage et encapsulation (voir article 8)

Cela inclut les opérations depuis la réception des plaquettes (ou des puces) jusqu'à la livraison de produits encapsulés.

3.1.6 Essais (voir article 9)

Ce sont les essais de conformité aux spécifications.

3.2 Spécifications de produits

Pour les produits standard ou catalogue, les fabricants doivent publier les spécifications établissant les procédés de fabrication utilisés. Ils doivent également conserver un enregistrement des produits avec leur ONS. De telles spécifications peuvent être des spécifications particulières enregistrées par la CEI ou des feuilles de fabricant publiées.

La spécification CI du client ne peut être publiée que lorsqu'elle est approuvée conjointement par le fournisseur et le client.

4 Conception de filière (métier 1)

4.1 Domaine de compétence

Le système de gestion de la qualité doit être totalement décrit. Le centre de conception de filière doit être responsable de la gestion de la qualité, et doit avoir mis en place l'organisation nécessaire, y compris la mise en place d'un TRB et des outils nécessaires. Le fabricant doit être capable de prouver cela à la satisfaction de l'ONS avec des résultats objectifs.

4.2 Description des activités

Le fabricant doit définir et documenter les procédures et les activités du centre de conception de filière, y compris les règles de conception et les sorties, l'archivage, la vérification et la validation.

4.3 Interfaces et procédures de sous-traitance

4.3.1 Interfaces avec le client

Les exigences sur les interfaces avec le client et les procédures doivent être décrites.

3.1.2 IC design (see clause 5)

This is the design of integrated circuits in accordance with customer requests as defined by product or other specifications.

3.1.3 Wafer fabrication (see clause 6)

This is the physical realization of ICs on substrates under TQM.

3.1.4 Process characterization (see clause 7)

Process characterization is the extraction of all the information required to confirm the process design.

3.1.5 Assembly and packaging (see clause 8)

This includes a series of operations from receipt of wafers or chips to supply of packaged products.

3.1.6 Test (see clause 9)

This is verification of conformance to specifications.

3.2 Product specifications

For standard or catalog products, manufacturers shall publish specifications stating what processes are employed. They shall also maintain a register of products with their NSI. Such specifications may be any registered IEC detail specification (DS) or any published manufacturer's data sheet.

A custom IC specification may be published only upon agreement between the supplier and customer.

4 Process design (task 1)

4.1 Field of application

The system of process design quality management shall be fully documented. The process design center shall be responsible for the management of quality and shall have established the necessary organization, including a TRB and tools for this purpose. The supplier shall be able to so demonstrate to the satisfaction of the NSI with objective results.

4.2 Description of activities

The manufacturer shall define and document procedures and activities of the process design center, including design rules and outputs, archiving, verification and validation.

4.3 Interfaces and subcontracting procedures

4.3.1 Customer interfaces

Customer interface requirements and procedures shall be documented.

4.3.2 Sous-traitance

La sous-traitance d'une quelconque activité doit être conforme aux exigences de la QML.

4.3.3 Fabrication de masques ou activité équivalente (si applicable)

Tous les fabricants de masques approuvés par le centre de conception de filière doivent être identifiés.

4.3.4 Laboratoires d'essai

Lorsque des laboratoires d'essai extérieurs sont employés, leur identification, le domaine d'activité et les limites de capacité, ainsi que les qualifications doivent être décrites.

4.3.5 Fonderies de fabrication de plaquettes

Le centre de conception de filière doit établir la liste de toutes les fonderies pour lesquelles il conçoit une filière, ainsi que l'identification des filières pour chacune d'entre elles.

Leurs qualifications doivent être détaillées, ainsi que les procédures, spécifications et exigences d'interface, y compris l'identification des règles de conception correspondantes, les véhicules de test, la caractérisation de filière et les méthodes de contrôle et les résultats, les dimensions critiques ainsi que les spécifications de transfert de filière.

4.3.6 Assemblage/encapsulation

Toutes les exigences particulières pour l'assemblage et l'encapsulation doivent être détaillées dans les règles de conception.

4.4 Procédures de conception et vérification des modèles

Les procédures pour la création, la vérification et la validation, aussi bien que l'intégration des règles de conception et des éléments de librairie, doivent être établies pour chaque outil qualifié.

4.4.1 Création

Les descriptions des filières pour la création et l'installation de nouveaux éléments de librairies (et de blocs, cellules, réseaux, etc.) doivent être documentés dans les manuels de conception applicables pour les librairies, la topologie et la conception de circuit.

4.4.2 Vérification

Les procédures utilisées pour la vérification et la validation des caractéristiques, ainsi que les règles d'application pour les éléments de librairies doivent être spécifiées.

4.5 Procédures d'intégration et de validation

4.5.1 Intégration

La méthodologie mise en oeuvre pour vérifier, valider et intégrer un nouvel élément de librairie doit être spécifiée. Elle précise les outils, le mode opératoire, et les procédures d'assurance de la qualité associées au procédé décrit.

4.3.2 Subcontracting

Subcontracting of any work shall comply with the requirements of the QML.

4.3.3 Mask making or equivalent activity (if applicable)

All mask makers approved by the process design center shall be identified.

4.3.4 Test laboratories

Where external test laboratories are employed, their identification, scope and limits of capability and qualifications shall be documented.

4.3.5 Wafer-fabricant

The process design center shall list all wafer-fabricants for which they design processes, together with identification of the processes for each of these.

The qualifications of each wafer-fabricant shall be documented together with the procedures, specifications and interface requirements. This shall include identification of the relevant design rules, test vehicles, process characterization and control methods and results, critical dimensions, and process transfer specifications.

4.3.6 Assembly/packaging

All requirements for assembly/packaging shall be detailed in the design rules.

4.4 Procedures for design and verification of models

The procedures for creation, verification and validation, as well as the integration of design rules and library elements, shall be stated for each tool qualified.

4.4.1 Creation

Descriptions of the processes for creation and installation of new library elements (and blocks, cells, arrays, etc.) shall be documented in the applicable design manuals for library, layout, and circuit design.

4.4.2 Verification

The procedures employed for verification and validation of characteristics and application rules for library elements shall be specified.

4.5 Procedures for integration and validation

4.5.1 Integration

The methodology used to verify, validate and integrate a new library element shall be specified. It identifies the tools, the operating mode and the quality assurance procedures related to the described process.

4.5.2 Validation

Le centre de conception doit spécifier la méthode et les outils qui permettent de comparer les résultats de la simulation du schéma extrait du routage (simulation de transfert) à ceux de la simulation logique de l'élément de librairie en réponse aux vecteurs de test.

Enfin, il doit être précisé comment et sur quels éléments est vérifiée l'exactitude des caractéristiques temporelles, et comment sont recoupés les résultats de simulations analogiques sur chemins critiques, avec ceux des simulations logico-temporelles après routage.

5 Conception de circuits intégrés (métier 2)

5.1 Domaine de compétence

Le métier 2 inclut l'ensemble des informations qui définissent le savoir-faire revendiqué et définit le type de circuits pour lesquels le centre de conception s'estime compétent, en précisant:

- la classe de circuits réalisables (analogique, logique, mixte);
- le ou les matériaux semi-conducteurs: silicium, AsGa;
- les filières technologiques: MOS, MOS/SOS, bipolaire;
- les technologies: analogique, I2L, logique à émetteur couplé (ECL);
- les méthodes d'assemblage;
- les encapsulations.

Le centre de conception définit les documents qui initialisent son activité et qui indiquent comment les résultats sont décrits et documentés, ainsi que les métiers qui doivent être sous-traités.

5.2 Description des activités

Le présent paragraphe comprend un ou plusieurs diagrammes de cheminement décrivant toutes les étapes de l'activité du centre de conception, y compris:

- la spécification technique de besoin;
- le dossier de spécification des blocs;
- le dossier d'étude de blocs;
- le dossier d'intégration précisant les contraintes de placement et de routage;
- les simulations;
- les schémas et la liste de liens;
- le résultat des extractions des topologies;
- les simulations après routage;
- le dossier de justification;
- le dossier de conception comprenant les documents et outillages utiles à:
 - la fabrication des masques pour le circuit intégré;
 - l'assemblage et l'encapsulation;
 - l'ingénierie et la réalisation des essais;
 - l'évaluation des prototypes;

4.5.2 Validation

The design center shall specify the methods and tools used to compare the simulation results of the schematic issued from layout (switch simulation) with the logic simulation results of the library element, in response to the test vectors.

It shall also describe how and which elements are used to check the accuracy of the dynamic characteristics, and how they are compared and correlated to the analog simulation results on critical paths with the logical dynamic simulations after layout.

5 Integrated circuits design (task 2)

5.1 Field of application

Task 2 involves all information which defines the claimed capability and defines the type of circuits for which the center claims competence. Details are given on:

- class of circuits covered (analog, digital, mixed function);
- semiconductor material(s): GaAs, Si;
- process: MOS, MOS/SOS, bipolar;
- technologies (analog, I²L, emitter coupled logic (ECL));
- assembly methods;
- packaging.

The design center defines the documents which initialize the activity and which show how the results are described and documented as well as what tasks are to be subcontracted.

5.2 Description of activities

This subclause describes one or more flows covering all the steps of the design work undertaken by the design center, including:

- the technical need specification;
- the blocks specification file;
- the blocks study file;
- the integration file describing the place and route constraints;
- simulations;
- schematics and netlist;
- layout extraction results;
- postrouting simulation;
- the justification file;
- the design file which includes documents and tools dedicated to:
 - mask/reticle tooling for the IC;
 - assembly and packaging;
 - engineering and test production;
 - prototype evaluation;

- la validation du programme d'essai;
- les enregistrements de résultats de test;
- les procédures d'analyse de défaillance;
- les procédures d'analyse de non-conformité;
- la spécification technique du produit;
- les procédures de mise à disposition;
- les procédures d'archivage et de suivi;
- les procès-verbaux de revues de spécification, de conception et de fin de conception.

5.3 Interfaces

5.3.1 Interface avec la conception CAO de filière

L'accent est mis sur les points suivants:

- gestion de la mise à jour de la configuration logicielle et des librairies;
- compatibilité ascendante;
- documentation;
- traçabilité;
- limites d'utilisation (précision des modèles);
- utilisation des outils de vérification: contrôle des règles de dessin (DRC), contrôle des règles électriques (ERC), vérification de l'implantation par rapport au schéma (LVS).

5.3.2 Interface avec le client

Le centre de conception définit sa politique quant à la participation du client aux diverses phases suivantes de l'activité de conception:

- rédaction de la spécification technique de besoin;
- conception;
- simulation fonctionnelle;
- simulation orientée test;
- placement et routage;
- caractérisation et évaluation des prototypes.

Il est de la responsabilité du centre de conception de s'assurer que les règles de conception et de réalisation propres à la filière concernée sont bien respectées. Il est pareillement de la responsabilité du centre de conception de vérifier que la méthodologie d'essai mise en oeuvre permet de satisfaire à toutes les exigences de la spécification technique de besoin.

5.3.3 Masques/outillage

Le centre de conception établit la liste des fabricants de masques. Pour chacun des fabricants de masques, le centre fournira les informations suivantes:

- le nom,
- l'adresse, et
- le type d'outillage fabriqué.

- test program validation;
- test results records;
- failure analysis procedures;
- nonconformance analysis procedure;
- the technical specification of the product;
- release procedures;
- recording and follow-up procedures;
- minutes of specification, design, and end-of-design reviews.

5.3 Interfaces

5.3.1 Interface with CAD process design

Details are given on the following points:

- management of software configuration and library updates;
- upward compatibility;
- documentation;
- traceability;
- usage limits (model accuracy);
- usage of verification tools: design rules check (DRC), electrical rules check (ERC), layout versus schematics (LVS).

5.3.2 Customer interface

The design center defines its policy related to the involvement of the customer during the following design steps:

- writing the technical need specification;
- design;
- functional simulation;
- test-oriented simulation;
- place and route;
- characterization and evaluation of prototypes.

The design center is responsible for the application of the design and fabrication rules related to the identified technology. It is also responsible for the correct test methodology to fulfil the requirements of the technical need specification.

5.3.3 Masks/tooling

The design center lists the mask makers it uses. For each of the mask makers, the center provides the following:

- name,
- address, and
- type of tooling manufactured.

5.3.4 Fabrication des plaquettes

Le centre de conception décrit brièvement les opérations qui sont prises en charge par le fabricant de plaquettes et y inclut les détails des dispositions prises durant la phase de conception initiale pour couvrir les points suivants:

- a) revues de conception;
- b) disponibilité des règles de conception spécifiques au procédé, y compris le degré de liberté concernant les caractéristiques physiques et électriques;
- c) notification des changements de procédé qui peuvent affecter la conception, les caractéristiques physiques et électriques et les performances;
- d) conception et acceptation des moniteurs paramétriques (PM) et des composants d'évaluation standards (SEC).

Le centre de conception décrit succinctement les opérations réalisées par le fondeur et précise la forme sous laquelle les circuits doivent être livrés en phase prototype puis en phase série. Cette description comprend:

- la liste des fondeurs qualifiés pour produire le composant;
- les documents et outillages à mettre à disposition du fondeur;
- les exigences de traçabilité.

5.3.5 Assemblage et encapsulation

Le centre de conception décrit les opérations réalisées par le sous-traitant chargé de l'assemblage et de l'encapsulation. Il établira une liste des sous-traitants agréés et précisera pour chacun d'eux:

- les nom, adresse du sous-traitant;
- les technologies utilisées;
- la liste de documents et outillages à fournir au sous-traitant;
- la liste des documents, enregistrements, etc. qui doivent accompagner la livraison des circuits encapsulés.

5.3.6 Essais

Le centre de conception établit une liste des laboratoires d'essais agréés.

Pour chacun d'eux, il précisera ce qui suit:

- les nom, adresse;
- les types d'intervention réalisables;
- la référence de l'appareillage d'essai;
- une description des documents et outillages échangés entre le laboratoire d'essai et le centre de conception.

5.3.4 Wafer fabrication

The design center briefly describes the operations carried out by the wafer manufacturer and includes details of the arrangements made during the initial design phase to cover the following topics:

- a) design reviews;
- b) availability of process design rules, including allowable variation of the physical and electrical characteristics;
- c) notification of process changes that could affect design, physical and electrical characteristics and performance;
- d) design and acceptability of parametric monitors (PM) and standard evaluation components (SEC).

The design center briefly describes the operations carried out by the wafer-fabricant and specifies in which form the circuits shall be delivered for prototyping and for full production. This description includes:

- listing of wafer manufacturers qualified to produce the circuit;
- documents and tools to be transferred to the wafer manufacturer;
- traceability requirements

5.3.5 Assembly and packaging

The design center describes the work done by any subcontractor performing assembly and packaging. The center establishes a list of qualified subcontractors with details on:

- name and address of the subcontractor;
- technologies covered;
- list of documents and tools to be delivered to the subcontractor;
- list of documents, records, etc., to be delivered with the packaged circuits.

5.3.6 Test

The design center lists qualified test laboratories.

For each of them, it specifies the following:

- name and address;
- possible intervention types;
- identification of the test equipment;
- description of the documents and tools exchanged between the test laboratory and the design center.

5.3.7 Interface entre l'essai et la conception

L'accent est mis sur les points suivants:

- la testabilité;
- les règles de conception pour minimiser les mécanismes de défaillance;
- la génération des programmes d'essai;
- l'évaluation de l'aptitude de l'essai à mettre en évidence les défauts.

5.4 Procédures de conception et vérification

5.4.1 Evaluation de l'adéquation des simulations par rapport à la spécification technique de besoin

Au minimum, les points suivants sont traités:

- description algorithmique de la simulation fonctionnelle;
- analyse du déroulement chronologique et du chemin critique.

5.4.2 Vérification de la topologie

Le présent paragraphe décrit les règles de conception spécifiques au procédé et qui sont globales pour une conception donnée. De la même façon que pour les éléments de librairie, des informations nécessaires et complémentaires relatives à la conception et qui ne sont pas mentionnées dans la feuille catalogue (si applicable) doivent être indiquées ici.

- a) Définitions géométriques et limites physiques
- b) Définition électrique
- c) Fiabilité – électromigration/densité de courant

5.5 Procédure de validation

5.5.1 Critères relatifs aux mécanismes de défaillance

Un programme doit être mis en place par le centre de conception pour fournir toutes les informations utiles sur le procédé et la zone d'essais afin d'éviter des problèmes de fiabilité.

5.5.2 Critères d'essai

Le centre de conception décrit ici sa politique pour vérifier la conformité à la spécification technique de besoin et les moyens qui sont utilisés.

Il établit clairement si l'écriture, la mise au point et la mise en oeuvre des programmes d'essai sont réalisés par lui ou sont sous-traités à un laboratoire ou un fondeur agréé, et comment ces opérations répondent aux exigences de l'essai.

Il est donnée une description de la méthodologie concernant ce qui suit:

- l'évaluation et les essais de caractérisation de prototype (si applicable);
- l'évaluation et les essais sous pointes réalisés sur les plaquettes;
- l'évaluation et les contrôles sur produit fini;
- l'évaluation et les tests d'investigation en vue d'analyse de défaillance.

5.3.7 Interface between design and test

Details are given on the following:

- testability;
- design rules to minimize failure mechanisms;
- generation of test programs;
- evaluation of fault coverage.

5.4 Procedures for design and verification

5.4.1 Validation of simulation results against technical needs specification

As a minimum, the following points are covered:

- functional simulation algorithm description;
- timing and critical path analysis.

5.4.2 Layout verification

This paragraph addresses specific design rules, which are process-oriented and global for one specific design. As in the case of library elements, necessary additional design-related information which is not mentioned in the data sheet (if applicable) shall be given here.

- a) Geometric definitions and physical limits
- b) Electrical
- c) Reliability – electromigration potential and current density

5.5 Validation procedure

5.5.1 Criteria related to failure mechanisms

A program shall be put in place by the design center to ensure provision of information from the process and test area to avoid reliability problems.

5.5.2 Test criteria

The design center describes its policy in accordance with the technical need specification and means used.

It clearly identifies whether test program writing, control and execution are done by the center or are subcontracted to a qualified laboratory or foundry, and how these operations correspond to the test requirements.

A description is given of the methodology with regard to the following:

- evaluation and tests on characterization of prototypes (if applicable);
- evaluation and tests on wafers (probing);
- evaluation and control of finished products;
- evaluation and tests to investigate failure mechanisms.

5.5.3 Gestion des logiciels

Les procédures pour la gestion des logiciels doivent être décrites et comprennent au minimum:

a) Utilisation des logiciels

Le centre de conception fait la liste des logiciels qu'il utilise en précisant ce qui suit pour chacun d'eux:

- la fonction (exemple: simulateur logico-temporel);
- le nom, la référence, la version et l'indice;
- les nom et adresse du fournisseur;
- la machine cible et les exigences de fonctionnement;
- les références d'agrément des sous-traitants pouvant utiliser des données produites par le logiciel;
- les conditions d'installation, d'emploi et de maintenance;
- le plan qualité logiciel.

b) Procédures d'acceptation des logiciels

c) Incorporation dans le système de conception

d) Maintenance du logiciel

e) Capabilité du fournisseur de logiciel:

- portabilité;
- transparence.

6 Fabrication de plaquettes (métier 3)

6.1 Domaine de compétence

Le métier 3 peut avoir une interface avec d'autres métiers internes ou externes.

La description qui suit s'inscrit dans le cadre d'un concept de gestion de la qualité totale (TQM) dans lequel le centre de fabrication de plaquettes concerné est responsable de sa propre qualité.

6.2 Description des activités

Le métier 3 donne la liste des principaux critères de description d'une technologie. Il doit être utilisé pour définir les étapes et paramètres critiques illustrant la technologie et le procédé utilisés.

6.2.1 Matériau de la plaquette

- a) Substrat
- b) Interconnexion
- c) Couches diélectriques
- d) Dépôt protecteur (vitrification)

5.5.3 Software management

Procedures for software management shall be documented and include as a minimum:

a) Software handling

The design center lists the software used and provides details on the following:

- function (example: logic and dynamic simulation);
- name, reference, version and index;
- name and address of the supplier;
- software platform and operating requirements;
- agreement of subcontractors accepting the data generated by the software;
- implementation, use and maintenance conditions;
- software quality monitoring.

b) Software acceptance procedures

c) Incorporation into the design system

d) Software maintenance

e) Vendor software capability:

- portability;
- transparency.

6 Wafer fabrication (task 3)

6.1 Field of application

Task 3 may interface with other internal or external tasks.

The following description is made according to a total quality management (TQM) concept in which the wafer fabrication center is responsible for its own quality.

6.2 Description of activities

Task 3 lists the major criteria used to describe the technology. It shall be used to define steps and critical parameters illustrating the technology and process used.

6.2.1 Wafer materials

- a) Substrate
- b) Interconnection
- c) Dielectric layers
- d) Protective overcoat (glassivation)

6.2.2 Techniques de réalisation de la plaquette (niveau par niveau)

- a) Photolithographie, y compris, le cas échéant, la technique de réalisation des masques
- b) Dopage
- c) Gravure
- d) Dépôt des couches
- e) Oxydation
- f) Couverture de marche

6.2.3 Classification des opérations fondamentales et essentielles

6.2.3.1 Caractéristiques fondamentales

- a) Lieu de fabrication
- b) Technologie de base
- c) Nature mécanique du substrat
- d) Mono/multiniveaux d'interconnexion
- e) Mode d'isolement (jonction, diélectrique, etc.)
- f) Nature de la grille MOS (Al, poly, etc.) et du diélectrique
- g) Nature de l'émetteur bipolaire (muré, non muré)
- h) Techniques de réalisation
 - photooptique, faisceau d'électrons
 - diffusion, implantation
 - dépôt, croissance
 - gravure humide, gravure sèche
 - photogravure, arrachement (lift-off)
 - évaporation, pulvérisation

6.2.3.2 Caractéristiques essentielles

- a) Nature des matériaux
- b) Changement de résine
- c) Changement de SEC, PM, TCV
- d) Rétrécissement gardant le circuit dans les limites quantitatives
- e) Chemin de découpe

6.2.3.3 Limites quantitatives physiques et électriques

6.2.3.3.1 Limites physiques

- a) Epaisseur des couches des produits finis
 - vitrification
 - métallisation/polysilicium
 - isolant intermétallique
 - oxyde de grille

6.2.2 Wafer processing techniques (each layer)

- a) Photolithography including the reticle/mask tooling
- b) Doping
- c) Etching
- d) Layer deposition
- e) Oxidation
- f) Step coverage

6.2.3 Classification of fundamental and essential operations**6.2.3.1 Fundamental characteristics**

- a) Fabrication site
- b) Basic technology
- c) Mechanical nature of the substrate
- d) Mono- or multi-level interconnection
- e) Isolation mode (junction, dielectric, etc.)
- f) Nature of the MOS (metal-oxide semiconductor) gate (Al, poly, etc.) and of the dielectric
- g) Nature of the bipolar emitter (walled, non-walled)
- h) Processing techniques
 - photooptic, electron beam
 - diffusion, implant
 - deposition, growth
 - wet etching, dry etching
 - photoetching, lift-off
 - evaporation, sputtering

6.2.3.2 Essential characteristics

- a) Nature of materials
- b) Resin change
- c) SEC, PM, TCV change
- d) Shrinkage leaving the circuit within the quantitative limits
- e) Scribe line

6.2.3.3 Quantitative physical and electrical limits**6.2.3.3.1 Physical limits**

- a) Layer thickness of final products
 - glassivation
 - metallization/polysilicon
 - interlevel dielectric
 - gate oxide

- oxyde d'isolement (LOCOS)
- épitaxie
- diffusion
- b) Dimensions en surface
 - surface de la pastille
 - dimensions des plages de raccordement des pastilles
 - chemin de découpe
 - largeur et pas de métallisation
 - contacts et vias (largeur et espacement)
 - grille (largeur et longueur)
 - taille du contact émetteur (bipolaire)
 - largeur de base des NPN et PNP latéraux
 - largeur minimale de l'isolement entre zone active
- c) Tolérance de superposition (recouvrement/alignement)
 - métal/contact (%)
 - grille/LOCOS (en micromètres)
 - émetteur/base (en micromètres)
- d) Proportion des alliages et diélectriques dopés
- e) Diamètre plaquette
- f) Epaisseur finale de la pastille
- g) Face arrière

6.2.3.3.2 Limites électriques

- a) Résistivité
- b) Claquages grille (MOS) et BVCEO (bipolaire)
- c) Tension de seuil

6.3 Interfaces

6.3.1 Maîtrise des fournisseurs de matériels et d'équipements – Capabilité des équipements

Les équipements utilisés pour la fabrication du composant d'évaluation standard (SEC), le véhicule de caractérisation technologique (TCV), le moniteur paramétrique (PM) et les produits finis doivent posséder une spécification qui décrit les paramètres critiques.

6.3.2 Plan d'acceptation des plaquettes

Le fabricant doit décrire et démontrer l'efficacité d'un plan d'acceptation des plaquettes basé sur les mesures de performances. Ce plan peut inclure des critères électriques et visuels.

6.3.3 Exigences concernant les masques et réticules

Tous les masques doivent être sous le contrôle d'un programme d'inventaire qui identifie l'inspection et la recette des masques pour la fabrication, l'utilisation qui en est faite, les cycles de nettoyage et de réparation.

- isolation oxide (LOCOS)
- epitaxy
- diffusion
- b) Surface dimensions
 - die area
 - pads dimensions
 - scribe line
 - width and metal step
 - contacts and vias (width and step)
 - gate (width and length)
 - emitter contact size (bipolar)
 - lateral PNP and NPN base width
 - active zone isolation minimal width
- c) Allowable interlayer misalignment
 - metal/contact (%)
 - gate/LOCOS (in micrometers)
 - emitter/base (in micrometers)
- d) Doped and alloy dielectric proportion
- e) Wafer diameter
- f) Die final thickness
- g) Backside treatment

6.2.3.3.2 Electrical limits

- a) Resistivity
- b) Gate (MOS) and BVCEO (bipolar) breakdowns
- c) Threshold voltage

6.3 Interfaces

6.3.1 Management of equipment and materials suppliers – Equipment capability

The equipment used for the manufacturing of the standard evaluation component (SEC), the technology characterization vehicle (TCV), the parametric monitor (PM) and the finished products shall have a specification which describes the critical parameters.

6.3.2 Acceptance plan for wafer

The manufacturer shall document and demonstrate a wafer acceptance plan based on performance measurements. This plan may include electrical and visual criteria.

6.3.3 Mask and reticle requirements

All masks shall be under inventory control using mask inspection and release for manufacturing, tracking of usage, cleaning and repair cycles.

6.4 Procédure de validation

6.4.1 Programme de maîtrise statistique du processus (SPC), applicabilité

Les opérations critiques à contrôler sont déterminées par le fabricant sur la base de son expérience et de sa connaissance des processus. Les données qui en sont issues sont analysées par des méthodes de SPC appropriées pour déterminer leur efficacité en matière de maîtrise du processus.

La liste qui suit est un guide pour le fabricant et donne les processus critiques à contrôler.

- Contrôle d'entrée des masques et matériaux entrant dans la fabrication
- Equipements utilisés pour la fabrication des plaquettes
- Concentration des matériaux dopants
- Epaisseur de passivation et de vitrification
- Photolithographie (photo et gravure)
- Epaisseur des dépôts métalliques
- Toutes les données d'essai de fiabilité dont celles du SEC
- Inspection des masques et densité de défauts
- Données d'essai du moniteur paramétrique (PM)
- Essai d'acceptation de la plaquette
- Véhicule de caractérisation technologique (TCV)
- Procédures de reprises photosensibles
- Implantation ionique
- Préparation de la face arrière de la plaquette
- Critères d'acceptation des essais sous pointes de la plaquette

6.4.2 Capabilité du processus

Pendant la phase de certification, le fabricant doit démontrer son aptitude à évaluer la capabilité du processus en terme de qualité, fiabilité et capacité effective de produire.

6.4.3 Validation technologique

Le cheminement technologique du fabricant est inspecté dans son ensemble pour vérifier la conformité.

6.4.4 Fabrication des plaquettes

La séquence de fabrication destinée à produire les plaquettes terminées doit être établie avec des limites définies pour chacune des étapes de fabrication. Ces limites doivent être spécifiées.

6.4 Validation procedure

6.4.1 Statistical process control (SPC) program, applicability

The critical operations to be monitored are determined by the manufacturer on the basis of the accumulated history of the process. The data coming from the process line are analysed according to SPC methods to determine the efficiency of their application in the control process.

The following list is a guide for the manufacturer in determining critical processes to be monitored.

- Incoming inspection of mask and materials used for fabrication
- Wafer fabrication equipment
- Doping materials concentration
- Passivation and glassivation thickness
- Photolithography (photo and etching)
- Metal layers thickness
- All reliability test data including SEC
- Masks inspection and error density
- PM test data
- Wafer acceptance test
- TCV
- Photoresist rework procedures
- Ion implant
- Wafer back preparation
- Wafer probing acceptance test criteria

6.4.2 Process capability

During the certification phase, the manufacturer shall demonstrate his ability to evaluate the process capability in terms of quality, reliability and effective capability to run production.

6.4.3 Technology validation

The technology flow chart of the manufacturer is audited as a whole to verify conformance.

6.4.4 Wafer fabrication

The fabrication flow leading to the finished product shall be established, with clear limits for each fabrication step. These limits shall be specified.

7 Caractérisation de procédé (métier 4)

7.1 Domaine de compétence

La caractérisation et la modélisation tels que décrits ici se limitent à un procédé déjà développé, et s'opèrent dans ce cadre-là. Les objectifs garantissent la qualité de ce qui sort de la fabrication des plaquettes, et fournissent les outils pour la conception de nouveaux circuits intégrés.

7.2 Description des activités

7.2.1 Caractérisation

- a) Caractérisation (électrique)
 - Evolution des paramètres électriques (distribution de ces paramètres, analyse statistique, caractérisation en température et en tension)
 - Fixer les limites d'acceptation en accord avec la fabrication de plaquettes
- b) Caractérisation (variation de procédé)
 - Mesure des valeurs typiques de distribution de procédé et paramètres du cas le plus défavorable comparés aux composants principaux de la bibliothèque
- c) Simulation
 - En entrée: modèle du composant (modèle mathématique), valeurs des paramètres physiques et électriques
 - En sortie: modèle de simulation
- d) Moyens de mesure calibrés
- e) Test paramétrique

7.2.2 Règles topologiques

- a) Des tolérances des équipements sont fournis par le fabricant de plaquettes pour:
 - la détermination des:
 - règles dans un même plan (espacement);
 - règles d'alignement et règles d'empilement (coïncidence de marches);
 - règles liées à des problèmes électriques (gardes électriques) avec les cas les plus défavorables;
 - la vérification de ces règles: véhicules de test;
 - les règles pour les outils de vérification DRC et ERC;
 - la gestion des exceptions (exemple: point mémoire pour chaque type de circuit);
 - la traçabilité: vérification de conformité lors d'un changement de version de logiciel d'application et d'une introduction d'un nouvel algorithme de description de règles topologiques.
- b) Routage: les niveaux cachés (ou complémentaires) peuvent être calculés à partir de règles connues et documentées (si applicables).
- c) Règles de protection: définition des règles de protection et d'une bibliothèque de cellules de protection dont on connaît les limites en décharge électrostatique (ESD).
- d) Règles de blocage: règles de prévention du blocage.

7 Process characterization (task 4)

7.1 Field of application

The characterization and modelling as described here are limited and are carried out within a process already developed. The objectives demonstrate the quality of the wafer-fabricant output and provide data for the design of new ICs.

7.2 Description of activities

7.2.1 Characterization

- a) Characterization (electrical)
 - Electrical parameter drift (parameter distribution, statistical analysis, temperature and voltage characterization)
 - Determine acceptance limits with the wafer-fabricant agreement
- b) Characterization (process spread)
 - Measures of typical process distribution values and worst case parameters compared to main library components
- c) Simulation
 - Input: component model (mathematical model), values of physical and electrical parameters
 - Output: simulation model
- d) Gauged measurements tools
- e) Parametric testing

7.2.2 Topology rules

- a) Equipment tolerances are supplied by the wafer fabricant for:
 - determination of rules:
 - rules on the same plane (spacing);
 - alignment rules and superposing rules (step coverage);
 - rules related to electrical problems (electrical guards) including worst cases;
 - verification of these rules: test vehicles;
 - rules for DRC and ERC checking tools;
 - dealing with deviations (example: memory point for each type of circuit);
 - traceability: conformance verification following new release of an application software and introduction of a new algorithm for topology rules description.
- b) Routing: blind (or complementary) layers may be calculated from known rules and documented (if applicable).
- c) Protection rules: defining protection rules and protection cells library with known electrostatic discharge (ESD) limits.
- d) Latch-up rules: rules preventing latch-up.

- e) Comportement thermique: régression etc./coefficient thermique:
 - fichiers de conception;
 - description du PM et du TCV.
- f) Les paramètres doivent être spécifiés dans la gamme de température spécifiée.
- g) Règles de situation et de proximité liées aux gradients de température.

7.3 Interfaces

7.3.1 Informations nécessaires à la caractérisation

- a) Spécification de base du procédé
- b) Paramètres physiques et électriques
 - résolution et précision
 - épaisseurs de couches
 - résistance R^2 , résistivité
 - limites dimensionnelles
 - tensions de claquage
 - gains
 - tension d'EARLY (bipolaire)
 - tension de seuil MOS parasite
- c) Variation de procédé
 - lots avec variation de paramètres (lot de plaquettes) réalisés pour déterminer les cas limites (réalisés avec des composants de bibliothèque)
- d) Outils d'évaluation
 - outils de simulation (format, langage)

7.3.2 Suivi de la fiabilité intrinsèque

- Vieillesse aux électrons chauds (si applicable)
- TDDB
- Electromigration
- Contamination

7.4 Procédures de caractérisation

Les documents produits par les données de caractérisation sont partagés avec les centres de conceptions. Au minimum, les données suivantes doivent être partagées:

- caractéristiques générales du procédé;
- règles électriques intrinsèques (y compris les valeurs maximales et les règles de fiabilité (limites de courant et de tension, etc.) applicables à la technologie utilisée);
- simulations (y compris bibliothèque de composants);
- cas le plus défavorable;
- DRC/ERC/LVS;
- cellules de protection.

- e) Thermal behavior: derating etc./thermal coefficient:
 - design files;
 - PM and TCV description.
- f) The parameters shall be specified within the required temperature range.
- g) Location and proximity rules related to temperature gradient.

7.3 Interfaces

7.3.1 Inputs requested for characterization

- a) Baseline specification of the process
- b) Physical and electrical parameters
 - resolution and accuracy
 - layer thickness
 - R^2 resistance, resistivity
 - geometric limits
 - breakdown voltage
 - gain
 - EARLY voltage (bipolar)
 - parasitic MOS voltage threshold
- c) Process spreads
 - lots with parameter spread (batch wafer) to determine limits (using library components)
- d) Evaluation tools
 - simulation tools (format, language)

7.3.2 Intrinsic reliability follow-up

- Hot carrier ageing (if applicable)
- TDDB
- Electromigration
- Contamination

7.4 Characterization procedures

The documents produced from the characterization data are shared with the design center. As a minimum, the following data are to be shared:

- general characteristics of the process;
- intrinsic electrical rules (including maximum values and reliability rules (voltage and current limits, etc) related to the technology);
- simulations (including components library);
- worst case;
- DRC/ERC/LVS;
- protection cells.

8 Assemblage et encapsulation (métier 5)

8.1 Domaine de compétence

Le métier 5 concerne les métiers d'assemblage et d'encapsulation de circuits intégrés monolithiques standard ou ASIC. Cette activité reçoit des pastilles ou des plaquettes de la fabrication et livre des boîtiers à l'essai.

Les types/technologies de boîtier pour lesquels le centre d'assemblage demande l'agrément sont les suivants:

- les familles de boîtiers visées;
- les techniques de soudure/interconnexion;
- les techniques de fermeture/techniques de moulage.

8.2 Description des activités

8.2.1 Matériaux et techniques

Le présent paragraphe décrit les tâches qui peuvent entrer dans le métier d'assemblage, et les outils, paramètres, matériaux ou pièces concernées.

- a) Contrôle des plaquettes:
 - caractéristiques physiques
 - épaisseur et planéité
 - contrôle visuel
- b) Découpe (laser, sciage)
- c) Manipulation et entreposage
- d) Stockage
- e) Formation de lot
- f) Sélection optique (microscope)
- g) Report eutectique (brasage)
 - boîtiers
 - puces
 - grille, grille de connexions
 - préforme
 - matériaux intercalaires ou de couverture de la puce
- h) Report non eutectique (collage)
 - réparations
 - puces
 - grille, grille de connexions
 - boîtiers
 - composés pour le collage
 - matériaux intercalaires ou de couverture de la puce
- i) Montage inversé

8 Assembly and packaging (task 5)

8.1 Field of application

Task 5 covers the assembly and packaging of standard monolithic ICs or ASICs. This activity involves receiving wafers or dies from the wafer fabrication and delivering packaged ICs to the test activity.

The package types/technologies for which the assembly center asks for approval are the following:

- target package families;
- bonding/interconnection techniques;
- sealing techniques/molding techniques.

8.2 Description of activities

8.2.1 Materials and techniques

This paragraph describes typical tasks, tools, parameters, materials or parts involved in the assembly process.

- a) Wafer inspection
 - physical characteristics
 - thickness and flatness
 - visual inspection
- b) Cutting, dicing, sawing
- c) Handling and storage
- d) Stocking
- e) Lot formation
- f) Optical selection (microscope)
- g) Eutectic attach (brazing)
 - packages
 - dice
 - grid, lead frame
 - preform
 - underlaying materials or die cover
- h) Non-eutectic attach (epoxy)
 - curing
 - dice
 - grid, lead frame
 - packages
 - epoxy materials
 - underlaying materials or die cover
- i) Inverted attach

- j) Interconnexion (ultrasons, électrique, thermosonique, thermocompression)
 - fils ou rubans (nature, dimensions)
 - tab (transport automatique par bande), composants à surépaisseur
- k) Contrôle de préencapsulation (microscope)
- l) Encapsulation (scellement, moulage)
 - boîtiers ou puces à grille de connexions câblées
 - capots
 - résines de moulage
- m) Traitement des connexions internes
 - pliage, découpe, formage (plastique)
 - électrolyse
 - étamage (trempé, vague)
- n) Marquage (offset, sérigraphie, laser, etc.)
- o) Sélection
- p) Conditionnement
- q) Précautions ESD

8.2.2 Classification des changements fondamentaux et critiques

8.2.2.1 Changements fondamentaux

Les changements suivants sont considérés comme fondamentaux et doivent déclencher une nouvelle procédure de certification ou/et de qualification:

- lieu d'assemblage;
- Diagramme de cheminement qui affecte la forme, la taille ou la fonction (correspondant à une succession d'opérations particulières à chaque famille de boîtier).

8.2.2.2 Changements critiques

Les éléments suivants sont considérés comme critiques et doivent être approuvés par le TRB.

- Méthodes et matériaux
 - découpe (laser, sciage)
 - report (eutectique, non eutectique)
 - interconnexion (fils, tab)
 - fermeture (scellement, moulage)
- Taille des plots de la pastille (seulement si vente de pastilles nues)
- Dimensions externes
- Nombre de broches ou terminaisons
- Dimensions des broches ou terminaisons
- Matériau de revêtement des broches ou terminaisons
- Gamme d'épaisseur du revêtement des broches ou terminaisons
- Matériau du boîtier
- Gamme d'épaisseur du revêtement du boîtier

- j) Interconnection (ultrasonic, electrical, thermosonic, thermocompression)
 - wires or tapes (nature, dimensions)
 - tab (tape automatic bonding) or flip chip
- k) Precap inspection (microscope)
- l) Packaging (sealing, molding)
 - package or bonded lead frame dice
 - lid
 - molding resins
- m) Processing of internal connections
 - singulation, trim, form (plastic)
 - electrolysis
 - tin-plating (soak, wave)
- n) Marking (offset, screen printing, laser, etc.)
- o) Selection
- p) Packing
- q) ESD precautions

8.2.2 Classification of fundamental and critical changes

8.2.2.1 Fundamental changes

The following changes are considered fundamental and shall lead to a new certification and/or qualification procedure:

- assembly location;
- flow change that affects form, fit or function (corresponding to a series of tasks dedicated to each package family).

8.2.2.2 Critical changes

The following elements are considered critical, and shall be approved by the TRB.

- Methods and materials
 - dicing (laser, saw)
 - die attach (eutectic, non eutectic)
 - interconnection (wires, tab)
 - packaging (sealing, molding)
- Size of the die pads (only if selling bare die)
- External dimensions
- Number of leads or terminals
- Dimensions of leads or terminals
- Lead or terminal plating materials
- Lead or terminal plating thickness
- Lead frame material
- Range of body plating thickness

- Matériau du capot (si applicable)
- Gamme de matériaux de finition du capot (si applicable)
- Gamme d'épaisseur de finition du capot (si applicable)
- Matériau de préforme de scellement du capot
- Matériau du verre de scellement du capot
- Matériau du verre de scellement des broches
- Espacement des broches ou terminaisons
- Formage des broches

8.2.3 Reprise

Toutes les procédures de reprise doivent être certifiées et agréées par le TRB.

Seule une reprise des connexions est autorisée et cela uniquement avant fermeture du boîtier. Pour un boîtier fermé les reprises autorisées sont: le nettoyage, le marquage après un marquage défectueux et une remise en ligne des broches.

8.3 Interfaces

8.3.1 Approvisionnement ou sous-traitement des boîtiers

Tous les boîtiers doivent être qualifiés.

8.3.2 Interface avec la fabrication de plaquettes

Les pastilles ne sont montées que dans des boîtiers ou des grilles de connexion qualifiés.

Par ailleurs, la structure doit, en relation avec la fabrication, certifier le boîtier destiné à recevoir le circuit de test (SEC). Les résultats du procédé de qualification de ce boîtier peuvent être examinés lors des audits de certification.

8.3.3 Conception et caractérisation du boîtier

La caractérisation peut être effectuée par le fabricant de microcircuits ou par un laboratoire externe ou par le fournisseur des boîtiers. Dans tous les cas, le fabricant doit documenter la validation de toutes les méthodes de caractérisation utilisées.

8.3.3.1 Caractérisation thermique

La caractérisation thermique comprend une identification des particularités liées à la dissipation thermique.

La valeur de la résistance thermique à l'air libre ou en ventilation forcée doit être disponible pour tous les boîtiers utilisés pour des circuits qualifiés.

Ces valeurs peuvent être obtenues directement, ou indirectement par simulation ou calcul. Dans ce dernier cas, le fabricant doit démontrer la corrélation entre valeurs mesurées et valeurs calculées, cela pour au moins un boîtier qualifié du même type.

Tout changement de méthode d'estimation doit être qualifié suivant la même procédure.