

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Components for low-voltage surge protection –
Part 341: Performance requirements and test circuits for thyristor surge
suppressors (TSS)**

**Composants pour parafoudres basse tension –
Partie 341: Exigences de performance et circuits d'essai pour parafoudres
à thyristor (TSS)**

IECNORM.COM : Click to view the full PDF of IEC 61643-341:2020



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2020 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 000 terminological entries in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC -

webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 000 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Components for low-voltage surge protection –
Part 341: Performance requirements and test circuits for thyristor surge
suppressors (TSS)**

**Composants pour parafoudres basse tension –
Partie 341: Exigences de performance et circuits d'essai pour parafoudres
à thyristor (TSS)**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.10

ISBN 978-2-8322-8304-2

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD	6
1 Scope	8
2 Normative references	8
3 Terms, definitions, abbreviated terms and symbols	8
3.1 Parametric terms, letter symbols and definitions	9
3.2 General terms	9
3.3 Main terminal ratings	9
3.4 Main terminal characteristics	11
3.5 Additional and derived parameters	12
3.6 Temperature related parameters	12
3.7 Gate terminal parameters	13
3.8 Abbreviated terms	15
3.9 Circuit symbols	15
4 TSS types	16
5 Service conditions	18
5.1 Normal service conditions	18
5.2 Storage temperature range, T_{stgmin} to T_{stgmax}	18
6 Mechanical requirements and identification	18
6.1 Robustness of terminations	18
6.2 Solderability	18
6.3 Marking	18
6.4 Documentation	18
7 Standard test methods	19
7.1 Failure rates	19
7.2 Test conditions	19
7.2.1 General	19
7.2.2 Standard atmospheric conditions	19
7.2.3 Measurement errors	20
7.2.4 Measurement accuracy	20
7.2.5 Designated impulse shape and values	20
7.2.6 Multiple TSS	20
7.2.7 Gated TSS testing	20
7.3 Rating test procedures	20
7.3.1 General	20
7.3.2 Repetitive peak off-state voltage, V_{DRM}	21
7.3.3 Repetitive peak on-state current, I_{TRM}	21
7.3.4 Non-repetitive peak on-state current, I_{TSM}	22
7.3.5 Non-repetitive peak pulse current, I_{PP}	23
7.3.6 Repetitive peak reverse voltage, V_{RRM}	24
7.3.7 Non-repetitive surge forward current, I_{FSM}	24
7.3.8 Repetitive peak forward current, I_{FRM}	24
7.3.9 Critical rate of rise of on-state current, di/dt	25
7.4 Characteristic test procedures	26
7.4.1 General	26
7.4.2 Off-state current, I_D	26
7.4.3 Repetitive peak off-state current, I_{DRM}	27

7.4.4	Repetitive peak reverse current, I_{RRM}	27
7.4.5	Breakover voltage, $V_{(BO)}$ and current, $I_{(BO)}$	27
7.4.6	On-state voltage, V_T	29
7.4.7	Holding current, I_H	33
7.4.8	Off-state capacitance, C_O	34
7.4.9	Forward voltage, V_F	37
7.4.10	Peak forward recovery voltage, V_{FRM}	37
7.4.11	Critical rate of off-state voltage rise, dv/dt	38
7.4.12	Variation of holding current with temperature	38
7.4.13	Gate-to-adjacent terminal peak off-state voltage and peak off-state gate current, V_{GDM} , I_{GDM}	38
7.4.14	Gate reverse current, adjacent terminal open, I_{GAO} , I_{GKO}	39
7.4.15	Gate reverse current, main terminals short-circuited, I_{GAS} , I_{GKS}	40
Annex A (informative) Common impulse waveshapes		41
A.1	General	41
A.2	Types of impulse generator	41
A.3	Impulse generator parameters	41
A.3.1	Glossary of terms	41
A.3.2	Virtual parameters	42
A.4	Impulse generators typically used for surge protector testing	44
A.4.1	General	44
A.4.2	Impulse generators with a defined voltage waveform	44
A.4.3	Impulse generators with a defined current waveform	44
A.4.4	Generators with defined voltage and current waveforms	45
Annex B (informative) Glossary of IEC 60747-6 [10] thyristor terms		48
B.1	General	48
B.2	Thyristor types	48
B.3	Basic terms defining the static voltage-current characteristics of triode thyristors	49
B.4	Basic terms defining the static voltage-current characteristics of diode thyristors	51
B.5	Particulars of the static voltage-current characteristics of triode and diode thyristors	52
B.6	Terms related to ratings and characteristics; principal voltages	54
B.7	Terms related to ratings and characteristics; principal currents	55
B.8	Terms related to ratings and characteristics; gate voltages and currents	57
B.9	Terms related to ratings and characteristics; powers, energies and losses	59
B.10	Letter symbols	61
B.10.1	General	61
B.10.2	List of letter symbols	62
Annex C (informative) Additional parametric tests		64
C.1	General	64
C.2	Temperature derating	64
C.3	Thermal resistance, R_{th}	64
C.4	Transient thermal impedance, $Z_{th}(t)$	65
C.5	Gate reverse current, on-state, I_{GAT} , I_{GKT}	66
C.6	Gate reverse current, forward conducting state, I_{GAF} , I_{GKF}	67
C.7	Gate switching charge, Q_{GS}	68
C.8	Peak gate switching current, I_{GSM}	70

C.9	Gate-to-adjacent terminal breakover voltage, $V_{GK(BO)}$, $V_{GA(BO)}$	71
Annex D (normative)	Preferred values	72
D.1	General	72
D.2	$V_{(BO)}$ and V_{DRM}	72
D.3	C_O , V_{DRM} and I_{PP}	73
D.4	I_H	74
D.5	I_{PP} and time to half value (duration)	74
	Bibliography	75

Figure 1	Fixed voltage, two terminals: a) reverse blocking and b) reverse conducting	15
Figure 2	Gated reverse blocking: a) P gate b) N gate and c) P & N gate	16
Figure 3	Gated reverse conducting: a) P gate and b) N gate	16
Figure 4	Bidirectional: a) 2 terminal fixed voltage and b) gated	16
Figure 5	Switching quadrant characteristics: a) fixed-voltage TSS and b) gated TSS	17
Figure 6	TSS non-switching characteristics: a) reverse blocking b) reverse conducting	17
Figure 7	Test circuit for verifying repetitive peak off-state voltage (V_{DRM})	21
Figure 8	Test circuit for verifying repetitive peak on-state current, I_{TRM}	21
Figure 9	Repetitive peak on-state current waveforms	22
Figure 10	Test circuit for verifying non-repetitive peak on-state current, I_{TSM}	23
Figure 11	Test circuit for verifying non-repetitive peak pulse current, I_{PP}	24
Figure 12	Test circuit for verifying critical rate of rise of on-state current (di/dt)	25
Figure 13	Half sine-wave di/dt test circuit	26
Figure 14	Test circuit for off-state current, I_D at V_D	27
Figure 15	Test circuit for breakover, $V_{(BO)}$ and $I_{(BO)}$ and on-state voltage, V_T	28
Figure 16	Voltage and current waveforms versus time for a fixed-voltage TSS showing switch-on, on-state and switch-off events	28
Figure 17	Waveform expansions of Figure 16	30
Figure 18	Voltage and current waveforms versus time for a gated TSS showing switch-on, on-state and switch-off events	31
Figure 19	Waveform expansions of Figure 18	32
Figure 20	Test circuit for holding current, I_H	33
Figure 21	Test circuit for holding current with additional DC bias	34
Figure 22	Test circuit for capacitance measurement	34
Figure 23	Test circuit for capacitance measurement with external DC bias	35
Figure 24	Test circuit for capacitance measurement of multi-terminal TSS	36
Figure 25	Diode voltage and current waveforms versus time showing V_{FRM} and rising current di/dt	37
Figure 26	Test circuit for exponential critical rate of off-state voltage rise, dv/dt	38
Figure 27	Test circuit for gate-to-adjacent terminal peak off-state voltage and current, V_{GDM} and I_{GDM}	39
Figure 28	Test circuit for gate reverse current, adjacent terminal open, I_{GAO} , I_{GKO}	39
Figure 29	Test circuit for gate reverse current, main terminals short-circuited, I_{GAS} , I_{GKS}	40
Figure A.1	Current or voltage impulse amplitude versus time showing a 10 % to 90 % T_1 front time and T_2 time to half value	43

Figure A.2 – Voltage impulse amplitude versus time showing a 30 % to 90 % T_1 front time and T_2 time to half value	43
Figure B.1 – Particulars of the static characteristic of unidirectional thyristors	52
Figure B.2 – Particulars of the static characteristic of bidirectional thyristors	53
Figure B.3 – a) Approximation of the on-state V_T - I_T characteristic b) Approximation of the reverse V_R - I_R characteristic	60
Figure C.1 – Test circuit for thermal resistance and impedance	65
Figure C.2 – Thermal impedance versus time	66
Figure C.3 – Test circuit for gate reverse current, on-state, I_{GAT} , I_{GKT}	67
Figure C.4 – Test circuit for gate reverse current, forward conducting state, I_{GAF} , I_{GKF}	68
Figure C.5 – Test circuit for gate switching current, gate switching charge and gate-to-adjacent terminal breakover voltage, I_{GSM} , Q_{GS} , $V_{GK(BO)}$, $V_{GA(BO)}$	69
Figure C.6 – Test circuit of an integrated gate diode TSS for gate switching current, gate switching charge and gate-to-adjacent terminal breakover voltage I_{GSM} , Q_{GS} , $V_{GK(BO)}$, $V_{GA(BO)}$	70
Figure C.7 – Overall and expanded clamping waveforms for a P-type gate TSS showing $V_{GK(BO)}$ and Q_{GS} measurement ($di_K/dt = 10 \text{ A}/\mu\text{s}$, $V_{GG} = -72 \text{ V}$)	71
Figure D.1 – $V_{(BO)}/V_{DRM}$ ratio against V_{DRM}	72
Figure D.2 – $V_{(BO)}$ vs V_{DRM}	73
Figure D.3 – Capacitance variation with DC bias	73
Figure D.4 – I_{PP} versus Duration for various 10/1 000 current ratings	74
Table 1 – Types of TSS	17
Table 2 – Breakover ramp rate test values	29
Table A.1 – Voltage impulse generators	44
Table A.2 – Current impulse generators	45
Table A.3 – Voltage and current impulse generators	46
Table A.4 – Other voltage and current impulse generators	47
Table B.1 – Additional general subscripts	61
Table B.2 – Principal voltages, anode-cathode voltages	62
Table B.3 – Principal currents, anode currents, cathode currents	62
Table B.4 – Gate voltages	63
Table B.5 – Gate currents	63
Table B.6 – Sundry quantities	63
Table B.7 – Power loss	63

INTERNATIONAL ELECTROTECHNICAL COMMISSION

COMPONENTS FOR LOW-VOLTAGE SURGE PROTECTION –**Part 341: Performance requirements and test circuits
for thyristor surge suppressors (TSS)**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61643-341 has been prepared by subcommittee 37B, Components for low-voltage surge protection, of IEC technical committee 37: Surge arresters.

This second edition of IEC 61643-341 cancels and replaces the first edition published in 2001. This edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the previous edition: Addition of performance values.

The text of this standard is based on the following documents:

FDIS	Report on voting
37B/218/FDIS	37B/220/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts of IEC 61643 series, under the general title *Components for low-voltage surge protective devices*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

IECNORM.COM : Click to view the full PDF of IEC 61643-341:2020

COMPONENTS FOR LOW-VOLTAGE SURGE PROTECTION –

Part 341: Performance requirements and test circuits for thyristor surge suppressors (TSS)

1 Scope

This part of IEC 61643 specifies standard test circuits and methods for thyristor surge suppressor (TSS) components. These surge protective components, SPCs, are specially formulated thyristors designed to limit overvoltages and divert surge currents by clamping and switching actions. These SPCs are used in the construction of surge protective devices (SPDs) and equipment used in Information & Communications Technologies (ICT) networks with voltages up to AC 1 000 V and DC 1 500 V. This document is applicable to gated or non-gated TSS components with third quadrant (-v and -i) characteristics of blocking, conducting or switching.

This document contains information on

- terminology;
- letter symbols;
- essential ratings and characteristics;
- rating verification and characteristic measurement;

This document does not apply to the conventional three-terminal thyristors as covered by IEC 60747-6.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60050-521, *International Electrotechnical Vocabulary – Chapter 521: Semiconductor devices and integrated circuits*

IEC 60068-2-20:2008, *Environmental testing – Part 2-20: Tests – Test T: Test methods for solderability and resistance to soldering heat of devices with leads*

3 Terms, definitions, abbreviated terms and symbols

For the purposes of this document, the following terms and definitions apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1 Parametric terms, letter symbols and definitions

Where appropriate, terms, letter symbols and definitions are used from conventional thyristor (IEC 60747-6) and rectifier diode (IEC 60747-2) standards. TSS definitions are the same or similar to conventional thyristor definitions. To avoid the proliferation of terms, the word “thyristor”, as used in the terms of this document, is synonymous with “TSS”.

NOTE 1 IEC 60747-1, clause 2.1.1 Basic letters, states “IEC 60027 recommends the letters V and v only as reserve symbols for voltage; however, in the field of semiconductor devices, they are so widely used that in this publication they are on the same plane as U and u .” This document uses the letters V and v for voltage with the letters U and u as alternatives.

NOTE 2 Where several distinctive forms of letter symbol exist, the most commonly used form is given first.

3.2 General terms

3.2.1 information and communications technologies

ICT

group of applications using information and communications (telecommunications) technologies

[SOURCE: ISO/IEC 24704:2004, 3.1.5]

3.2.2 overcurrent

any current having a peak value exceeding the corresponding peak value of maximum steady-state current at normal operating conditions

[SOURCE: IEC 60664-2-1, ed. 2.0 (2011-01), 3.21, modified by replacing voltage with current]

3.2.3 overvoltage

any voltage having a peak value exceeding the corresponding peak value of maximum steady-state voltage at normal operating conditions

[SOURCE: IEC 60664-2-1, ed. 2.0 (2011-01), 3.21]

3.2.4 surge protective device

SPD

device that restricts the voltage of a designated port or ports, caused by a surge, when it exceeds a predetermined level

Note 1 to entry: Secondary functions may be incorporated, such as a current limiting to restrict a terminal current.

Note 2 to entry: Typically, the protective circuit has at least one non-linear voltage-limiting surge protective component.

Note 3 to entry: An SPD is a complete assembly, having terminals to connect to the circuit conductors.

[SOURCE: IEC 61643-21:2008, 3.8]

3.3 Main terminal ratings

Listed ratings cover the appropriate requirements of the blocking, conducting and switching quadrants.

3.3.1**repetitive peak off-state voltage** V_{DRM}

highest instantaneous value of the off-state voltage, including all repetitive transient voltages, but excluding all non-repetitive transient voltages

[SOURCE: IEC 60747-6:2000, 3.5.12[10]¹, modified (removal of NOTE)]

3.3.2**repetitive peak on-state current** I_{TRM}

peak value of the on-state current, including all repetitive transient currents

[SOURCE: IEC 60747-6:2000, 3.6.15[10], modified (removal of Figure)]

3.3.3**surge on-state current** I_{TSM}

on-state current pulse of short duration and specified waveshape, whose application causes or would cause the maximum rated virtual junction temperature to be exceeded, but which is assumed to occur rarely and with a limited number of such occurrences during the service life of the device and to be a consequence of unusual circuit conditions

[SOURCE: IEC 60747-6:2000, 3.6.17[10], modified (removal of "(for example, a fault) (see figure 4)")]

3.3.4**non-repetitive peak impulse current** I_{PP}

rated maximum value of peak impulse current of specified amplitude and waveshape that may be applied

3.3.5**repetitive peak reverse voltage (of a unidirectional thyristor)** V_{RRM}

highest instantaneous value of the reverse voltage, including all repetitive transient voltages, but excluding all non-repetitive transient voltages

[SOURCE: IEC 60747-6:2000, 3.5.6[10], modified (removal of NOTE)]

3.3.6**non-repetitive surge forward current** I_{FSM}

forward current pulse of short time duration and specified waveshape, whose application causes or would cause the maximum rated junction temperature to be exceeded, but which is assumed to occur rarely and with a limited number of such occurrences during the service life of the device and to be a consequence of unusual circuit conditions (for example a fault)

[SOURCE: IEC 60747-2:2000, 3.3.6[9], modified (original term did not include "non-repetitive")]

3.3.7**repetitive peak forward current (diode)** I_{FRM}

peak value of the forward current including all repetitive transient currents

¹ Numbers in square brackets refer to the bibliography.

[SOURCE: IEC 60747-2:2000, 3.3.4[9]]

3.3.8

critical rate of rise of on-state current

di_T/dt_{cr}

highest value of the rate of rise of on-state current that a thyristor can withstand without deleterious effect

[SOURCE: IEC 60747-6:2000, 3.6.23[10]]

3.4 Main terminal characteristics

3.4.1

off-state voltage

V_D

anode, principal, or thyristor voltage when the thyristor is in the off state

[SOURCE: IEC 60747-6:2000, 3.5.9[10]]

3.4.2

off-state current

I_D

anode, principal, or thyristor current when the thyristor is in the off state

[SOURCE: IEC 60747-6:2000, 3.6.26[10]]

3.4.3

peak off-state current

I_{DRM}

maximum (peak) value of off-state current that results from the application of the repetitive peak off-state voltage, V_{DRM}

3.4.4

breakover voltage

$V_{(BO)}$

voltage at the breakover point

[SOURCE: IEC 60747-6:2000, 3.5.1[10]]

3.4.5

holding current

I_H

minimum anode, principal, or thyristor current that will maintain the thyristor in the on state

[SOURCE: IEC 60747-6:2000, 3.6.25[10]]

3.4.6

off-state capacitance

C_o, C_J

differential capacitance at the specified terminals in the off-state measured at specified frequency, f , amplitude, V_d and DC bias, V_D

3.4.7

repetitive peak reverse current

I_{RRM}

maximum (peak) value of reverse current that results from the application of the repetitive peak reverse voltage, V_{RRM}

3.4.8**forward recovery voltage (diode)** V_{FRM}

varying voltage occurring during the forward recovery time after instantaneous switching from zero or a specified reverse voltage to a specified forward current

[SOURCE: IEC 60747-2:2000, 3.2.3[9]]

3.5 Additional and derived parameters

The following derived and measured parameters may be necessary or useful for comparison, certain applications or statistical process controls.

3.5.1**breakover current** $I_{(BO)}$

anode, principal, or thyristor current at the breakover point

[SOURCE: IEC 60747-6:2000, 3.6.1[10]]

3.5.2**on-state voltage** V_T

anode, principal, or thyristor voltage when the thyristor is in the on state

[SOURCE: IEC 60747-6:2000, 3.5.8[10]]

3.5.3**on-state current** I_T

anode, principal, or thyristor current when the thyristor is in the on state

[SOURCE: IEC 60747-6:2000, 3.6.9[10]]

3.5.4**forward voltage (diode)** V_F

voltage across the terminals which results from the flow of current in the forward direction

[SOURCE: IEC 60747-2:2000, 3.2.1[9]]

3.5.5**forward current (diode)** I_F

current through the device in the forward conducting state

3.6 Temperature related parameters

All the semiconductor related TSS parameters are temperature dependent. The need for temperature dependence information can often be removed by specifying that a parameter's maximum or minimum value should be valid over the intended operating temperature range. Some common temperature related terms are shown hereafter.

3.6.1**variation of holding current with temperature**

change in holding current, I_H , with changes in temperature and shown as a graph

3.6.2**temperature derating**

derating with temperature above a specified base temperature, expressed as a percentage, such as may be applied to peak pulse current

3.6.3**thermal resistance**

R_{thJL} , R_{thJC} , R_{thJA} ($R_{\theta JL}$, $R_{\theta JC}$, $R_{\theta JA}$)

effective temperature rise per unit power dissipation of a designated junction, above the temperature of a stated external reference point (lead, case or ambient) under conditions of thermal equilibrium

Note 1 to entry: Thermal resistance is usually expressed as K/W with °C/W as an alternative.

3.6.4**transient thermal impedance**

$Z_{thJL}(t)$, $Z_{thJC}(t)$, $Z_{thJA}(t)$ ($Z_{\theta JL}(t)$, $Z_{\theta JC}(t)$, $Z_{\theta JA}(t)$)

change in the difference between the virtual junction temperature and the temperature of a specified reference point or region (lead, case, or ambient) at the end of a time interval, divided by the step function change in power dissipation at the beginning of the same time interval which causes the change of temperature difference

Note 1 to entry: Thermal impedance is usually expressed as K/W with °C/W as an alternative.

Note 2 to entry: It is the thermal impedance of the junction under conditions of change and is generally given in the form of a curve as a function of the duration of an applied power pulse.

3.6.5**(virtual) junction temperature**

T_J , T_{VJ}

theoretical temperature representing the temperature of the junction(s) calculated on the basis of a simplified model of the thermal and electrical behaviour of the device

Note 1 to entry: The term “virtual-junction temperature” is particularly applicable to multijunction semiconductors and is used to denote the temperature of the active semiconductor element when required in specifications and test methods. The term “junction temperature”, T_J , is used interchangeably with the term “virtual junction temperature”, T_{VJ} , in this standard.

3.6.6**maximum junction temperature**

T_{JM}

maximum value of permissible junction temperature, due to self-heating, which a TSS can withstand without degradation

3.6.7**storage temperature range**

T_{stgmin} to T_{stgmax}

temperature range over which the device can be stored without any voltage applied

3.7 Gate terminal parameters**3.7.1****gate trigger current**

I_{GT}

lowest gate current required to switch a device from the off-state to the on-state

3.7.2**gate trigger voltage**

V_{GT}

gate voltage required to produce the gate trigger current, I_{GT}

3.7.3

gate-to-adjacent terminal peak off-state voltage

V_{GDM}

maximum gate to cathode voltage for a P-gate component or gate to anode voltage for an N-gate component that may be applied such that a specified off-state current, I_{D} , at a rated off-state voltage, V_{D} , is not exceeded

3.7.4

peak off-state gate current

I_{GDM}

maximum gate current that results from the application of the peak off-state gate voltage, V_{GDM}

3.7.5

gate reverse current, adjacent terminal open

$I_{\text{GAO}}, I_{\text{GKO}}$

current through the gate terminal when a specified gate bias voltage, V_{G} , is applied and the cathode terminal for a P-gate component or anode terminal for an N-gate component is open-circuited

3.7.6

gate reverse current, main terminals short-circuited

$I_{\text{GAS}}, I_{\text{GKS}}$

current through the gate terminal when a specified gate bias voltage, V_{G} , is applied and the cathode terminal for a P-gate component or anode terminal for an N-gate component is short-circuited to the third terminal

Note 1 to entry: This definition only applies to components with integrated series gate blocking diodes.

3.7.7

gate reverse current, on-state

$I_{\text{GAT}}, I_{\text{GKT}}$

current through the gate terminal when a specified gate bias voltage, V_{G} , is applied and a specified on-state current, I_{T} , is flowing

Note 1 to entry: This definition only applies to components with integrated series gate blocking diodes.

3.7.8

gate reverse current, forward conducting state

$I_{\text{GAF}}, I_{\text{GKF}}$

current through the gate terminal when a specified gate bias voltage, V_{G} , is applied and a specified forward conduction current, I_{F} , is flowing

Note 1 to entry: This definition only applies to conducting unidirectional components with integrated series gate blocking diodes.

3.7.9

gate switching charge

Q_{GS}

charge through the gate terminal, under impulse conditions, during the transition from the off-state to the switching point, when a specified gate bias voltage, V_{G} , is applied

3.7.10

peak gate switching current

I_{GSM}

maximum value of current through the gate terminal during the transition from the off state to the switching point, when a specified gate bias voltage, V_{G} , is applied

3.7.11**gate-to-adjacent terminal breakover voltage** $V_{GK(BO)}$, $V_{GA(BO)}$

gate-to-cathode voltage for a P-type component or gate to anode voltage for an N-gate component at the breakover point

Note 1 to entry: This is equivalent to the voltage difference between the breakover voltage, $V_{(BO)}$, and the specified gate voltage, V_G .

3.8 Abbreviated terms

AC Alternating Current

DC Direct Current

ICT Information & Communication Technology

TSS Thyristor Surge Suppressor

SPC Surge Protective Component

SPD Surge Protective Device

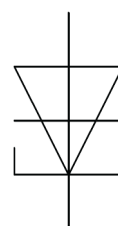
TRIAC TRIode for Alternating Current (bidirectional triode thyristor)

3.9 Circuit symbols

Thyristors can be made as two terminal components (fixed voltage) or with additional terminals connected to intermediate P or N layers (gated). In addition, they can be made with one switching quadrant or two switching quadrants. Figure 1 shows the circuit symbols for fixed voltage, one switching quadrant, two terminal TSSs based on the IEC 60617[5] S006XX series of graphical symbols for diagrams. The switching quadrant characteristic occurs when the top terminal is positive with respect to the bottom terminal (Figure 1 through Figure 3).



a) S00650



b) S00651

Figure 1 – Fixed voltage, two terminals: a) reverse blocking and b) reverse conducting

Figure 2 shows the circuit symbols for gated reverse blocking (one switching quadrant) TSSs based on the IEC 60617[5] S006XX series of graphical symbols for diagrams.

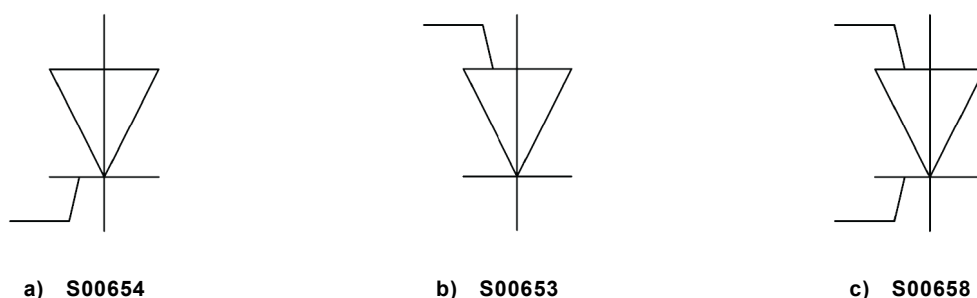


Figure 2 – Gated reverse blocking: a) P gate b) N gate and c) P & N gate

Figure 3 shows the circuit symbols for gated reverse conducting (one switching quadrant) TSSs based on the IEC 60617[5] S006XX series of graphical symbols for diagrams.



Figure 3 – Gated reverse conducting: a) P gate and b) N gate

Figure 4 shows the circuit symbols for bidirectional (two switching quadrant) TSSs based on the IEC 60617[5] S006XX series of graphical symbols for diagrams. The switching quadrant characteristic is for any top terminal polarity.



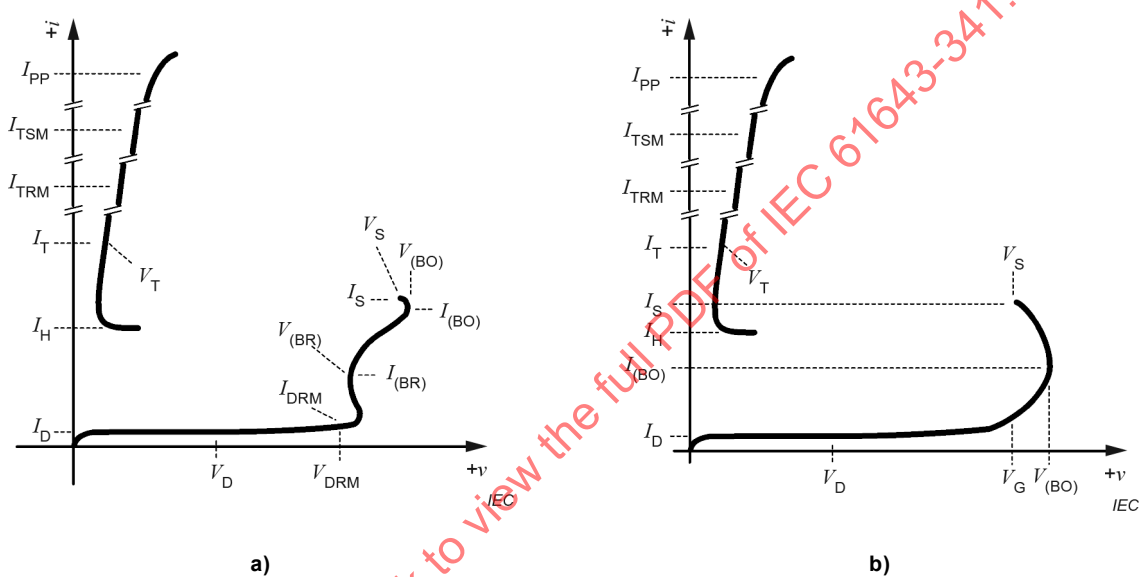
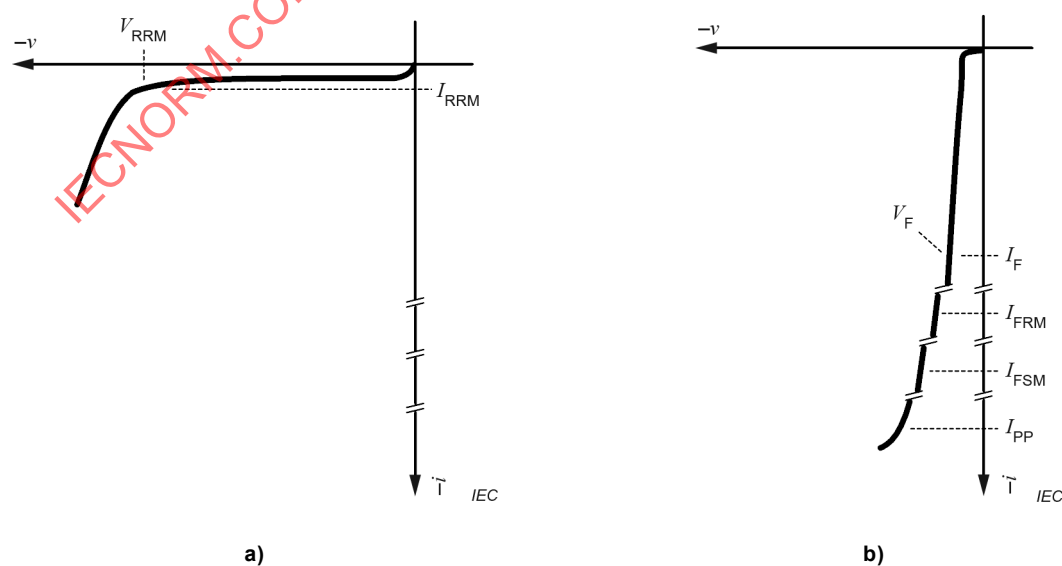
Figure 4 – Bidirectional: a) 2 terminal fixed voltage and b) gated

4 TSS types

The TSS is classified by the type of characteristic in the first and third quadrants, and the number of terminals (see Table 1). At least one quadrant will have a switching characteristic (see Figure 5). The other quadrant may have a switching, blocking or diode conduction characteristic (see Figure 5 and Figure 6). Thyristors with only one switching quadrant are called unidirectional and may have two (diode), three (triode) or four (tetraode) terminals. In addition, thyristors with two switching quadrants are called bidirectional.

Table 1 – Types of TSS

Number of terminals	Other quadrant characteristics		
	Blocking	Conducting	Switching
2 (diode)	Reverse blocking diode TSS Figure 1	Reverse conducting TSS Figure 1	Bidirectional diode TSS Figure 4
3 (triode)	Reverse blocking triode TSS P-gate or N-gate Figure 2	Reverse conducting triode TSS P-gate or N-gate Figure 3	Bidirectional triode TSS P-gate or N-gate or combined P-gate and N- gate (TRIAC) Figure 4
4 (tetrode)	Reverse blocking tetrode TSS P-gate and N-gate Figure 2		

**Figure 5 – Switching quadrant characteristics: a) fixed-voltage TSS and b) gated TSS****Figure 6 – TSS non-switching characteristics: a) reverse blocking b) reverse conducting**

5 Service conditions

5.1 Normal service conditions

The TSS is normally mounted inside an equipment or module which results in a micro-climate class condition (see IEC 60721-3-9[7]). A TSS which conforms to this document shall be suitable for stationary use at weather-protected locations (see IEC 60721-3-3[6]). In the absence of specific requirements, the TSS shall be suitable for operation under the following common service conditions and one or both of the two microclimates:

a) Normal microclimate

ambient air temperature within the range of 0 °C to 70 °C;

air pressure within the range of 80 kPa to 106 kPa;

relative humidity within the range of 25 % to 75 %.

b) Extended microclimate

ambient air temperature within the range of –40 °C to 85 °C;

air pressure within the range of 70 kPa to 106 kPa;

relative humidity 10 % to 95 %.

5.2 Storage temperature range, $T_{\text{stg min}}$ to $T_{\text{stg max}}$.

The temperatures over which the thyristor can be stored without any voltage applied has the following preferred temperature ranges (selected from IEC 60747-1[8] and IEC 60749[11])

0 °C to 125 °C

–55 °C to 125 °C

–65 °C to 150 °C

6 Mechanical requirements and identification

6.1 Robustness of terminations

If applicable, the user shall specify a suitable test from IEC 60068-2-21[3].

6.2 Solderability

Solder terminations shall meet the requirements of IEC 60068-2-20[2].

6.3 Marking

Legible and permanent marking shall be applied to the surge protective component, as necessary, to ensure that the user can determine the following information by inspection:

a) manufacturer;

b) year of manufacture;

c) component number or code.

If requested and agreed, the customer's identification should be marked on each component.

NOTE The necessary information can also be coded.

6.4 Documentation

Documents shall be provided by the manufacturer so that from the information in 6.3, the manufacturer can determine the following additional information:

a) appropriate component parameters as set out in this document;

- b) component mounting requirements and processes.
- c) ordering information

The following information should be supplied by the user:

- a) drawing giving all dimensions, finishes and termination details;
- b) type or model;
- c) quantity;
- d) quality assurance requirements.

7 Standard test methods

7.1 Failure rates

Sampling size, electrical characteristics to be tested, etc. should be covered by the quality assurance requirements, which are not covered by this document.

7.2 Test conditions

7.2.1 General

The rating and characteristic tests shall be performed on the TSS either as required by the application or as detailed in the component specification. The TSS shall be tested with the specified environmental conditions, such as temperature range and mounting configuration.

7.2.2 Standard atmospheric conditions

All room temperature electrical measurements, as well as recoveries followed by measurements, shall be carried out under the following conditions as recommended in Subclause 4.1 of IEC 60749-1:2002[11]:

- temperature: 20°C to 30°C;
- relative humidity 25 % to 75 %, where appropriate;
- air pressure 80 kPa to 106 kPa

Referee tests shall be carried out under the following standard atmospheric conditions (see 4.1 of IEC 60749-1:2002[11]):

- temperature: 24°C to 26°C;
- relative humidity 25 % to 75 %;
- air pressure 80 kPa to 106 kPa

Where the TSS parameters are tested over a temperature range, suitable values should be chosen from the list of recommended temperature values in IEC 60721-3-3:2019[6].

In the absence of special requirements, one of the following preferred semiconductor ambient temperature ranges should be used:

- normal 0 °C to 70 °C;
- extended –40 °C to 85 °C.

7.2.3 Measurement errors

Measurement errors can be caused by ground loops, common impedances, magnetic induction, electric induction and electromagnetic radiation. The voltage error caused by a circulating ground-loop current can be reduced by increasing the loop impedance. Normally this is done by clipping ferrite cores on to the probe cables. Common impedances can be avoided by using Kelvin contacts to the TSS for power and sense connections. Magnetic induction and inductive effects can be reduced by short lead lengths and minimizing the wiring loop area, possibly by using twisted wires. Electric induction (capacitive pick-up) can be removed by interposing a Faraday shield connected to a non-signal ground. Electromagnetic pick-up can be reduced by shielding and the techniques used for magnetic induction.

7.2.4 Measurement accuracy

Analogue oscilloscopes shall have rise times five times faster than the signal rise time. This ensures less than 2 % error in the displayed rise time. Digital oscilloscopes (refer to IEC 61083-1) shall have sample times at least $30/T_X$ where T_X is the time interval to be measured. A rated resolution of 0,4 % of full-scale deviation (2^{-8} full-scale deviation) or better is recommended for tests where only the impulse parameters are to be evaluated. For referee tests which require comparison of records, a rated resolution of 0,2 % of full-scale deviation (2^{-9} full-scale deviation) or better shall be used.

7.2.5 Designated impulse shape and values

The waveshape of an impulse is designated by a combination of two numbers. The first, represents the virtual front time (T_1) and the second the virtual time to half value on tail (T_2). It is written as T_1/T_2 , both in microseconds, the sign "/" having no mathematical meaning, see Annex A.

The quoted TSS current ratings are the short-circuit test generator values. Under test conditions, the actual thyristor current will be different, due to the interaction of the generator with the thyristor characteristic.

7.2.6 Multiple TSS

Where multiple TSS are packaged together, the application may simultaneously operate them. If the individual TSS parameters are significantly affected by the operation of the other TSS, then the testing shall emulate this condition as well as the single TSS operation.

7.2.7 Gated TSS testing

All fixed-voltage TSS tests shall be performed on a gated TSS to verify and determine the protection terminal performance. Gated TSS shall be tested with the appropriate values of gate bias voltage, V_{GG} , and of the network. Unless otherwise specified, the gate bias voltages used for testing shall be the maximum and minimum values of the intended application. For any tests where the gated TSS limits the voltage, the gate supply shall be low impedance (decoupled) and a TSS without internal gate blocking shall have an appropriately poled blocking diode connected directly in series with the gate terminal. When a gated TSS has been designed to give gate controlled and fixed-voltage protection, the fixed-voltage TSS tests shall also be performed with the gate open-circuited (i.e. $I_G = 0$).

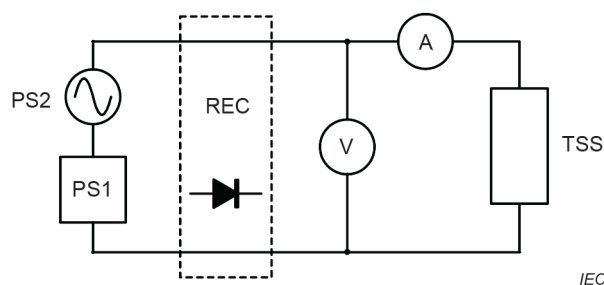
7.3 Rating test procedures

7.3.1 General

The overvoltage and overcurrent test levels used shall be from one or more of the IEC and ITU-T bibliographic references cited in the bibliography. These test levels may be modified to the final equipment level by including in the test circuit any of the surge coordinating components from the equipment.

7.3.2 Repetitive peak off-state voltage, V_{DRM}

The purpose of this test is to verify that the TSS maintains a high impedance off-state condition when continuously subjected to the rated repetitive peak off-state voltage. The rated value of repetitive peak off-state voltage, V_{DRM} , shall be applied across the TSS and the value of repetitive peak off-state current, I_{DRM} , measured during the test, conducted with a circuit functionally equivalent to Figure 7.



Key

TSS	TSS under test
A	ammeter, peak reading current monitor
V	voltmeter, mean, peak and AC reading
PS1	DC power supply set to the DC component of V_{DRM}
PS2	AC power supply set to the AC component of V_{DRM}
REC	full or half-wave rectifier circuit, used for unidirectional testing when the AC component of V_{DRM} reverses the polarity

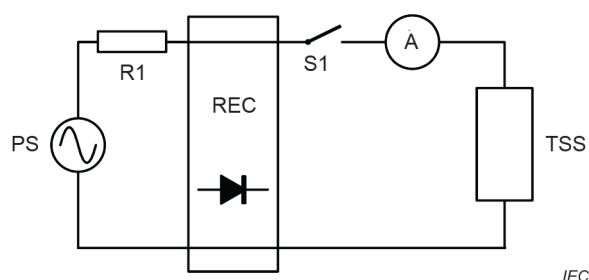
The measured current shall not exceed the maximum specified value of I_{DRM} . After the V_{DRM} test the TSS shall not fail any of its specified characteristics. The test duration shall be long enough to establish the desired confidence in TSS reliability. Each switching quadrant of the TSS shall be separately tested and measured.

Figure 7 – Test circuit for verifying repetitive peak off-state voltage (V_{DRM})

NOTE Large changes between pre- and post-test characteristics are a possible indication of TSS degradation.

7.3.3 Repetitive peak on-state current, I_{TRM}

The purpose of this test is to verify that the TSS can continuously conduct its rated repetitive peak (quasi-sinusoidal) on-state current without failure or exceeding the maximum rated junction temperature (see Figure 8).



Key

TSS	TSS under test
A	ammeter, peak reading current monitor
PS	AC power supply, set at specified voltage
R1	resistor, defines peak short-circuit current
S1	switch, closed to perform test
REC	full or half-wave rectifier circuit, connected for unidirectional testing

Figure 8 – Test circuit for verifying repetitive peak on-state current, I_{TRM}

The AC test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalents, of waveshape and waveshape peak value. The capability of the generator shall ensure that the TSS will always switch into the on-state. Unidirectional TSS which are not rated for bidirectional current operation will require a bridge or half-wave rectifier to be added to the AC voltage source for full or half wave testing. During the I_{TRM} test, a temperature sensitive TSS parameter, such as I_H , can be monitored by means of an oscilloscope whose current and voltage probes are connected to the TSS in the manner shown in Figure 9.

The average working junction temperature can be calculated from the measured parameter values, the parameter temperature coefficient and the TSS initial temperature. After the I_{TRM} test, the TSS shall not fail any of its specified characteristics. The test duration shall be long enough to establish the desired confidence in TSS reliability.

NOTE Large changes between pre- and post-test characteristics are a possible indication of TSS degradation.

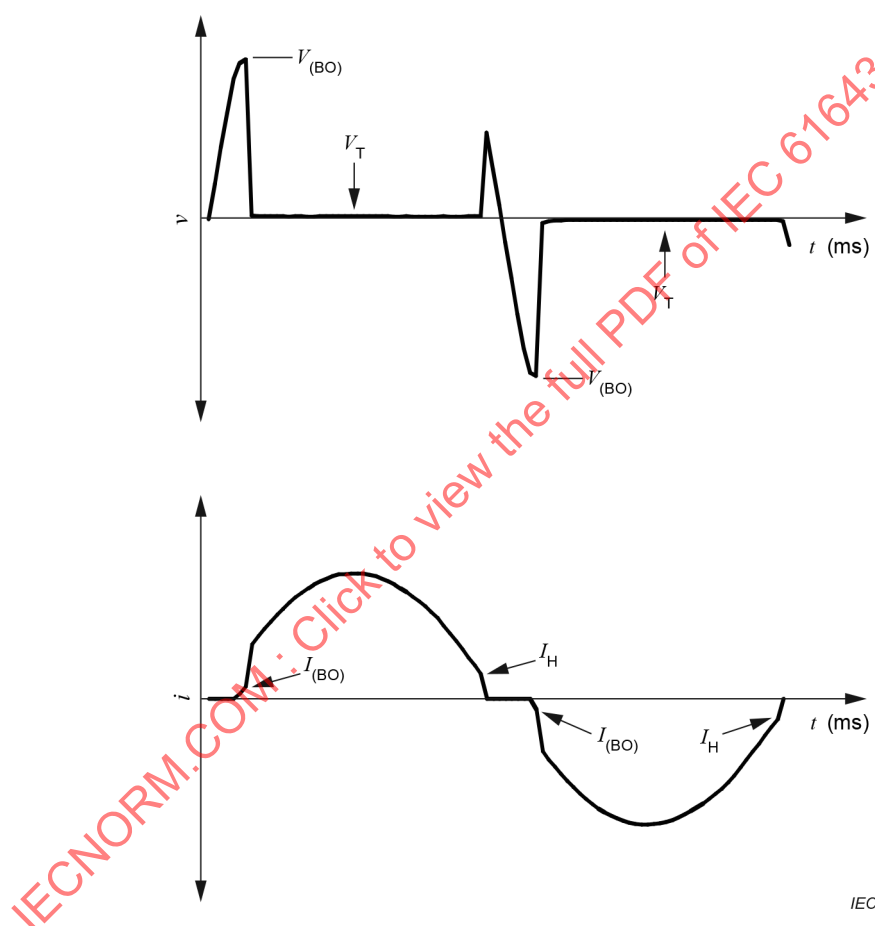
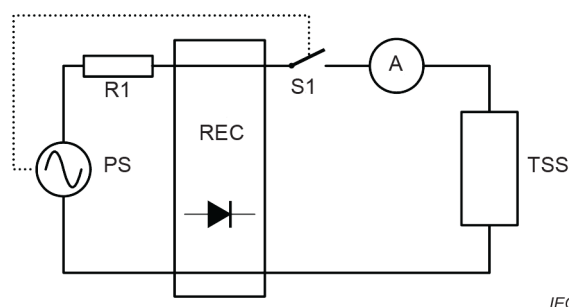


Figure 9 – Repetitive peak on-state current waveforms

7.3.4 Non-repetitive peak on-state current, I_{TSM}

The purpose of this test is to verify that the TSS can survive a specified duration of (quasi-sinusoidal) AC surge current without failure. The test circuit used shall be functionally equivalent to Figure 10.

**Key**

TSS	TSS under test
A	ammeter, peak reading current monitor
PS	AC power supply, set at specified voltage
R1	resistor, defines peak short-circuit current
S1	switch, closes for specified duration, operation synchronised to AC voltage zero crossings
REC	full or half-wave rectifier circuit, connected for unidirectional testing

Figure 10 – Test circuit for verifying non-repetitive peak on-state current, I_{TSM}

Switch S1 only opens or closes at the zero voltage crossings of the AC voltage source. This ensures that the TSS will be tested with half or full AC cycles. The AC test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of waveshape, waveshape peak value, and duration for which the switch S1 closes. The capability of the generator shall ensure that the TSS will always switch to the on-state. Unidirectional TSS which are not rated for bidirectional current operation, will require a bridge or half-wave rectifier to be added to the AC voltage source for full or half-wave testing. After switch S1 has operated for the specified test duration and the TSS has returned to thermal equilibrium conditions, the TSS shall not fail any of its specified characteristics.

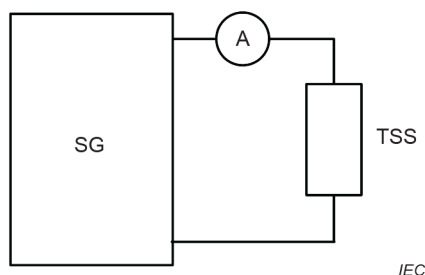
NOTE Large changes between pre- and post-test characteristics are a possible indication of TSS degradation.

The test duration may be specified as a time or number of AC cycles at a specified power frequency. A non-repetitive current rating test shall not be repeated until the TSS has returned to thermal equilibrium conditions. In the absence of special requirements, it is recommended that the TSS be capable of withstanding up to 100 such tests without failure during its lifetime. The I_{TSM} rating will vary with test duration time and several values may be needed to fulfil an application need; recommended time durations are one cycle at 0,1 s, 1 s and 10 s.

7.3.5 Non-repetitive peak pulse current, I_{PP}

The purpose of this test is to verify that a TSS can survive a specified impulse waveshape of short-circuit current amplitude I_{PP} without failure. The test circuit used shall be functionally equivalent to Figure 11. The impulse test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of waveshape and waveshape peak value. The capability of the generator shall ensure that the TSS will always switch to the on-state. After the impulse and after the TSS has returned to thermal equilibrium conditions, the TSS shall not fail any of its specified characteristics.

NOTE Large changes between pre- and post-test characteristics are a possible indication of TSS degradation.



Key

TSS	TSS under test
A	peak reading current monitor
SG	impulse generator with specified characteristics

Figure 11 – Test circuit for verifying non-repetitive peak pulse current, I_{PP}

Each switching quadrant of the TSS shall be separately tested and measured. A non-repetitive current rating test shall not be repeated until the thyristor has returned to thermal equilibrium conditions. In the absence of special requirements, it is recommended that the thyristor be capable of withstanding up to 100 such tests without failure during its lifetime. For the purpose of verification, a smaller number of tests may be preferred. The I_{PP} rating will vary with waveshape and several waveshape values may be needed to fulfil an application need. Annex A lists some waveshapes commonly used to test the TSS in telecommunication applications.

7.3.6 Repetitive peak reverse voltage, V_{RRM}

The purpose of this test is to verify that the TSS maintains a high impedance blocking state condition when continuously subjected to the rated repetitive peak reverse voltage. The rated value of repetitive peak reverse voltage, V_{RRM} , shall be applied across the TSS in its blocking direction and the value of repetitive peak reverse current, I_{RRM} , measured during the test using a circuit functionally equivalent to Figure 7. The measured current shall not exceed the maximum specified value of I_{RRM} . After the V_{RRM} test the TSS shall not fail any of its specified characteristics. The test duration shall be long enough to establish the desired confidence in TSS reliability.

NOTE Large changes between pre- and post-test characteristics are a possible indication of TSS degradation.

7.3.7 Non-repetitive surge forward current, I_{FSM}

The purpose of this test is to verify that the diode section of a forward or reverse conducting TSS can survive a specified duration of AC surge current without failure. The test method for non-repetitive peak on-state current, I_{TSM} (see 7.3.4 and Figure 10), shall be used for verifying the non-repetitive surge forward current, I_{FSM} . If the conduction period used is one full cycle or longer, then I_{TSM} (see 7.3.4) rather than I_{FSM} , is applicable. (I_{TSM} includes both diode and TSS conduction) After the I_{FSM} test and after the TSS has returned to thermal equilibrium conditions, the TSS shall not fail any of its specified characteristics.

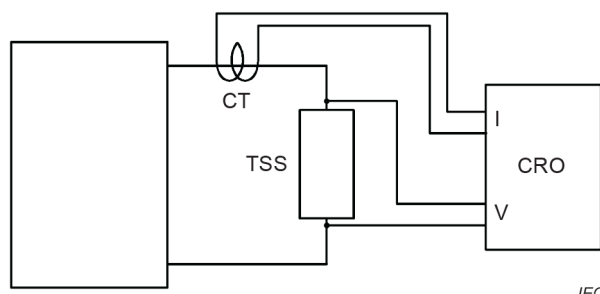
NOTE Large changes between pre- and post-test characteristics are a possible indication of TSS degradation.

7.3.8 Repetitive peak forward current, I_{FRM}

The purpose of this test is to verify that the diode section of a forward or reverse conducting TSS can continuously conduct the rated repetitive peak forward current without failure or exceeding the maximum rated junction temperature. The test method for repetitive peak on-state current, I_{TRM} (see 7.3.3 and Figure 8), shall be used for verifying the repetitive peak forward current, I_{FRM} . In the absence of special requirements, it is recommended that I_{TRM} shall be specified instead of I_{FRM} , where I_{TRM} includes both diode and thyristor conduction.

7.3.9 Critical rate of rise of on-state current, di/dt

The purpose of this test is to verify that a TSS can survive a fast rising current, as may occur on the wavefront of an impulse. The test circuit used shall be functionally equivalent to Figure 12.



Key

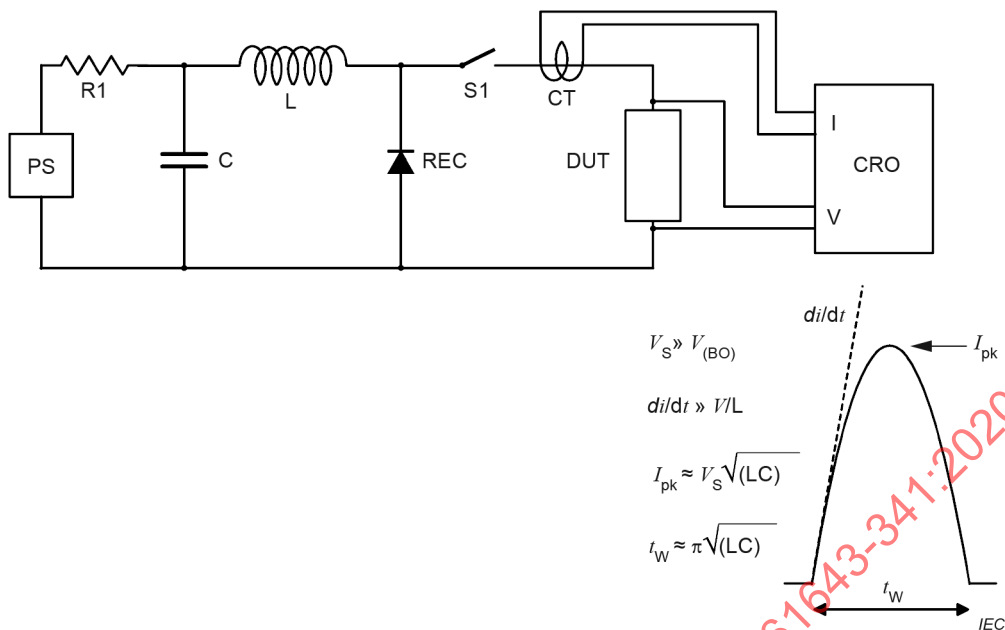
TSS	TSS under test
CT	current transformer or equivalent
RG	ramp generator with specified di/dt
CRO	dual-channel oscilloscope or equivalent

Figure 12 – Test circuit for verifying critical rate of rise of on-state current (di/dt)

Voltage, V , and current, I , monitors (typically a digital or storage oscilloscope with voltage and current probes) are used to record the circuit conditions. After applying the di/dt impulse to the thyristor, and when it has returned to thermal equilibrium conditions, the thyristor shall not fail any of its specified characteristics. (Large changes between pre- and post-test characteristics are a possible indication of thyristor degradation.)

The di/dt test generator shall be specified for wavefront di/dt and peak (crest) current and waveshape (normally the wave tail will be relatively short). It is essential that the correct waveform is used for this test and the thyristor manufacturer should be contacted for the test circuit and waveform details. In the absence of special requirements, it is recommended that a generator based on the standard thyristor di/dt test circuit be used. The basic circuit diagram and its waveforms are shown in Figure 13.

Each switching quadrant of the TSS shall be separately tested and measured. A non-repetitive current rating test shall not be repeated until the thyristor has returned to thermal equilibrium conditions. In the absence of special requirements, it is recommended that the thyristor shall be capable of withstanding up to 100 such tests, in each test polarity, without failure, during its lifetime. For the purpose of verification a smaller number of tests may be preferred.



Key

TSS	TSS under test
CT	current transformer or equivalent
PS	DC power supply, set to V_S
R1	resistor, limits charging current
S1	switch, closes to start test; opens at current zero crossing
REC	rectifier circuit, conducts negative current
C	capacitor, energy storage and timing
L	inductor, sets di/dt
CRO	dual-channel oscilloscope or equivalent

Figure 13 – Half sine-wave di/dt test circuit

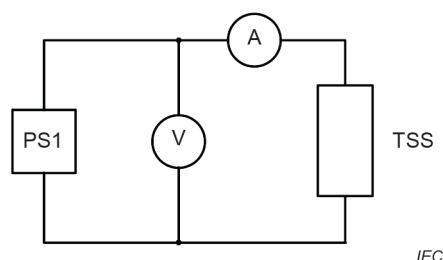
7.4 Characteristic test procedures

7.4.1 General

The overvoltage and overcurrent test levels used to establish the protection voltage shall be from one or more of the IEC and ITU-T bibliographic references cited in Annex E. These test levels may be modified to the final equipment level by including in the test circuit any of the surge coordinating components from the equipment.

7.4.2 Off-state current, I_D

The purpose of this test is to determine the off-state current of a TSS when biased at a specified DC off-state voltage. The test circuit used shall be functionally equivalent to Figure 14. The voltage output of the DC supply shall be ramped from zero to the specified value of DC off-state voltage, V_D , at a rate below the minimum value of the critical rate of rise of off-state voltage. The DC voltage is applied until the value of off-state current, I_D , stabilises. The final value of I_D shall be measured. Unless specified otherwise, each switching quadrant of the TSS shall be separately tested and measured.

**Key**

TSS	TSS under test
A	microammeter
V	DC voltmeter
PS1	DC power supply ramped to V_D

Figure 14 – Test circuit for off-state current, I_D at V_D

7.4.3 Repetitive peak off-state current, I_{DRM}

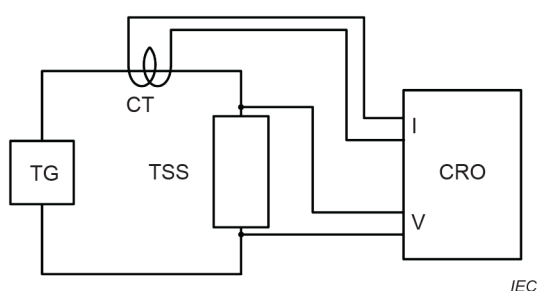
The purpose of this test is to determine the peak off-state current of a TSS when biased at the specified repetitive peak off-state voltage. The rated value of the repetitive peak off-state voltage, V_{DRM} , shall be impressed across the thyristor and the value of thyristor repetitive peak off-state current, I_{DRM} , measured during the test using a circuit functionally equivalent to Figure 7. Unless specified otherwise, each switching quadrant of the TSS shall be separately tested and measured.

7.4.4 Repetitive peak reverse current, I_{RRM}

The purpose of this test is to determine the peak reverse current of a reverse blocking TSS when biased at the specified repetitive peak reverse voltage. The rated value of repetitive peak reverse voltage, V_{RRM} , shall be applied across the thyristor in its blocking quadrant and the peak value of thyristor repetitive peak reverse current, I_{RRM} , measured during a test using a circuit functionally equivalent to Figure 7.

7.4.5 Breakover voltage, $V_{(BO)}$ and current, $I_{(BO)}$

The purpose of this test is to determine the breakover of a TSS at a specified ramp rate. The test circuit used shall be functionally equivalent to Figure 15. The test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of rate of rise, waveshape, waveshape peak value, and, for AC testing, duration. Alternatively, the test generator circuit diagram shall be given. The peak voltage, $V_{(BO)}$, that occurs across the TSS in switching from the off-state to the on-state shall be measured (see Figure 16 to Figure 19). For multiple cycle AC testing, the measured value shall be the highest value of all individual cycle $V_{(BO)}$ values. The corresponding instantaneous thyristor current, $I_{(BO)}$, at $V_{(BO)}$ shall also be measured for a power frequency voltage ramp rate (see Figure 17 and Figure 19).



Key

TSS TSS under test

CT DC current probe or equivalent

TG test generator with specified characteristics switching TSS from off-state to on-state

CRO dual channel oscilloscope or equivalent

EXAMPLE The test generator, TG, used to obtain figures 16 to 19 consists of a current source and a shunt $300\ \Omega$ resistor. Starting from zero, the current source ramped to 3 A at 3, 33 A/ms (1 000 V/ms open-circuit voltage); the current then stepped to 5 A for 200 μ s before dropping down to 2 A, after which the current ramped to zero at a rate of 0,2 A/ms. This "sequence" test exercises the component around its characteristic, enabling measurement of $V_{(BO)}$, $I_{(BO)}$, V_S , I_S , V_T and I_H values, as appropriate, for the component.

Figure 15 – Test circuit for breakover, $V_{(BO)}$ and $I_{(BO)}$ and on-state voltage, V_T

Figure 16 to Figure 19 show the switching quadrant voltage and current waveforms of the two TSS types: fixed-voltage and gated. Expanded sections of the overall wave form detail the clamping, on-state and switch-off conditions. (Figure 5 shows the two thyristor types (fixed voltage and gated) in terms of the principal voltage-current switching characteristic) The waveforms shown illustrate the thyristor type generic waveshapes and these should not be taken as typical values.

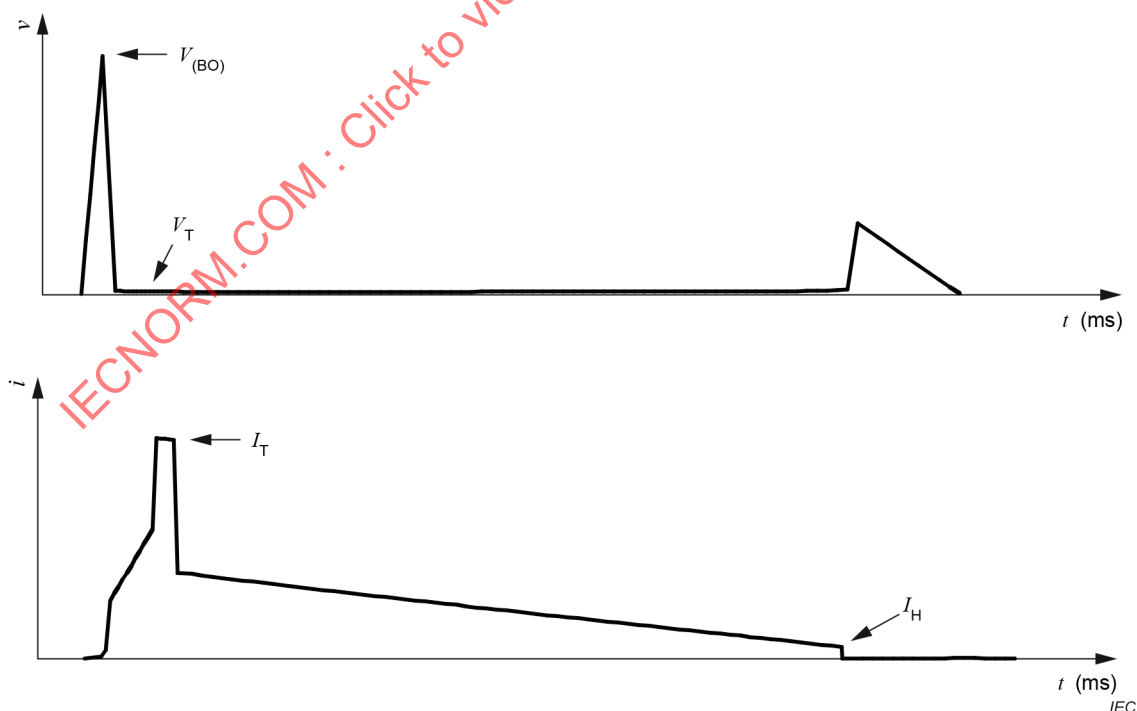


Figure 16 – Voltage and current waveforms versus time for a fixed-voltage TSS showing switch-on, on-state and switch-off events

Each switching quadrant of the TSS shall be separately tested and measured. Multiple cycle AC testing of unidirectional TSS shall be carried out with either full wave or half wave rectified AC, as required by the application. The $V_{(BO)}$ and $I_{(BO)}$ values will vary with rate of rise and several ramp rates may be needed to fulfil an application need. In the absence of special requirements, it is recommended that one or more of the rates of rise shown in Table 2 be used for testing.

Table 2 – Breakover ramp rate test values

Application	dv/dt (open-circuit)	Source resistance R	di/dt (short-circuit)
Slow ramp	4 V/ms	500 Ω (positive slope) 4 000 Ω (negative slope)	8 mA/ms 1 mA/ms
AC	250 V/ms	250 Ω	1 A/ms
Slow wavefront impulse	100 V/ μ s	100 Ω	1 A/ μ s
Fast wavefront impulse	1 000 V/ μ s	100 Ω	10 A/ μ s

7.4.6 On-state voltage, V_T

The purpose of this test is to determine the on-state voltage of a TSS at a specified current; this voltage value is used to calculate the on-state power loss. The test circuit used shall be functionally equivalent to Figure 15. The test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of waveshape and waveshape peak value. Alternatively, the test generator circuit diagram shall be given.

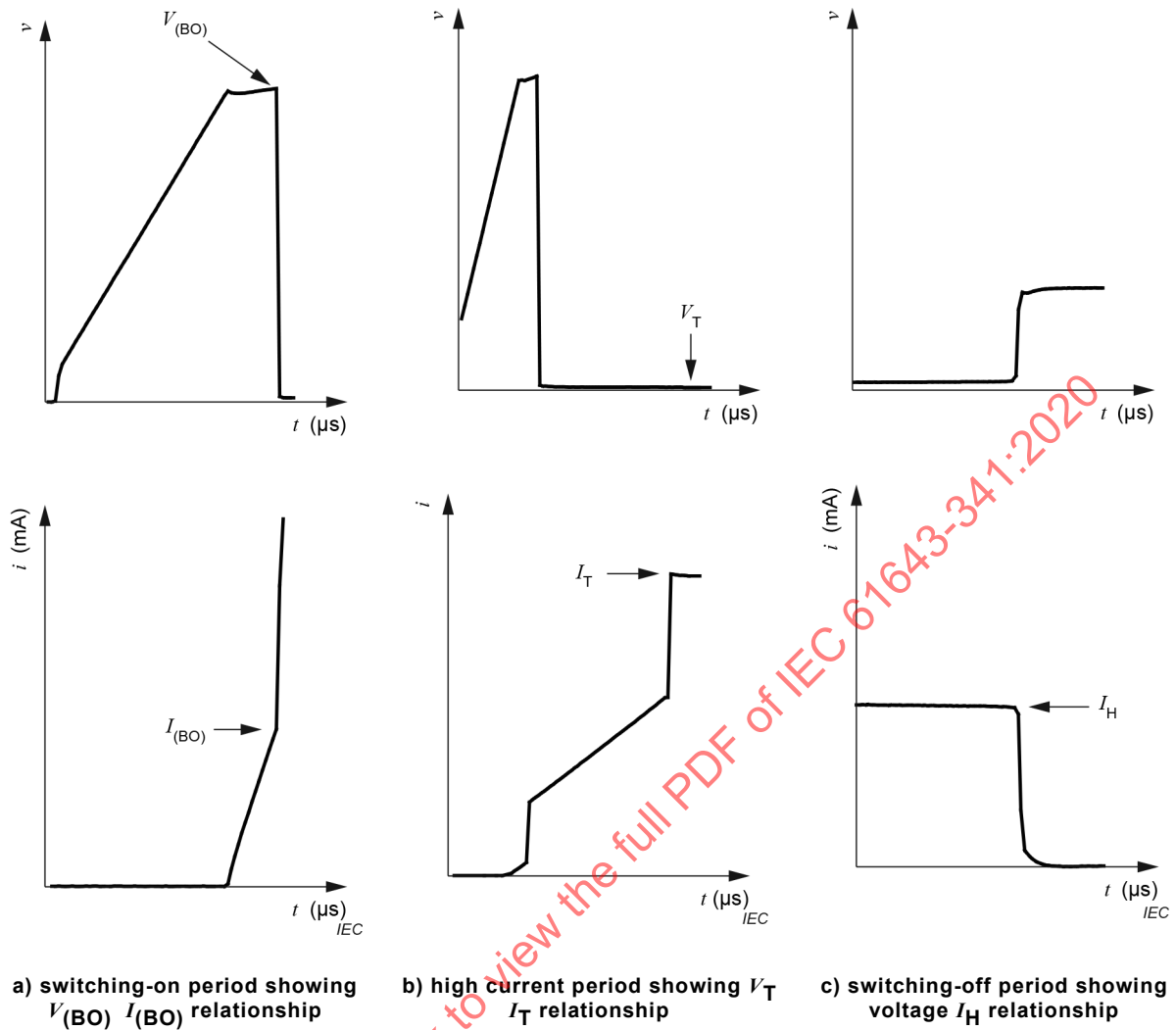


Figure 17 – Waveform expansions of Figure 16

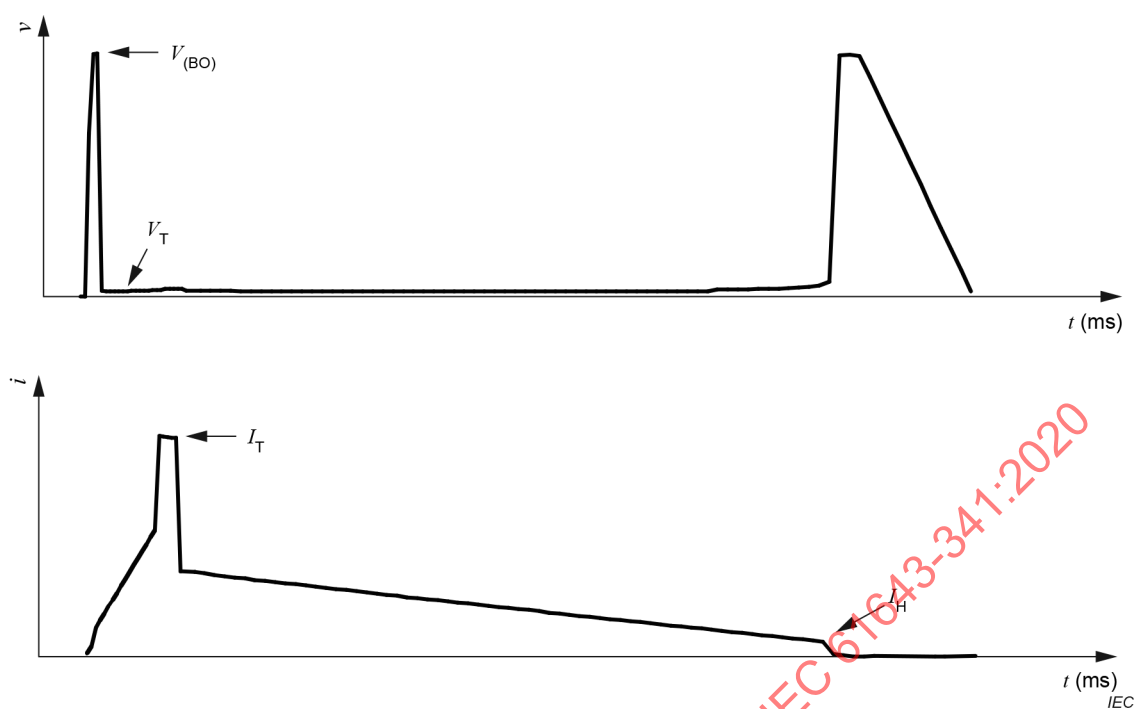


Figure 18 – Voltage and current waveforms versus time for a gated TSS showing switch-on, on-state and switch-off events

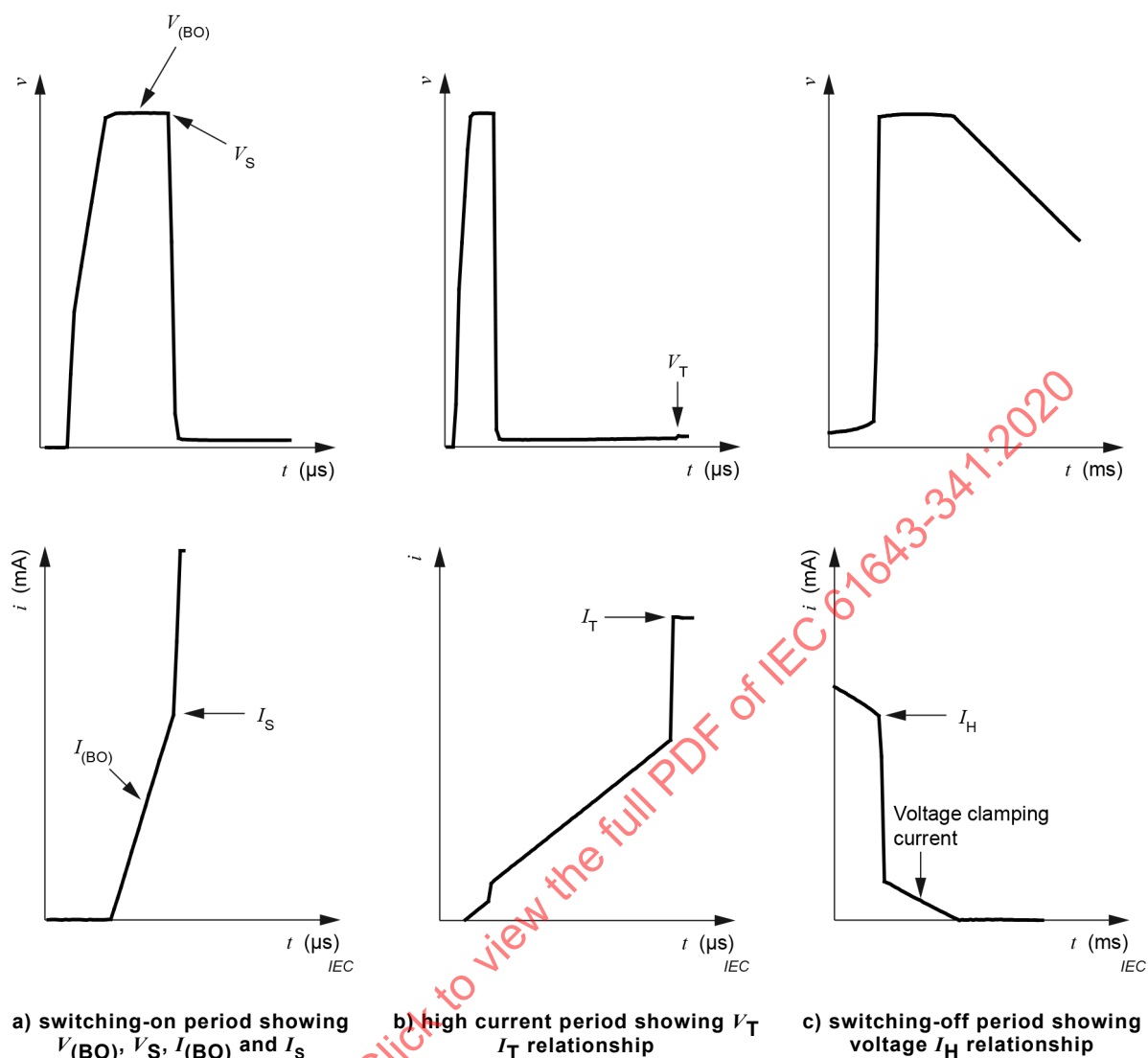
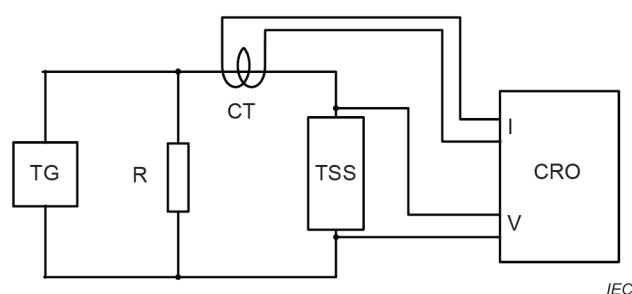


Figure 19 – Waveform expansions of Figure 18

The generator shall switch the TSS into the on-state condition and the value of on-state voltage, V_T , shall be measured at a specified time and value of on-state current, I_T (see V_T waveforms of Figure 17 and Figure 19).

Each switching polarity of the TSS shall be separately tested and measured. The value of V_T will vary with the value of I_T and time. A low and high current value of V_T may be required to cover AC and impulse operation.

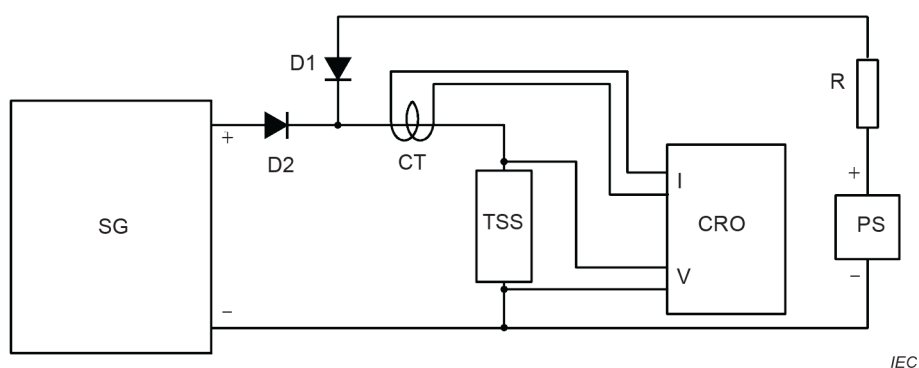
**Key**

TSS	TSS under test
CT	DC current probe or equivalent
TG	test generator with specified characteristics switching TSS to a specified on-state current, I_T , and then reducing the current at a specified di/dt to cause switch-off
R	resistor to define source resistance (if required)
CRO	dual channel oscilloscope or equivalent

Figure 20 – Test circuit for holding current, I_H **7.4.7 Holding current, I_H**

The purpose of this test is to determine the holding current of a TSS. The test circuit used shall be functionally equivalent to Figure 20. The test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of waveshape, and waveshape peak value. The generator shall switch the TSS into a specified on-state condition and then ramp down the on-state current until the thyristor switches off (see I_H waveforms of Figure 17 and Figure 19). Switch-off is determined when the thyristor voltage value exceeds a specified threshold level. The instantaneous value of the extrapolated ramp when this occurs is measured as the holding current. This established approach measures the current at which the thyristor switches off, rather than the current at which the thyristor just maintains its on-state. In most applications, the need is for a switching value rather than a holding value.

When an impulse generator is used as the test generator, its output voltage may be too low at the holding current level for adequate discrimination of the switch-off point. To increase the switch-off voltage level, the generator and a current (less than the minimum specified value of I_H) from a DC voltage supply ($< V_{DRM}$) should be connected via diodes D2 and D1 respectively to the TSS (see Figure 21, diodes D2 and D1 prevent any reverse current flow into either the PS or SG). Each switching quadrant of the TSS shall be separately tested and measured.



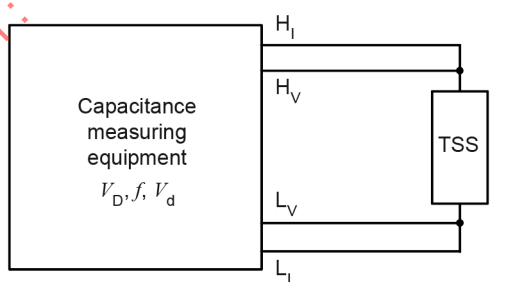
Key

- TSS TSS under test
- CT DC probe or equivalent
- SG impulse generator with specified characteristics
- PS DC voltage power supply, set to specified voltage
- R resistor to define DC source resistance
- D1 isolating diode for PS
- D2 isolating diode for SG
- CRO dual channel oscilloscope or equivalent

Figure 21 – Test circuit for holding current with additional DC bias

7.4.8 Off-state capacitance, C_o

The purpose of this test is to determine the off-state capacitance of a TSS under specified conditions. The test circuit used shall be functionally equivalent to Figure 22. The TSS off-state capacitance, C_o , shall be measured at specified DC (V_D) and AC (V_d and f) bias levels. In the absence of special requirements, it is recommended that an AC bias level of $V_d = 1$ V rms at a frequency of $100 \text{ kHz} < f < 1 \text{ MHz}$ be used. The DC bias level should be -2 V and any other levels that are representative of the intended application.

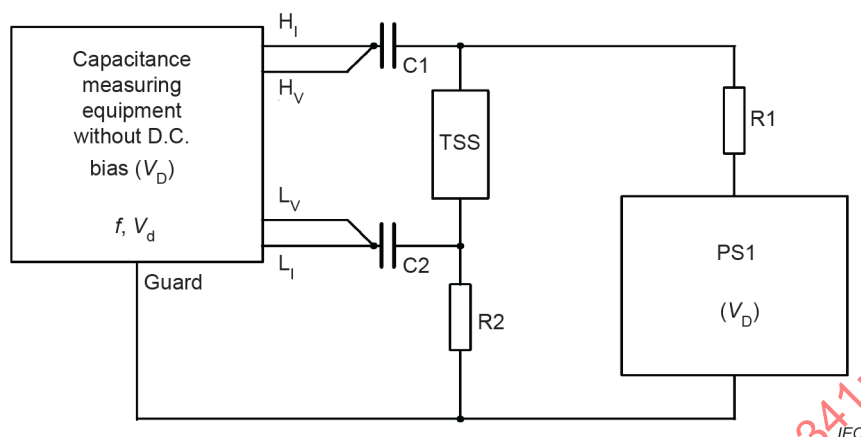


Key

- TSS TSS under test
- H_v H_i , voltage sense
- H_i H_i , current feed
- L_v L_o , voltage sense
- L_i L_o , current return

Figure 22 – Test circuit for capacitance measurement

If the capacitance measuring equipment cannot supply the required DC bias voltage, the circuit arrangement shown in Figure 23 can be used.

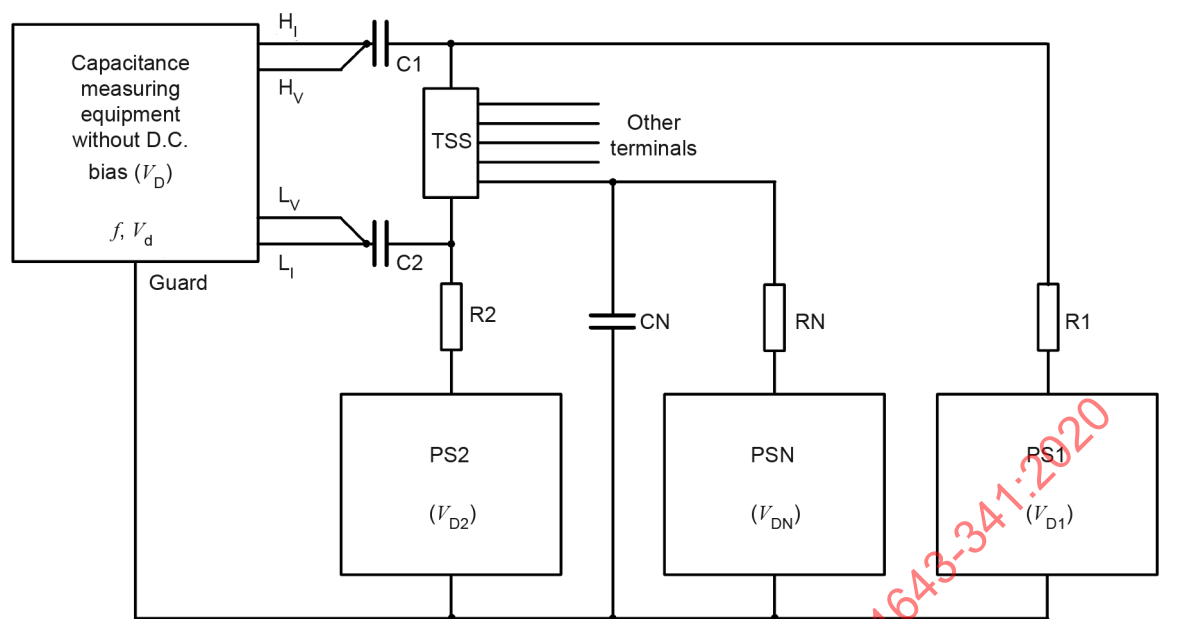


Key

- TSS TSS under test
- C1, C2 DC blocking capacitors, $C1 = C2 \gg C_o$
- R1, R2 DC feed resistors, $R1 = R2 \ll V_D / I_D$
- PS1 variable voltage DC power supply set to V_D
- H_V H_I , voltage sense
- H_{II} H_I , current feed
- L_V L_X , voltage sense
- L_I L_O , current return
- Guard Guard ground terminal (nulls components connected to the terminal from the measurement)

Figure 23 – Test circuit for capacitance measurement with external DC bias

Where a TSS has three terminals, the unmeasured terminal shall be nulled from the capacitance measurement and DC biased at levels that are representative of the intended application (see Figure 24). The same measurement technique may be used for multiple TSS, which are packaged together and have four or more terminals, provided the nulled elements are directly between the measured and nulled terminals (see Figure 24). This measurement technique will not work if more than one of the nulled elements connect to an internal (non-terminal) node of the measured terminal pair.



IEC

Key

TSS	TSS under test
C1, C2...CN	DC blocking capacitors, $C1 = C2...=CN \gg C_O$
R1, R2...RN	DC feed resistors, $R1 = R2...=RN \ll V_D / I_D$
PS1, PS2...PSN	variable voltage DC power supply set for $V_{D1}, V_{D2}, \dots V_{DN}$
H_V	H_I , voltage sense
H_I	H_X , current feed
L_V	L_O , voltage sense
L_I	L_O , current return
Guard	guard ground terminal (nulls components connected to the terminal from the measurement)

Figure 24 – Test circuit for capacitance measurement of multi-terminal TSS

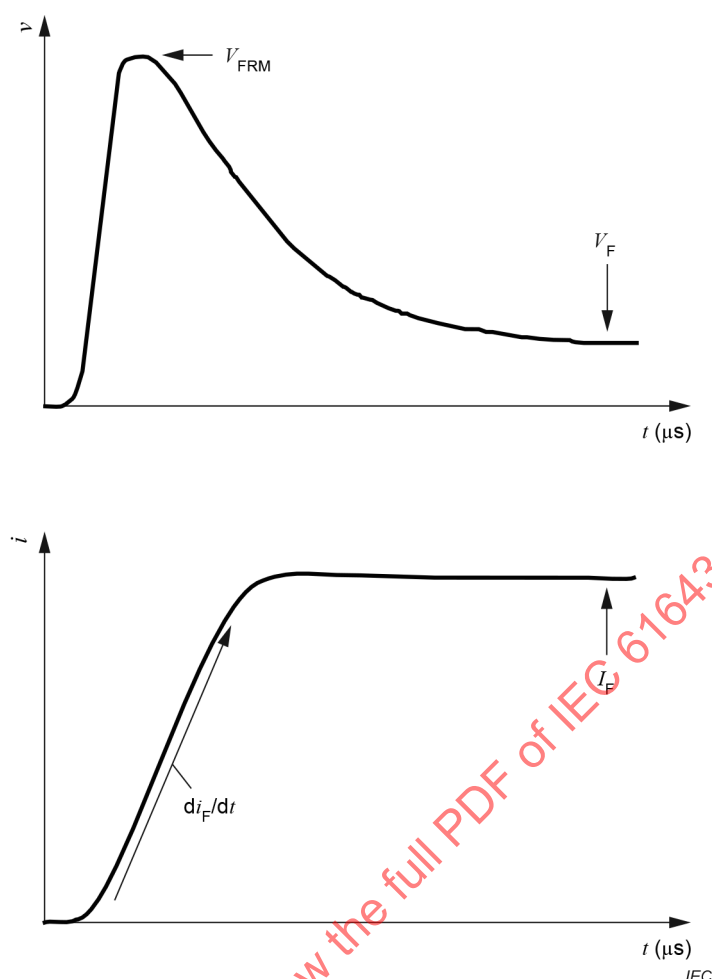


Figure 25 – Diode voltage and current waveforms versus time showing V_{FRM} and rising current di/dt

7.4.9 Forward voltage, V_F

The purpose of this test is to determine the forward voltage of a forward conducting TSS at a specified current; this voltage value is used to calculate the forward power loss. The test circuit and waveforms used shall be consistent with those used for the determination of on-state voltage, V_F (Figure 15). The generator shall switch the TSS into forward conduction and the value of forward voltage, V_F , shall be measured at a specified time or value of forward current, I_F . Rapidly rising current waveforms may generate an additional forward recovery voltage; this should not be included in the V_F measurement (see Figure 25).

A low and high current value of V_F may be required to cover AC and impulse operation.

7.4.10 Peak forward recovery voltage, V_{FRM}

The purpose of this test is to determine the peak forward voltage of a forward conducting TSS under the condition of a fast rising current wavefront; this voltage value is the maximum stress on the protected circuitry. The test circuit and levels used shall be consistent with those used for the determination of fast impulse breakover voltage, V_{BO} (see Figure 15). The generator shall switch the diode section on at a specified rate of forward current rise, dI_F/dt , and the value of peak forward recovery voltage, V_{FRM} , shall be measured (see Figure 25). In the absence of special requirements, it is recommended that the fast impulse rate of rise shown in Table 2, 1 000 V/μs and 10 A/μs, shall be used for testing.

7.4.11 Critical rate of off-state voltage rise, dv/dt

The purpose of this test is to verify that the TSS will not turn on as a result of fast rising system voltages with peak amplitudes less than the V_{DRM} rating. A specified voltage ramp equal to the minimum value of critical dv/dt and of amplitude V_{DRM} shall be applied to the unenergized TSS. The peak ramp voltage shall be maintained for a period of at least 50 μs . The TSS shall not switch on, even partially, during the test. The voltage ramp can be of exponential or linear. For the exponential ramp of Figure 26, the dv/dt value is calculated as $0,632 \cdot V_{\text{DRM}}/t$.

where

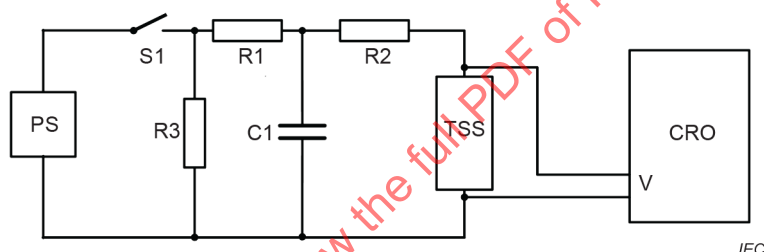
t is the time from the ramp start until the voltage rises to $0,632 \cdot V_{\text{DRM}}$.

For a linear ramp, the dv/dt value is calculated as $0,8 \cdot V_{\text{DRM}} / (t_{90} - t_{10})$

where

t_{10} and t_{90} are the times at which the voltage has risen to $0,1 \cdot V_{\text{DRM}}$ and $0,9 \cdot V_{\text{DRM}}$, respectively.

Each switching polarity of the TSS shall be separately tested and measured



Key

TSS	TSS under test	R2	current limit resistor if TSS switches
PS	DC voltage power supply	R3	discharge resistor after S1 opens
S1	start test switch	C1	charging capacitor
R1	charging resistor	CRO	oscilloscope or equivalent

Figure 26 – Test circuit for exponential critical rate of off-state voltage rise, dv/dt

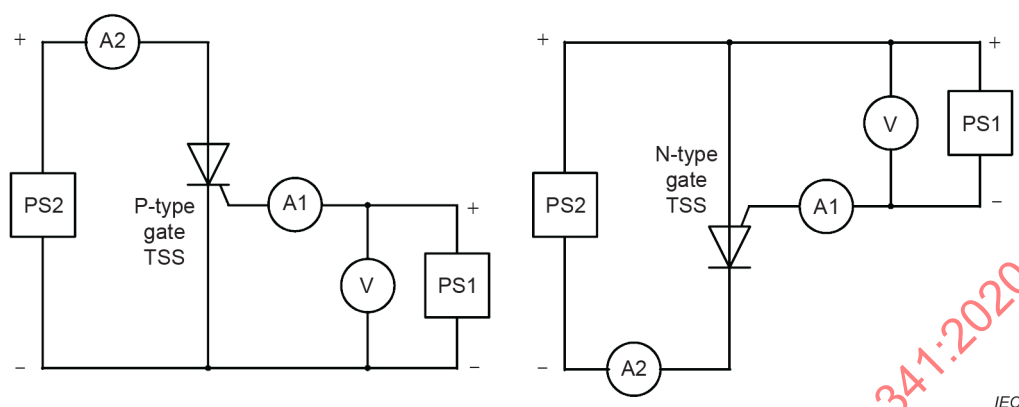
7.4.12 Variation of holding current with temperature

The purpose of this test is to determine how the holding current, I_H of a TSS, varies with temperature to ensure that the thyristor will always switch off. The value of I_H (see 7.4.7) shall be measured over the specified operating temperature range and expressed as a graph of current versus temperature.

7.4.13 Gate-to-adjacent terminal peak off-state voltage and peak off-state gate current, V_{GDM} , I_{GDM}

The purpose of this test is to determine the maximum value of gate-to-adjacent terminal voltage of a TSS that will maintain the protection terminals in a high impedance off-state condition at a specified voltage. Using the appropriate circuit of Figure 27, the specified value of V_D shall be applied across the thyristor protection terminals and the value of gate-to-adjacent terminal voltage increased from zero until the protection terminal current, I_D , reaches its specified value. The measured value of gate-to-adjacent terminal voltage is V_{GDM} and the measured gate current is I_{GDM} .

Each gated switching polarity of the TSS shall be separately tested and measured. The repetitive peak off-state voltage of a gated TSS is $V_{GG} + V_{GDM}$; this is equivalent to a fixed-voltage TSS V_{DRM} .



Key

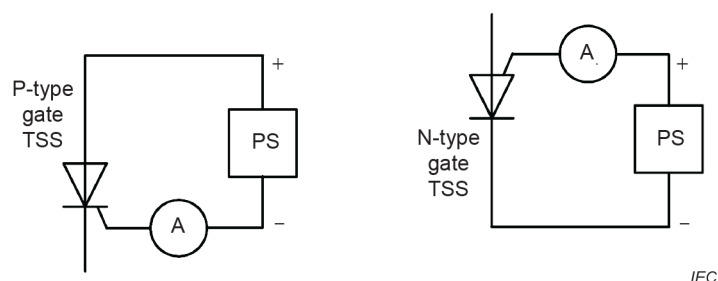
TSS	TSS under test
A1	ammeter, measures gate current
A2	ammeter, I_D monitor
V	voltmeter, measures gate to adjacent terminal voltage
PS1	variable DC voltage supply, set for a specified value of I_D
PS2	DC voltage power supply, set to V_D

Figure 27 – Test circuit for gate-to-adjacent terminal peak off-state voltage and current, V_{GDM} and I_{GDM}

7.4.14 Gate reverse current, adjacent terminal open, I_{GAO} , I_{GKO}

The purpose of this test is to determine the current drain on the gate terminal voltage supply when the adjacent terminal is open-circuited. Using the appropriate circuit of Figure 28, the specified value of gate bias, V_{GG} , shall be applied to the gate and the current through the gate measured. This test determines the reverse gate to anode off-state current, I_{GAO} , of a P-gate thyristor with the cathode terminal open or the reverse gate to cathode off-state current, I_{GKO} , of an N-gate thyristor with the anode open.

Each gated switching polarity of the TSS shall be separately tested and measured.



Key

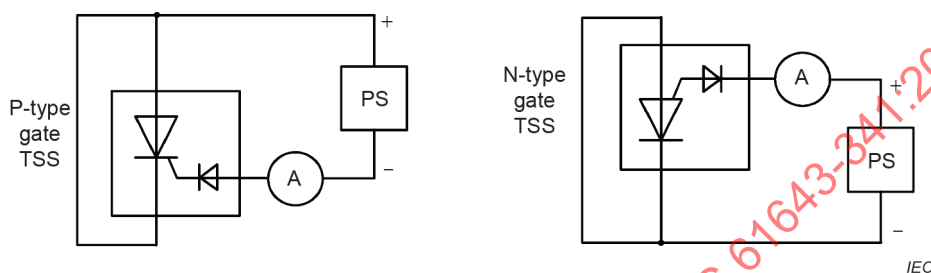
TSS	TSS under test
A	ammeter, for reverse gate current
PS	DC power supply, set at specified gate voltage, V_{GG}

Figure 28 – Test circuit for gate reverse current, adjacent terminal open, I_{GAO} , I_{GKO}

7.4.15 Gate reverse current, main terminals short-circuited, I_{GAS} , I_{GKS}

The purpose of this test is to determine the current drain on the gate terminal voltage supply when the adjacent terminal is shorted to the other protection terminal. Using the appropriate circuit of Figure 29, the specified value of gate bias, V_{GG} , shall be applied to the gate and the current through the gate measured. This test determines the reverse gate off-state current, I_{GAS} , of a P-gate thyristor with the cathode shorted to the anode or the reverse gate off-state current, I_{GKS} , of an N-gate thyristor with the anode shorted to the cathode.

Each gated switching polarity of the TSS shall be separately tested and measured. This test is specific to thyristors with integrated gate blocking diodes.



Key

TSS	TSS under test
A	ammeter, for reverse gate current
PS	DC power supply, set at specified gate voltage, V_{GG}

Figure 29 – Test circuit for gate reverse current, main terminals short-circuited, I_{GAS} , I_{GKS}

Annex A (informative)

Common impulse waveshapes

A.1 General

This Annex covers:

- Types of impulse generator
- Impulse generator parameters
- Impulse generators typically used for surge protector testing

A.2 Types of impulse generator

Impulse generators can be classified into three types:

- Generators with a defined voltage waveform typically used for high-voltage insulation testing
- Generators with a defined current waveform typically used for high-current component and thyristor testing
- Generators with defined voltage and current waveforms. These generators can be subdivided into:
 - Circuit defined generators
 - Waveform defined generators

A.3 Impulse generator parameters

A.3.1 Glossary of terms

The following terms are used in this Annex to describe the impulse and generator parameters.

A.3.1.1

virtual front time

T_1

<voltage impulse> 1/0,6 times the interval T between the instants when the impulse is 30 % and 90 % of the peak value [1]

<surge current impulse> 1,25 times the interval T between the instants when the impulse is 10 % and 90 % of the peak value [16]

Note 1 to entry: Some standards use the 10 % and 90 % front time measurement for the voltage impulse.

A.3.1.2

virtual origin

O_1

<impulse voltage waveform> instant at which a straight line drawn through the 30 % and 90 % amplitude values crosses the time axis [1]

<impulse current waveform> instant at which a straight line drawn through the 10 % and 90 % amplitude values crosses the time axis [16]

A.3.1.3

virtual time to half-value

T_2

interval of time between the instant of virtual origin O_1 and the instant when the voltage or current has decreased to half the peak value [1], [16]

A.3.1.4

designation of an impulse shape

combination of two numbers, the first representing the virtual front time (T_1) and the second the virtual time to half-value on the tail (T_2) [4]

Note 1 to entry: It is written as T_1/T_2 , both in microseconds, the sign "/" having no mathematical meaning.

Note 2 to entry: Some standards use alternative designations such as A/B or $T_1 \times T_2$.

Note 3 to entry: Combination wave generators have both voltage and current impulse designations given separated by a hyphen e.g. 1,2/50-8/20.

Note 4 to entry: Waveshapes defined as maximum front time and minimum time to half value are expressed as $<T_1/> T_2$.

A.3.1.5

undershoot

peak value of an impulse voltage or current that passes through zero in the opposite polarity of the initial peak [17]

A.3.1.6

charge (impulse)

time integral of the impulse current

A.3.1.7

I^2t (impulse)

time integral of the square of the impulse current

Note 1 to entry: I^2t is called the action integral for atmospheric lightning, joule integral for fuses and specific energy (W/R) for AC surge protectors.

Note 2 to entry: The units for I^2t are A^2s , but assuming the current flows in a virtual 1 Ω resistor may be expressed in energy units J (fuses) or W/Ω (AC surge protectors).

A.3.1.8

combination wave generator

generator with 1,2/50 μs open-circuit voltage waveform and respectively 8/20 μs short-circuit current waveform

A.3.1.9

effective impedance (impulse generator)

quotient of the generator open-circuit peak voltage value and the generator short-circuit peak current value

Note 1 to entry: Some standards use the alternative term fictive impedance.[15]

A.3.2 Virtual parameters

This clause covers the virtual (calculated) waveform parameters and their applicability. Figure A.1 shows an impulse designation based on the extrapolation of the 10 % to 90 % front-time levels. All current lightning surge impulses in this document use the 10 % to 90 % front-time designation. The Telcordia $<2/>10$, $<10/>250$, $<10/>360$ and $<10/>1\ 000$ [21] impulse generators uniquely use the 10 % to 90 % front-time designation for the voltage impulse. All other impulse generators use a 30 % to 90 % front-time designation for the voltage impulse. The 8/20 current waveform is not necessarily unidirectional and has a maximum undershoot value specified.

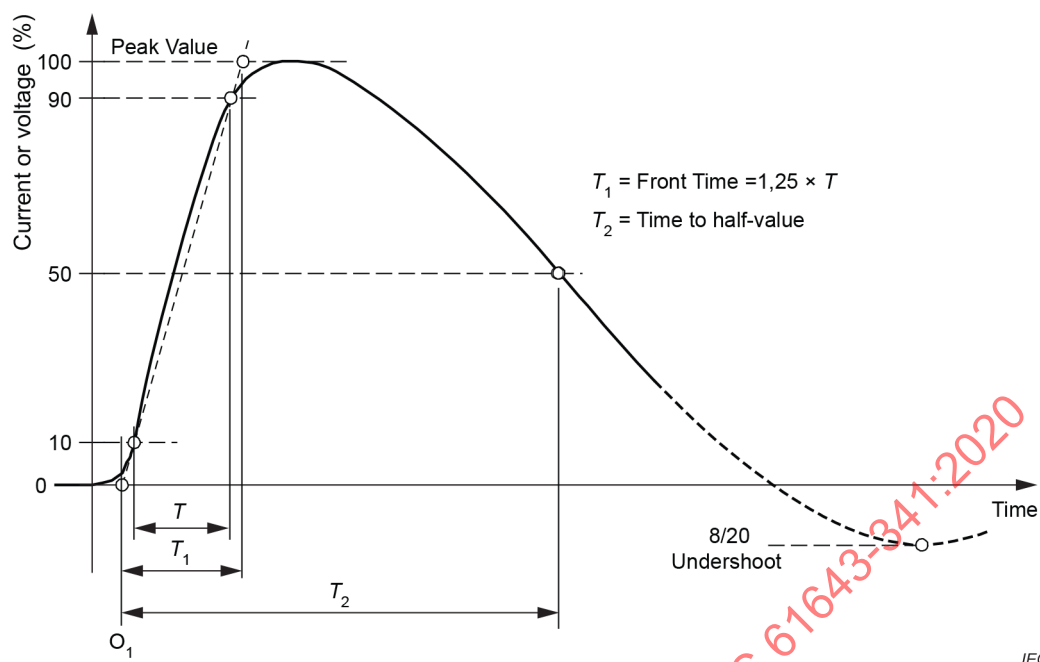


Figure A.1 – Current or voltage impulse amplitude versus time showing a 10 % to 90 % T_1 front time and T_2 time to half value

Figure A.2 shows a voltage impulse designation based on the extrapolation of the 30 % to 90 % front-time. All 30 % to 90 % front-time designated voltage impulses use nominal time values. The 30 % to 90 % front-time measurement is used to give more consistent measurement values. The start of the voltage impulse often includes high frequency noise resulting from the generator switch closure. The waveform ringing could extend into the 10 % amplitude region, causing variations in the 10 % to 90 % front-time measurement. Moving the 10 % level to 30 % avoided these initial aberrations.

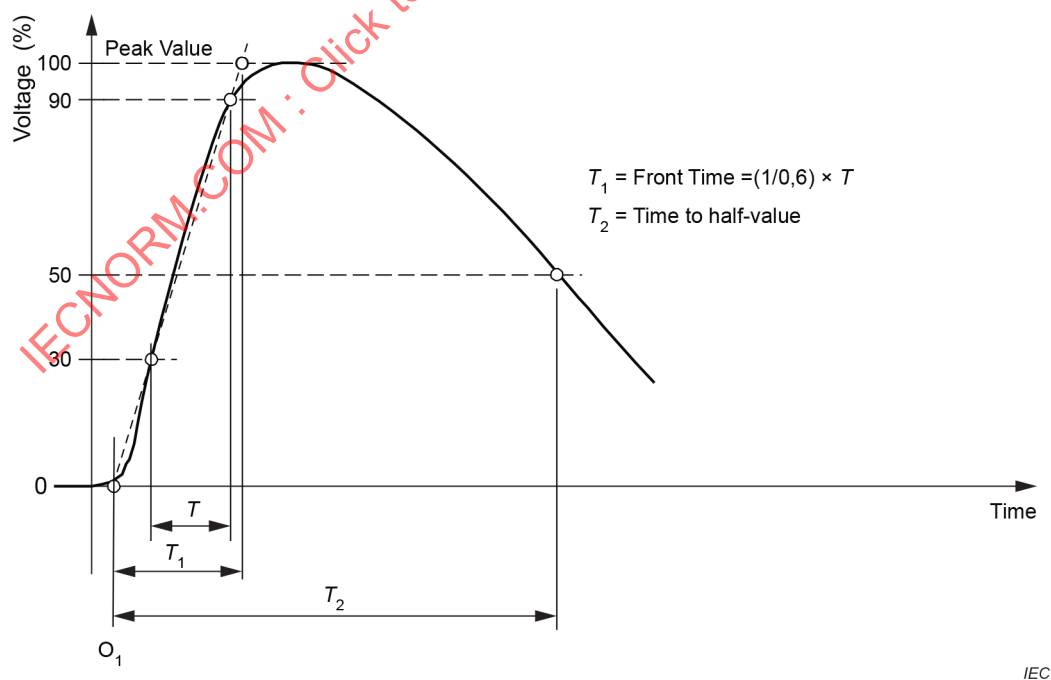


Figure A.2 – Voltage impulse amplitude versus time showing a 30 % to 90 % T_1 front time and T_2 time to half value

A.4 Impulse generators typically used for surge protector testing

A.4.1 General

This clause lists commonly used or referenced impulse generators. Table A.1, Table A.2 and Table A.3 cover generator types with voltage, current and voltage & current defined waveforms. A bibliographic reference is given for each designation of generator. Where there are duplicate designations, the most commonly used one is indicated.

A.4.2 Impulse generators with a defined voltage waveform

These generators are used for the high-voltage insulation/dielectric testing of components, devices and equipment. Capacitive loads will slow down the voltage front time. To compensate for capacitive loads above 5 nF, some generators have a selectable output resistance value and may even change the generator discharging capacitor value. Inductive loads, such as transformers, motor windings and electrical generator windings require the careful design of the waveshaping network to avoid ringing on the voltage impulse. The generator design objective is to produce a precision voltage impulse. The generator design must be robust enough to survive the discharge current caused by any insulation breakdown. Generator #1 is the most commonly used variant of generators #1 and #2.

Table A.1 – Voltage impulse generators

Number	Designation	Condition	Edge	Time and Tolerance	Amplitude
1	1,2/50 [17] [1]	Open-Circuit Voltage	Front	1.2 μ s $\pm$ 30 %	$\pm$ 3 %
			Decay	50 μ s $\pm$ 20 %	
		Short-Circuit Current	See NOTE		
2	1,2/50 [18] [12]	Open-Circuit Voltage	Generator circuit defined		−0% to +5%
		Short-Circuit Current	See NOTE		
NOTE Current waveshape not defined.					

A.4.3 Impulse generators with a defined current waveform

These generators are used for high-current component and component testing.

The 8/20 waveform is typically produced by an LCR series circuit that has a damping factor of less than one. Such a design requires that the load voltage is kept to be much smaller than the charging voltage, e.g. a 1:10 voltage ratio. These generators produce a current through the load with an 8/20 waveshape, unlike the 1,2/50-8/20 generator which has its current waveform measured into a short-circuit.

The amount of energy developed in an MOV or fuse is governed by the applied waveform. The possible range in developed energy is reduced by tighter waveform tolerances. Generator #3 is the preferred and most commonly used one because it has a $\pm$ 10 % waveform tolerance compared the $\pm$ 20 % of generator #4.

Generator #5 has its current waveform expressed as charge and I^2t values which can be simulated by a 10/350 waveform.

Table A.2 – Current impulse generators

Number	Designation	Condition	Edge	Time and Tolerance	Amplitude
3	8/20 [17] [16] [14]	Open-Circuit Voltage	See NOTE		
		Short-Circuit Current	Front	8 μs ±10 %	±10 % 0 to -20 % undershoot
			Decay	20 μs ±10 %	
4	8/20 [16]	Open-Circuit Voltage	See NOTE		
		Short-Circuit Current	Front	8 μs ±20 %	±10 % 0 to -30 % undershoot
			Decay	20 μs ±20 %	
5	10/350 [14]	Open-Circuit Voltage	See NOTE		
		Short-Circuit Current, I_{imp}	Waveform charge $0,5 \cdot I_{imp} \cdot C - 10 \% \text{ to } +20 \%$		±10 %
			Waveform $I^2 t$ $0,25 \cdot (I_{imp})^2 \cdot A^2 s - 10 \% \text{ to } +45 \%$		
NOTE Voltage waveshape not defined. Usually the peak charging voltage for the specified current value is given.					

A.4.4 Generators with defined voltage and current waveforms

The 1.2/50-8/20 generator #7 is commercially available and established in test laboratories. Although generator #8 might be referenced most people would use generator #7 for testing.

A similar situation exists for the 10/1000 impulse generators #11 and #12. Generator #11 is commercially available and established in test laboratories. Although generator #12 might be referenced most people would use generator #11 for testing.

For the 10/700 generators, #9 and #10, the choice is application dependent. For telecommunications applications the ITU-T generator #10 [19] is the automatic choice and most commonly available both commercially and in test laboratories. General EMC work will often reference the IEC generator #9 [13]. The IEC generator #10 is available commercially, but is possible to use the ITU-T generator with extra series resistors.

Table A.4 lists additional generators from Telcordia [21] and the TIA [22]. There are two different versions of the <2/>10 generator and a third variant of the “10/700” generator #19, which in practice is similar to the ITU-T #10 [19].

Table A.3 – Voltage and current impulse generators

Number	Designation	Condition	Edge	Time and Tolerance	Amplitude
6	1,2/50-8/20 (1,2/50-7,3/22) [20] See NOTE 1	Open-Circuit Voltage	Front	1,2 μs ± 30 % μs	± 10 %
			Decay	50 μs ± 20 %	
		Short-Circuit Current	Front	8 μs -31 % to +13 %	± 10 %
			Decay	20 μs -20 % to +40 %	
7	1,2/50-8/20 [21] [13] See NOTE 2	Open-Circuit Voltage	Front	1,2 μs ± 30 %	± 10 %
			Decay	50 μs ± 20 %	
		Short-Circuit Current	Front	8 μs ± 20 %	± 10 % 0 to -30 % undershoot
			Decay	20 μs ± 20 %	
8	<10/>250 [21]	Open-Circuit Voltage	Front	10 μs -60 % to 0	0 % to +16 %
			Decay	250 μs 0 to +60 %	
		Short-Circuit Current	Front	10 μs -30 % to 0	0 % to +16 %
			Decay	250 μs 0 to +20 %	
9	10/700 [13] See NOTE 3	Open-Circuit Voltage	Front	10 μs ± 30 %	0 % to +15 %
			Decay	700 μs ± 20 %	
		Short-Circuit Current	Front	5 μs ± 20 %	0 % to +15 %
			Decay	320 μs ± 20 %	
10	10/700 [19] [12] See NOTE 4	Open-Circuit Voltage	Front	10 μs ± 30 %	± 10 %
			Decay	700 μs ± 20 %	
		Short-Circuit Current	Front	5 μs ± 20 %	± 10 %
			Decay	320 μs ± 20 %	
11	<10/>1000 [21]	Open-Circuit Voltage	Front	10 μs -40 % to 0	0 to +15 %
			Decay	1000 μs 0 to +50 %	
		Short-Circuit Current	Front	10 μs -40 % to 0	0 to +15 %
			Decay	1000 μs 0 to +50 %	
12	10/1000 [20]	Open-Circuit Voltage	Front	10 μs -50 % to 0	± 10 %
			Decay	1000 μs 0 to +100 %	
		Short-Circuit Current	Front	10 μs -50 % to 0	± 10 %
			Decay	1000 μs ± 20 %	

NOTE 1 The #6 1,2/50-8/20 generator effective impedance is 2 Ω $\pm 12,5$ % [20].

NOTE 2 The #7 1,2/50-8/20 generator effective impedance is 2 Ω ± 10 % [13].

NOTE 3 The #9 10/700 generator [19] short-circuit current waveshape is 5/320 for single output and 5/320 for dual output. The dual output current tolerance is 5 μs ± 20 % front, 320 μs ± 20 % duration and ± 10 % amplitude.

NOTE 4 The #10 10/700 generator [19] short-circuit current waveshape is 5/320 for single output and 4/250 for dual output. The dual output current tolerance is 4 μs ± 20 % front, 250 μs ± 20 % duration and ± 10 % amplitude.

Table A.4 – Other voltage and current impulse generators

Number	Designation	Condition	Edge	Time and Tolerance	Amplitude
13	<2/>10 [21] See NOTE 1	Open-Circuit Voltage	Front	2 μs -50 % to 0	0 % to +20 %
			Decay	10 μs 0 to +70 %	
		Short-Circuit Current	Front	2 μs -50 % to 0	0 % to +20 %
			Decay	10 μs 0 to +70 %	
14	<2/>10 [22] See NOTE 2	Open-Circuit Voltage	Front	2 μs -50 % to 0	0 % to +10 %
			Decay	10 μs 0 to +90 %	
		Short-Circuit Current	Front	2 μs -50 % to 0	0 % to +25 %
			Decay	10 μs 0 to +90 %	
15	<10/>160 [22] See NOTE 3	Open-Circuit Voltage	Front	10 μs -40 % to 0	0 % to +10 %
			Decay	160 μs 0 to +63 %	
		Short-Circuit Current	Front	10 μs -50 % to 0	0 % to +15 %
			Decay	160 μs 0 to +31 %	
17	<10/>360 [21]	Open-Circuit Voltage	Front	10 μs -25 % to 0	0 % to +15 %
			Decay	360 μs 0 to +30 %	
		Short-Circuit Current	Front	10 μs -25 % to 0	0 % to +15 %
			Decay	360 μs 0 to +30 %	
18	<10/>560 [22] See NOTE 4	Open-Circuit Voltage	Front	10 μs -40 % to 0	0 % to +10 %
			Decay	560 μs 0 to +54 %	
		Short-Circuit Current	Front	10 μs -50 % to 0	0 % to +15 %
			Decay	560 μs 0 to +36 %	
19	“10/700” [22]	Open-Circuit Voltage	Front	9 μs ±30 %	0 to +10 %
			Decay	720 μs ±20 %	
		Short-Circuit Current	Front	5 μs ±30 %	0 to +10 %
			Decay	320 μs ±20 %	
NOTE 1 The #13 <2/>10 generator effective impedances are 5 Ω, 8 Ω, 10 Ω or 15 Ω depending on application [21].					
NOTE 2 The #14 <2/>10 generator effective impedance is 2.5 Ω [22].					
NOTE 3 The #15 <10/>160 generator effective impedance is 7.5 Ω to each output [22]					
NOTE 4 The #17 <10/>560 generator effective impedance is 8 Ω [22]					

Annex B (informative)

Glossary of IEC 60747-6 [10] thyristor terms

B.1 General

This Annex contains a glossary of the terms that can be used to describe a Thyristor Surge Suppressor, TSS.

NOTE 1 In the subclauses, similar definitions for more than one kind of thyristor are combined in a single wording in which reference is made to all relevant qualifiers. For example, the wording “anode, principal or thyristor voltage” indicates that the term “on-state voltage” applies to unidirectional thyristors, bidirectional triode thyristors and bidirectional diode thyristors (see Table 1).

NOTE 2 When several distinctive forms of letter symbols exist, the most commonly used form(s) is (are) given.

B.2 Thyristor types

B.2.1 thyristor (general)

semiconductor component that is capable, due to internal feedback, of assuming either of two stable states and maintaining the assumed state either with no sustained control current or voltage or at least with considerably less than that necessary to initially establish that state, and that is designed to operate as a switch for the principal or on-state current

Note 1 to entry: A thyristor is a switch that can be switched on either for only one direction of the principal current (a unidirectional thyristor), or for both directions (a bidirectional thyristor).

Note 2 to entry: The usual configuration is a PNP configuration to which can be added other elements needed for additional functions.

Note 3 to entry: The term “thyristor” may be used for any member of the PNP family when such use does not result in ambiguity or misunderstanding. In particular, the abbreviated term “thyristor” is widely used for the reverse-blocking triode thyristor, formerly called “semiconductor controlled rectifier”.

B.2.2 unidirectional triode thyristor

three-terminal thyristor that can switch only when the anode voltage is positive

Note 1 to entry: In this definition, a second cathode or anode terminal for connecting to the control circuit is not counted.

B.2.3 unidirectional diode thyristor

two-terminal thyristor that can switch only when the anode voltage is positive

B.2.4 bidirectional triode thyristor

triac

three-terminal thyristor having substantially the same switching behaviour in the first and third quadrants of the principal characteristic

B.2.5 bidirectional diode thyristor

two-terminal thyristor having substantially the same switching behaviour in the first and third quadrants of the thyristor voltage-current characteristic

B.2.6 reverse-blocking triode thyristor

unidirectional triode thyristor that exhibits a blocking state in the reverse direction

Note 1 to entry: If no ambiguity is likely to occur, the term may be abbreviated to “thyristor”.

B.2.7**(symmetrical) reverse-blocking triode thyristor**

reverse-blocking triode thyristor whose rated reverse voltage and rated off-state voltage are equal or insignificantly different

B.2.8**(asymmetrical) reverse-blocking triode thyristor**

reverse-blocking triode thyristor whose rated reverse voltage is significantly lower than its rated off-state voltage

B.2.9**reverse-conducting triode thyristor**

unidirectional triode thyristor that conducts large currents in the reverse direction at reverse voltages comparable in magnitude to the forward on-state voltage

B.2.10**reverse-blocking diode thyristor**

unidirectional diode thyristor that exhibits a blocking state in the reverse direction

B.2.11**P-gate thyristor**

unidirectional triode thyristor whose gate terminal is connected to the P region nearest the cathode and that is normally switched to the on state by applying a positive signal to the gate terminal with respect to the cathode terminal

B.2.12**N-gate thyristor**

unidirectional triode thyristor whose gate terminal is connected to the N region nearest the anode and that is normally switched to the on state by applying a negative signal to the gate terminal with respect to the anode terminal

B.3 Basic terms defining the static voltage-current characteristics of triode thyristors**B.3.1****gate terminal**

terminal unique to the control circuit

B.3.2**gate current**

(control) current into the gate terminal

B.3.3**principal current**

current that is switched (controlled) by the thyristor

B.3.4**main terminals**

two terminals through which the principal current flows

B.3.5**anode terminal (of a unidirectional triode thyristor)**

main terminal to which the principal current flows from the circuit being controlled when the thyristor is in the on state

Note 1 to entry: A second anode terminal may be provided for connecting to the control circuit of an N-gate thyristor.

B.3.6

cathode terminal (of a unidirectional triode thyristor)

main terminal from which the principal current flows to the circuit being controlled when the thyristor is in the on state

Note 1 to entry: A second cathode terminal may be provided for connecting to the control circuit of a P-gate thyristor.

B.3.7

main terminal 1 (of a bidirectional triode thyristor (triac)) (MT1)

main terminal intended by the triac manufacturer to conduct the control current in addition to the principal current

Note 1 to entry: Some bidirectional triode thyristors are completely symmetrical, e.g. Silicon Bilateral Switch (SBS) thyristors. For these, the choice for the manufacturer is arbitrary, and the user can return the control circuit to whichever main terminal will provide the required polarity of gate current.

B.3.8

main terminal 2 (of a bidirectional triode thyristor (triac)) (MT2)

other main terminal after main terminal 1 has been designated by the triac manufacturer

B.3.9

anode-cathode voltage

anode voltage (of a unidirectional triode thyristor)

voltage (potential difference) between anode and cathode terminals

B.3.10

principal voltage

voltage (potential difference) between the main terminals

Note 1 to entry: In the case of unidirectional triode thyristors, the principal voltage is called positive when the anode potential is more positive than the cathode potential and called negative when the anode potential is less positive than the cathode potential. Thus, for these thyristors, "principal voltage" and "anode-cathode voltage" are synonymous.

Note 2 to entry: In the case of bidirectional triode thyristors, the polarity of the principal voltage (with regard to main terminals 1 and 2) is to be specified.

B.3.11

(static) voltage-current characteristic

(static) principal characteristic (of a unidirectional triode thyristor)

function, usually represented graphically, relating the anode voltage to the anode current for a specified virtual junction temperature, under conditions of internal electrical and thermal equilibrium

Note 1 to entry: Where applicable, the characteristic may be given with the gate current as a parameter.

Note 2 to entry: The word "static" is usually omitted except when a distinction between static and dynamic characteristics is necessary.

B.3.12

(static) principal characteristic (of a bidirectional triode thyristor)

function, usually represented graphically, relating the principal voltage to the principal current for a specified virtual junction temperature, under conditions of internal electrical and thermal equilibrium

Note 1 to entry: Where applicable, the characteristic may be given with the gate current as a parameter.

Note 2 to entry: The word "static" is usually omitted except when a distinction between static and dynamic characteristics is necessary.

B.4 Basic terms defining the static voltage-current characteristics of diode thyristors

B.4.1

anode terminal (of a unidirectional diode thyristor)

terminal to which the current flows from the external circuit when the thyristor is in the on state

B.4.2

cathode terminal (of a unidirectional diode thyristor)

terminal from which the current flows to the external circuit when the thyristor is in the on state

B.4.3

terminal 1 (of a bidirectional diode thyristor)

terminal that is designated "1" by the manufacturer

B.4.4

terminal 2 (of a bidirectional diode thyristor)

terminal that is designated "2" by the manufacturer

B.4.5

anode-cathode voltage

anode voltage (of a unidirectional diode thyristor)

voltage between the anode and cathode terminals

Note 1 to entry: The anode-cathode voltage is called positive when the anode potential is higher than the cathode potential, and called negative when the anode potential is lower than the cathode potential.

B.4.6

thyristor voltage (of a bidirectional diode thyristor)

voltage between the two terminals

Note 1 to entry: The polarity of the thyristor voltage (with regard to terminals 1 and 2) is to be specified.

B.4.7

(static) characteristic (of a unidirectional diode thyristor)

function, usually represented graphically, relating the anode voltage to the anode current for a specified virtual junction temperature, under conditions of internal electrical and thermal equilibrium

Note 1 to entry: The word "static" is usually omitted, except when a distinction between static and dynamic characteristics is necessary.

B.4.8

(static) characteristic (of a bidirectional diode thyristor)

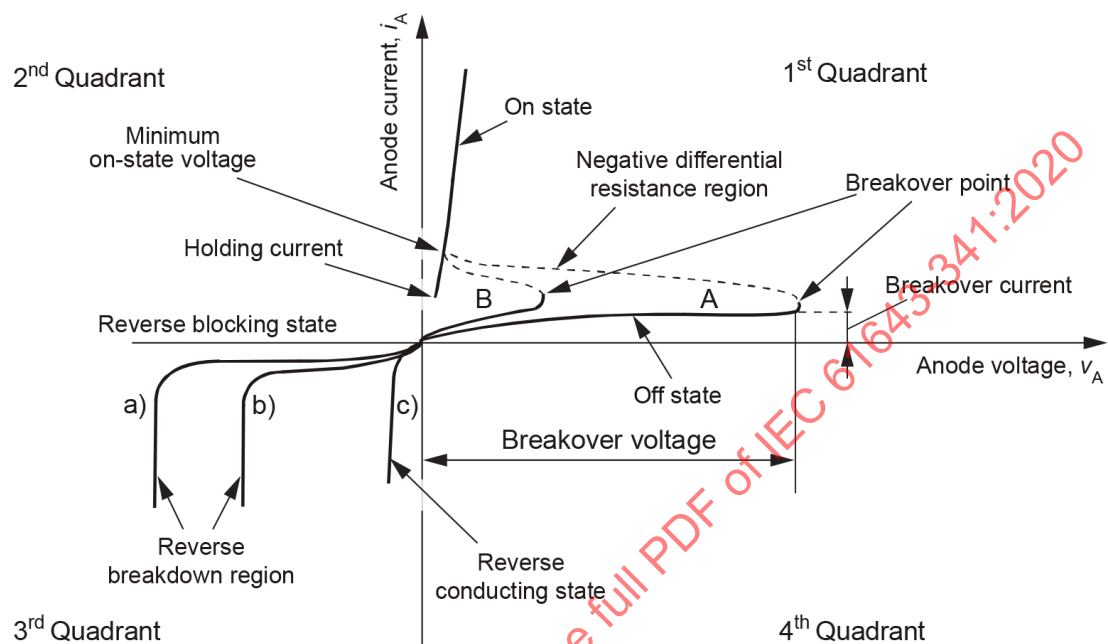
function, usually represented graphically, relating the thyristor voltage to the thyristor current for a specified virtual junction temperature, under conditions of internal electrical and thermal equilibrium

Note 1 to entry: The word "static" is usually omitted, except when a distinction between static and dynamic characteristics is necessary.

B.5 Particulars of the static voltage-current characteristics of triode and diode thyristors

B.5.1 on state

state of a thyristor, in a quadrant in which switching may occur, that corresponds to the low-resistance portion of the characteristic (see Figure B.1 and Figure B.2)



IEC

Curve A zero gate current

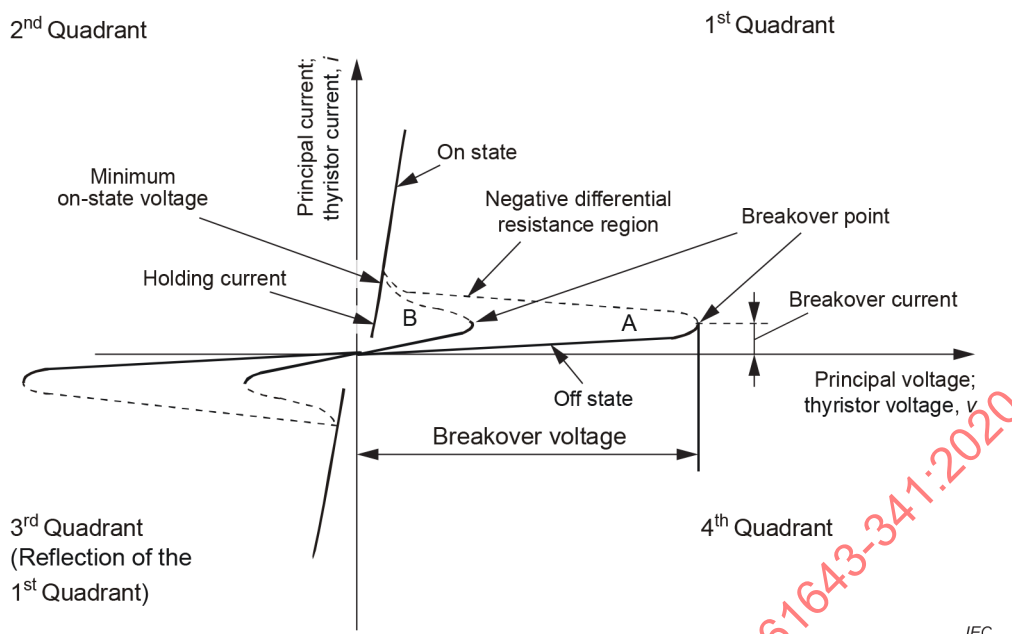
Curve B gate current greater than zero

Curve a) reverse-blocking thyristor

Curve b) asymmetrical thyristor

Curve c) reverse-conducting thyristor

Figure B.1 – Particulars of the static characteristic of unidirectional thyristors



Curve A bidirectional diode thyristors or bidirectional triode thyristors with zero gate current

Curve B bidirectional triode thyristors with gate current greater than zero

Figure B.2 – Particulars of the static characteristic of bidirectional thyristors

B.5.2

off state

state of a thyristor, in a quadrant in which switching may occur, that corresponds to the portion of the characteristic between the origin and the breakover point

B.5.3

reverse-blocking state

state of a reverse-blocking or asymmetrical thyristor that corresponds to a reverse voltage between the origin and the beginning of the reverse breakdown region

B.5.4

reverse breakdown region

portion of the characteristic in which reverse breakdown occurs

B.5.5

reverse-conducting state

state of a reverse-conducting triode thyristor that corresponds to the third quadrant of the characteristic

B.5.6

negative differential resistance region

any portion of the characteristic within which the differential resistance is negative

B.5.7

breakover point

the point, in a quadrant in which switching may occur, for which the differential resistance is zero and the off-state voltage reaches a maximum value

B.6 Terms related to ratings and characteristics; principal voltages

B.6.1

breakover voltage

$V_{(BO)}$
voltage at the breakover point

B.6.2

reverse voltage (of a unidirectional thyristor)

V_R
negative anode voltage

B.6.3

repetitive peak reverse voltage (of a unidirectional thyristor)

V_{RRM}
highest instantaneous value of the reverse voltage, including all repetitive transient voltages, but excluding all non-repetitive transient voltages

Note 1 to entry: The repetitive voltage is usually a function of the circuit and increases the power loss of the component. A non-repetitive transient voltage is usually due to an external cause, and it is assumed that its effect has completely disappeared before the next transient arrives.

B.6.4

on-state voltage

V_T
anode, principal, or thyristor voltage when the thyristor is in the on state

B.6.5

off-state voltage

V_D
anode, principal, or thyristor voltage when the thyristor is in the off state

B.6.6

repetitive peak off-state voltage

V_{DRM}
highest instantaneous value of the off-state voltage, including all repetitive transient voltages, but excluding all non-repetitive transient voltages

Note 1 to entry: The repetitive voltage is usually a function of the circuit and increases the power loss of the component. A non-repetitive transient voltage is usually due to an external cause, and it is assumed that its effect has completely disappeared before the next transient arrives.

B.6.7

non-repetitive peak off-state voltage

B.6.8

peak transient off-state voltage

V_{DSM}
highest instantaneous value of any non-repetitive transient off-state voltage

Note 1 to entry: The repetitive voltage is usually a function of the circuit and increases the power loss of the component. A non-repetitive transient voltage is usually due to an external cause, and it is assumed that its effect has completely disappeared before the next transient arrives

Note 2 to entry: Preference should be given to the term “non-repetitive peak off-state voltage”

B.6.9

critical rate of rise of off-state voltage

$(dv_D/dt)_{cr}$
highest value of the rate of rise of off-state voltage that will not cause switching from the off state to the on state

Note 1 to entry: The measuring method for the rate of rise is to be specified.

Note 2 to entry: If no ambiguity is likely to result, the shorter expression " dv/dt " may be used.

Note 3 to entry: The measuring method for the rate of rise is to be specified.

Note 4 to entry: If ambiguity is likely to result, the shorter expression " $dv_{(com)}/dt$ " may be used.

B.7 Terms related to ratings and characteristics; principal currents

B.7.1

breakover current

$I_{(BO)}$

anode, principal, or thyristor current at the breakover point

B.7.2

reverse current (of a unidirectional thyristor)

I_R

anode current for a negative anode voltage

B.7.3

reverse-conducting current (of a reverse-conducting thyristor)

I_{RC}

reverse current of a reverse-conducting thyristor

B.7.4

mean reverse-conducting current

$I_{RC(AV)}$

value of the reverse-conducting current averaged over a full cycle

B.7.5

overload reverse-conducting current

$I_{RC(OV)}$

reverse-conducting current whose continuous application would cause the maximum rated virtual junction temperature to be exceeded, but that is limited in duration such that this temperature is not exceeded

Note 1 to entry: Components may be subjected to overload currents as frequently as called for by the application, while being subjected to normal operating voltages.

Note 2 to entry: If not otherwise stated, specifications for the rated (limiting) value of an overload reverse-conducting current refer to a waveshape that is substantially the same as for the rated value of the reverse-conducting current.

B.7.6

surge reverse-conducting current

I_{RCSM}

reverse-conducting current pulse of short duration and specified waveshape, whose application causes or would cause the maximum rated virtual junction temperature to be exceeded, but which is assumed to occur rarely and with a limited number of such occurrences during the service life of the component and to be a consequence of unusual circuit conditions (for example, a fault)

B.7.7

reverse blocking current (of a unidirectional thyristor)

I_R

reverse current when a thyristor is in the reverse-blocking state

B.7.8
on-state current

 I_T

anode, principal, or thyristor current when the thyristor is in the on state

B.7.9
mean on-state current

 $I_{T(AV)}$

value of the on-state current averaged over a full cycle

B.7.10
RMS on-state current

 $I_{T(RMS)}$

RMS value of the on-state current averaged over a full cycle

B.7.11
peak sinusoidal on-state current

 I_{TM}

peak value of a sinusoidal on-state current, excluding any transient currents

B.7.12
repetitive peak on-state current

 I_{TRM}

peak value of the on-state current, including all repetitive transient currents

B.7.13
overload on-state current

 $I_{T(OV)}$

on-state current whose continuous application would cause the maximum-rated virtual junction temperature to be exceeded, but that is limited in duration such that this temperature is not exceeded

Note 1 to entry: Components may be subjected to overload currents as frequently as called for by the application while being subjected to normal operating voltages.

Note 2 to entry: If not otherwise stated, specifications for the rated (limiting) value of an overload on-state current refer to a waveshape that is substantially the same as for the rated value of the on-state current.

B.7.14
surge on-state current

 I_{TSM}

on-state current pulse of short duration and specified waveshape, whose application causes or would cause the maximum rated virtual junction temperature to be exceeded, but which is assumed to occur rarely and with a limited number of such occurrences during the service life of the component and to be a consequence of unusual circuit conditions (for example, a fault)

B.7.15
 I^2t value (of a surge on-state current)

 I^2t

value used for the specification of a maximum rated value of surge on-state current, given in terms of the maximum rated value of

$$I^2t = \int_0^{t_i} i^2 dt$$

for a specified short integration time t_i

B.7.16**peak case non-rupture current** I_{RSMC}

peak value of reverse current that should not be exceeded in order to avoid bursting of the case or the emission of a plasma beam, under specified conditions of the waveshape and duration of the reverse current pulse

Note 1 to entry: This definition implies that a fine crack in the case is tolerated, if found in a component subjected to the peak case non-rupture current, provided that no plasma beam was emitted, parts of the case did not break away, and the component did not melt externally or burst into flames.

Note 2 to entry: Such very high reverse currents may occur in large thyristor assemblies if one of the thyristors has a reverse breakdown. Very large thyristors may have a peak surge on-state current that is higher than the peak case non-rupture current so that a fuse selected for the peak surge on-state current cannot provide protection against rupture of the case.

B.7.17**case non-rupture I^2t value** I_{RSC}^2t

value of I_{RSC}^2t that should not be exceeded in order to avoid bursting of the case or the emission of a plasma beam, under specified conditions of the waveshape and duration of the reverse current pulse and given as follows:

$$I_{\text{RSC}}^2t = \int_0^{t_p} i_{\text{R}}^2 dt$$

where t_p is the reverse current pulse duration

Note 1 to entry: This definition implies that a fine crack in the case is tolerated if found in a component subjected to the case non-rupture I^2t value, provided that no plasma beam was emitted, parts of the case did not break away, and the component did not melt externally or burst into flames.

Note 2 to entry: Such very high reverse currents may occur in large thyristor assemblies if one of the thyristors has a reverse breakdown. Very large thyristors may have an (on-state) I^2t value that is higher than the case non-rupture I_{RSC}^2t value so that a fuse selected for the I^2t value cannot provide protection against rupture of the case.

B.7.18**critical rate of rise of on-state current** $(di_{\text{T}}/dt)_{\text{cr}}$

highest value of the rate of rise of on-state current that a thyristor can withstand without deleterious effect

B.7.19**holding current** I_{H}

minimum anode, principal, or thyristor current that will maintain the thyristor in the on state

B.7.20**off-state current** I_{D}

anode, principal, or thyristor current when the thyristor is in the off state

B.8 Terms related to ratings and characteristics; gate voltages and currents**B.8.1****gate voltage** V_{G}

voltage between the gate terminal and

- for unidirectional triode thyristors, the cathode in the case of a P-gate thyristor and the anode in the case of an N-gate thyristor,
- for bidirectional triode thyristors, the specified main terminal

B.8.2

gate current

I_G

(control) current into the gate terminal

B.8.3

forward gate voltage

V_{FG}

- for P-gate thyristors, the positive gate-cathode voltage
- for N-gate thyristors, the negative gate-anode voltage

B.8.4

peak forward gate voltage

V_{FGM}

highest instantaneous value of the forward gate voltage including all transient voltages

B.8.5

reverse gate voltage

V_{RG}

- for P-gate thyristors, the negative gate-cathode voltage
- for N-gate thyristors, the positive gate-anode voltage

B.8.6

peak reverse gate voltage

V_{RGM}

highest instantaneous value of the reverse gate voltage including all transient voltages

B.8.7

forward gate current

I_{FG}

- for P-gate thyristors, the positive gate current
- for N-gate thyristors, the negative gate current

B.8.8

peak forward gate current

I_{FGM}

highest instantaneous value of the forward gate current including all transient currents

B.8.9

reverse gate current

I_{RG}

- for P-gate thyristors, the negative gate current
- for N-gate thyristors, the positive gate current

B.8.10

peak reverse gate current

I_{RGM}

highest instantaneous value of the reverse gate current including all transient currents

B.8.11

turn-on gate voltage

V_{FGT}

forward gate voltage during the time interval within which the thyristor is turning on

B.8.12**turn-on gate drive voltage** V_{FGT}

gate voltage required to produce the turn-on gate drive current

B.8.13**on-state gate bias voltage** V_{FGB}

forward gate voltage during the time interval following the time within which the thyristor was turning on

B.8.14**turn-on gate current** I_{FGT}

forward gate current during the time interval within which the thyristor is turning on

B.8.15**peak turn-on gate drive current** I_{FGTM}

peak value of the turn-on gate drive current pulse

B.8.16**off-state gate bias current** I_{RGB}

reverse gate current during the time interval following the time within which the thyristor was turned off

B.8.17**gate trigger current** I_{GT}

lowest gate current required to safely trigger any thyristor of a type under specified conditions

B.8.18**gate trigger voltage** V_{GT}

gate voltage required to produce the gate trigger current

B.8.19**gate non-trigger current** I_{GD}

highest value of an undesired current in the gate circuit which will safely not trigger any thyristor which is under specified conditions

B.8.20**gate non-trigger voltage** V_{GD}

gate voltage associated with the gate non-trigger current

B.9 Terms related to ratings and characteristics; powers, energies and losses

NOTE 1 All definitions are written in terms of triode thyristors. Where appropriate, they apply also to diode thyristors.

NOTE 2 All definitions for power, energy and losses refer, if not otherwise specified, to the product of anode or principal current and anode or principal voltage.

B.9.1 reverse power

P_R
power when the thyristor is in the reverse-blocking state

Note 1 to entry: If not otherwise specified, the term refers to the power in the time interval between the ending of the turn-off time and the change from the reverse blocking state to the off state (either $I = 0$ or $V = 0$).

B.9.2 reverse-conducting power (of a reverse-conducting thyristor)

P_{RC}
power while the thyristor is in the reverse-conducting state

Note 1 to entry: If not otherwise specified, the term refers to the power in the time interval between the ending of the turn-off time and the change from the reverse conducting state to the off state (either $I = 0$ or $V = 0$).

B.9.3 off-state power

P_D
power while the thyristor is in the off state

B.9.4 on-state power

P_T
power while the thyristor is in the on state

Note 1 to entry: If not otherwise specified, the term refers to the power during the period between the ending of the turn-on time and the beginning of the turn-off time.

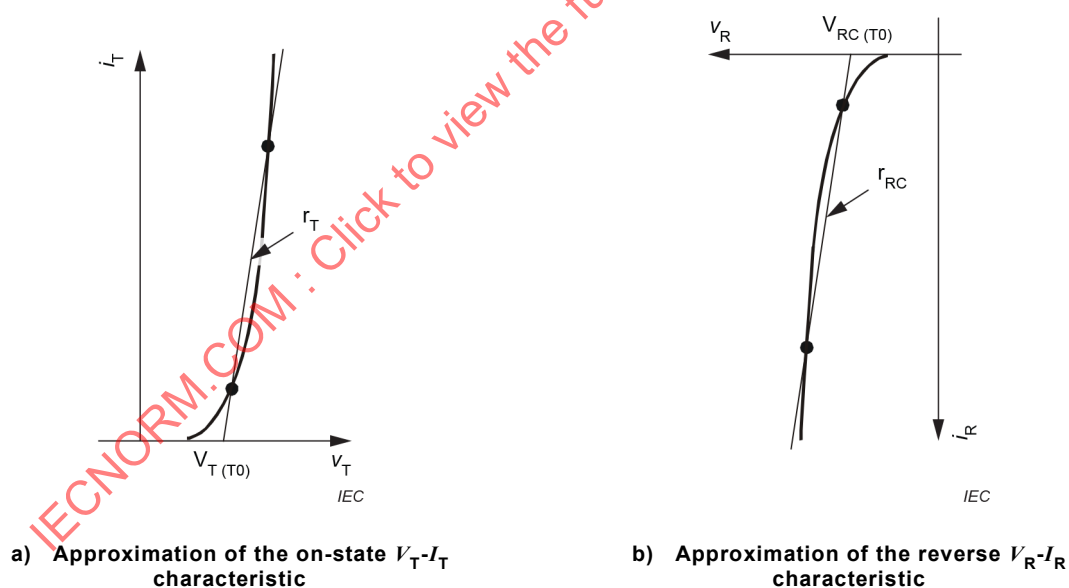


Figure B.3 – a) Approximation of the on-state V_T - I_T characteristic
b) Approximation of the reverse V_R - I_R characteristic

B.9.5 straight-line approximation of the on-state characteristic (see Figure B.3a))

approximation of the current versus voltage on-state characteristic by means of a straight line that crosses this characteristic at two specified points

B.9.6**on-state slope resistance** r_T

value of the resistance calculated from the slope of the straight-line approximation of the on-state characteristic

B.9.7**on-state threshold voltage** $V_{T(TO)}, V_{(TO)}$

value of the on-state voltage obtained at the intersection of its straight-line approximation with the voltage axis

B.9.8**approximation of the reverse-conducting characteristic (see Figure B.3b))**

straight-line approximation of the reverse-conducting characteristic

approximation of the current versus voltage reverse-conducting characteristic by means of a straight line that crosses this characteristic at two specified points

B.9.9**reverse-conducting slope resistance** r_{RC}

value of the resistance calculated from the slope of the straight-line approximation of the reverse-conducting characteristic

B.9.10**reverse-conducting threshold voltage** $V_{RC(TO)}$

value of the reverse voltage obtained at the intersection of its straight-line approximation with the voltage axis

B.10 Letter symbols**B.10.1 General**

Table B.1 shows additional general subscripts.

Table B.1 – Additional general subscripts

Subscript	Significance	Remarks
A, a	Anode	
B	Bias	As last subscript only
B	Basic	As last subscript only
(BO)	Breakover	
D, d	Off-state	
G, g	Gate	
H	Holding	
K, k	Cathode	
RC	Reverse-conducting	
T	On state	
T, t	Turn-on, trigger	
T	Thyristor	

B.10.2 List of letter symbols

The symbols contained in Table B.2 to Table B.7 are recommended for use in the field of thyristors; they have been compiled in accordance with the general rules.

Table B.2 – Principal voltages, anode-cathode voltages

Name and designation	Letter symbol	Remarks
Off-state voltage	V_D	
Peak off-state voltage	V_{DM}	
Repetitive peak off-state voltage	V_{DRM}	
Breakover voltage	$V_{(BO)}$	
On-state voltage	V_T	
Minimum on-state voltage	V_{TMIN}	
On-state threshold voltage	$V_{T(TO)}$	
Reverse voltage	V_R	
Repetitive peak reverse voltage	V_{RRM}	
Reverse-conducting threshold voltage	$V_{RC(TO)}$	

Table B.3 – Principal currents, anode currents, cathode currents

Name and designation	Letter symbol	Remarks
Off-state current	I_D	
Breakover current	$I_{(BO)}$	
Holding current	I_H	
On-state current	I_T	
Overload on-state current	$I_{(OV)}$	
Repetitive peak on-state current	I_{TRM}	
Surge (non-repetitive) on-state current	I_{TSM}	
Reverse blocking current	I_R	
Repetitive peak reverse current	I_{RRM}	
Reverse recovery current	I_{RR}	
Reverse-conducting current	I_{RC}	
Peak reverse-conducting current	I_{RCM}	
Overload reverse-conducting current	$I_{RC(OV)}$	
Surge reverse-conducting current	I_{RCSM}	

Table B.4 – Gate voltages

Name and designation	Letter symbol	Remarks
Forward gate continuous (direct) voltage	V_{FG}	
Peak forward gate voltage	V_{FGM}	
Reverse gate continuous (direct) voltage	V_{RG}	
Peak reverse gate voltage	V_{RGM}	
Gate trigger continuous (direct) voltage	V_{GT}	
Minimum gate trigger voltage	V_{GTMIN}	
Gate non-trigger continuous (direct) voltage	V_{GD}	
Gate turn-off continuous (direct) voltage	V_{GQ}	

Table B.5 – Gate currents

Name and designation	Letter symbol	Remarks
Forward gate continuous (direct) current	I_{FG}	
Peak forward gate current	I_{FGM}	
Reverse gate continuous (direct) current	I_{RG}	
Gate trigger continuous (direct) current	I_{GT}	
Gate non-trigger continuous (direct) current	I_{GD}	

Table B.6 – Sundry quantities

Name and designation	Letter symbol	Remarks
On-state slope resistance	r_T	
Critical rate of rise of commutating voltage	$dv/dt(c),$ ($dv/dt(com)$)	For reverse conducting triode thyristors, $dv/dt(c)$ is the preferred symbol
Total energy of on-state current pulse	E_P W_P	
Reverse-conducting slope resistance	r_{RC}	
(virtual) junction temperature	T_J T_{VJ}	
maximum junction temperature,	T_{JM}	
storage temperature	T_{stg}	

Table B.7 – Power loss

Name and designation	Letter symbol	Remarks
On-state power loss	P_T	
Reverse power loss	P_R	For reverse blocking and conducting triode thyristors
Off-state power loss	P_D	
Reverse-conducting power loss	P_{RC}	

Annex C (informative)

Additional parametric tests

C.1 General

The listed thermal and gated TSS tests would normally be done by the product manufacturer as part of qualification testing for product release.

C.2 Temperature derating

The purpose of this test is to verify the derating curve of a TSS to ensure reliable protector operation over the specified temperature range. TSS ratings may derate at low as well as high temperatures. For V_{DRM} , V_{RM} , I_{FRM} , I_{FSM} , I_{PP} , I_{TRM} , I_{TSM} , and di/dt the relevant rating test procedures shall be used with the appropriate adjustment of stress level for the test temperature. Power derating can be verified by using the determined value of R_{th} to calculate the maximum power for maximum junction temperature and a specified reference point temperature (ambient, case or lead).

C.3 Thermal resistance, R_{th}

The purpose of this test is to determine the continuous power capability of a TSS. The test circuit used shall be functionally equivalent to Figure C.1. Immediately prior to the power being applied, the value of a temperature-dependent characteristic shall be measured at the reference temperature. A constant value of power is then applied to the thyristor. For short periods (<2 % duty cycle) the power is interrupted to allow measurement of the temperature-dependent characteristic. When these measurements stabilize, a steady-state condition has been reached. From a previous temperature characterization, the unpowered and stabilized measurements can be converted to junction temperature values. If the stabilized junction temperature is not within +0 % –20 % of the thyristor maximum junction temperature, T_{JM} , the test shall be continued with an appropriately adjusted power level until this is achieved. Expressing the measured values as a thermal resistance, R_{th} , permits the calculation of the power capability at different reference and junction temperatures. The value of R_{th} is calculated as:

Thermal resistance, junction to ambient:

$$R_{\text{thJA}} = (T_{\text{JPK}} - T_{\text{A}}) / P_{\text{TOT}} \text{ K/W}$$

Thermal resistance, junction to case:

$$R_{\text{thJC}} = (T_{\text{JPK}} - T_{\text{C}}) / P_{\text{TOT}} \text{ K/W}$$

Thermal resistance, junction to lead:

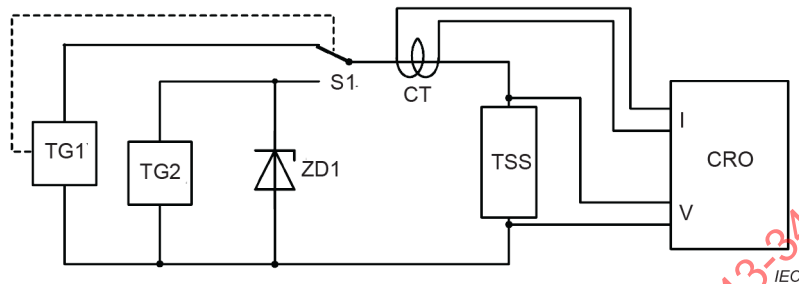
$$R_{\text{thJL}} = (T_{\text{JPK}} - T_{\text{L}}) / P_{\text{TOT}} \text{ K/W}$$

where

- T_{A} is the ambient temperature reference;
- T_{C} is the case temperature reference, maintained at a constant value by cooling;
- T_{L} is the lead temperature reference, maintained at a constant value by cooling;
- T_{JPK} is the peak junction temperature, $0,8T_{\text{JM}} < T_{\text{JPK}} < T_{\text{JM}}$;

P_{TOT} is the power pulse amplitude.

Each switching and forward conducting polarity of the TSS shall be separately tested and measured. In the measurement period, it takes time to establish the measurement condition and read a value. During this time the junction temperature cools and so the calculated temperature will be low. This temperature error can be corrected by taking successive measurements after the power interruption and extrapolating the temperature decay back to the beginning of the interruption time.



Key

DUT	TSS under test
CT	DC current probe or equivalent
TG1	generator for temperature sensitive characteristic measurement
TG2	constant power generator
S1	TSS switching between TG1 and TG2
ZD1	voltage clamp $> V_{(BO)}$
CRO	dual channel oscilloscope or equivalent
-----	TG1 and S1 synchronization

Figure C.1 – Test circuit for thermal resistance and impedance

C.4 Transient thermal impedance, $Z_{th}(t)$

The purpose of this test is to determine the power capability of a TSS, for a specified power pulse duration, t . The test circuit used shall be functionally equivalent to Figure C.1. Immediately prior to the power pulse, the value of a temperature-dependent characteristic shall be measured at the reference temperature. The pulse of constant power is then applied for the specified duration. Immediately after the power pulse, the temperature-dependent characteristic shall be re-measured. From a previous temperature characterization, these two measurements can be converted to junction temperature values. If the temperature after the power pulse is not within +0 % to 20 % of the thyristor maximum junction temperature, T_{JM} , the test shall be repeated with an appropriately adjusted power level until this is achieved. Adequate time shall be allowed between tests for the thyristor to regain thermal equilibrium. Expressing the measured values as a thermal impedance, $Z_{th}(t)$, permits the calculation of the power capability at different reference and junction temperatures. The value of $Z_{th}(t)$ is calculated as:

Transient thermal impedance, junction to ambient for specified time interval (t):

$$Z_{thJA}(t) = (T_{JPK} - T_A)/P_{TOT} \text{ K/W}$$

Transient thermal impedance, junction to case for specified time interval (t):

$$Z_{thJC}(t) = (T_{JPK} - T_C)/P_{TOT} \text{ K/W}$$

Transient thermal impedance, junction to lead for specified time interval (t):

$$Z_{thJL}(t) = (T_{JPK} - T_L)/P_{TOT} \text{ K/W}$$

where

- T_A is the ambient temperature reference;
- T_C is the case temperature reference, maintained at a constant value by cooling;
- T_L is the lead temperature reference, maintained at a constant value by cooling;
- T_{JPK} is the peak junction temperature, $0,8T_{JM} < T_{JPK} < T_{JM}$;
- P_{TOT} is the power pulse amplitude;
- t is the pulse width of power pulse.

Each switching and forward conducting polarity of the TSS shall be separately tested and measured. After the power pulse, it takes time to establish the measurement condition and read a value. During this time the junction temperature cools and so the calculated temperature will be low. This temperature error can be corrected by taking successive measurements after the power pulse and extrapolating the temperature decay back to the time the pulse finished. In the absence of special requirements, it is recommended that the value of $Z_{th}(t)$ be determined over a time interval of 100 μ s to a time duration approximating steady state operation and expressed as a graph (see Figure C.2).

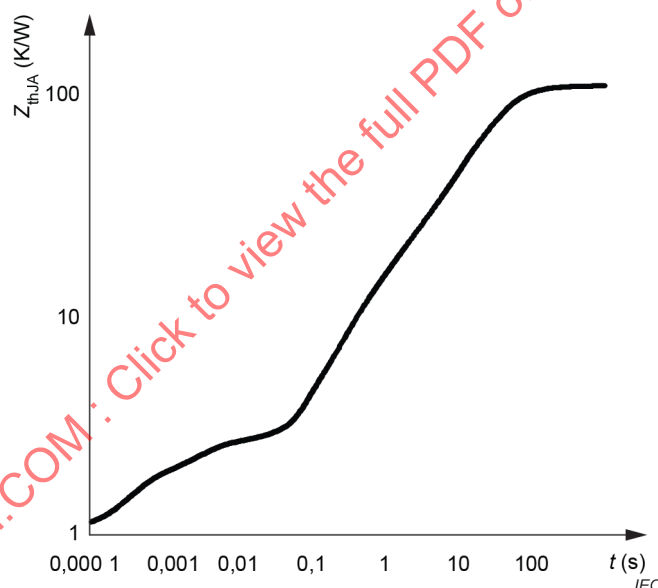
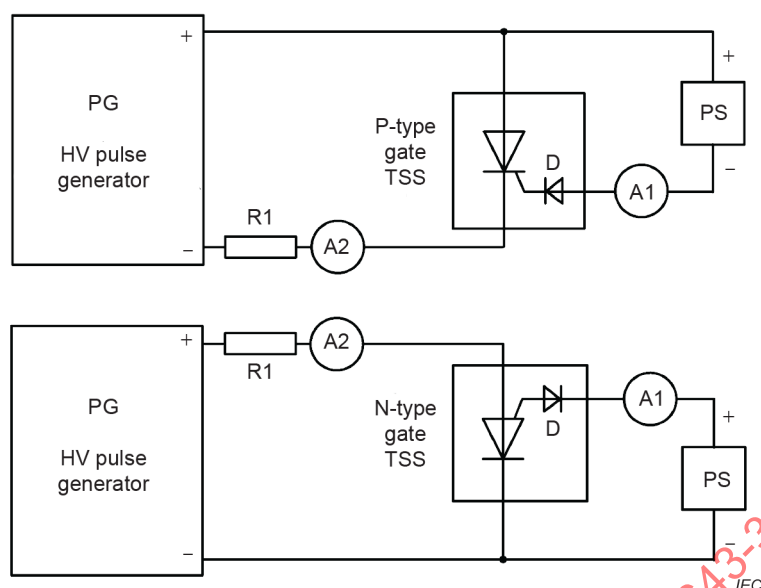


Figure C.2 – Thermal impedance versus time

C.5 Gate reverse current, on-state, I_{GAT} , I_{GKT}

The purpose of this test is to determine the current drain on the gate terminal voltage supply when the TSS is in the on-state. Using the appropriate circuit of Figure C.3, the specified value of gate bias voltage, V_{GG} , shall be applied to the gate and the thyristor switched into the on-state by the generator connected across the protection terminals. The gate current shall be measured at the specified on-state current, I_T . The generator and the value of I_T shall be the same as those used for the determination of the AC or DC value of V_T . This test determines the reverse gate current in the on-state, I_{GAT} , of a P-gate thyristor or the reverse gate current in the on-state, I_{GKT} , of an N-gate thyristor.

Each gated switching polarity of the TSS shall be separately tested and measured. This test shall only be used for thyristors with integrated gate blocking.

**Key**

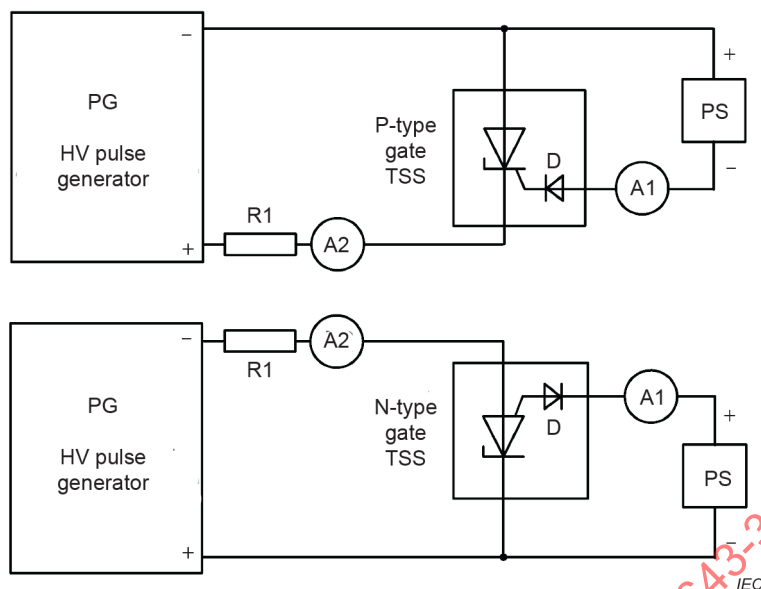
- TSS TSS under test
 A1 peak current meter, strobed to I_T
 A2 peak current meter
 PG HV pulse generator with specified characteristics
 PS DC power supply, set at specified gate voltage, V_{GG}
 R1 resistor, defines I_T

Figure C.3 – Test circuit for gate reverse current, on-state, I_{GAT} , I_{GKT}

C.6 Gate reverse current, forward conducting state, I_{GAF} , I_{GKF}

The purpose of this test is to determine the current drain on the gate terminal voltage supply when the forward conducting TSS is in diode conduction. Using the appropriate circuit of Figure C.4, the specified value of gate bias voltage, V_{GG} , shall be applied to the gate and the thyristor placed into the forward conducting state by the generator connected across the protection terminals. The gate current shall be measured at the specified forward conduction current, I_F . The generator and the value of I_F shall be the same as those used for the determination of the a.c. or d.c. value of V_F . This test determines the reverse gate current in the forward conducting state, I_{GAF} , of a P-gate thyristor or the reverse gate current in the forward conducting state, I_{GKF} , of an N-gate thyristor.

This test shall only be used for forward conducting TSS with integrated gate blocking.



Key

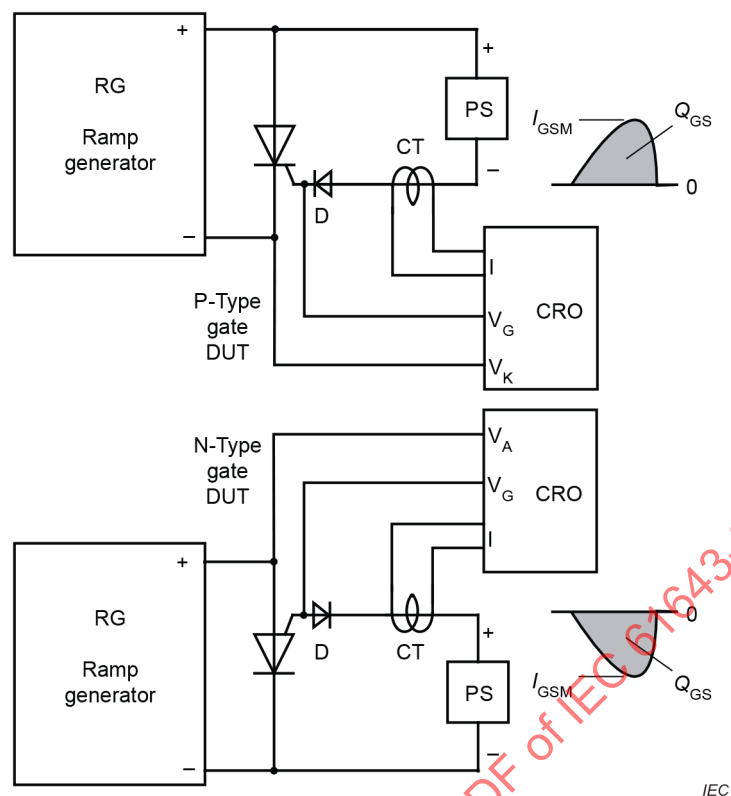
TSS	TSS under test
A1	peak current meter, strobed to I_F
A2	peak current meter
D	series gate blocking diode
PG	HV pulse generator with specified characteristics
PS	DC power supply, set at specified gate voltage, V_{GG}
R1	resistor, defines I_F

Figure C.4 – Test circuit for gate reverse current, forward conducting state, I_{GAF} , I_{GKF}

C.7 Gate switching charge, Q_{GS}

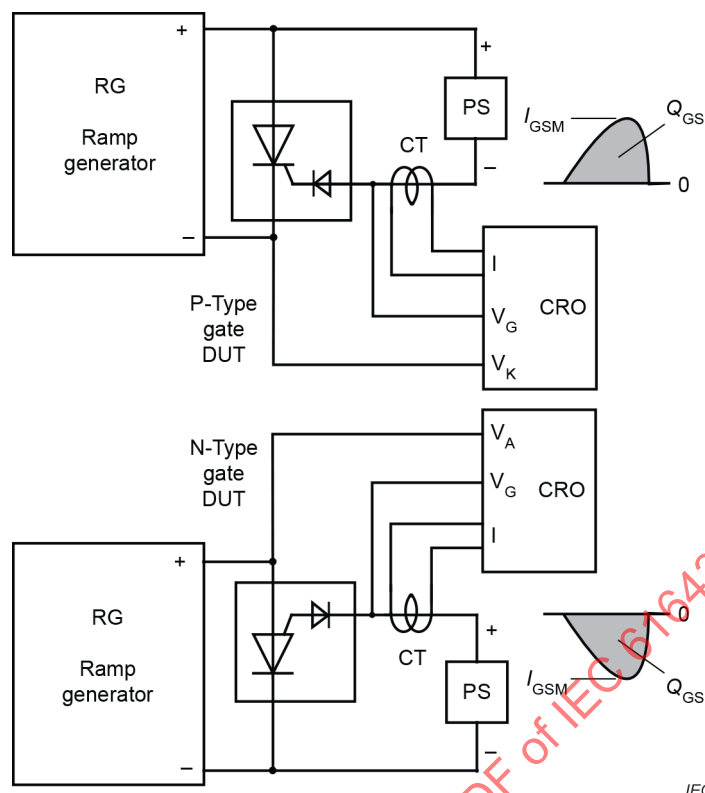
The purpose of this test is to determine the charge demand on the gate terminal supply, when the TSS is voltage limiting, to allow the dimensioning of the gate decoupling capacitor. Using the appropriate circuit of Figure C.5 or Figure C.6, the specified value of gate bias voltage, V_{GG} , shall be applied to the gate and the thyristor switched into the on-state by the generator connected across the protection terminals. The gate charge shall be measured by recording the gate current during the limiting period and integrating it, see example in Figure C.7. The generator shall be the same as that used for the determination of the fast ramp rate $V_{(BO)}$.

Each gated switching polarity of the TSS shall be separately tested and measured.

**Key**

TSS	TSS under test
V_A, V_K	adjacent terminal voltage
V_G	gate terminal voltage
D	series gate blocking diode
RG	ramp generator with specified di/dt and dv/dt characteristics
PS	DC power supply, set at specified gate voltage, V_{GG}
CT	current transformer or equivalent
CRO	dual channel oscilloscope or equivalent

Figure C.5 – Test circuit for gate switching current, gate switching charge and gate-to-adjacent terminal breakover voltage, I_{GSM} , Q_{GS} , $V_{GK(BO)}$, $V_{GA(BO)}$



Key

TSS	TSS under test
V_A, V_K	adjacent terminal voltage
V_G	gate terminal voltage
D	series gate blocking diode
RG	ramp generator with specified di/dt and dv/dt characteristics
PS	DC power supply, set at specified gate voltage, V_{GG}
CT	current transformer or equivalent
CRO	dual channel oscilloscope or equivalent

Figure C.6 – Test circuit of an integrated gate diode TSS for gate switching current, gate switching charge and gate-to-adjacent terminal breakover voltage I_{GSM} , Q_{GS} , $V_{GK(BO)}$, $V_{GA(BO)}$

C.8 Peak gate switching current, I_{GSM}

The purpose of this test is to determine the peak current demand on the gate terminal supply, when the TSS is voltage limiting, to provide design information for the gate supply so that excessive voltage rise does not occur. Using the appropriate circuit of Figure C.5 or Figure C.6, the specified value of gate bias voltage, V_{GG} , shall be applied to the gate and the thyristor switched into the on-state by the generator connected across the protection terminals. The peak gate current, I_{GSM} , shall be measured during the limiting period. The generator shall be the same as that used for the determination of the slow ramp rate $V_{(BO)}$.

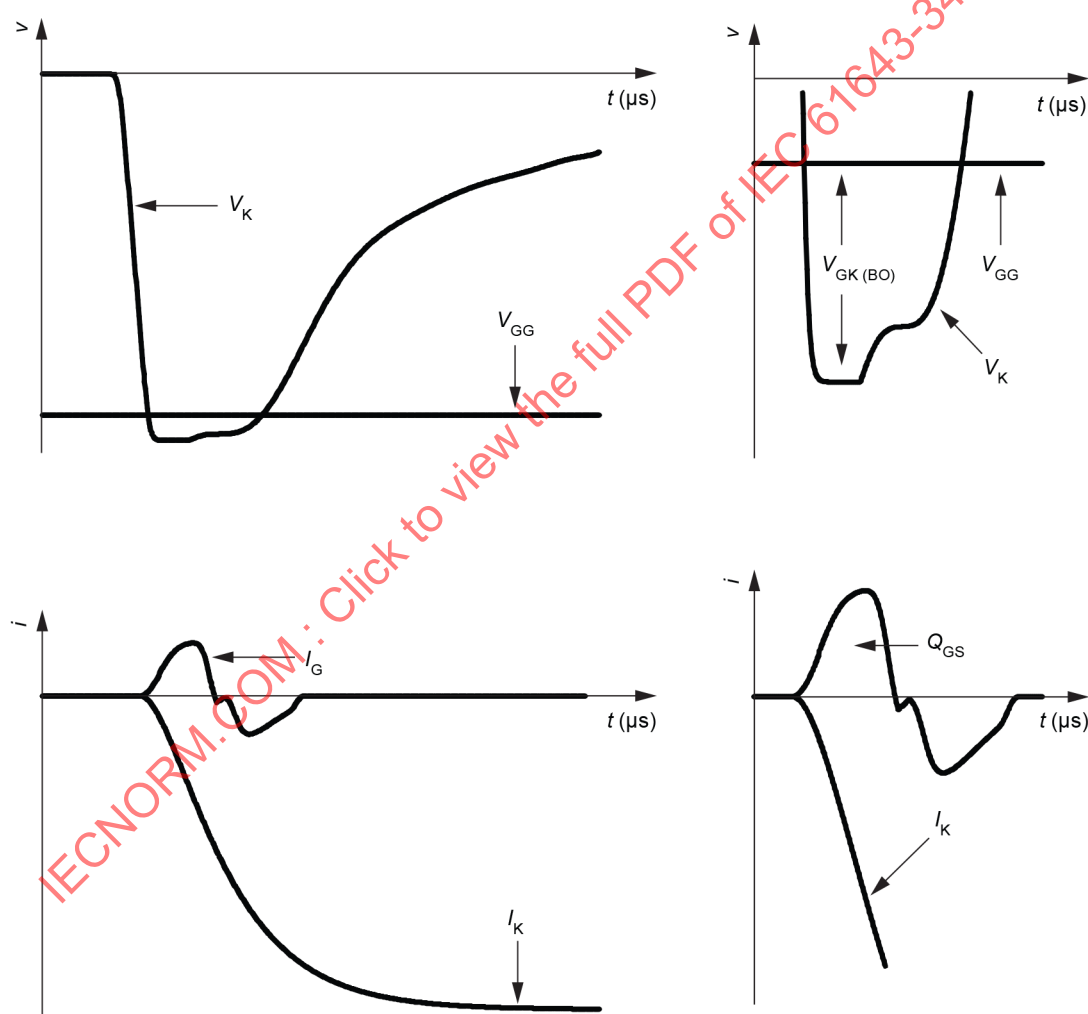
Each gated switching polarity of the TSS shall be separately tested and measured.

C.9 Gate-to-adjacent terminal breakover voltage, $V_{GK(BO)}$, $V_{GA(BO)}$

The purpose of this test is to determine the voltage difference between the gate supply and the breakover voltage of the TSS to allow calculation of the breakover voltage value over a range of supply voltages and ramp rates. Using the appropriate circuit of Figure C.5 or Figure C.6, the specified value of gate bias voltage, V_{GG} , shall be applied to the gate and the thyristor switched into the on-state by the generator connected across the protection terminals.

The peak value of gate-to-adjacent terminal voltage, at breakover, shall be measured (see example in Figure 43). The generator shall be the same as that used for the determination of $V_{(BO)}$. This test determines the gate-to-cathode voltage at breakover, $V_{GK(BO)}$, of a P-gate thyristor or the gate-to-anode voltage at breakover, $V_{GA(BO)}$, of an N-gate thyristor

Each gated switching polarity of the TSS shall be separately tested and measured.



IEC

Figure C.7 – Overall and expanded clamping waveforms for a P-type gate TSS showing $V_{GK(BO)}$ and Q_{GS} measurement ($di_K/dt = 10 \text{ A}/\mu\text{s}$, $V_{GG} = -72 \text{ V}$)

Annex D (normative)

Preferred values

D.1 General

This Annex lists preferred parameter values for 2-terminal diode TSS components. Certain parameters such as $V_{(BO)}$ and V_{DRM} , will have a defined relationship, whereas parameters like I_H are essentially independent. Manufacturers have not agreed on a common set of values and for some parameters as in D.2 and D.3 only a technology capability can be shown.

D.2 $V_{(BO)}$ and V_{DRM}

The $V_{(BO)}/V_{DRM}$ ratio is dependent on the manufacturing process and the value of V_{DRM} . Figure D.1 shows how $V_{(BO)}/V_{DRM}$ varies with V_{DRM} .

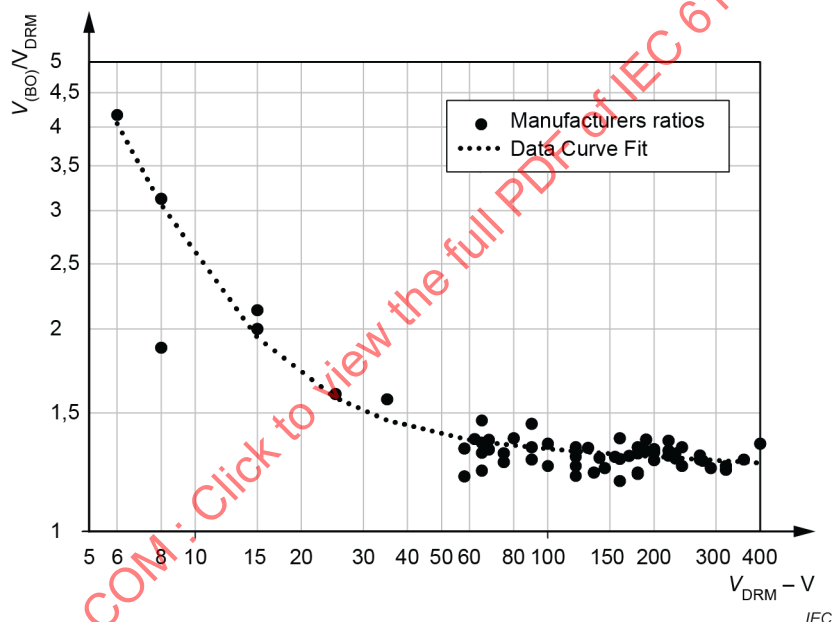
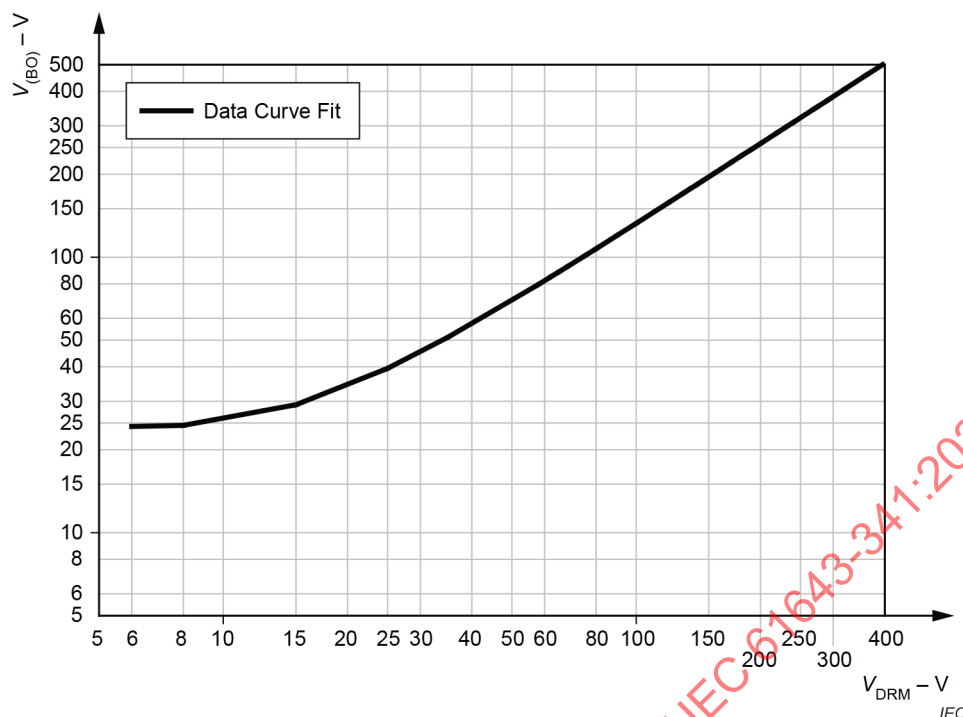


Figure D.1 – $V_{(BO)}/V_{DRM}$ ratio against V_{DRM}

Below about 50 V the manufacturing process changes to get the lower V_{DRM} voltages and this causes an increase in the $V_{(BO)}/V_{DRM}$ ratio. As guidance to what should be possible as a $V_{(BO)}$ value the data curve fit line is used to for the $V_{(BO)}$ plot in Figure D.2.

Figure D.2 – V_{BO} vs V_{DRM}

D.3 C_O , V_{DRM} and I_{PP}

The TSS chip size will be related to the I_{PP} rating. The TSS capacitance will depend on the breakdown area on the chip and the breakdown voltage. For the same chip structure, Figure D.3 shows the capacitance, C_O , variation with DC bias, V_{DC} , for repetitive off-state voltages, V_{DRM} , of 58 V, 90 V and 180 V.

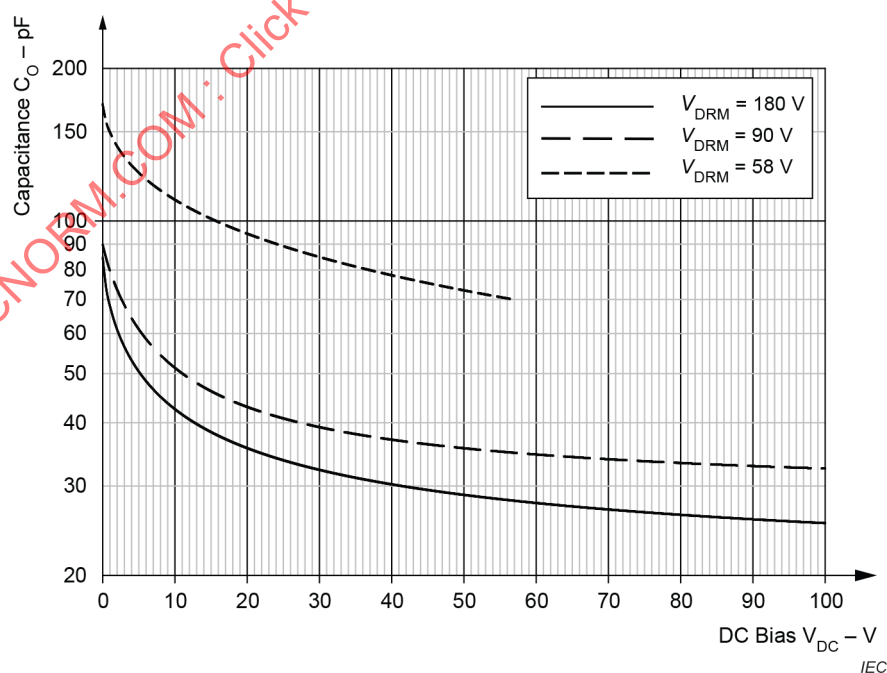


Figure D.3 – Capacitance variation with DC bias

To cater for asymmetrical and symmetrical TSS components a preferred DC bias value of 2 V shall be used to prevent the AC measuring bias of 1 V_{rms} reversing the applied voltage polarity. It is the capacitance change with voltage that causes the distortion of digital signals rather than the absolute value of capacitance. The capacitance change between two levels of DC bias is a better criterion than a single capacitance value. The TSS V_{DRM} value permitting, a second capacitance measurement should be taken at $V_{\text{DC}} = 50$ V. The capacitance change from 2 V to 50 V is more relevant capacitance value for digital applications.

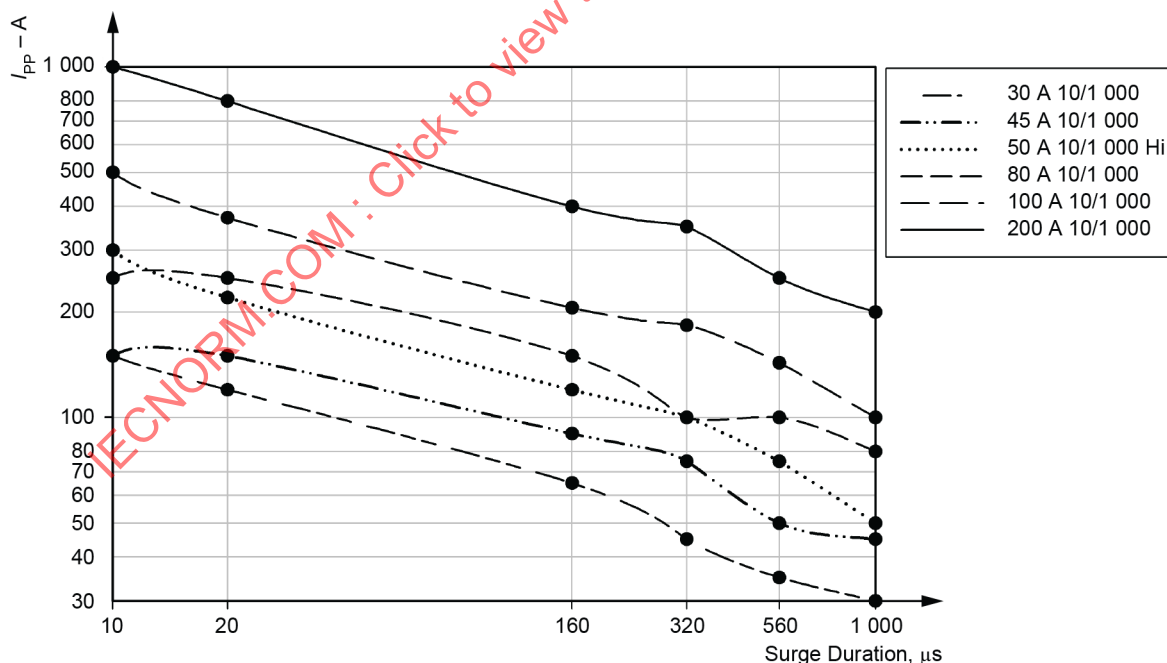
D.4 I_{H}

The variation of holding current, I_{H} , with temperature is predictable. It is sufficient to specify the holding current measurement at an ambient of 25 °C. Typical minimum current values are 150 mA and 225 mA for TSS components with V_{DRM} values above 50 V and I_{PP} ratings of 100 A, 10/1 000 or less. Due to the different manufacturing techniques and application use, TSS components with V_{DRM} values below 50 V will often have typical I_{H} values of 50 mA. Due to application use, TSS components with 200 A, 10/1 000 I_{PP} ratings will often have typical I_{H} values of 50 mA.

D.5 I_{PP} and time to half value (duration)

Difference in chip sizes, evaluation techniques and applied safety margins means that there isn't a universal normalized I_{PP} versus surge duration curve. Figure D.4 shows the variance between several TSS manufacturers. The symbols on a line represent the I_{PP} value at current waveshapes of 2/10, 8/20, 10/160, 5/320, 10/560 and 10/1 000.

The preferred I_{PP} 10/1 000 values used by manufacturers are; 30 A, 45 A, 50 A, 80 A, 100 A and 200 A.



IEC

Figure D.4 – I_{PP} versus Duration for various 10/1 000 current ratings

Bibliography

- [1] IEC 60060-1:2010, *High-voltage test techniques – Part 1: General definitions and test requirements*
- [2] IEC 60068-2-20:2008, *Environmental testing – Part 2-20: Tests – Test T: Test methods for solderability and resistance to soldering heat of devices with leads*
- [3] IEC 60068-2-21:2006, *Environmental testing – Part 2-21: Tests – Test U: Robustness of terminations and integral mounting devices*
- [4] IEC 60099-4:2014, *Surge arresters – Part 4: Metal-oxide surge arresters without gaps for a.c. systems*
- [5] IEC 60617, *Graphical symbols for diagrams – 12-month subscription to regularly updated online database comprising parts 2 to 13 of IEC 60617*
- [6] IEC 60721-3-3:2019, *Classification of environmental conditions – Part 3-3: Classification of groups of environmental parameters and their severities – Stationary use at weatherprotected locations*
- [7] IEC 60721-3-9:1993, *Classification of environmental conditions – Part 3: Classification of groups of environmental parameters and their severities – Section 9: Microclimates inside products*
- [8] IEC 60747-1:2006, *Semiconductor devices – Part 1: General*
IEC 60747-1:2006/AMD1:2010
- [9] IEC 60747-2:2016, *Semiconductor devices – Part 2: Discrete devices – Rectifier diodes*
- [10] IEC 60747-6:2016, *Semiconductor devices – Part 6: Discrete devices – Thyristors*
- [11] IEC 60749-1:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 1: General*
- [12] IEC 60950-1:2005, *Information technology equipment – Safety – Part 1: General requirements*
- [13] IEC 61000-4-5:2014, *Electromagnetic compatibility (EMC) – Part 4-5: Testing and measurement techniques – Surge immunity test*
- [14] IEC 61643-11:2011, *Low-voltage surge protective devices – Part 11: Surge protective devices connected to low-voltage power systems – Requirements and test methods*
- [15] IEC TR 62066:2002, *Surge overvoltages and surge protection in low-voltage a.c. power systems – General basic information*
- [16] IEC 62475:2010, *High-current test techniques – Definitions and requirements for test currents and measuring systems*
- [17] IEEE Std 4TM-1995, *IEEE Standard Techniques for High Voltage Testing*
- [18] Recommendation ITU-T K.44 (05/2012), *Resistibility tests for telecommunication equipment exposed to overvoltages and overcurrents – Basic Recommendation, Figure A.3-2*

- [19] Recommendation ITU-T K.44 (05/2018), *Resistibility tests for telecommunication equipment exposed to overvoltages and overcurrents – Basic Recommendation, Figure A.3-1*
- [20] C62.45-2002, *IEEE Recommended Practice on Surge Testing for Equipment Connected to Low-Voltage (1000 V and Less) AC Power Circuits*
- [21] GR-1089-CORE, Issue 6, *Electromagnetic Compatibility and Electrical Safety – Generic Criteria for Network Telecommunications Equipment*
- [22] TIA-968-B, *Telecommunications Telephone Terminal Equipment: Technical Requirements for Connection of Terminal Equipment to the Telephone Network*, August 2009

IECNORM.COM : Click to view the full PDF of IEC 61643-341:2020

IECNORM.COM : Click to view the full PDF of IEC 61643-341:2020

SOMMAIRE

AVANT-PROPOS	83
1 Domaine d'application	85
2 Références normatives	85
3 Termes, définitions, termes abrégés et symboles	85
3.1 Termes paramétriques, symboles littéraux et définitions	86
3.2 Termes généraux	86
3.3 Valeurs assignées des bornes maîtresses	87
3.4 Caractéristiques des bornes maîtresses	88
3.5 Paramètres complémentaires et dérivés	89
3.6 Paramètres relatifs à la température	90
3.7 Paramètres de gâchette	91
3.8 Termes abrégés	92
3.9 Symboles de circuit	93
4 Types de TSS	94
5 Conditions de fonctionnement	95
5.1 Conditions normales de fonctionnement	95
5.2 Domaine de températures de stockage, $T_{\text{stg min}}$ à $T_{\text{stg max}}$	96
6 Exigences mécaniques et identification	96
6.1 Robustesse des connexions	96
6.2 Soudage	96
6.3 Marquage	96
6.4 Documentation	96
7 Méthodes d'essais normalisés	97
7.1 Taux de défaillance	97
7.2 Conditions d'essais	97
7.2.1 Généralités	97
7.2.2 Conditions atmosphériques normales	97
7.2.3 Erreurs de mesure	97
7.2.4 Précision de la mesure	98
7.2.5 Forme et valeurs de choc spécifiées	98
7.2.6 TSS multiples	98
7.2.7 Essai des TSS à gâchette	98
7.3 Procédures d'essais des caractéristiques assignées	98
7.3.1 Généralités	98
7.3.2 Tension de pointe répétitive à l'état bloqué, V_{DRM}	98
7.3.3 Courant de pointe répétitif à l'état passant, I_{TRM}	99
7.3.4 Courant de pointe non répétitif à l'état passant, I_{TSM}	100
7.3.5 Courant de pointe non répétitif de choc, I_{pp}	101
7.3.6 Tension inverse de pointe répétitive, V_{RRM}	102
7.3.7 Courant direct de surcharge non répétitif, I_{FSM}	102
7.3.8 Courant direct de pointe répétitif, I_{FRM}	103
7.3.9 Vitesse critique de croissance du courant à l'état passant, di/dt	103
7.4 Procédures d'essais des caractéristiques	104
7.4.1 Généralités	104
7.4.2 Courant à l'état bloqué, I_{D}	104
7.4.3 Courant de pointe répétitif à l'état bloqué, I_{DRM}	105

7.4.4	Courant inverse de pointe répétitif, I_{RRM}	105
7.4.5	Tension de retournement $V_{(BO)}$ et courant de retournement $I_{(BO)}$	105
7.4.6	Tension à l'état passant, V_T	107
7.4.7	Courant de maintien, I_H	111
7.4.8	Capacité à l'état bloqué, C_O	112
7.4.9	Tension directe, V_F	115
7.4.10	Tension de recouvrement direct de crête, V_{FRM}	116
7.4.11	Vitesse critique de croissance de la tension à l'état bloqué, dv/dt	116
7.4.12	Variation du courant de maintien avec la température	117
7.4.13	Tension et courant de pointe à l'état bloqué entre gâchette et borne adjacente, V_{GDM} , I_{GDM}	117
7.4.14	Courant inverse de gâchette, borne adjacente ouverte, I_{GAO} , I_{GKO}	118
7.4.15	Courant inverse de gâchette, bornes maîtresses en court-circuit, I_{GAS} , I_{GKS}	118
Annexe A (informative) Formes d'onde de choc courantes		120
A.1	Généralités	120
A.2	Types de générateurs de choc	120
A.3	Paramètres de générateurs de choc	120
A.3.1	Glossaire des termes	120
A.3.2	Paramètres conventionnels	121
A.4	Générateurs de choc généralement utilisés pour les essais de parafoudre	123
A.4.1	Généralités	123
A.4.2	Générateurs de choc ayant une forme d'onde de tension définie	123
A.4.3	Générateurs de choc ayant une forme d'onde de courant définie	124
A.4.4	Générateurs ayant des formes d'onde de courant et de tension définies	125
Annexe B (informative) Glossaire des termes relatifs au thyristor de l'IEC 60747-6 [10]		128
B.1	Généralités	128
B.2	Types de thyristors	128
B.3	Termes de base définissant les caractéristiques de tension-courant statiques des thyristors à triode	129
B.4	Termes de base définissant les caractéristiques de tension-courant statiques des thyristors à diode	131
B.5	Particularités des caractéristiques de tension-courant statiques des thyristors à triode et à diode	132
B.6	Termes relatifs aux valeurs assignées et aux caractéristiques; tensions principales	134
B.7	Termes relatifs aux valeurs assignées et aux caractéristiques; courants principaux	135
B.8	Termes relatifs aux valeurs assignées et aux caractéristiques; tensions et courants de gâchette	138
B.9	Termes relatifs aux valeurs assignées et aux caractéristiques; puissances, énergies et pertes	140
B.10	Symboles littéraux	142
B.10.1	Généralités	142
B.10.2	Liste des symboles littéraux	142
Annexe C (informative) Essais paramétriques supplémentaires		145
C.1	Généralités	145
C.2	Déclassement en température	145
C.3	Résistance thermique, R_{th}	145
C.4	Impédance thermique transitoire, $Z_{th}(t)$	146

C.5	Courant inverse de gâchette, à l'état passant, I_{GAT} , I_{GKT}	148
C.6	Courant inverse de gâchette, en conduction directe, I_{GAF} , I_{GKF}	149
C.7	Charge de commutation de la gâchette, Q_{GS}	150
C.8	Courant de commutation de crête de gâchette, I_{GSM}	152
C.9	Tension de retournement entre gâchette et borne adjacente, $V_{GK(BO)}$, $V_{GA(BO)}$	153
Annexe D	(normative) Valeurs préférentielles	154
D.1	Généralités	154
D.2	$V_{(BO)}$ et V_{DRM}	154
D.3	C_O , V_{DRM} et I_{PP}	155
D.4	I_H	156
D.5	I_{PP} et durée jusqu'à mi-valeur	156
Bibliographie		157
Figure 1	– Tension fixe, deux bornes: a) blocage inverse et b) conduction inverse	93
Figure 2	– Blocage inverse à gâchette: a) gâchette P, b) gâchette N et c) gâchettes P et N	93
Figure 3	– Conduction inverse à gâchette: a) gâchette P et b) gâchette N	94
Figure 4	– Bidirectionnel: a) tension fixe à 2 bornes et b) à gâchette	94
Figure 5	– Quadrant ayant une caractéristique de commutation: a) TSS à tension fixe et b) TSS à gâchette	95
Figure 6	– TSS n'ayant pas de caractéristiques de commutation: a) blocage inverse et b) conduction inverse	95
Figure 7	– Circuit d'essai pour la vérification de la tension de pointe répétitive à l'état bloqué (V_{DRM})	99
Figure 8	– Circuit d'essai pour la vérification du courant de pointe répétitif à l'état passant (I_{TRM})	99
Figure 9	– Formes d'onde du courant de pointe répétitif à l'état passant	100
Figure 10	– Circuit d'essai pour la vérification du courant de pointe non répétitif à l'état passant (I_{TSM})	101
Figure 11	– Circuit d'essai pour la vérification du courant de pointe non répétitif de choc (I_{PP})	102
Figure 12	– Circuit d'essai pour la vérification de la vitesse critique de croissance du courant à l'état passant (di/dt)	103
Figure 13	– Circuit d'essai de demi-onde sinusoïdale di/dt	104
Figure 14	– Circuit d'essai pour la mesure du courant à l'état bloqué (I_D à V_D)	105
Figure 15	– Circuit d'essai pour la tension de retournement $V_{(BO)}$, le courant de retournement $I_{(BO)}$ et la tension à l'état passant V_T	106
Figure 16	– Formes d'onde de tension et de courant en fonction du temps pour un TSS à tension fixe représentant des événements de mise sous tension, d'état passant et de mise hors tension	106
Figure 17	– Extensions de formes d'onde de la Figure 16	108
Figure 18	– Formes d'onde de tension et de courant en fonction du temps pour un TSS à gâchette représentant des événements de mise sous tension, d'état passant et de mise hors tension	109
Figure 19	– Extensions de formes d'onde de la Figure 18	110
Figure 20	– Circuit d'essai pour le courant de maintien (I_H)	111
Figure 21	– Circuit d'essai pour le courant de maintien avec une tension continue complémentaire	112
Figure 22	– Circuit d'essai pour la mesure de capacité	112

Figure 23 – Circuit d'essai pour la mesure de capacité avec tension continue externe	113
Figure 24 – Circuit d'essai pour la mesure de capacité d'un TSS à bornes multiples	114
Figure 25 – Formes d'onde de tension et de courant pour une diode en fonction du temps représentant V_{FRM} et la montée du courant di/dt	115
Figure 26 – Circuit d'essai pour la vitesse critique exponentielle de croissance de la tension à l'état bloqué (dv/dt)	116
Figure 27 – Circuit d'essai pour la tension et le courant de pointe à l'état bloqué entre gâchette et borne adjacente (V_{GDM} et I_{GDM})	117
Figure 28 – Circuit d'essai pour le courant inverse de gâchette, borne adjacente ouverte (I_{GAO} , I_{GKO})	118
Figure 29 – Circuit d'essai pour le courant inverse de gâchette, bornes maîtresses en court-circuit (I_{GAS} , I_{GKS})	119
Figure A.1 – Amplitude du courant de choc ou de la tension de choc en fonction du temps, représentant une durée de front T_1 de 10 % à 90 % et une durée jusqu'à mi-valeur T_2	122
Figure A.2 – Amplitude de la tension de choc en fonction du temps, représentant une durée de front T_1 de 30 % à 90 % et une durée jusqu'à mi-valeur T_2	123
Figure B.1 – Particularités de la caractéristique statique des thyristors unidirectionnels	132
Figure B.2 – Particularités de la caractéristique statique des thyristors bidirectionnels	133
Figure B.3 – a) Approximation de la caractéristique V_T-I_T à l'état passant b) Approximation de la caractéristique V_R-I_R inverse	141
Figure C.1 – Circuit d'essai pour la mesure de la résistance thermique et de l'impédance	146
Figure C.2 – Impédance thermique en fonction du temps	147
Figure C.3 – Circuit d'essai pour le courant inverse de gâchette à l'état passant, I_{GAT} , I_{GKT}	149
Figure C.4 – Circuit d'essai pour courant inverse de gâchette, en conduction directe, I_{GAF} , I_{GKF}	150
Figure C.5 – Circuit d'essai pour le courant de commutation de gâchette, la charge de commutation de gâchette et la tension de retournement entre gâchette et borne adjacente, I_{GSM} , Q_{GS} , $V_{GK(BO)}$, $V_{GA(BO)}$	151
Figure C.6 – Circuit d'essai d'un TSS à diode à gâchette intégrée, pour le courant de commutation de gâchette, la charge de commutation de gâchette et la tension de retournement entre gâchette et borne adjacente, I_{GSM} , Q_{GS} , $V_{GK(BO)}$, $V_{GA(BO)}$	152
Figure C.7 – Formes d'onde d'écrtage d'ensemble et étendues pour un TSS à gâchette de type P indiquant $V_{GK(BO)}$ et Q_{GS} ($di_K/dt = 10 \text{ A}/\mu\text{s}$, $V_{GG} = -72 \text{ V}$)	153
Figure D.1 – Rapport $V_{(BO)}/V_{DRM}$ en fonction de V_{DRM}	154
Figure D.2 – $V_{(BO)}$ par rapport à V_{DRM}	155
Figure D.3 – Variation de capacité en fonction de la tension continue	155
Figure D.4 – Valeurs de I_{pp} en fonction de la durée pour différentes valeurs assignées de courant (10/1 000)	156
Tableau 1 – Types de TSS	94
Tableau 2 – Valeurs d'essai de taux de montée de retournement	107
Tableau A.1 – Générateurs de tensions de choc	124
Tableau A.2 – Générateurs de courants de choc	125
Tableau A.3 – Générateurs de tensions et de courants de choc	126
Tableau A.4 – Autres générateurs de tensions et de courants de choc	127
Tableau B.1 – Indices généraux supplémentaires	142

Tableau B.2 – Tensions principales, tension d'anode-cathode	142
Tableau B.3 – Courants principaux, courants d'anode, courants de cathode	143
Tableau B.4 – Tensions de gâchette	143
Tableau B.5 – Courants de gâchette	143
Tableau B.6 – Grandeurs variées	144
Tableau B.7 – Perte de puissance	144

IECNORM.COM : Click to view the full PDF of IEC 61643-341:2020

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

COMPOSANTS POUR PARAFODRES BASSE TENSION –

**Partie 341: Exigences de performance et circuits d'essai
pour parafoudres à thyristor (TSS)**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 61643-341 a été établie par le sous-comité 37B, Composants pour parafoudres basse tension, du comité d'études 37 de l'IEC: Parafoudres.

Cette deuxième édition de l'IEC 61643-341 annule et remplace la première édition parue en 2001. Cette édition constitue une révision technique.

Cette édition inclut la modification technique majeure suivante par rapport à l'édition précédente: Ajout de valeurs de performances.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
37B/218/FDIS	37B/220/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 61643, publiées sous le titre général *Composants pour parafoudres basse tension*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IECNORM.COM : Click to view the full PDF of IEC 61643-341:2020

COMPOSANTS POUR PARAFODRES BASSE TENSION –

Partie 341: Exigences de performance et circuits d'essai pour parafoudres à thyristor (TSS)

1 Domaine d'application

La présente partie de l'IEC 61643 spécifie les circuits d'essai et les méthodes normalisés pour les composants de parafoudre à thyristor (TSS, *Thyristor Surge Suppressor*). Ces composants de protection contre les surtensions (SPC, *Surge Protective Components*) sont des thyristors spécialement conçus pour limiter les surtensions et écouler les courants de surcharge par des actions d'écrêtage et de commutation. Ces SPC sont utilisés dans la construction de parafoudres (SPD, *Surge Protective Devices*) et d'équipements utilisés dans les réseaux de technologies de l'information et de la communication (TIC) dont les tensions atteignent 1 000 V CA et 1 500 V CC. Le présent document s'applique aux composants TSS à gâchette ou non, équipés d'un troisième quadrant ($-v$ et $-i$) ayant des caractéristiques de blocage, de conduction ou de commutation.

Le présent document contient des indications sur:

- la terminologie;
- les symboles littéraux;
- les valeurs assignées et les caractéristiques essentielles;
- la vérification des valeurs assignées et la mesure des caractéristiques.

Le présent document ne s'applique pas aux thyristors conventionnels à trois bornes couverts dans l'IEC 60747-6.

2 Références normatives

Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60050-521, *Vocabulaire Electrotechnique International – Partie 521: Dispositifs à semiconducteurs et circuits intégrés*

IEC 60068-2-20:2008, *Environmental testing – Part 2-20: Tests – Test T: Test methods for solderability and resistance to soldering heat of devices with leads* (disponible en anglais seulement)

3 Termes, définitions, termes abrégés et symboles

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.1 Termes paramétriques, symboles littéraux et définitions

Les termes, symboles littéraux et définitions issus des normes concernant les thyristors conventionnels (IEC 60747-6) et les diodes de redressement (IEC 60747-2) sont utilisés, le cas échéant. Les définitions fournies pour un TSS et un thyristor conventionnel sont identiques ou similaires. Pour éviter la profusion de termes, le mot "thyristor", utilisé dans les termes du présent document, est synonyme de "TSS".

NOTE 1 Comme indiqué en 4.2.2 (Lettres fondamentales) de l'IEC 60747-1, "l'IEC 60027 recommande les lettres V et v seulement en tant que symboles de réserve pour la tension; cependant, dans le domaine des dispositifs à semiconducteurs, elles sont si largement utilisées que dans cette publication elles ont été préférées à U et u ". Le présent document utilise les lettres V et v pour les tensions et les lettres U et u en remplacement.

NOTE 2 Si plusieurs formes de symboles sont utilisées, la plus courante est donnée en premier.

3.2 Termes généraux

3.2.1 technologies de l'information et de la communication

TIC

groupe d'applications utilisant les technologies de l'information et de la communication (télécommunication)

[SOURCE: ISO/IEC 24704:2004, 3.1.5]

3.2.2 surintensité

tout courant ayant une valeur de crête dépassant la valeur de crête correspondante du courant maximal en régime permanent dans les conditions normales de fonctionnement

[SOURCE: IEC 60664-2-1, éd. 2.0 (2011-01), 3.21, modifiée (remplacement de "surtension" par "sursurintensité" et de "tension" par "courant")]

3.2.3 surtension

toute tension ayant une valeur de crête dépassant la valeur de crête correspondante de la tension maximale en régime permanent dans les conditions normales de fonctionnement

[SOURCE: IEC 60664-2-1, éd. 2.0 (2011-01), 3.21]

3.2.4 parafoudre SPD

dispositif qui limite la tension d'un ou de plusieurs ports, générée par une impulsion lorsqu'elle dépasse un niveau prédéterminé

Note 1 à l'article: Des fonctions secondaires peuvent y être incorporées, telles que la limitation de courant pour limiter le courant dans les bornes.

Note 2 à l'article: Le circuit de protection dispose habituellement d'au moins un composant de protection contre les surtensions limiteur de tension et non linéaire.

Note 3 à l'article: Un parafoudre est un ensemble complet, disposant de bornes pour le raccordement aux conducteurs du circuit.

Note 4 à l'article: L'abréviation "SPD" est dérivée du terme anglais développé correspondant "surge protective device".

[SOURCE: IEC 61643-21:2008, 3.8]

3.3 Valeurs assignées des bornes maîtresses

Les valeurs assignées présentées traitent des exigences relatives aux quadrants de blocage, de conduction et de commutation.

3.3.1

tension de pointe répétitive à l'état bloqué

V_{DRM}

valeur instantanée la plus élevée de la tension à l'état bloqué, incluant toutes les tensions transitoires répétitives, mais excluant toutes les tensions transitoires non répétitives

[SOURCE: IEC 60747-6:2000, 3.5.12[10]¹, modifiée (suppression de la note)]

3.3.2

courant de pointe répétitif à l'état passant

I_{TRM}

valeur de crête du courant à l'état passant, incluant tous les courants transitoires répétitifs

[SOURCE: IEC 60747-6:2000, 3.6.15[10], modifiée (suppression de la figure)]

3.3.3

courant de surcharge à l'état passant

I_{TSM}

impulsion de courant passant de courte durée et de forme d'onde déterminée, dont l'application provoque ou risque de provoquer le dépassement de la température virtuelle de jonction assignée maximale, mais qui est censée avoir lieu rarement et présenter un nombre limité d'événements pendant la durée en service du dispositif, et être la conséquence de conditions de circuit inhabituelles

[SOURCE: IEC 60747-6:2000, 3.6.17[10], modifiée (suppression de "(par exemple, un défaut) (voir Figure 4)")]

3.3.4

courant de pointe non répétitif de choc

I_{PP}

valeur assignée maximale (crête) du courant de choc de crête de forme d'onde et de fréquence spécifiées pouvant être appliqué

3.3.5

tension inverse de pointe répétitive (d'un thyristor unidirectionnel)

V_{RRM}

valeur instantanée la plus élevée de la tension inverse, incluant toutes les tensions transitoires répétitives, mais excluant toutes les tensions transitoires non répétitives

[SOURCE: IEC 60747-6:2000, 3.5.6[10], modifiée (suppression de la Note)]

¹ Les chiffres entre crochets se réfèrent à la bibliographie.

3.3.6

courant direct de surcharge non répétitif

I_{FSM}

impulsion de courant direct de courte durée et de forme d'onde spécifiée, dont l'application provoque ou peut provoquer un dépassement de la valeur assignée maximale de la température de jonction, mais qui par hypothèse ne se produit que rarement et un nombre limité de fois durant la vie du dispositif, et est la conséquence de conditions inhabituelles dans le circuit (par exemple un défaut)

[SOURCE: IEC 60747-2:2000, 3.3.6[9], modifiée (le terme original était "courant direct de surcharge accidentelle")]

3.3.7

courant direct de pointe répétitif (diode)

I_{FRM}

valeur de pointe du courant direct incluant tous les courants transitoires répétitifs

[SOURCE: IEC 60747-2:2000, 3.3.4[9]]

3.3.8

vitesse critique de croissance du courant à l'état passant

di_T/dt_{cr}

valeur la plus élevée de la vitesse de croissance du courant à l'état passant qu'un thyristor peut supporter sans détérioration

[SOURCE: IEC 60747-6:2000, 3.6.23[10]]

3.4 Caractéristiques des bornes maîtresses

3.4.1

tension à l'état bloqué

V_D

tension d'anode, principale ou de thyristor lorsque le thyristor est à l'état bloqué

[SOURCE: IEC 60747-6:2000, 3.5.9[10]]

3.4.2

courant à l'état bloqué

I_D

courant d'anode, principal ou de thyristor lorsque le thyristor est à l'état bloqué

[SOURCE: IEC 60747-6:2000, 3.6.26[10]]

3.4.3

courant de pointe à l'état bloqué

I_{DRM}

valeur maximale (crête) du courant à l'état bloqué due à l'application de la tension de pointe répétitive à l'état bloqué V_{DRM}

3.4.4

tension de retournement

$V_{(BO)}$

tension au point de retournement

[SOURCE: IEC 60747-6:2000, 3.5.1[10]]

3.4.5**courant de maintien** I_H

courant minimal d'anode, principal ou de thyristor nécessaire pour maintenir le thyristor à l'état passant

[SOURCE: IEC 60747-6:2000, 3.6.25[10]]

3.4.6**capacité à l'état bloqué** C_o, C_J

capacité différentielle au niveau des bornes spécifiées à l'état bloqué mesurée pour des valeurs spécifiées de fréquence, f , d'amplitude, V_d , et de tension continue, V_D

3.4.7**courant inverse de pointe répétitif** I_{RRM}

valeur maximale (crête) du courant inverse due à l'application de la tension inverse de pointe répétitive V_{RRM}

3.4.8**tension de recouvrement direct (diode)** V_{FRM}

tension variable qui se produit pendant le temps de recouvrement direct, après commutation instantanée à partir de zéro ou d'une tension inverse spécifiée jusqu'à un courant direct spécifié

[SOURCE: IEC 60747-2:2000, 3.2.3[9]]

3.5 Paramètres complémentaires et dérivés

Les paramètres dérivés et mesurés suivants peuvent être nécessaires ou utiles pour des comparaisons, certaines applications ou des processus statistiques.

3.5.1**courant de retournement** $I_{(BO)}$

courant d'anode, principal ou de thyristor au point de retournement

[SOURCE: IEC 60747-6:2000, 3.6.1[10]]

3.5.2**tension à l'état passant** V_T

tension d'anode, principale ou de thyristor lorsque le thyristor est à l'état passant

[SOURCE: IEC 60747-6:2000, 3.5.8[10]]

3.5.3**courant à l'état passant** I_T

courant d'anode, principal ou de thyristor lorsque le thyristor est à l'état passant

[SOURCE: IEC 60747-6:2000, 3.6.9[10]]

3.5.4**tension directe (diode)** V_F

tension entre les bornes provoquée par la circulation du courant dans le sens direct

[SOURCE: IEC 60747-2:2000, 3.2.1[9]]

3.5.5**courant direct (diode)** I_F

courant dans le dispositif en conduction directe

3.6 Paramètres relatifs à la température

Tous les paramètres des TSS à semiconducteurs sont dépendants de la température. Le besoin d'une information relative à cette dépendance peut souvent être supprimé en spécifiant qu'il convient que les valeurs maximales et minimales des paramètres soient valables dans tout le domaine spécifié de températures. Des définitions communes relatives à la température sont données ci-après.

3.6.1**variation du courant de maintien avec la température**

variation du courant de maintien, I_H , avec la variation de température; elle est indiquée sur un graphique

3.6.2**déclassement en température**

déclassement avec une température supérieure à une température de base spécifiée, exprimé en pourcentage, pouvant être appliqué au courant de choc de crête

3.6.3**résistance thermique** $R_{thJL}, R_{thJC}, R_{thJA} (R_{\theta JL}, R_{\theta JC}, R_{\theta JA})$

élévation réelle de la température par unité de puissance de dissipation d'une jonction définie, au-dessus d'une température de référence définie à l'extérieur (fil, boîtier ou air ambiant) dans des conditions d'équilibre thermique

Note 1 à l'article: La résistance thermique s'exprime généralement en K/W ou en °C/W en remplacement.

3.6.4**impédance thermique transitoire** $Z_{thJL}(t), Z_{thJC}(t), Z_{thJA}(t) (Z_{\theta JL}(t), Z_{\theta JC}(t), Z_{\theta JA}(t))$

variation de la différence entre la température virtuelle de jonction et la température d'un point ou d'une région de référence (fil, boîtier, air ambiant) en fin d'intervalle de temps, divisée par le pas de changement de dissipation de puissance au début du même intervalle, entraînant la variation de la différence de température

Note 1 à l'article: L'impédance thermique s'exprime généralement en K/W ou en °C/W en remplacement.

Note 2 à l'article: Il s'agit de l'impédance thermique de la jonction lors de variations; elle est généralement donnée sous forme de courbe en fonction de la durée d'une impulsion de puissance appliquée.

3.6.5

température (virtuelle) de jonction

T_J, T_{VJ}

température théorique représentant la température de la jonction calculée selon un modèle simplifié du comportement électrique et thermique du dispositif

Note 1 à l'article: Le terme "température virtuelle de jonction" est particulièrement applicable aux semiconducteurs à jonctions multiples et est utilisé pour mentionner la température de l'élément actif du semiconducteur quand cela est exigé par les spécifications et les méthodes d'essai. Le terme "température de jonction", T_J , est utilisé en remplacement du terme "température virtuelle de jonction", T_{VJ} , dans la présente norme.

3.6.6

température maximale de jonction

T_{JM}

valeur maximale admise pour la température de jonction, due à son propre échauffement, et qu'un TSS peut supporter sans dommage

3.6.7

domaine de températures de stockage

T_{stgmin} à T_{stgmax}

domaine de températures dans lequel le dispositif peut être stocké hors tension

3.7 Paramètres de gâchette

3.7.1

courant d'amorçage par la gâchette

I_{GT}

courant de gâchette le plus faible nécessaire pour commuter le dispositif de l'état bloqué à l'état passant

3.7.2

tension d'amorçage par la gâchette

V_{GT}

tension de gâchette nécessaire pour produire le courant d'amorçage par la gâchette, I_{GT}

3.7.3

tension de pointe à l'état bloqué entre gâchette et borne adjacente

V_{GDM}

tension maximale entre gâchette et cathode pour un composant P ou entre gâchette et anode pour un composant N, pouvant être appliquée de manière qu'un courant spécifié à l'état bloqué I_D sous une tension assignée à l'état bloqué V_D ne soit pas dépassé

3.7.4

courant de pointe de gâchette à l'état bloqué

I_{GDM}

courant maximal de gâchette dû à l'application de la tension de pointe de gâchette à l'état bloqué V_{GDM}

3.7.5

courant inverse de gâchette, borne adjacente ouverte

I_{GAO}, I_{GKO}

courant s'écoulant dans la gâchette si une tension de polarisation de gâchette spécifiée, V_G , est appliquée et si la borne de cathode pour un composant P ou la borne d'anode pour un composant N est ouverte

3.7.6

courant inverse de gâchette, bornes maîtresses court-circuitées

I_{GAS}, I_{GKS}

courant s'écoulant dans la gâchette si une tension de polarisation de gâchette spécifiée, V_G , est appliquée et si la borne de cathode pour un composant P ou la borne d'anode pour un composant N est court-circuitée, aux trois bornes

Note 1 à l'article: Cette définition n'est applicable qu'aux composants avec gâchettes en série pour diodes de blocage.

3.7.7

courant inverse de gâchette, à l'état passant

I_{GAT}, I_{GKT}

courant s'écoulant dans la gâchette si une tension de polarisation de gâchette spécifiée, V_G , est appliquée avec un courant spécifié à l'état passant, I_T

Note 1 à l'article: Cette définition n'est applicable qu'aux composants avec gâchettes en série pour diodes de blocage.

3.7.8

courant inverse de gâchette, en conduction directe

I_{GAF}, I_{GKF}

courant s'écoulant dans la gâchette si une tension de polarisation de gâchette spécifiée, V_G , est appliquée avec un courant spécifié en conduction directe, I_F

Note 1 à l'article: Cette définition n'est applicable qu'aux composants de conduction unidirectionnels avec gâchettes en série pour diodes de blocage.

3.7.9

charge de commutation de la gâchette

Q_{GS}

charge de la gâchette, dans des conditions de choc, lors de la transition de l'état bloqué au point de retournement, sous une tension de polarisation de gâchette spécifiée V_G

3.7.10

courant de crête de commutation de gâchette

I_{GSM}

valeur maximale du courant dans la gâchette lors de la transition de l'état bloqué au point de retournement, sous une tension de polarisation de gâchette spécifiée V_G

3.7.11

tension de retournement entre gâchette et borne adjacente

$V_{GK(BO)}, V_{GA(BO)}$

tension entre gâchette et cathode pour un composant P ou tension entre gâchette et anode pour un composant N, au point de retournement

Note 1 à l'article: Cela est équivalent à la différence de tension entre la tension de retournement, $V_{(BO)}$, et la tension spécifiée de gâchette, V_G .

3.8 Termes abrégés

CA Courant alternatif

CC Courant continu

TIC Technologie de l'information et de la communication

TSS Thyristor Surge Suppressor (parafoudre à thyristor)

SPC Surge Protective Component (composant de protection contre les surtensions)

SPD Surge Protective Device (parafoudre)

TRIAC TRIode for Alternating Current (thyristor à triode bidirectionnel)

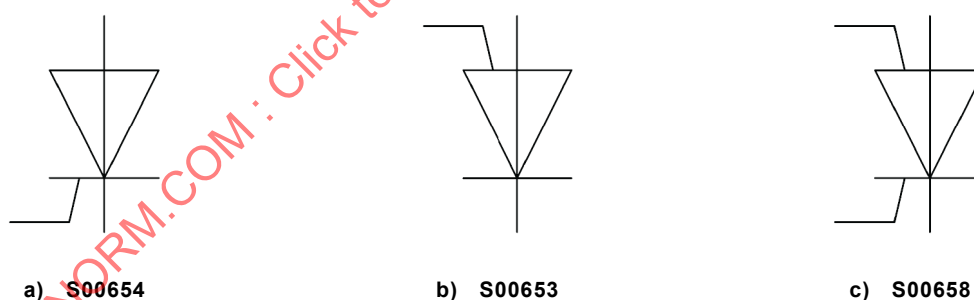
3.9 Symboles de circuit

Les thyristors peuvent être conçus comme des composants à deux bornes (tension fixe) ou comporter des bornes complémentaires connectées à des couches P ou N intermédiaires (à gâchette). Ils peuvent également comporter un ou deux quadrants de commutation. La Figure 1 représente les symboles de circuit pour des TSS à tension fixe comportant deux bornes et un quadrant de commutation fondés sur la série IEC 60617[5] S006XX définissant les symboles graphiques pour les diagrammes. Le quadrant ayant la caractéristique de commutation apparaît lorsque la borne du haut est positive par rapport à la borne du bas (voir Figure 1 à Figure 3).



Figure 1 – Tension fixe, deux bornes: a) blocage inverse et b) conduction inverse

La Figure 2 représente les symboles de circuit pour des TSS à blocage inverse à gâchette (un quadrant de commutation) fondés sur la série IEC 60617[5] S006XX définissant les symboles graphiques pour les diagrammes.



**Figure 2 – Blocage inverse à gâchette:
a) gâchette P, b) gâchette N et
c) gâchettes P et N**

La Figure 3 représente les symboles de circuit pour des TSS à conduction inverse à gâchette (un quadrant de commutation) fondés sur la série IEC 60617[5] S006XX définissant les symboles graphiques pour les diagrammes.



Figure 3 – Conduction inverse à gâchette: a) gâchette P et b) gâchette N

La Figure 4 représente les symboles de circuit pour des TSS bidirectionnels (deux quadrants de commutation) fondés sur la série IEC 60617[5] S006XX définissant les symboles graphiques pour les diagrammes. Le quadrant ayant la caractéristique de commutation s'applique à n'importe quelle polarité de la borne du haut.



Figure 4 – Bidirectionnel: a) tension fixe à 2 bornes et b) à gâchette

4 Types de TSS

Les TSS sont classés selon le type de caractéristique dans les quadrants I et III, et selon le nombre de bornes (voir Tableau 1). Au moins un quadrant possède la caractéristique de commutation (voir Figure 5). L'autre quadrant peut avoir une caractéristique de commutation, de blocage ou de conduction de diode (voir Figure 5 et Figure 6). Les thyristors comportant un seul quadrant de commutation sont appelés "thyristors unidirectionnels" et peuvent avoir deux bornes (diode), trois bornes (triode) ou quatre bornes (tétrode). En outre, les thyristors comportant deux quadrants de commutation sont appelés "thyristors bidirectionnels".

Tableau 1 – Types de TSS

Nombre de bornes	Autres caractéristiques du quadrant		
	Blocage	Conduction	Coupure
2 (diode)	TSS à diode à blocage inverse Figure 1	TSS à conduction inverse Figure 1	TSS à diode bidirectionnel Figure 4
3 (triode)	TSS à triode à blocage inverse, à gâchette P ou N Figure 2	TSS à triode à conduction inverse, à gâchette P ou N Figure 3	TSS à triode bidirectionnel à gâchette P ou N, ou à gâchettes P et N (TRIAC) Figure 4
4 (tétrode)	TSS à tétrode à blocage inverse, à gâchettes P et N Figure 2		

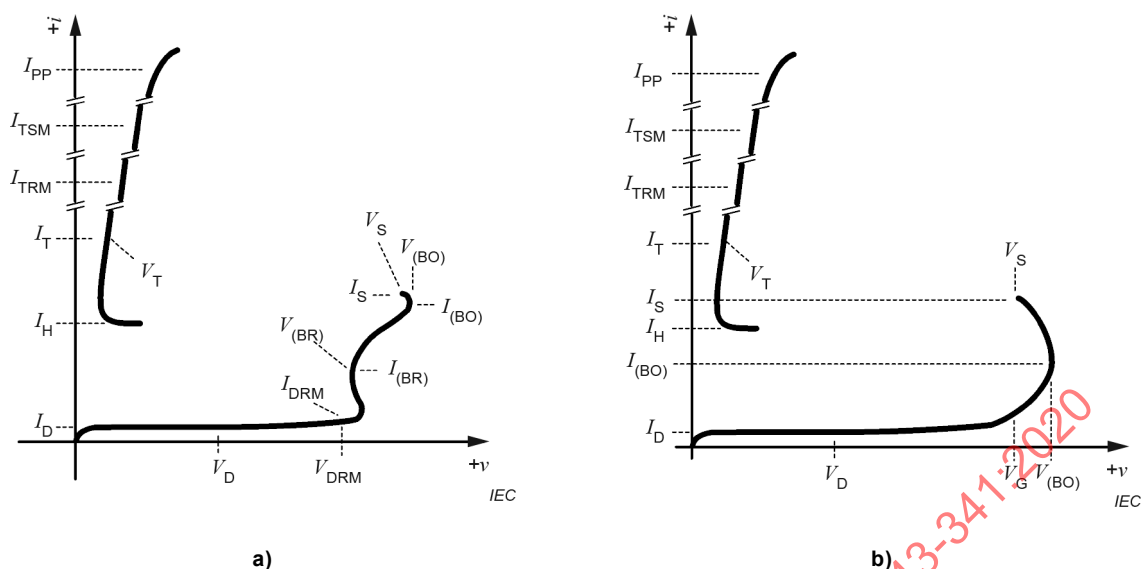


Figure 5 – Quadrant ayant une caractéristique de commutation:
a) TSS à tension fixe et b) TSS à gâchette

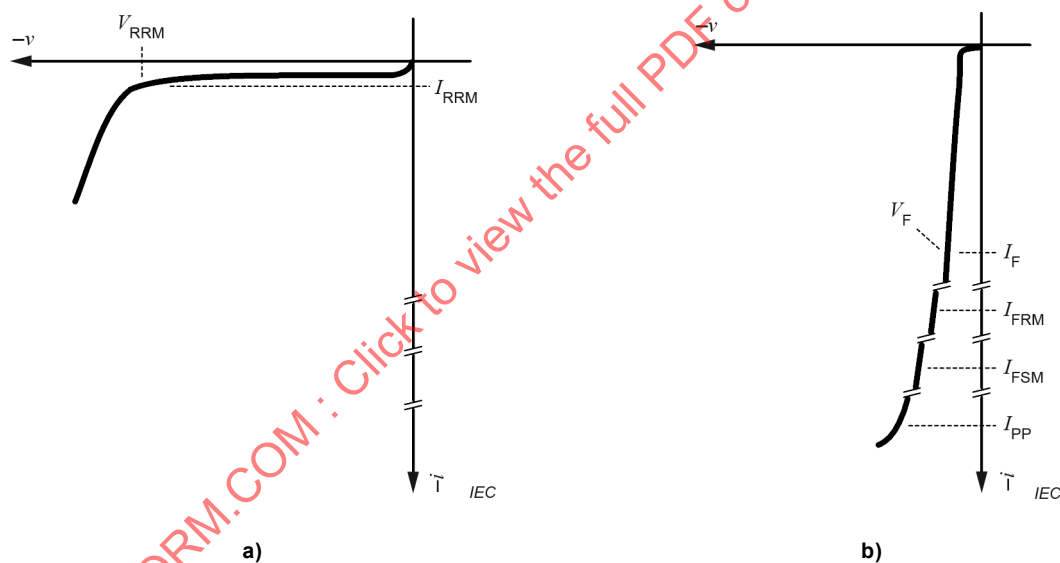


Figure 6 – TSS n'ayant pas de caractéristiques de commutation:
a) blocage inverse et b) conduction inverse

5 Conditions de fonctionnement

5.1 Conditions normales de fonctionnement

Le TSS est normalement monté dans un équipement ou un module, créant ainsi des conditions de microclimat (voir l'IEC 60721-3-9 [7]). Un TSS conforme au présent document doit être approprié à un usage fixe protégé contre les intempéries (voir l'IEC 60721-3-3 [6]). En l'absence d'exigences particulières, ces TSS doivent être appropriés aux conditions normales suivantes et à une ou plusieurs conditions des deux microclimats:

a) Microclimat normal

température de l'air ambiant dans la plage de 0 °C à 70 °C;

pression de l'air dans la plage de 80 kPa à 106 kPa;

humidité relative dans la plage de 25 % à 75 %.

b) Microclimat étendu

température de l'air ambiant dans la plage de –40 °C à 85 °C;

pression de l'air dans la plage de 70 kPa à 106 kPa;

humidité relative dans la plage de 10 % à 95 %.

5.2 Domaine de températures de stockage, T_{stgmin} à T_{stgmax} .

Les températures dans lesquelles le thyristor peut être stocké hors tension sont comprises dans les domaines de températures préférentiels suivants (extraits de l'IEC 60747-1[8] et de l'IEC 60749[11]):

0 °C à 125 °C;

–55 °C à 125 °C;

–65 °C à 150 °C.

6 Exigences mécaniques et identification

6.1 Robustesse des connexions

Le cas échéant, l'utilisateur doit spécifier un essai pertinent de l'IEC 60068-2-21[3].

6.2 Soudage

Les connexions soudées doivent satisfaire aux exigences de l'IEC 60068-2-20[2].

6.3 Marquage

Si nécessaire, un marquage lisible et permanent doit être appliqué sur le composant de protection contre les surtensions pour garantir que l'utilisateur puisse déterminer les informations suivantes par examen:

a) fabricant;

b) année de fabrication;

c) numéro ou code du composant.

Il convient de marquer l'identification du client sur chaque composant, si le marquage a fait l'objet d'une demande et d'un accord.

NOTE Les informations nécessaires peuvent également être codées.

6.4 Documentation

Les documents doivent être fournis à l'utilisateur de sorte qu'il puisse déterminer les informations complémentaires suivantes à partir des informations fournies en 6.3:

a) paramètres de composant appropriés définis dans le présent document;

b) exigences et processus de montage des composants;

c) informations relatives aux commandes.

Il convient que l'utilisateur fournisse les indications suivantes:

a) dessin donnant l'ensemble des dimensions, les finitions et les détails des connexions;

b) type ou modèle;

c) quantité;

d) exigences concernant l'assurance qualité.

7 Méthodes d'essais normalisés

7.1 Taux de défaillance

Il convient que les exigences concernant l'assurance qualité couvrent le nombre d'échantillons, les caractéristiques électriques à soumettre à l'essai, etc. qui ne sont pas couverts par le présent document.

7.2 Conditions d'essais

7.2.1 Généralités

Les essais portant sur les valeurs assignées et les caractéristiques doivent être effectués sur le TSS selon les exigences de l'application ou selon les spécifications du composant. Le TSS doit être soumis à l'essai dans des conditions spécifiques d'environnement, telles que domaine de températures ou configuration de montage.

7.2.2 Conditions atmosphériques normales

Toutes les mesures électriques à température ambiante, ainsi que le retour à l'équilibre après les mesures, doivent être effectuées dans les conditions suivantes recommandées en 4.1 de l'IEC 60749-1:2002[11]:

- température: 20 °C à 30 °C;
- humidité relative: 25 % à 75 %, le cas échéant;
- pression de l'air: 80 kPa à 106 kPa.

Les essais d'arbitrage doivent être effectués dans les conditions atmosphériques normales suivantes (voir 4.1 de l'IEC 60749-1:2002[11]):

- température: 24 °C à 26 °C;
- humidité relative: 25 % à 75 %;
- pression de l'air: 80 kPa à 106 kPa.

Si les paramètres des TSS font l'objet d'un essai dans un domaine de températures, il convient de choisir les valeurs appropriées dans la liste des valeurs de température recommandées fournie dans l'IEC 60721-3-3:2019[6].

Sauf exigence contraire, il convient d'utiliser l'un des domaines préférentiels de températures ambiantes suivants pour les semiconducteurs:

- normal 0 °C à 70 °C;
- étendu –40 °C à 85 °C.

7.2.3 Erreurs de mesure

Les erreurs de mesure peuvent être dues à des boucles de terre, à des impédances communes, à l'induction magnétique, à l'induction électrique et au rayonnement électromagnétique. L'erreur sur la tension due à un courant circulant dans une boucle de terre peut être réduite en augmentant l'impédance de la boucle. Cela est normalement réalisé en armant les câbles d'essai. Les impédances communes peuvent être évitées en utilisant des contacts Kelvin sur le TSS pour les alimentations de puissance et les détecteurs. Les inductions magnétiques et les effets inductifs peuvent être réduits en raccourcissant les liaisons et en réduisant le plus possible les boucles, si possible par utilisation de paires torsadées. L'induction électrique (effet capacitif) peut être évitée en interposant un écran de Faraday relié à une terre sans signal. L'induction électromagnétique peut être réduite par des écrans et des techniques utilisées pour l'induction magnétique.

7.2.4 Précision de la mesure

Les oscilloscopes analogiques doivent avoir des temps de montée cinq fois plus rapides que ceux du signal. Cela garantit une erreur inférieure à 2 % lors du temps de montée. Les oscilloscopes numériques (voir l'IEC 61083-1) doivent avoir des temps d'échantillonnage d'au moins $30/T_X$ échantillons, où T_X est l'intervalle de temps à mesurer. Une résolution assignée de 0,4 % de la déviation à pleine échelle (2^{-8} de la déviation à pleine échelle) ou meilleure est recommandée pour les essais où seuls les paramètres de choc sont à évaluer. Pour des essais d'arbitrage qui exigent une comparaison des enregistrements, une résolution assignée de 0,2 % de la déviation à pleine échelle (2^{-9} de la déviation à pleine échelle) ou meilleure doit être utilisée.

7.2.5 Forme et valeurs de choc spécifiées

La forme d'onde d'un choc est spécifiée par la combinaison de deux chiffres. Le premier représente la durée conventionnelle du front (T_1) et le second la durée conventionnelle jusqu'à mi-valeur sur la queue (T_2). L'onde est représentée par T_1/T_2 , en microsecondes, le signe "/" n'ayant aucune signification mathématique (voir Annexe A).

Les courants assignés cités du TSS sont les valeurs d'essai de court-circuit du générateur. En conditions d'essai, le courant réel du thyristor est différent en raison de l'interaction du générateur avec la caractéristique du thyristor.

7.2.6 TSS multiples

Si des TSS multiples sont groupés, l'application peut les faire fonctionner simultanément. Si les paramètres d'un TSS individuel sont affectés de manière significative par le fonctionnement des autres TSS, l'essai doit émuler cette condition ainsi que le fonctionnement d'un seul TSS.

7.2.7 Essai des TSS à gâchette

Tous les essais des TSS à tension fixe doivent être effectués sur des TSS à gâchette pour vérifier et déterminer les performances des bornes de protection. Les TSS à gâchette doivent être soumis à l'essai avec une valeur appropriée de V_{GG} et du réseau. Sauf spécifications contraires, les tensions de polarisation de gâchette utilisées doivent être les valeurs minimales et maximales de l'application. Pour tout essai où le TSS à gâchette limite la tension, l'alimentation de la gâchette doit être à faible impédance (découplée) et un TSS sans gâchette interne doit avoir une diode de blocage appropriée connectée avec la gâchette. Si un TSS à gâchette a été conçu pour fournir une protection à tension fixe commandée par gâchette, les essais portant sur les TSS à tension fixe doivent aussi être réalisés avec la gâchette en circuit ouvert (c'est-à-dire $I_G = 0$).

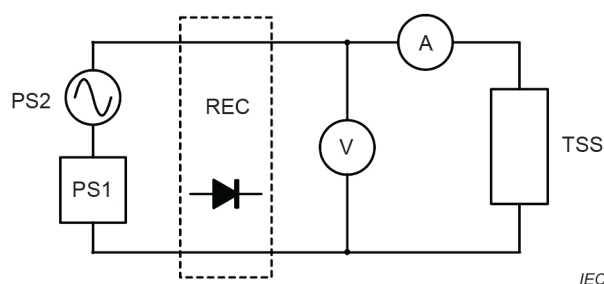
7.3 Procédures d'essais des caractéristiques assignées

7.3.1 Généralités

Les niveaux d'essai en surtension et en surintensité utilisés doivent être extraits d'au moins une des références bibliographiques de l'IEC et de l'UIT-T citées dans la bibliographie. Ces niveaux d'essai peuvent être modifiés pour le niveau final de l'équipement en incluant dans le circuit d'essai les composants de coordination de surcharge de l'équipement.

7.3.2 Tension de pointe répétitive à l'état bloqué, V_{DRM}

Le but de cet essai est de vérifier que le TSS maintient une impédance élevée à l'état bloqué lorsqu'il est soumis en permanence à la tension de pointe répétitive à l'état bloqué assignée. La valeur assignée de la tension de pointe répétitive à l'état bloqué, V_{DRM} , doit être appliquée sur le TSS et la valeur du courant de pointe répétitif à l'état bloqué, I_{DRM} , mesurée lors de l'essai, doit circuler dans un circuit équivalent à la Figure 7 sur le plan fonctionnel.



Légende

TSS	TSS soumis à l'essai
A	ampèremètre, avec lecture du courant de crête
V	voltmètre, avec lecture de la tension moyenne, de la tension de crête et de la tension alternative
PS1	alimentation continue réglée pour la composante continue de V_{DRM}
PS2	alimentation alternative réglée pour la composante alternative de V_{DRM}
REC	circuit redresseur d'onde ou de demi-onde, utilisé pour l'essai unidirectionnel si la composante alternative de V_{DRM} s'inverse

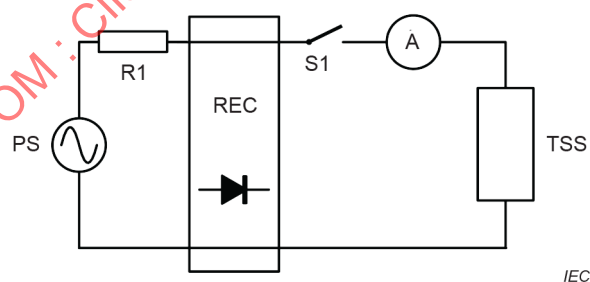
Le courant mesuré ne doit pas dépasser la valeur maximale spécifiée pour I_{DRM} . Après l'essai V_{DRM} , le TSS ne doit pas présenter de défaut sur les caractéristiques spécifiées. La durée de l'essai doit être suffisamment longue pour garantir la fiabilité du TSS. Chaque quadrant de commutation doit être mesuré et soumis à l'essai séparément.

Figure 7 – Circuit d'essai pour la vérification de la tension de pointe répétitive à l'état bloqué (V_{DRM})

NOTE D'importantes variations des caractéristiques avant et après l'essai constituent une indication possible de dégradation du TSS.

7.3.3 Courant de pointe répétitif à l'état passant, I_{TRM}

Le but de cet essai est de vérifier que le TSS peut conduire en permanence son courant de pointe assigné répétitif (quasi sinusoïdal) à l'état passant sans défaillance ou sans dépasser la valeur assignée maximale de la température de jonction (voir Figure 8).



Légende

TSS	TSS soumis à l'essai
A	ampèremètre, avec lecture du courant de crête
PS	alimentation alternative, réglée à une tension spécifiée
R1	résistance définissant le courant de crête de court-circuit
S1	interrupteur, fermé pour l'essai
REC	circuit redresseur d'onde ou de demi-onde, utilisé pour l'essai unidirectionnel

Figure 8 – Circuit d'essai pour la vérification du courant de pointe répétitif à l'état passant (I_{TRM})

Le générateur d'essai en courant alternatif doit être spécifié pour les valeurs de tension en circuit ouvert et de courant de court-circuit, ou équivalentes, de forme d'onde et de valeur de crête. La capacité du générateur doit garantir que le TSS commutera toujours à l'état passant. Les TSS unidirectionnels non prévus pour un fonctionnement bidirectionnel nécessitent un pont ou un redresseur demi-onde à ajouter à la source alternative pour l'essai à pleine ou demi-onde. Lors de l'essai I_{TRM} , un paramètre du TSS sensible à la température, comme I_H , peut être surveillé par un oscilloscope dont les sondes de courant et de tension sont connectées au TSS de la manière indiquée à la Figure 9.

La température moyenne de fonctionnement de la jonction peut être calculée à partir des valeurs de paramètre mesurées, du coefficient de température et de la température initiale du TSS. Après l'essai I_{TRM} , le TSS ne doit pas présenter de défaut sur les caractéristiques spécifiées. La durée de l'essai doit être suffisamment longue pour garantir la fiabilité du TSS.

NOTE D'importantes variations des caractéristiques avant et après l'essai constituent une indication possible de dégradation du TSS.

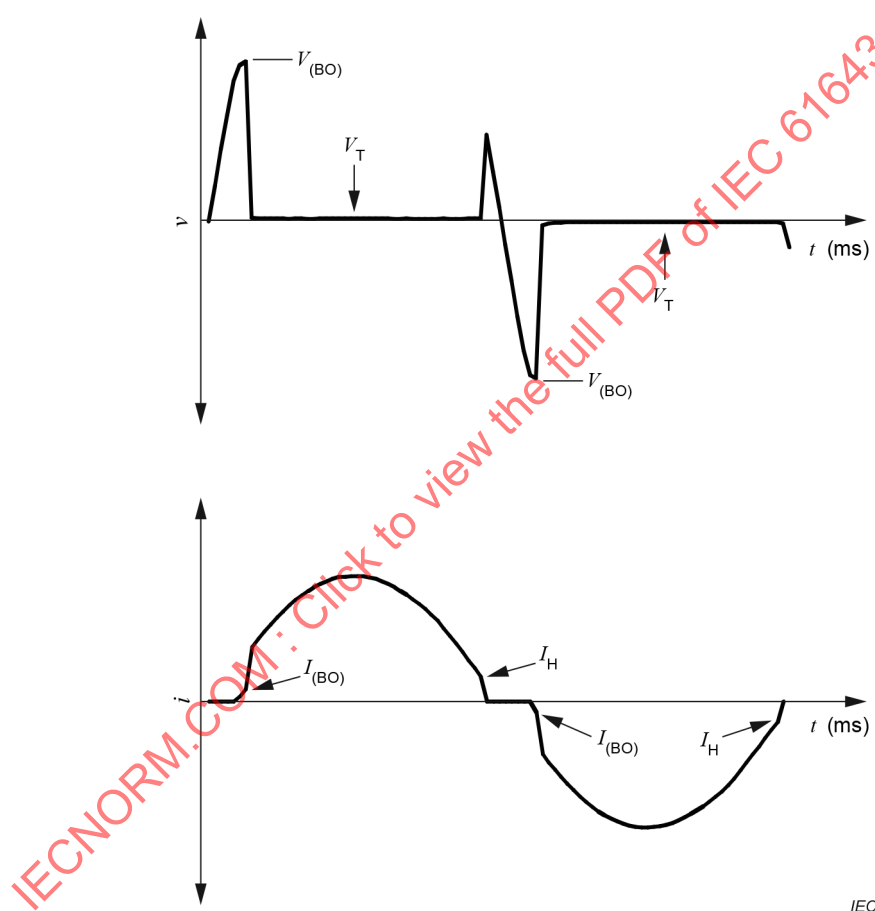
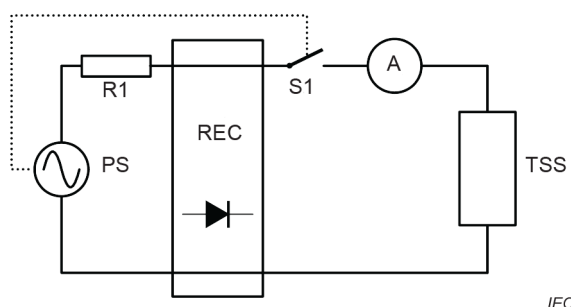


Figure 9 – Formes d'onde du courant de pointe répétitif à l'état passant

7.3.4 Courant de pointe non répétitif à l'état passant, I_{TSM}

Le but de cet essai est de vérifier que le TSS peut supporter une durée déterminée d'un courant alternatif de surcharge (quasi-sinusoïdal) sans défaillance. Le circuit d'essai utilisé doit être équivalent à celui de la Figure 10 sur le plan fonctionnel.



Légende

TSS	TSS soumis à l'essai
A	ampèremètre, avec lecture du courant de crête
PS	alimentation alternative, réglée à une tension spécifiée
R1	résistance définissant le courant de crête de court-circuit
S1	interrupteur, fermé pour une durée spécifiée; fonctionnement synchronisé avec les passages à zéro de la tension alternative
REC	circuit redresseur d'onde ou de demi-onde, utilisé pour l'essai unidirectionnel

Figure 10 – Circuit d'essai pour la vérification du courant de pointe non répétitif à l'état passant (I_{TSM})

L'interrupteur S1 ne s'ouvre et ne se ferme que lors du passage à zéro de la tension alternative. Cela garantit que le TSS est soumis à l'essai à pleine ou à demi-onde alternative. Le générateur d'essai en courant alternatif doit être spécifié pour les valeurs de tension en circuit ouvert et de courant de court-circuit, ou équivalentes, de forme d'onde, de valeur de crête et de durée de fermeture de l'interrupteur S1. La capacité du générateur doit garantir que le TSS commutera toujours à l'état passant. Les TSS unidirectionnels non prévus pour un fonctionnement bidirectionnel nécessitent un pont ou un redresseur demi-onde à ajouter à la source alternative pour l'essai à pleine ou demi-onde. Après fonctionnement de l'interrupteur S1 pour la durée spécifiée de l'essai, et retour du TSS à l'équilibre thermique, le TSS ne doit pas présenter de défaut sur ses caractéristiques spécifiées.

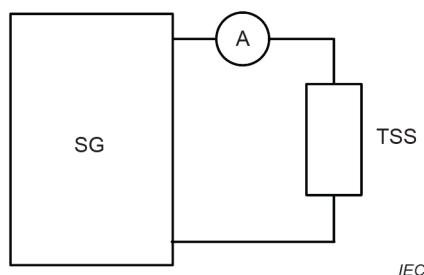
NOTE D'importantes variations des caractéristiques avant et après l'essai constituent une indication possible de dégradation du TSS.

La durée de l'essai peut être spécifiée en durée ou en nombre de cycles en courant alternatif pour une fréquence spécifiée. L'essai de courant assigné non répétitif ne doit pas être renouvelé tant que le TSS n'est pas revenu à l'équilibre thermique. Sauf exigence contraire, il est recommandé que le TSS soit capable de supporter jusqu'à 100 essais sans défaillance pendant sa durée de vie. La valeur de I_{TSM} varie pendant la durée de l'essai et plusieurs valeurs peuvent être nécessaires pour répondre aux besoins d'une application; les durées recommandées sont un cycle de 0,1 s, 1 s et 10 s.

7.3.5 Courant de pointe non répétitif de choc, I_{PP}

Le but de cet essai est de vérifier qu'un TSS peut supporter une forme d'onde de choc déterminée d'amplitude de courant de court-circuit I_{PP} sans défaillance. Le circuit d'essai utilisé doit être équivalent à celui de la Figure 11 sur le plan fonctionnel. Le générateur d'essai aux ondes de choc doit être spécifié pour les valeurs de tension en circuit ouvert et de courant de court-circuit, ou équivalentes, de forme d'onde et de valeur de crête. La capacité du générateur doit garantir que le TSS commutera toujours à l'état passant. Après le choc et après le retour du TSS à l'équilibre thermique, le TSS ne doit pas présenter de défaut sur ses caractéristiques spécifiées.

NOTE D'importantes variations des caractéristiques avant et après l'essai constituent une indication possible de dégradation du TSS.



Légende

TSS	TSS soumis à l'essai
A	lecteur du courant de crête
SG	générateur de choc de caractéristiques spécifiées

Figure 11 – Circuit d'essai pour la vérification du courant de pointe non répétitif de choc (I_{PP})

Chaque quadrant de commutation doit être mesuré et soumis à l'essai séparément. L'essai de courant assigné non répétitif ne doit pas être renouvelé tant que le thyristor n'est pas revenu à l'équilibre thermique. Sauf exigence contraire, il est recommandé que le thyristor soit capable de supporter jusqu'à 100 essais sans défaillance pendant sa durée de vie. Pour la vérification, un nombre inférieur d'essais peut être privilégié. La valeur assignée de I_{PP} varie avec la forme d'onde et plusieurs valeurs de forme d'onde peuvent être nécessaires pour répondre aux besoins d'une application. L'Annexe A répertorie certaines formes d'onde couramment utilisées pour l'essai du TSS dans les applications de télécommunication.

7.3.6 Tension inverse de pointe répétitive, V_{RRM}

Le but de cet essai est de vérifier que le TSS maintient une impédance élevée à l'état bloqué lorsqu'il est soumis en permanence à la tension inverse de pointe répétitive assignée. La valeur assignée de la tension inverse de pointe répétitive, V_{RRM} , doit être appliquée sur le TSS dans sa direction de blocage, et la valeur du courant inverse de pointe répétitif, I_{RRM} , doit être mesurée lors de l'essai dans un circuit équivalent à la Figure 7 sur le plan fonctionnel. Le courant mesuré ne doit pas dépasser la valeur maximale spécifiée pour I_{RRM} . Après l'essai V_{RRM} , le TSS ne doit pas présenter de défaut sur les caractéristiques spécifiées. La durée de l'essai doit être suffisamment longue pour garantir la fiabilité du TSS.

NOTE D'importantes variations des caractéristiques avant et après l'essai constituent une indication possible de dégradation du TSS.

7.3.7 Courant direct de surcharge non répétitif, I_{FSM}

Le but de cet essai est de vérifier que la partie diode d'un TSS à conduction directe ou inverse peut supporter une durée spécifiée de courant alternatif de surcharge sans défaillance. La méthode d'essai pour le courant de pointe non répétitif à l'état passant, I_{TSM} (voir 7.3.4 et Figure 10), doit être utilisée pour la vérification du courant direct de surcharge non répétitif, I_{FSM} . Si la période de conduction utilisée est un cycle complet ou plus long, I_{TSM} (voir 7.3.4) est alors plus approprié que I_{FSM} (I_{TSM} inclut la conduction de la diode et du TSS). Après l'essai I_{FSM} et après le retour du TSS à l'équilibre thermique, le TSS ne doit pas présenter de défaut sur ses caractéristiques spécifiées.

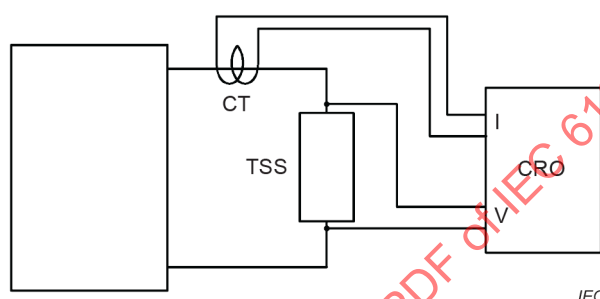
NOTE D'importantes variations des caractéristiques avant et après l'essai constituent une indication possible de dégradation du TSS.

7.3.8 Courant direct de pointe répétitif, I_{FRM}

Le but de cet essai est de vérifier que la partie diode d'un TSS à conduction directe ou inverse peut conduire en permanence le courant direct de pointe répétitif assigné sans défaillance ou sans dépasser la valeur assignée maximale de la température de jonction. La méthode d'essai pour le courant de pointe répétitif à l'état passant, I_{TRM} (voir 7.3.3 et Figure 8), doit être utilisée pour la vérification du courant direct de pointe répétitif, I_{FRM} . Sauf exigence contraire, I_{TRM} doit, à titre de recommandation, être spécifié plutôt que I_{FRM} , car I_{TRM} inclut la conduction de la diode et du thyristor.

7.3.9 Vitesse critique de croissance du courant à l'état passant, di/dt

Le but de cet essai est de vérifier qu'un TSS peut supporter une montée rapide du courant, comme celle pouvant se produire lors d'un choc. Le circuit d'essai utilisé doit être équivalent à celui de la Figure 12 sur le plan fonctionnel.



Légende

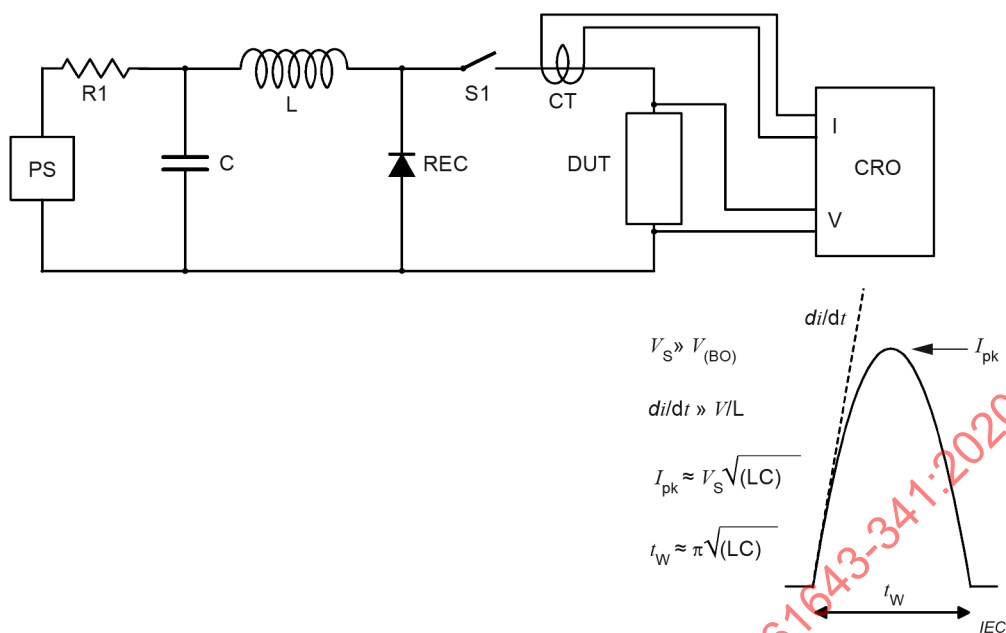
TSS	TSS soumis à l'essai
CT	transformateur de courant ou équivalent
RG	générateur de rampe de di/dt spécifiée
CRO	oscilloscope à deux voies ou équivalent

Figure 12 – Circuit d'essai pour la vérification de la vitesse critique de croissance du courant à l'état passant (di/dt)

Les contrôleurs de la tension V et du courant I (en général un oscilloscope numérique ou à mémoire avec sondes de tension et de courant) sont utilisés pour enregistrer les conditions du circuit. Après l'application du choc di/dt au thyristor et le retour de ce dernier à l'équilibre thermique, le thyristor ne doit pas présenter de défaut sur ses caractéristiques spécifiées. (D'importantes variations des caractéristiques avant et après l'essai constituent une indication possible de dégradation du thyristor.)

Le générateur d'essai di/dt doit être spécifié pour le front d'onde di/dt , le courant de crête et la forme d'onde (normalement relativement courte). Il est essentiel d'utiliser la forme d'onde appropriée pour cet essai et il convient de contacter le fabricant du thyristor pour obtenir des précisions sur le circuit d'essai et la forme d'onde. Sauf exigence contraire, il est recommandé d'utiliser un générateur se référant au circuit d'essai di/dt normalisé du thyristor. Le diagramme du circuit de base et ses formes d'onde sont représentés à la Figure 13.

Chaque quadrant de commutation doit être mesuré et soumis à l'essai séparément. L'essai de courant assigné non répétitif ne doit pas être renouvelé tant que le thyristor n'est pas revenu à l'équilibre thermique. Sauf exigence contraire, le thyristor doit, à titre de recommandation, être capable de supporter jusqu'à 100 essais, à chaque polarité, sans défaillance, pendant sa durée de vie. Pour la vérification, un nombre inférieur d'essais peut être privilégié.



Légende

TSS	TSS soumis à l'essai
CT	transformateur de courant ou équivalent
PS	alimentation continue, réglée à V_s
R1	résistance limitant le courant de charge
S1	interrupteur; se ferme pour commencer l'essai et s'ouvre au passage à zéro du courant
REC	circuit redresseur conduisant le courant négatif
C	condensateur, stockage d'énergie et temporisateur
L	inductance, règle di/dt
CRO	oscilloscope à deux voies ou équivalent

Figure 13 – Circuit d'essai de demi-onde sinusoïdale di/dt

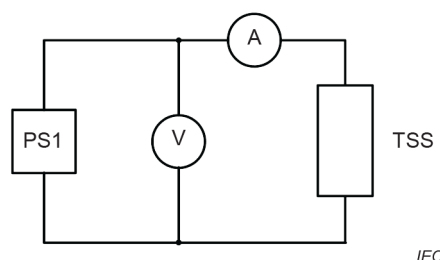
7.4 Procédures d'essais des caractéristiques

7.4.1 Généralités

Les niveaux d'essai en surtension et en surintensité utilisés pour établir la tension de protection doivent être extraits d'au moins une des références bibliographiques de l'IEC et de l'UIT-T citées à l'Annexe E. Ils peuvent être modifiés pour le niveau final de l'équipement en incluant dans le circuit d'essai les composants de coordination de surcharge de l'équipement.

7.4.2 Courant à l'état bloqué, I_D

Le but de cet essai est de déterminer le courant à l'état bloqué d'un TSS soumis à une tension continue à l'état bloqué spécifiée. Le circuit d'essai utilisé doit être équivalent à celui de la Figure 14 sur le plan fonctionnel. La tension de sortie de l'alimentation continue doit monter de zéro à la tension continue à l'état bloqué spécifiée, V_D , à une vitesse inférieure à la valeur minimale de la vitesse critique de croissance de la tension à l'état bloqué. La tension continue est appliquée jusqu'à ce que le courant à l'état bloqué, I_D , se stabilise. La valeur finale de I_D doit être mesurée. Sauf spécification contraire, chaque quadrant de commutation du TSS doit être soumis à l'essai et mesuré séparément.

**Légende**

TSS	TSS soumis à l'essai
A	micro-ampèremètre
V	voltmètre continu
PS1	alimentation continue de zéro à V_D

Figure 14 – Circuit d'essai pour la mesure du courant à l'état bloqué (I_D à V_D)**7.4.3 Courant de pointe répétitif à l'état bloqué, I_{DRM}**

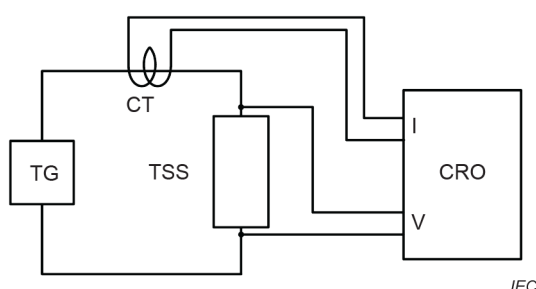
Le but de cet essai est de déterminer le courant de pointe à l'état bloqué d'un TSS soumis à la tension de pointe répétitive à l'état bloqué spécifiée. La valeur assignée de la tension de pointe répétitive à l'état bloqué, V_{DRM} , doit être appliquée sur le thyristor et la valeur du courant de pointe répétitif à l'état bloqué, I_{DRM} , doit être mesurée lors de l'essai dans un circuit équivalent à la Figure 7 sur le plan fonctionnel. Sauf spécification contraire, chaque quadrant de commutation du TSS doit être soumis à l'essai et mesuré séparément.

7.4.4 Courant inverse de pointe répétitif, I_{RRM}

Le but de cet essai est de déterminer le courant inverse de pointe d'un TSS soumis à la tension inverse de pointe répétitive spécifiée. La valeur assignée de la tension inverse de pointe répétitive, V_{RRM} , doit être appliquée sur le thyristor dans son quadrant de blocage, et la valeur du courant inverse de pointe répétitif, I_{RRM} , doit être mesurée lors d'un essai dans un circuit équivalent à la Figure 7 sur le plan fonctionnel.

7.4.5 Tension de retournement $V_{(BO)}$ et courant de retournement $I_{(BO)}$

Le but de cet essai est de déterminer le retournement d'un TSS pour un taux de montée spécifié. Le circuit d'essai utilisé doit être équivalent à celui de la Figure 15 sur le plan fonctionnel. Le générateur d'essai doit être spécifié pour les valeurs de tension en circuit ouvert et de courant de court-circuit, ou équivalentes, de vitesse de croissance, de forme d'onde, de valeur de crête et, pour l'essai en courant alternatif, de durée. En variante, le schéma du circuit du générateur d'essai doit être fourni. La tension de crête, $V_{(BO)}$, qui apparaît dans le TSS évoluant de l'état bloqué à l'état passant, doit être mesurée (voir Figure 16 à Figure 19). Pour les essais sur plusieurs cycles en courant alternatif, la valeur mesurée doit être la plus élevée des valeurs $V_{(BO)}$ des cycles individuels. Le courant instantané correspondant dans le thyristor, $I_{(BO)}$, à $V_{(BO)}$, doit aussi être mesuré pour un taux de montée de tension à fréquence industrielle (voir Figure 17 et Figure 19).



Légende

TSS	TSS soumis à l'essai
CT	sonde de courant continu, ou équivalente
TG	générateur d'essai de caractéristiques spécifiées commutant le TSS de l'état bloqué à l'état passant
CRO	oscilloscope à deux voies ou équivalent

EXEMPLE Le générateur d'essai, TG, utilisé pour obtenir les Figures 16 à 19, est composé d'une source de courant et d'une résistance shunt de 300 Ω . A partir de zéro, la source de courant augmente jusqu'à 3 A à 3,33 A/ms (1 000 V/ms en circuit ouvert); le courant monte ensuite à 5 A pendant 200 μ s avant de retomber à 2 A, puis descend à zéro à un taux de 0,2 A/ms. Cet essai "séquentiel" est réalisé autour de la caractéristique du composant, permettant la mesure des valeurs appropriées $V_{(BO)}$, $I_{(BO)}$, V_S , I_S , V_T et I_H du composant.

Figure 15 – Circuit d'essai pour la tension de retournement $V_{(BO)}$, le courant de retournement $I_{(BO)}$ et la tension à l'état passant V_T

De la Figure 16 à la Figure 19 sont représentées les formes d'onde de la tension et du courant du quadrant de commutation de deux types de TSS: à tension fixe et à gâchette. Les sections étendues de la forme d'onde globale décrivent les conditions d'écrêtage, d'état passant et de mise hors tension (la Figure 5 représente les deux types de thyristors (à tension fixe et à gâchette) en ce qui concerne la caractéristique principale tension-courant du quadrant de commutation). Les formes d'onde indiquées représentent les formes d'onde génériques du type de thyristor qu'il convient de ne pas utiliser comme valeurs types.

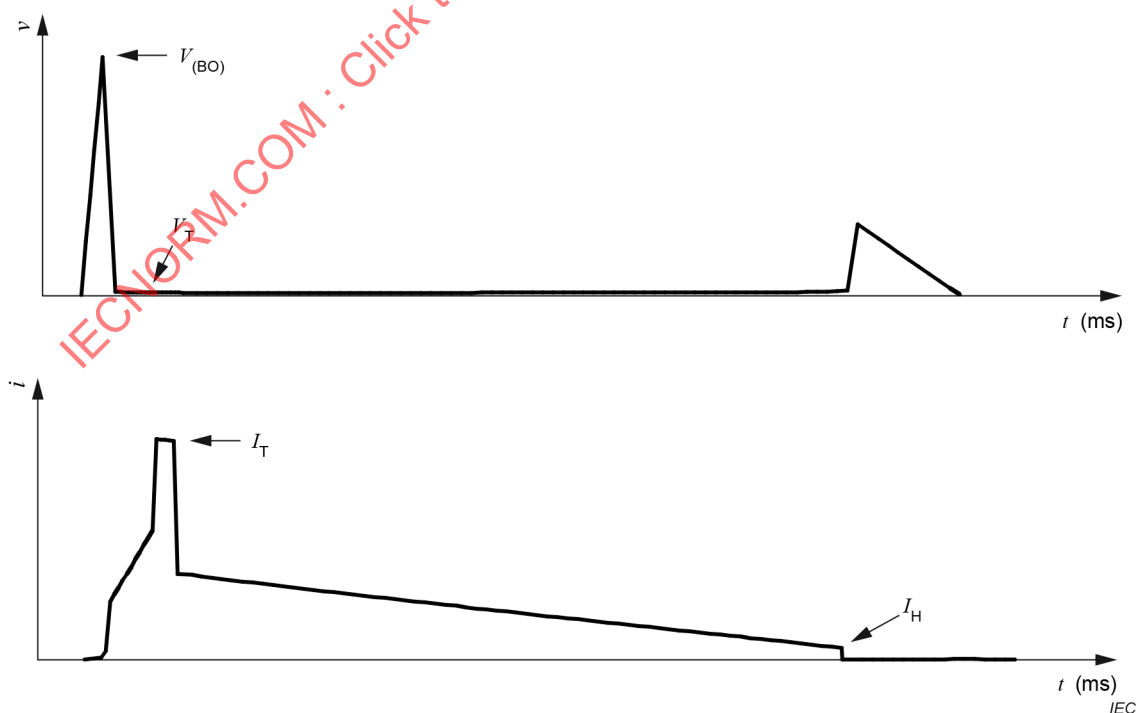


Figure 16 – Formes d'onde de tension et de courant en fonction du temps pour un TSS à tension fixe représentant des événements de mise sous tension, d'état passant et de mise hors tension

Chaque quadrant de commutation doit être mesuré et soumis à l'essai séparément. Les essais sur plusieurs cycles en courant alternatif d'un TSS unidirectionnel doivent être effectués avec une onde complète ou une demi-onde redressée en courant alternatif, selon les exigences de l'application. Les valeurs $V_{(BO)}$ et $I_{(BO)}$ varient avec le taux de montée et différents taux de montée peuvent être nécessaires pour répondre aux besoins d'une application. Sauf exigence contraire, il est recommandé d'utiliser, pour l'essai, au moins une des vitesses de croissance indiquées dans le Tableau 2.

Tableau 2 – Valeurs d'essai de taux de montée de retournement

Application	dv/dt (circuit ouvert)	Résistance de source R	di/dt (court-circuit)
Rampe faible	4 V/ms	500 Ω (pente positive), 4 000 Ω (pente négative)	8 mA/ms 1 mA/ms
CA	250 V/ms	250 Ω	1 A/ms
Choc à front lent	100 V/ μ s	100 Ω	1 A/ μ s
Choc à front rapide	1 000 V/ μ s	100 Ω	10 A/ μ s

7.4.6 Tension à l'état passant, V_T

Le but de cet essai est de déterminer la tension à l'état passant d'un TSS sous un courant spécifié; cette tension est utilisée pour calculer les pertes à l'état passant. Le circuit d'essai utilisé doit être équivalent à celui de la Figure 15 sur le plan fonctionnel. Le générateur d'essai doit être spécifié pour les valeurs de tension en circuit ouvert et de courant de court-circuit, ou équivalentes, de forme d'onde et de valeur de crête. En variante, le schéma du circuit du générateur d'essai doit être fourni.

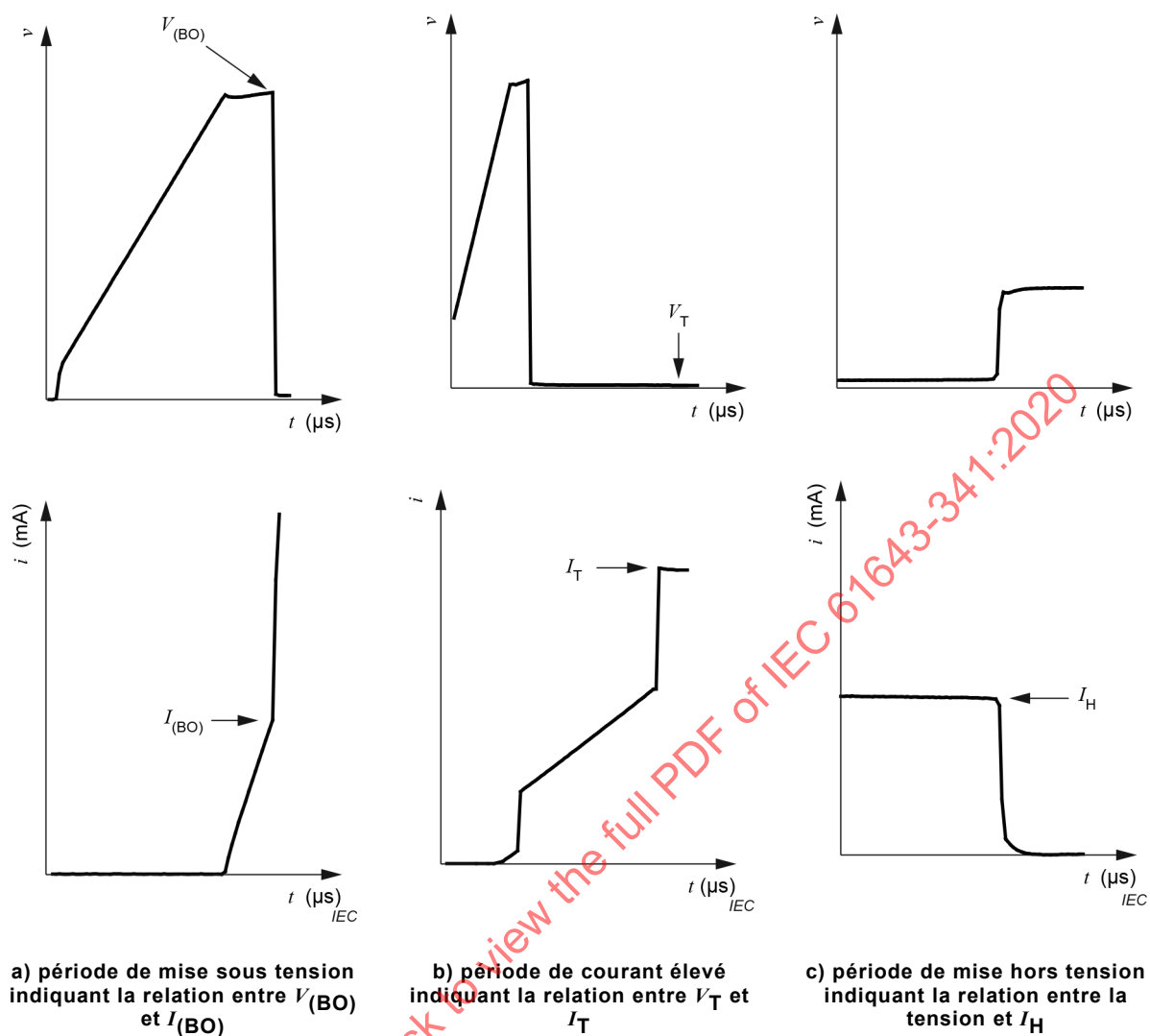


Figure 17 – Extensions de formes d'onde de la Figure 16

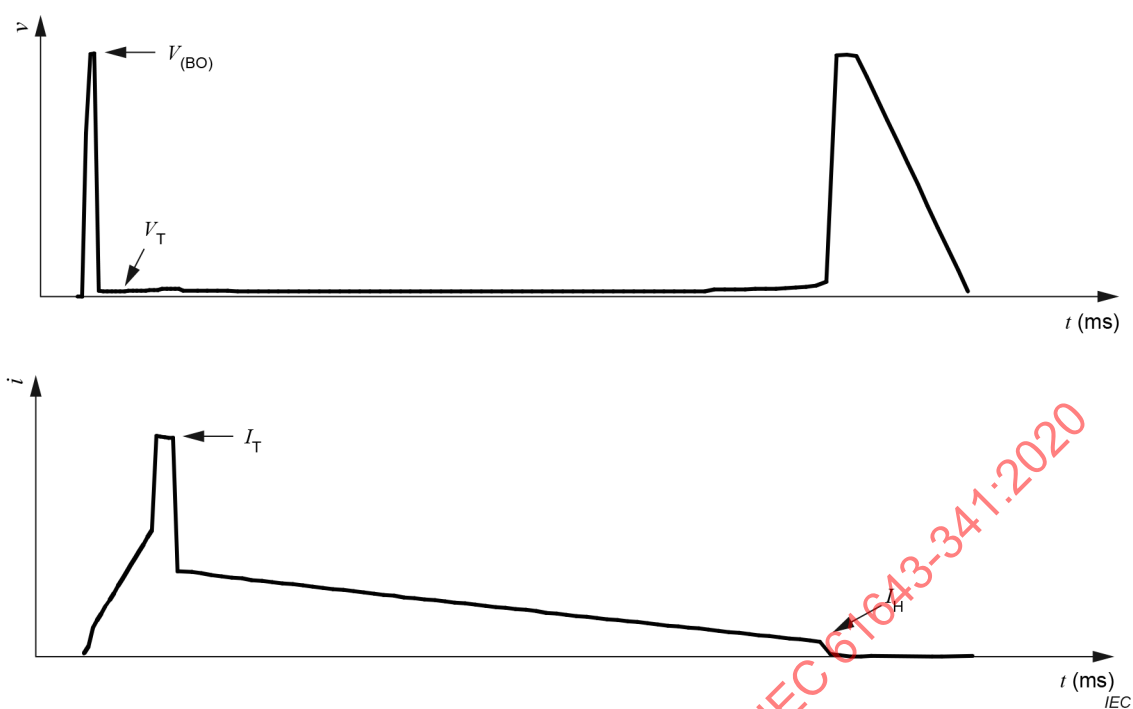


Figure 18 – Formes d'onde de tension et de courant en fonction du temps pour un TSS à gâchette représentant des événements de mise sous tension, d'état passant et de mise hors tension

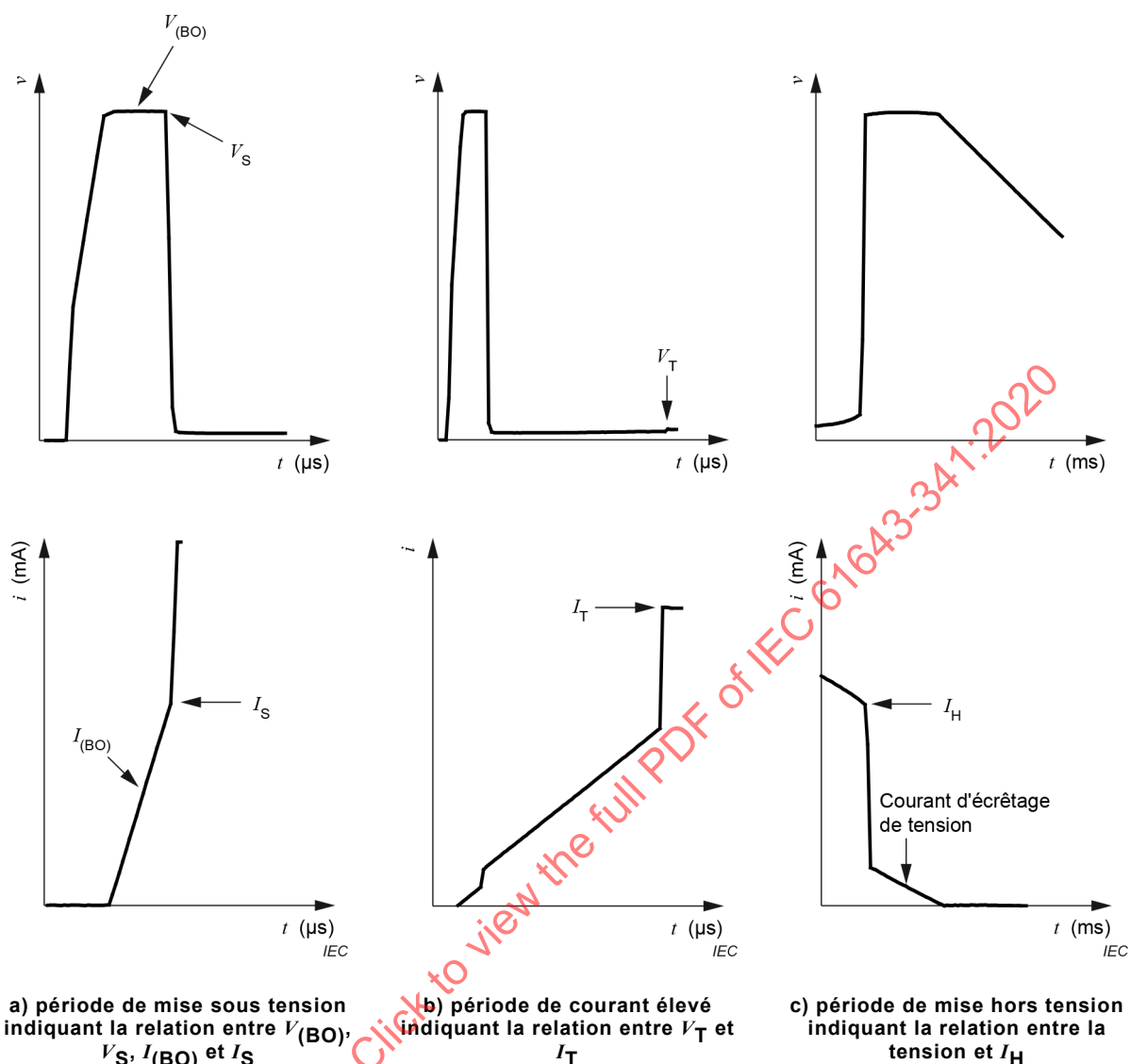
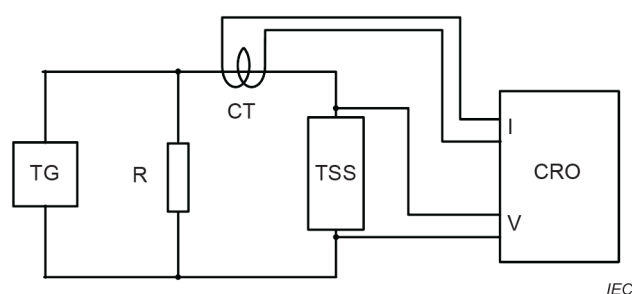


Figure 19 – Extensions de formes d'onde de la Figure 18

Le générateur doit commuter le TSS à l'état passant et la valeur de la tension à l'état passant V_T doit être mesurée à un temps spécifié et pour une valeur de courant à l'état passant I_T spécifiée (voir les formes d'onde V_T de la Figure 17 et de la Figure 19).

Chaque polarité de commutation du TSS doit être soumise à l'essai et mesurée séparément. La valeur de V_T varie en fonction de la valeur de I_T et du temps. Des valeurs hautes et basses du courant V_T peuvent être exigées pour couvrir le fonctionnement sous choc en courant alternatif.



Légende

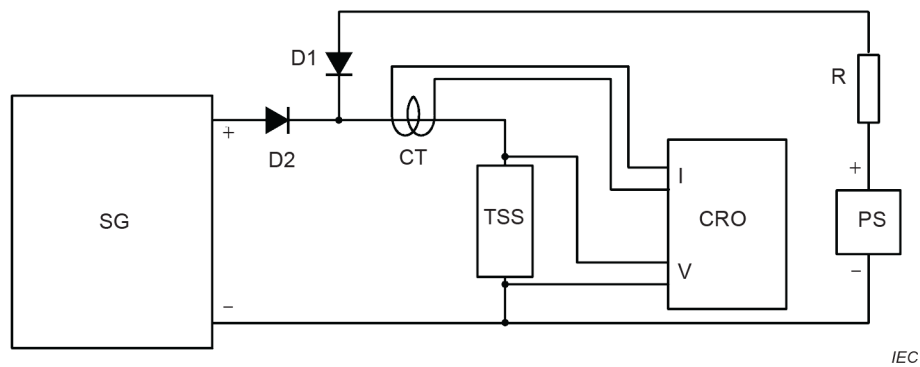
TSS	TSS soumis à l'essai
CT	sonde de courant continu, ou équivalente
TG	générateur d'essai de caractéristiques spécifiées commutant le TSS à un courant d'état passant spécifié, I_T , puis réduisant le courant à une valeur de di/dt spécifiée pour provoquer la mise hors tension
R	résistance définissant la résistance de source (si exigée)
CRO	oscilloscope à deux voies ou équivalent

Figure 20 – Circuit d'essai pour le courant de maintien (I_H)

7.4.7 Courant de maintien, I_H

Le but de cet essai est de déterminer le courant de maintien d'un TSS. Le circuit d'essai utilisé doit être équivalent à celui de la Figure 20 sur le plan fonctionnel. Le générateur d'essai doit être spécifié pour les valeurs de tension en circuit ouvert et de courant de court-circuit, ou équivalentes, de forme d'onde et de valeur de crête. Le générateur doit commuter le TSS à un état passant spécifié, puis diminuer le courant à l'état passant jusqu'à la mise hors tension du thyristor (voir les formes d'onde I_H de la Figure 17 et de la Figure 19). La mise hors tension est déterminée lorsque la valeur de tension du thyristor dépasse un seuil spécifié. Lorsque cela se produit, la valeur instantanée de la rampe extrapolée est mesurée comme courant de maintien. Cette approche mesure le courant de mise hors tension du thyristor, plutôt que le courant de maintien à l'état passant du thyristor. Dans la plupart des applications, le besoin concerne davantage le courant de commutation que celui de maintien.

Si un générateur de choc est utilisé comme générateur d'essai, sa tension de sortie peut être trop faible pour le courant de maintien et une sélectivité appropriée du point de blocage. Pour augmenter la tension de mise hors tension, il convient de connecter au TSS le générateur et un courant (inférieur à la valeur minimale spécifiée pour I_H) issu d'une alimentation continue ($< V_{DRM}$) par l'intermédiaire de diodes D2 et D1, respectivement (voir Figure 21; les diodes D2 et D1 empêchent tout écoulement de courant inverse dans l'alimentation PS ou le générateur SG). Chaque quadrant de commutation doit être mesuré et soumis à l'essai séparément.



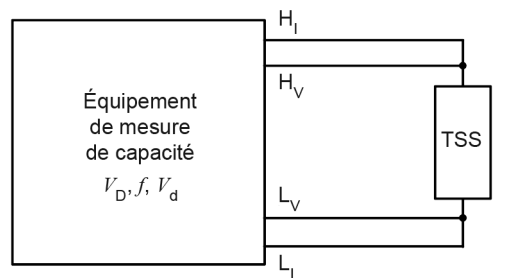
Légende

TSS	TSS soumis à l'essai
CT	sonde de courant continu ou équivalente
SG	générateur de choc de caractéristiques spécifiées
PS	alimentation en tension continue réglée à une tension spécifiée
R	résistance définissant la résistance de source continue
D1	diode d'isolement pour PS
D2	diode d'isolement pour SG
CRO	oscilloscope à deux voies ou équivalent

Figure 21 – Circuit d'essai pour le courant de maintien avec une tension continue complémentaire

7.4.8 Capacité à l'état bloqué, C_o

Le but de cet essai est de déterminer la capacité à l'état bloqué d'un TSS dans des conditions données. Le circuit d'essai utilisé doit être équivalent à celui de la Figure 22 sur le plan fonctionnel. La capacité à l'état bloqué du TSS, C_o , doit être mesurée à des niveaux de tension continue (V_D) et alternative (V_d et f) spécifiés. Sauf exigence contraire, il est recommandé d'utiliser un niveau de tension alternative de $V_d = 1$ V (valeur efficace) à une fréquence de $100 \text{ kHz} < f < 1 \text{ MHz}$. Il convient que le niveau de tension continue soit de -2 V ou tout autre niveau représentatif de l'application prévue.

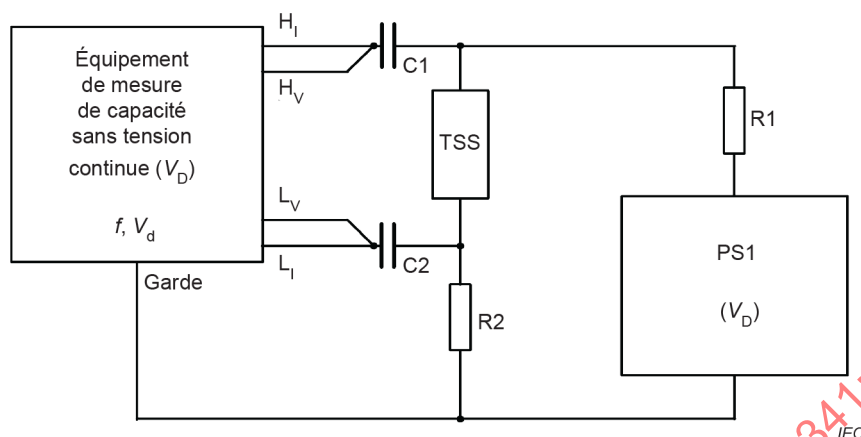


Légende

TSS	TSS soumis à l'essai
H_v	H_i , détecteur de tension
H_i	H_i , alimentation en courant
L_v	L_o , détecteur de tension
L_i	L_o , retour du courant

Figure 22 – Circuit d'essai pour la mesure de capacité

Si l'équipement de mesure de la capacité ne peut fournir la tension continue exigée, la configuration de circuit représentée à la Figure 23 peut être utilisée.

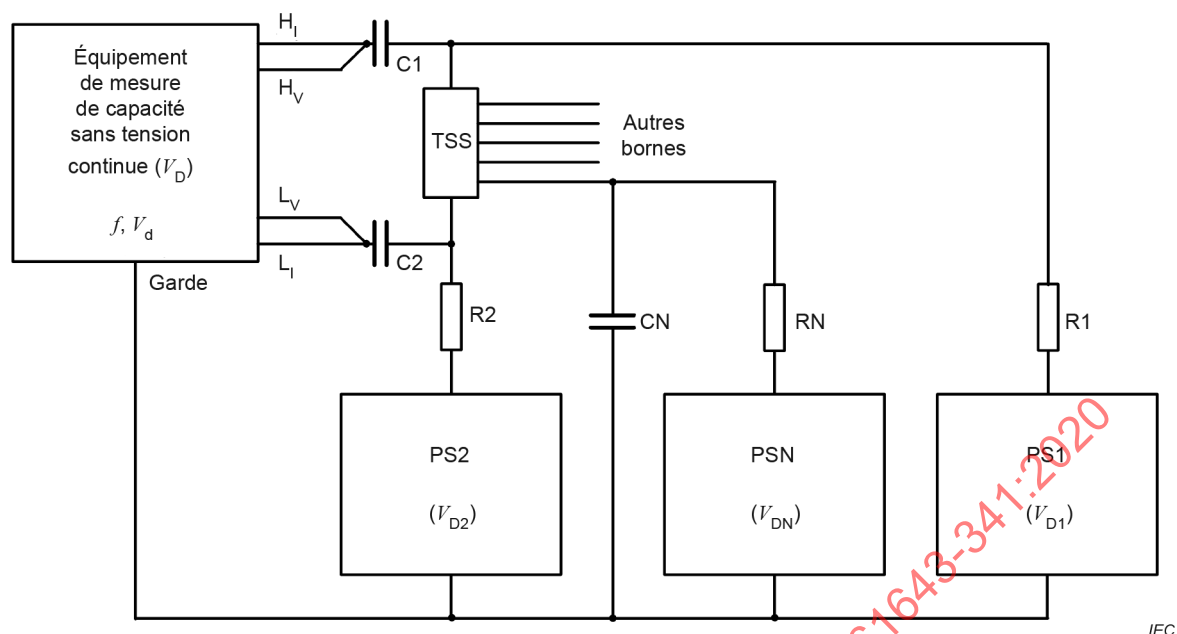


Légende

TSS	TSS soumis à l'essai
C1, C2	condensateurs de blocage en courant continu, $C1 = C2 \gg C_o$
R1, R2	résistances d'alimentation continue, $R1 = R2 \ll V_D / I_D$
PS1	alimentation en tension continue variable réglée à V_D
H_V	H_I , détecteur de tension
H_{II}	H_I , alimentation en courant
L_V	L_O , détecteur de tension
L_I	L_O , retour du courant
Garde	borne de mise à la terre (composants neutralisés connectés à la borne de mesure)

Figure 23 – Circuit d'essai pour la mesure de capacité avec tension continue externe

Si le TSS a trois bornes, la borne non mesurée ne doit pas être prise en compte dans la mesure de capacité et les niveaux de tension continue doivent être représentatifs de l'application prévue (voir Figure 24). La même technique de mesure peut être utilisée pour des TSS multiples groupes et comportant au moins quatre bornes, à condition que les éléments neutralisés soient directement positionnés entre les bornes mesurées et neutralisées (voir Figure 24). Cette technique de mesure ne fonctionne pas si plus d'un élément neutralisé est connecté à un nœud interne (non terminal) de la paire mesurée.



IEC

Légende

TSS	TSS soumis à l'essai
C1, C2...CN	condensateurs de blocage en courant continu, $C1 = C2...=CN \gg C_O$
R1, R2...RN	résistances d'alimentation continue, $R1 = R2...=RN \ll V_D / I_D$
PS1, PS2...PSN	alimentation en tension continue variable réglée à V_{D1} , V_{D2} , ... V_{DN}
H_V	H_I , détecteur de tension
H_I	H_I , alimentation en courant
L_V	L_O , détecteur de tension
L_I	L_O , retour du courant
Garde	borne de mise à la terre (composants neutralisés connectés à la borne de mesure)

Figure 24 – Circuit d'essai pour la mesure de capacité d'un TSS à bornes multiples

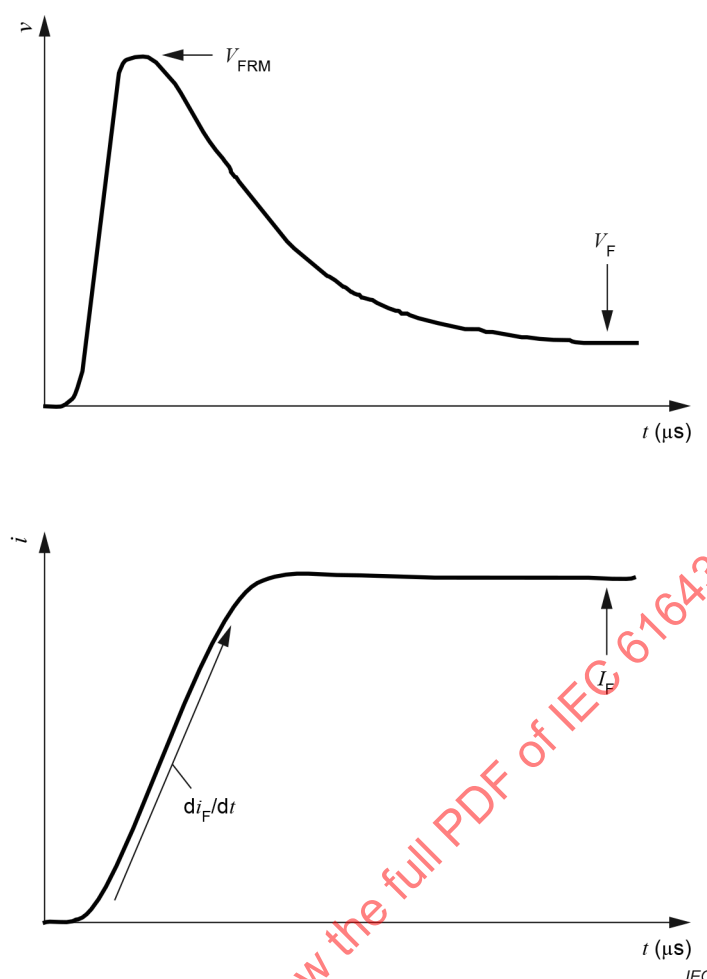


Figure 25 – Formes d'onde de tension et de courant pour une diode en fonction du temps représentant V_{FRM} et la montée du courant di/dt

7.4.9 Tension directe, V_F

Le but de cet essai est de déterminer la tension directe d'un TSS à conduction directe pour un courant spécifié; cette tension est utilisée pour calculer la perte de puissance directe. Le circuit d'essai et les formes d'onde utilisés doivent être cohérents avec ceux utilisés pour la détermination de la tension à l'état passant, V_T (Figure 15). Le générateur doit commuter le TSS en conduction directe et la valeur de la tension directe V_F doit être mesurée à un temps spécifié ou pour une valeur de courant direct I_F spécifiée. Les formes d'onde d'un courant montant rapidement peuvent entraîner une tension de recouvrement direct supplémentaire, qu'il convient de ne pas inclure dans la mesure de V_F (voir Figure 25).

Des valeurs hautes et basses du courant I_F peuvent être exigées pour couvrir le fonctionnement sous choc en courant alternatif.

7.4.10 Tension de recouvrement direct de crête, V_{FRM}

Le but de cet essai est de déterminer la tension directe de crête d'un TSS à conduction directe avec un front d'onde de courant montant rapidement; cette tension correspond à la contrainte maximale sur le circuit protégé. Le circuit d'essai et les niveaux utilisés doivent être cohérents avec ceux utilisés pour la détermination de la tension de retournement à impulsion rapide, $V_{(BO)}$ (voir Figure 15). Le générateur doit mettre sous tension la partie diode à une vitesse de croissance spécifiée du courant direct, I_F/dt , et la valeur de la tension de recouvrement direct de crête, V_{FRM} , doit être mesurée (voir Figure 25). Sauf exigence contraire, les impulsions rapides données dans le Tableau 2, 1 000 V/ μ s et 10 A/ μ s doivent, à titre de recommandation, être utilisées pour cet essai.

7.4.11 Vitesse critique de croissance de la tension à l'état bloqué, dv/dt

Le but de cet essai est de vérifier que le TSS n'est pas mis sous tension à la suite de la montée rapide des tensions du système avec des amplitudes de crête inférieures à la valeur assignée de V_{DRM} . Une montée de tension spécifiée égale à la valeur minimale de la vitesse critique dv/dt et d'amplitude V_{DRM} doit être appliquée au TSS hors tension. La montée de tension de crête doit être maintenue pendant 50 μ s au moins. Pendant l'essai, le TSS ne doit pas être mis sous tension, même partiellement. La montée de tension peut être exponentielle ou linéaire. Pour la montée exponentielle représentée à la Figure 26, la valeur dv/dt est calculée comme suit: $0,632 \cdot V_{DRM}/t$.

où:

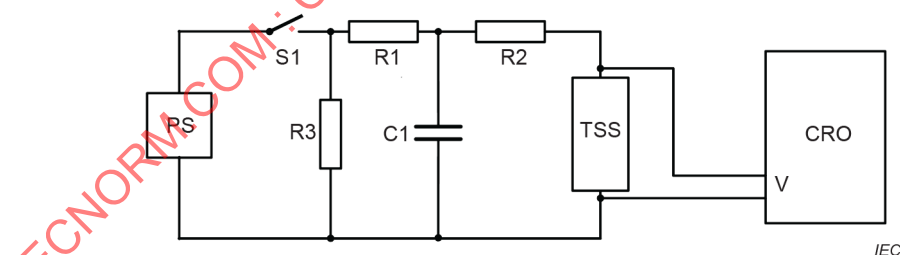
t est le temps entre le début de la montée et l'augmentation de la tension à $0,632 \cdot V_{DRM}$.

Pour une montée linéaire, la valeur dv/dt est calculée comme suit: $0,8 \cdot V_{DRM} / (t_{90} - t_{10})$

où:

t_{10} et t_{90} représentent les temps auxquels la tension a atteint $0,1 \cdot V_{DRM}$ et $0,9 \cdot V_{DRM}$, respectivement.

Chaque polarité de commutation du TSS doit être soumise à l'essai et mesurée séparément.



Légende

TSS	TSS soumis à l'essai	R2	résistance de limitation du courant si le TSS commute
PS	alimentation en tension continue	R3	résistance de décharge après ouverture de S1
S1	interrupteur de démarrage de l'essai	C1	condensateur de charge
R1	résistance de charge	CRO	oscilloscope ou équivalent

Figure 26 – Circuit d'essai pour la vitesse critique exponentielle de croissance de la tension à l'état bloqué (dv/dt)

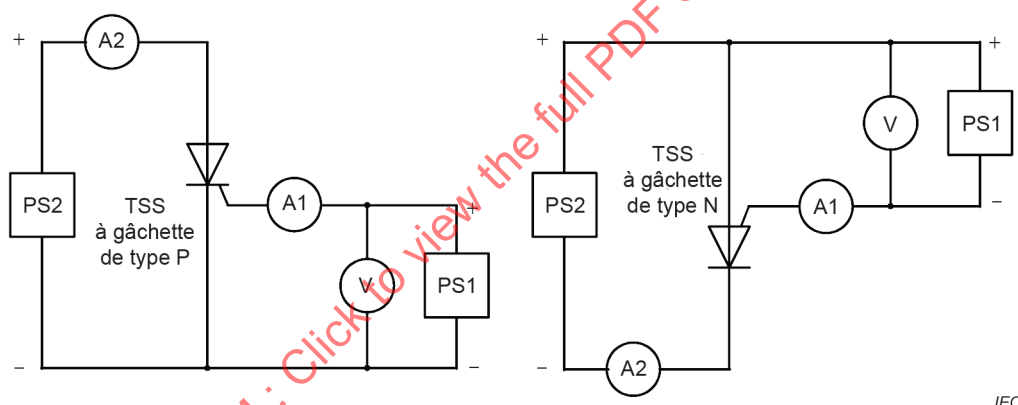
7.4.12 Variation du courant de maintien avec la température

Le but de cet essai est de déterminer la manière dont le courant de maintien, I_H , d'un TSS varie en fonction de la température, pour s'assurer que le thyristor est toujours hors tension. La valeur de I_H (voir 7.4.7) doit être mesurée dans le domaine de températures de fonctionnement spécifié et exprimée sous la forme d'un graphique représentant le courant en fonction de la température.

7.4.13 Tension et courant de pointe à l'état bloqué entre gâchette et borne adjacente, V_{GDM} , I_{GDM}

Le but de cet essai est de déterminer la valeur maximale de la tension entre gâchette et borne adjacente d'un TSS maintenant une impédance élevée des bornes de protection à l'état bloqué sous une tension spécifiée. En utilisant le circuit approprié de la Figure 27, la valeur spécifiée pour V_D doit être appliquée sur les bornes de protection du thyristor et la valeur de la tension entre gâchette et borne adjacente doit être augmentée de zéro jusqu'à ce que le courant à la borne de protection, I_D , atteigne sa valeur spécifiée. La valeur mesurée de la tension entre gâchette et borne adjacente est V_{GDM} et le courant de gâchette mesuré est I_{GDM} .

Chaque polarité de gâchette du TSS doit être soumise à l'essai et mesurée séparément. La tension de pointe répétitive à l'état bloqué d'un TSS à gâchette est $V_{GG} + V_{GDM}$; elle est équivalente à la tension V_{DRM} d'un TSS à tension fixe.



Légende

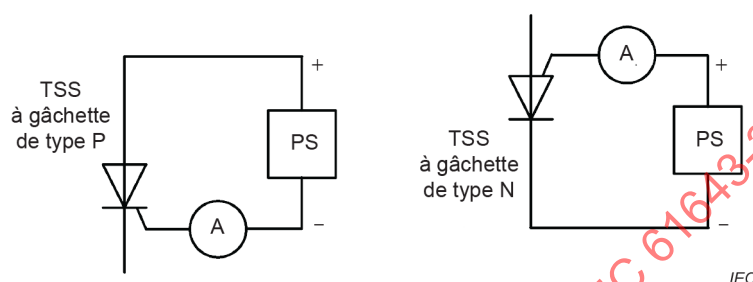
TSS	TSS soumis à l'essai
A1	ampèremètre mesurant le courant de gâchette
A2	ampèremètre de commande de I_D
V	voltmètre de mesure de la tension entre gâchette et borne adjacente
PS1	alimentation en tension continue variable, réglée à une valeur spécifiée de I_D
PS2	alimentation en tension continue, réglée à V_D

Figure 27 – Circuit d'essai pour la tension et le courant de pointe à l'état bloqué entre gâchette et borne adjacente (V_{GDM} et I_{GDM})

7.4.14 Courant inverse de gâchette, borne adjacente ouverte, I_{GAO} , I_{GKO}

Le but de cet essai est de déterminer l'appel de courant sur la borne d'alimentation de la gâchette lorsque la borne adjacente est en circuit ouvert. En utilisant le circuit approprié de la Figure 28, la valeur spécifiée pour la tension de gâchette, V_{GG} , doit être appliquée à la gâchette et le courant la traversant doit être mesuré. Cet essai détermine le courant inverse à l'état bloqué entre gâchette et anode, I_{GAO} , d'un thyristor P avec la borne de cathode ouverte, ou le courant inverse à l'état bloqué entre gâchette et cathode, I_{GKO} , d'un thyristor N avec l'anode ouverte.

Chaque polarité de gâchette du TSS doit être soumise à l'essai et mesurée séparément.



Légende

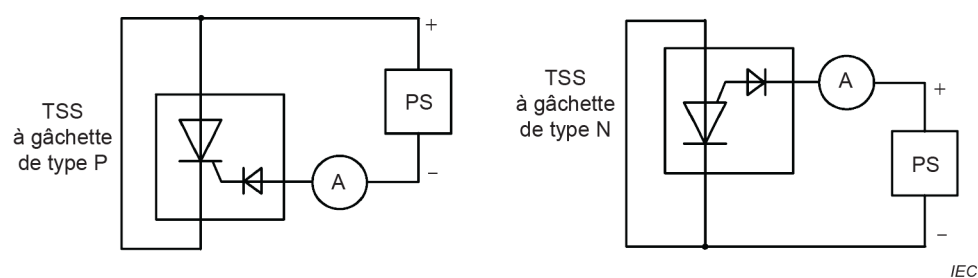
TSS	TSS soumis à l'essai
A	ampèremètre, pour le courant inverse de gâchette
PS	alimentation continue, réglée pour la tension de gâchette spécifiée, V_{GG}

Figure 28 – Circuit d'essai pour le courant inverse de gâchette, borne adjacente ouverte (I_{GAO} , I_{GKO})

7.4.15 Courant inverse de gâchette, bornes maîtresses en court-circuit, I_{GAS} , I_{GKS}

Le but de cet essai est de déterminer l'appel de courant sur la borne d'alimentation de la gâchette lorsque la borne adjacente est en court-circuit avec l'autre borne de protection. En utilisant le circuit approprié de la Figure 29, la valeur spécifiée pour la tension de gâchette, V_{GG} , doit être appliquée à la gâchette et le courant la traversant doit être mesuré. Cet essai détermine le courant inverse de gâchette à l'état bloqué, I_{GAS} , d'un thyristor P avec la cathode en court-circuit avec l'anode, ou le courant inverse de gâchette à l'état bloqué, I_{GKS} , d'un thyristor N avec l'anode en court-circuit avec la cathode.

Chaque polarité de gâchette du TSS doit être soumise à l'essai et mesurée séparément. Cet essai est spécifique aux thyristors équipés de diodes de blocage de gâchette intégrées.

**Légende**

TSS TSS soumis à l'essai

A ampèremètre, pour le courant inverse de gâchette

PS alimentation continue, réglée pour la tension de gâchette spécifiée, V_{GG}

Figure 29 – Circuit d'essai pour le courant inverse de gâchette, bornes maîtresses en court-circuit (I_{GAS} , I_{GKS})

IECNORM.COM : Click to view the full PDF of IEC 61643-341:2020

Annexe A (informative)

Formes d'onde de choc courantes

A.1 Généralités

La présente annexe couvre:

- les types de générateurs de choc;
- les paramètres de générateurs de choc;
- les générateurs de choc généralement utilisés pour les essais de parafoudre.

A.2 Types de générateurs de choc

Les générateurs de choc peuvent être classés en trois catégories:

- générateurs ayant une forme d'onde de tension définie, généralement utilisés pour les essais à haute tension de l'isolation;
- générateurs ayant une forme d'onde de courant définie, généralement utilisés pour les essais à courant élevé des composants et des thyristors;
- générateurs ayant des formes d'onde de courant et de tension définies. Ces générateurs peuvent à leur tour être classés en sous-catégories:
 - générateurs définis par un circuit;
 - générateurs définis par une forme d'onde.

A.3 Paramètres de générateurs de choc

A.3.1 Glossaire des termes

Les termes suivants sont utilisés dans la présente annexe pour décrire les paramètres de générateurs de choc.

A.3.1.1

durée conventionnelle du front

T_1

<tension de choc> 1/0,6 fois l'intervalle T entre l'instant où la tension de choc est de 30 % et celui où elle atteint 90 % de la valeur de crête [1]

<courant de choc de surcharge> 1,25 fois l'intervalle T entre l'instant où le courant de choc est de 10 % et celui où il atteint 90 % de la valeur de crête [16]

Note 1 à l'article: Certaines normes utilisent la mesure de la durée de front de 10 % et 90 % pour la tension de choc.

A.3.1.2

origine conventionnelle

O_1

<forme d'onde de tension de choc> instant auquel une ligne droite tracée entre les valeurs d'amplitude de 30 % et de 90 % croise l'axe du temps [1]

<forme d'onde de courant de choc> instant auquel une ligne droite tracée entre les valeurs d'amplitude de 10 % et de 90 % croise l'axe du temps [16]

A.3.1.3**durée conventionnelle jusqu'à mi-valeur** T_2

intervalle de temps entre l'instant de l'origine conventionnelle O_1 et l'instant où la tension ou le courant a diminué jusqu'à atteindre la moitié de sa valeur de crête [1], [16]

A.3.1.4**énoncé de la forme d'un choc**

combinaison de deux valeurs, la première représentant la durée conventionnelle du front (T_1) et la seconde la durée conventionnelle jusqu'à mi-valeur sur la queue (T_2) [4]

Note 1 à l'article: L'onde est représentée par T_1/T_2 , en microsecondes, le signe "/" n'ayant aucune signification mathématique.

Note 2 à l'article: Certaines normes utilisent des désignations de remplacement telles que A/B ou $T_1 \times T_2$.

Note 3 à l'article: La désignation de la tension de choc et du courant de choc des générateurs d'ondes combinées est séparée par un tiret, par exemple 1,2/50-8/20.

Note 4 à l'article: Les formes d'onde définies comme la durée de front maximale et la durée jusqu'à mi-valeur minimale sont exprimées sous la forme $<T_1/> T_2$.

A.3.1.5**dépassement**

valeur de crête d'une tension de choc ou d'un courant de choc qui passe par zéro dans la polarité opposée de la valeur de crête initiale [17]

A.3.1.6**charge (choc)**

intégrale temporelle du courant de choc

A.3.1.7 **I^2t (choc)**

intégrale temporelle du carré du courant de choc

Note 1 à l'article: I^2t est appelée "intégrale d'action" pour la foudre d'origine atmosphérique, "intégrale de Joule" pour les fusibles et "énergie spécifique" (W/R) pour les parafoudres alimentés en courant alternatif.

Note 2 à l'article: Les unités de I^2t sont A^2s , en prenant pour hypothèse que les écoulements de courant dans une résistance conventionnelle de 1Ω peuvent être exprimés en unités d'énergie J (fusibles) ou W/ Ω (parafoudres alimentés en courant alternatif).

A.3.1.8**générateur d'ondes combinées**

générateur ayant une forme d'onde de la tension en circuit ouvert de 1,2/50 μs et une forme d'onde du courant de court-circuit de 8/20 μs , respectivement

A.3.1.9**impédance effective (générateur de choc)**

quotient de la valeur de la tension de crête du générateur en circuit ouvert et de la valeur du courant de crête du générateur en court-circuit

Note 1 à l'article: Certaines normes utilisent le terme de remplacement "impédance fictive" [15].

A.3.2 Paramètres conventionnels

Le présent paragraphe couvre les paramètres de forme d'onde conventionnels (calculés) et leur applicabilité. La Figure A.1 représente une désignation de choc fondée sur l'extrapolation des niveaux de durée de front de 10 % à 90 %. Dans le présent document, l'ensemble des impulsions de courant de surcharge due à la foudre utilise la désignation de durée de front de 10 % à 90 %. Les générateurs de chocs Telcordia $<2/>10$, $<10/>250$, $<10/>360$ et $<10/>1\ 000$ [21] utilisent exclusivement la désignation de durée de front de 10 % à 90 % pour la tension de choc. Tous les autres générateurs de choc utilisent une désignation de durée de front de

30 % à 90 % pour la tension de choc. La forme d'onde de courant 8/20 n'est pas nécessairement unidirectionnelle et possède une valeur de dépassement maximale spécifiée.

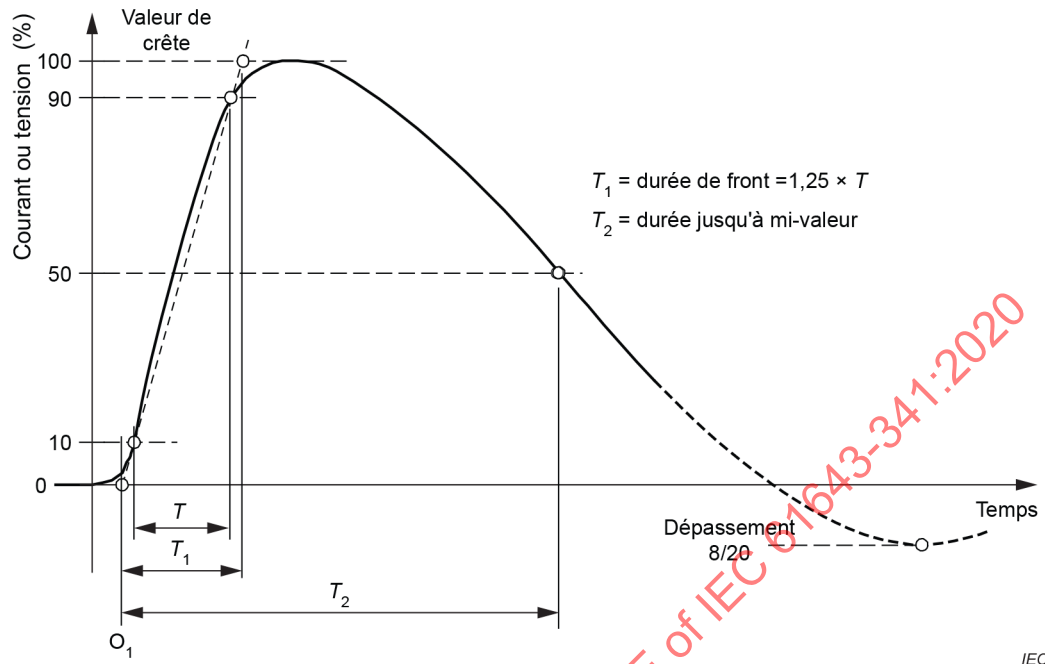


Figure A.1 – Amplitude du courant de choc ou de la tension de choc en fonction du temps, représentant une durée de front T_1 de 10 % à 90 % et une durée jusqu'à mi-valeur T_2

La Figure A.2 représente une désignation de la tension de choc fondée sur l'extrapolation de la durée de front de 30 % à 90 %. L'ensemble des tensions de choc désignées par la durée de front de 30 % à 90 % utilise des valeurs temporelles nominales. La mesure de durée de front de 30 % à 90 % permet d'obtenir des valeurs de mesure plus cohérentes. Au début, la tension de choc inclut souvent du bruit de haute fréquence généré par la fermeture de l'interrupteur du générateur. L'oscillation de la forme d'onde peut s'étendre dans la région d'amplitude de 10 %, ce qui provoque des variations de la mesure de durée de front de 10 % à 90 %. Le changement du niveau de 10 % à 30 % a permis d'éviter ces défauts initiaux.

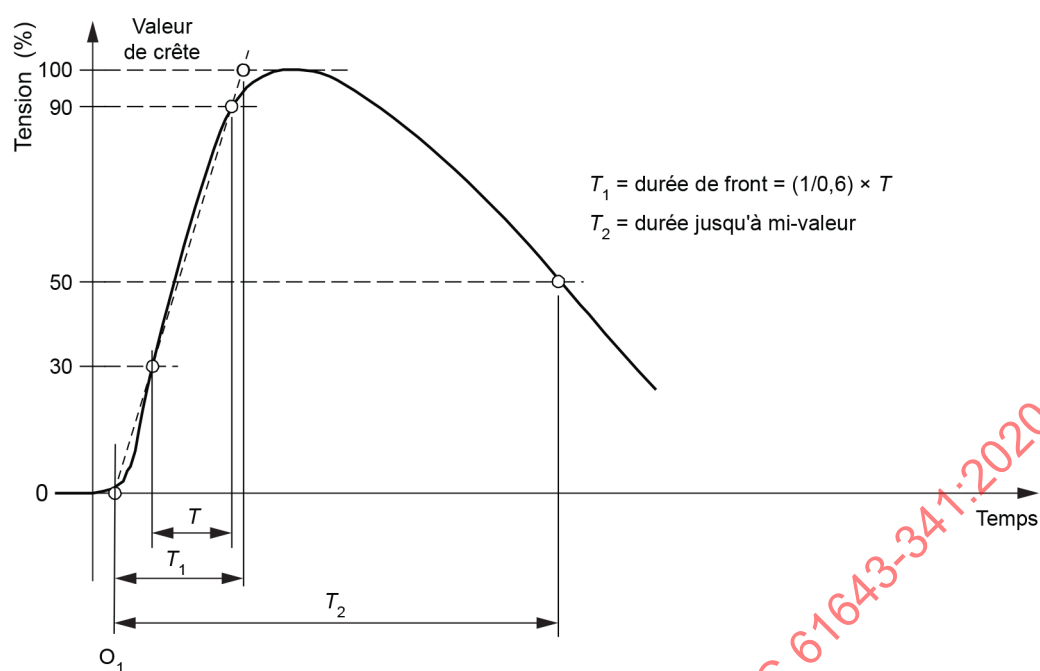


Figure A.2 – Amplitude de la tension de choc en fonction du temps, représentant une durée de front T_1 de 30 % à 90 % et une durée jusqu'à mi-valeur T_2

A.4 Générateurs de choc généralement utilisés pour les essais de parafoudre

A.4.1 Généralités

Le présent paragraphe répertorie les générateurs de choc couramment utilisés ou référencés. Les Tableau A.1, Tableau A.2 et Tableau A.3 couvrent les types de générateurs dont les formes d'onde sont définies par la tension, le courant, et la tension et le courant. Une référence bibliographique est donnée pour chaque désignation de générateur. Dans le cas de désignations faisant doublon, la désignation la plus couramment utilisée est indiquée.

A.4.2 Générateurs de choc ayant une forme d'onde de tension définie

Ces générateurs sont utilisés pour les essais à haute tension de l'isolation/diélectriques des composants, dispositifs et équipements. Les charges capacitatives augmentent la durée de front de la tension. Pour compenser les charges capacitatives supérieures à 5 nF, certains générateurs possèdent une valeur de résistance de sortie sélectionnable et peuvent même modifier la valeur du condensateur de charge du générateur. Les charges inductives, telles que les transformateurs, les enroulements de moteur et les enroulements de générateur électrique exigent que la conception du réseau de mise en forme des ondes soit réalisée avec minutie afin d'éviter toute oscillation sur la tension de choc. Un générateur est conçu pour produire une tension de choc précise. La conception du générateur doit être suffisamment robuste pour supporter le courant de décharge généré par un éventuel claquage de l'isolation. Le générateur #1 est la variante de générateurs #1 et #2 la plus couramment utilisée.

Tableau A.1 – Générateurs de tensions de choc

Numéro	Désignation	Condition	Valeur limite	Temps et tolérance	Amplitude
1	1,2/50 [17] [1]	Tension en circuit ouvert	Front	1,2 μ s $\pm$ 30 %	$\pm$ 3 %
			Descente	50 μ s $\pm$ 20 %	
		Courant de court-circuit	Voir NOTE		
2	1,2/50 [18] [12]	Tension en circuit ouvert	Circuit du générateur défini		−0 % à +5 %
		Courant de court-circuit	Voir NOTE		
NOTE Forme d'onde de courant non définie.					

A.4.3 Générateurs de choc ayant une forme d'onde de courant définie

Ces générateurs sont utilisés pour les essais à courant élevé des composants.

La forme d'onde 8/20 est généralement produite par un circuit RLC série qui possède un facteur d'amortissement inférieur à 1. Cette conception exige que la tension en charge reste bien inférieure à la tension de charge, par exemple un rapport de tension de 1:10. Ces générateurs produisent un courant s'écoulant dans la charge d'une forme d'onde 8/20, contrairement au générateur 1.2/50-8/20 dont la forme d'onde de courant est mesurée dans un court-circuit.

La quantité d'énergie déployée dans une varistance à oxyde métallique (MOV, *Metal-Oxide Varistor*) ou un fusible est régie par la forme d'onde appliquée. La plage d'énergie développée possible est réduite par des tolérances de forme d'onde plus strictes. Le générateur #3 est le générateur privilégié et le plus couramment utilisé en raison de sa tolérance de forme d'onde de $\pm$ 10 % par rapport aux $\pm$ 20 % du générateur #4.

La forme d'onde de courant du générateur #5 est exprimée en valeurs de charge et en valeurs I^2t , qui peuvent être simulées par une forme d'onde 10/350.

Tableau A.2 – Générateurs de courants de choc

Numéro	Désignation	Condition	Valeur limite		Temps et tolérance	Amplitude
3	8/20 [17] [16] [14]	Tension en circuit ouvert	Voir NOTE			
		Courant de court-circuit	Front	8 $\mu\text{s} \pm 10 \%$		$\pm 10 \%$ 0 % à -20% de dépassement
			Descente	20 $\mu\text{s} \pm 10 \%$		
4	8/20 [16]	Tension en circuit ouvert	Voir NOTE			
		Courant de court-circuit	Front	8 $\mu\text{s} \pm 20 \%$		$\pm 10 \%$ 0 % à -30% de dépassement
			Descente	20 $\mu\text{s} \pm 20 \%$		
5	10/350 [14]	Tension en circuit ouvert	Voir NOTE			
		Courant de court-circuit, I_{imp}	Charge de forme d'onde 0,5* I_{imp} C -10% à $+20 \%$			$\pm 10 \%$
			Forme d'onde $I^2 t$ 0,25*(I_{imp}) ² A ² s -10% à $+45 \%$.			
NOTE Forme d'onde de tension non définie. La tension de crête de charge est généralement donnée pour la valeur de courant spécifiée.						

A.4.4 Générateurs ayant des formes d'onde de courant et de tension définies

Le générateur #7 1,2/50-8/20 est disponible dans le commerce et utilisé en laboratoires d'essai. Bien que le générateur #8 puisse être référencé, la plupart des personnes utilisent le générateur #7 à des fins d'essai.

C'est également le cas pour les générateurs de choc #11 et #12 10/1000. Le générateur #11 est disponible dans le commerce et utilisé en laboratoires d'essai. Bien que le générateur #12 puisse être référencé, la plupart des personnes utilisent le générateur #11 à des fins d'essai.

Concernant les générateurs #9 et #10 10/700, le choix dépend de l'application. Pour les applications de télécommunication, le générateur UIT-T #10 [19] est choisi automatiquement; il est le plus couramment disponible dans le commerce et dans les laboratoires d'essai. Les travaux généraux relatifs à la compatibilité électromagnétique font souvent référence au générateur IEC #9 [13]. Le générateur IEC #10 est disponible dans le commerce; il est toutefois possible d'utiliser le générateur UIT-T avec des résistances en série supplémentaires.

Le Tableau A.4 répertorie les générateurs supplémentaires de Telcordia [21] et de la TIA [22]. Il existe deux versions différentes du générateur <2/>10 et une troisième variante du générateur #19 "10/700", similaire en pratique au générateur UIT-T #10 [19].

Tableau A.3 – Générateurs de tensions et de courants de choc

Numéro	Désignation	Condition	Valeur limite	Temps et tolérance	Amplitude
6	1,2/50-8/20 (1,2/50-7,3/22) [20] Voir NOTE 1	Tension en circuit ouvert	Front	1,2 μ s $\pm$ 30 % μ s	$\pm$ 10 %
			Descente	50 μ s $\pm$ 20 %	
		Courant de court-circuit	Front	8 μ s –31 % à +13 %	$\pm$ 10 %
			Descente	20 μ s –20 % à +40 %	
7	1,2/50-8/20 [21] [13] Voir NOTE 2	Tension en circuit ouvert	Front	1,2 μ s $\pm$ 30 %	$\pm$ 10 %
			Descente	50 μ s $\pm$ 20 %	
		Courant de court-circuit	Front	8 μ s $\pm$ 20 %	$\pm$ 10 % 0 % à –30 % de dépassement
			Descente	20 μ s $\pm$ 20 %	
8	<10/>250 [21]	Tension en circuit ouvert	Front	10 μ s –60 % à 0 %	0 % à +16 %
			Descente	250 μ s 0 % à +60 %	
		Courant de court-circuit	Front	10 μ s –30 % à 0 %	0 % à +16 %
			Descente	250 μ s 0 % à +20 %	
9	10/700 [13] Voir NOTE 3	Tension en circuit ouvert	Front	10 μ s $\pm$ 30 %	0 % à +15%
			Descente	700 μ s $\pm$ 20 %	
		Courant de court-circuit	Front	5 μ s $\pm$ 20 %	0 % à +15%
			Descente	320 μ s $\pm$ 20 %	
10	10/700 [19] [12] Voir NOTE 4	Tension en circuit ouvert	Front	10 μ s $\pm$ 30 %	$\pm$ 10 %
			Descente	700 μ s $\pm$ 20 %	
		Courant de court-circuit	Front	5 μ s $\pm$ 20 %	$\pm$ 10 %
			Descente	320 μ s $\pm$ 20 %	
11	<10/>1000 [21]	Tension en circuit ouvert	Front	10 μ s –40 % à 0 %	0 à +15 %
			Descente	1 000 μ s 0 % à +50 %	
		Courant de court-circuit	Front	10 μ s –40 % à 0 %	0 à +15 %
			Descente	1 000 μ s 0 % à +50 %	
12	10/1000 [20]	Tension en circuit ouvert	Front	10 μ s –50 % à 0 %	$\pm$ 10 %
			Descente	1 000 μ s 0 % à +100 %	
		Courant de court-circuit	Front	10 μ s –50 % à 0 %	$\pm$ 10 %
			Descente	1 000 μ s $\pm$ 20 %	

NOTE 1 L'impédance effective du générateur #6 1,2/50-8/20 est de 2 $\Omega \pm 12,5$ % [20].

NOTE 2 L'impédance effective du générateur #7 1,2/50-8/20 est de 2 $\Omega \pm 10$ % [13].

NOTE 3 La forme d'onde de courant de court-circuit du générateur #9 10/700 [19] est 5/320 pour une seule sortie et 5/320 pour une double sortie. La tolérance de courant en double sortie est de 5 μ s $\pm$ 20 % de front, 320 μ s $\pm$ 20 % de durée et $\pm$ 10 % d'amplitude.

NOTE 4 La forme d'onde de courant de court-circuit du générateur #10 10/700 [19] est 5/320 pour une seule sortie et 4/250 pour une double sortie. La tolérance de courant en double sortie est de 4 μ s $\pm$ 20 % de front, 250 μ s $\pm$ 20 % de durée et $\pm$ 10 % d'amplitude.

Tableau A.4 – Autres générateurs de tensions et de courants de choc

Numéro	Désignation	Condition	Valeur limite	Temps et tolérance	Amplitude
13	<2/>10 [21] Voir NOTE 1	Tension en circuit ouvert	Front	2 μ s –50 % à 0 %	0 % à +20 %
			Descente	10 μ s 0 % à +70 %	
		Courant de court-circuit	Front	2 μ s –50 % à 0 %	0 % à +20 %
			Descente	10 μ s 0 % à +70 %	
14	<2/>10 [22] Voir NOTE 2	Tension en circuit ouvert	Front	2 μ s –50 % à 0 %	0 % à +10 %
			Descente	10 μ s 0 % à +90 %	
		Courant de court-circuit	Front	2 μ s –50 % à 0 %	0 % à +25 %
			Descente	10 μ s 0 % à +90 %	
15	<10/>160 [22] Voir NOTE 3	Tension en circuit ouvert	Front	10 μ s –40 % à 0 %	0 % à +10 %
			Descente	160 μ s 0 % à +63 %	
		Courant de court-circuit	Front	10 μ s –50 % à 0 %	0 % à +15 %
			Descente	160 μ s 0 % à +31 %	
17	<10/>360 [21]	Tension en circuit ouvert	Front	10 μ s –25 % à 0 %	0 % à +15 %
			Descente	360 μ s 0 % à +30 %	
		Courant de court-circuit	Front	10 μ s –25 % à 0 %	0 % à +15 %
			Descente	360 μ s 0 % à +30 %	
18	<10/>560 [22] Voir NOTE 4	Tension en circuit ouvert	Front	10 μ s –40 % à 0 %	0 % à +10 %
			Descente	560 μ s 0 % à +54 %	
		Courant de court-circuit	Front	10 μ s –50 % à 0 %	0 % à +15 %
			Descente	560 μ s 0 % à +36 %	
19	"10/700" [22]	Tension en circuit ouvert	Front	9 μ s $\pm$ 30 %	0 à +10 %
			Descente	720 μ s $\pm$ 20 %	
		Courant de court-circuit	Front	5 μ s $\pm$ 30 %	0 à +10 %
			Descente	320 μ s $\pm$ 20 %	
NOTE 1 L'impédance effective du générateur #13 <2/>10 est de 5 Ω , 8 Ω , 10 Ω ou 15 Ω selon l'application [21].					
NOTE 2 L'impédance effective du générateur #14 <2/>10 est de 2,5 Ω [22].					
NOTE 3 L'impédance effective du générateur #15 <10/>160 est de 7,5 Ω à chaque sortie [22].					
NOTE 4 L'impédance effective du générateur #17 <10/>560 est de 8 Ω [22].					