

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61188-5-1

Première édition
First edition
2002-07

**Cartes imprimées et cartes imprimées équipées –
Conception et utilisation –**

**Partie 5-1:
Considérations sur les liaisons pistes-soudures –
Prescriptions génériques**

**Printed boards and printed board assemblies –
Design and use –**

**Part 5-1:
Attachment (land/joint) considerations –
Generic requirements**



Numéro de référence
Reference number
CEI/IEC 61188-5-1:2002

Numérotation des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000. Ainsi, la CEI 34-1 devient la CEI 60034-1.

Editions consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Informations supplémentaires sur les publications de la CEI

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique. Des renseignements relatifs à cette publication, y compris sa validité, sont disponibles dans le Catalogue des publications de la CEI (voir ci-dessous) en plus des nouvelles éditions, amendements et corrigenda. Des informations sur les sujets à l'étude et l'avancement des travaux entrepris par le comité d'études qui a élaboré cette publication, ainsi que la liste des publications parues, sont également disponibles par l'intermédiaire de:

- Site web de la CEI (www.iec.ch)
- Catalogue des publications de la CEI

Le catalogue en ligne sur le site web de la CEI (www.iec.ch/catlg-f.htm) vous permet de faire des recherches en utilisant de nombreux critères, comprenant des recherches textuelles, par comité d'études ou date de publication. Des informations en ligne sont également disponibles sur les nouvelles publications, les publications remplacées ou retirées, ainsi que sur les corrigenda.

- IEC Just Published

Ce résumé des dernières publications parues (www.iec.ch/JP.htm) est aussi disponible par courrier électronique. Veuillez prendre contact avec le Service client (voir ci-dessous) pour plus d'informations.

- Service clients

Si vous avez des questions au sujet de cette publication ou avez besoin de renseignements supplémentaires, prenez contact avec le Service clients:

Email: custserv@iec.ch
Tél: +41 22 919 02 11
Fax: +41 22 919 03 00

Publication numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series. For example, IEC 34-1 is now referred to as IEC 60034-1.

Consolidated editions

The IEC is now publishing consolidated versions of its publications. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Further information on IEC publications

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology. Information relating to this publication, including its validity, is available in the IEC Catalogue of publications (see below) in addition to new editions, amendments and corrigenda. Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is also available from the following:

- IEC Web Site (www.iec.ch)
- Catalogue of IEC publications

The on-line catalogue on the IEC web site (www.iec.ch/catlg-e.htm) enables you to search by a variety of criteria including text searches, technical committees and date of publication. On-line information is also available on recently issued publications, withdrawn and replaced publications, as well as corrigenda.

- IEC Just Published

This summary of recently issued publications (www.iec.ch/JP.htm) is also available by email. Please contact the Customer Service Centre (see below) for further information.

- Customer Service Centre

If you have any questions regarding this publication or need further assistance, please contact the Customer Service Centre:

Email: custserv@iec.ch
Tel: +41 22 919 02 11
Fax: +41 22 919 03 00

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61188-5-1

Première édition
First edition
2002-07

**Cartes imprimées et cartes imprimées équipées –
Conception et utilisation –**

**Partie 5-1:
Considérations sur les liaisons pistes-soudures –
Prescriptions génériques**

**Printed boards and printed board assemblies –
Design and use –**

**Part 5-1:
Attachment (land/joint) considerations –
Generic requirements**

© IEC 2002 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission, 3, rue de Varembe, PO Box 131, CH-1211 Geneva 20, Switzerland
Telephone: +41 22 919 02 11 Telefax: +41 22 919 03 00 E-mail: inmail@iec.ch Web: www.iec.ch



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XB**

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

AVANT-PROPOS	10
1 Domaine d'application et objet.....	14
2 Références normatives	14
3 Termes et définitions.....	16
4 Exigences de conception.....	28
4.1 Généralités	28
4.1.1 Classification	30
4.1.2 Détermination des zones de report	30
4.2 Systèmes de dimensionnement	32
4.2.1 Tolérancement des composants	34
4.2.2 Tolérancement des pastilles	42
4.2.3 Réserves de fabrication.....	42
4.2.4 Tolérances d'assemblage.....	42
4.2.5 Analyse des dimensions et des tolérances.....	44
4.3 Possibilité de réalisation des conceptions.....	60
4.3.1 Zone de report pour montage en surface.....	62
4.3.2 Choix des composants standard.....	62
4.3.3 Développement du substrat du circuit.....	62
4.3.4 Considérations d'assemblage.....	62
4.3.5 Prévision des essais automatisés	62
4.3.6 Documentation du montage en surface.....	62
4.4 Contraintes d'environnement.....	62
4.4.1 Composants sensibles à l'humidité	62
4.4.2 Considérations d'environnement dans l'utilisation finale	64
4.5 Règles de conception.....	66
4.5.1 Espacement des composants.....	66
4.5.2 Assemblage des cartes à simple et double face.....	70
4.5.3 Conception du stencil de brasage.....	70
4.5.4 Hauteur de dépassement des composants pour nettoyage.....	70
4.5.5 Repères conventionnels	72
4.5.6 Conducteurs	78
4.5.7 Conseils relatifs aux trous de liaison.....	80
4.5.8 Réserves de fabrication normales.....	84
4.5.9 Mise en flan	88
4.6 Finitions des couches extérieures	94
4.6.1 Finitions des masques de brasage	94
4.6.2 Espacement du masque de brasage.....	94
4.6.3 Finition des zones de report	96
5 Validation de la qualité et de la fiabilité.....	96
5.1 Techniques de validation.....	96
6 Testabilité.....	98
6.1 Les cinq types d'essai	98
6.1.1 Essai de la carte nue.....	98
6.1.2 Essai sur la carte assemblée.....	100

CONTENTS

FOREWORD	11
1 Scope and object	15
2 Normative references	15
3 Terms and definitions	17
4 Design requirements	29
4.1 General	29
4.1.1 Classification	31
4.1.2 Land pattern determination	31
4.2 Dimensioning systems	33
4.2.1 Component tolerancing	35
4.2.2 Land tolerancing	43
4.2.3 Fabrication allowances	43
4.2.4 Assembly tolerancing	43
4.2.5 Dimension and tolerance analysis	45
4.3 Design producibility	61
4.3.1 SMT land pattern	63
4.3.2 Standard component selection	63
4.3.3 Circuit substrate development	63
4.3.4 Assembly considerations	63
4.3.5 Provision for automated test	63
4.3.6 Documentation for SMT	63
4.4 Environmental constraint	63
4.4.1 Moisture sensitive components	63
4.4.2 End-use environment considerations	65
4.5 Design rules	67
4.5.1 Component spacing	67
4.5.2 Single- and double-sided board assembly	71
4.5.3 Solder paste stencil	71
4.5.4 Component stand-off height for cleaning	71
4.5.5 Fiducial marks	73
4.5.6 Conductors	79
4.5.7 Via guidelines	81
4.5.8 Standard fabrication allowances	85
4.5.9 Panelization	89
4.6 Outer layer finishes	95
4.6.1 Solder-mask finishes	95
4.6.2 Solder-mask clearances	95
4.6.3 Land-pattern finishes	97
5 Quality and reliability validation	97
5.1 Validation techniques	97
6 Testability	99
6.1 Five types of testing	99
6.1.1 Bare-board test	99
6.1.2 Assembled board test	101

6.2	Accès aux nœuds	100
6.2.1	Philosophie d'essai	100
6.2.2	Stratégie d'essai pour les cartes nues	102
6.3	Accès total aux nœuds de la carte assemblée	102
6.3.1	Préparation des essais en circuit	104
6.3.2	Essais avec multi-sondes	104
6.4	Accès limité aux nœuds	104
6.5	Aucun accès aux nœuds	106
6.6	Impact des montages d'essai en coquille	106
6.7	Caractéristiques d'essai des cartes imprimées	106
6.7.1	Espacement des zones de report d'essai	106
6.7.2	Taille et forme des pastilles d'essai	106
6.7.3	Paramètres de conception en vue des essais	108
7	Types de structure de cartes imprimées	110
7.1	Considérations générales	114
7.1.1	Catégories	116
7.1.2	Différence de dilatation thermique	116
7.2	Matériaux organiques	116
7.3	Matériaux non organiques	116
7.4	Autres structures de cartes imprimées	116
7.4.1	Structures à plan support	116
7.4.2	Technologie des cartes imprimées à haute densité	116
7.4.3	Interconnexion par fil discret	118
7.4.4	Structures à âme intégrée	118
7.4.5	Structures à âme en métal porcelainisé	118
8	Considérations d'assemblage dans la technologie du montage en surface	118
8.1	Séquence du montage en surface	118
8.2	Préparation des substrats	120
8.2.1	Application d'adhésif	120
8.2.2	Adhésifs conducteurs	122
8.2.3	Application de la pâte de brasure	122
8.2.4	Pièces de brasure préformées	122
8.3	Pose des composants	122
8.3.1	Transfert des données des composants	122
8.4	Processus de brasage	124
8.4.1	Soudage à la vague	124
8.4.2	Brasage en phase vapeur	126
8.4.3	Refusion par infrarouges	128
8.4.4	Convection à l'air chaud	128
8.4.5	Brasage par refusion au laser	128
8.5	Nettoyage	128
8.6	Réparations et reprises	130
8.6.1	Réutilisation des composants enlevés	130
8.6.2	Effets de dissipation thermique	130
8.6.3	Influence du type de matériau des cartes imprimées	132
8.6.4	Influence de la pastille de cuivre et du montage du conducteur	132
8.6.5	Sélection d'équipements adéquats pour les retouches	132
8.6.6	Influence de la structure équipée et des processus de brasage	132

6.2	Nodal access	101
6.2.1	Test philosophy	101
6.2.2	Test strategy for bare boards	103
6.3	Full nodal access for assembled board	103
6.3.1	In-circuit test accommodation	105
6.3.2	Multi-probe testing	105
6.4	Limited nodal access	105
6.5	No nodal access	107
6.6	Clam-shell fixtures impact	107
6.7	Printed board test characteristics	107
6.7.1	Test land pattern spacing	107
6.7.2	Test land size and shape	107
6.7.3	Design for test parameters	109
7	Printed board structure types	111
7.1	General considerations	115
7.1.1	Categories	117
7.1.2	Thermal expansion mismatch	117
7.2	Organic base material	117
7.3	Non-organic base materials	117
7.4	Alternative PB structures	117
7.4.1	Supporting-plane PB structures	117
7.4.2	High-density PB technology	117
7.4.3	Discrete-wire interconnect	119
7.4.4	Constraining core structures	119
7.4.5	Porcelainized metal (metal core) structures	119
8	Assembly considerations for surface-mount technology (SMT)	119
8.1	SMT assembly process sequence	119
8.2	Substrate preparation	121
8.2.1	Adhesive application	121
8.2.2	Conductive adhesive	123
8.2.3	Solder paste application	123
8.2.4	Solder preforms	123
8.3	Component placement	123
8.3.1	Component data transfer	123
8.4	Soldering processes	125
8.4.1	Wave soldering	125
8.4.2	Vapour-phase soldering	127
8.4.3	IR reflow	129
8.4.4	Hot air/gas convection	129
8.4.5	Laser reflow soldering	129
8.5	Cleaning	129
8.6	Repair/rework	131
8.6.1	Re-use of removed components	131
8.6.2	Heatsink effects	131
8.6.3	Dependence on printed board material type	133
8.6.4	Dependence on copper land and conductor layout	133
8.6.5	Selection of suitable rework equipment	133
8.6.6	Dependence on assembly structure and soldering processes	133

Annexe A (informative) Impressions d'essai – Evaluation du processus	134
Annexe B (informative) Abréviations	140
Figure 1 – Exemple de tolérancement par profil	32
Figure 2 – Exemple de dimensionnement du condensateur 3216 pour un cordon de brasure optimal	36
Figure 3 – Dimensionnement par profil d'un SOIC à sorties en aile de mouette	38
Figure 4 – Pas d'un composant à sorties multiples	48
Figure 5 – Condition de zone de délimitation du périmètre	58
Figure 6 – Orientation des composants pour le soudage à la vague	66
Figure 7 – Alignement de composants similaires	68
Figure 8 – Repères de flans et locaux	72
Figure 9 – Repères conventionnels locaux et globaux	74
Figure 10 – Emplacement des repères conventionnels sur une carte imprimée	74
Figure 11 – Zone dégagée autour des repères	76
Figure 12 – Géométries de montage en surface	78
Figure 13 – Trame d'essai de la capacité d'acheminement des conducteurs	80
Figure 14 – Relation entre la zone de report et trous de liaison	82
Figure 15 – Exemples de concepts de positionnement des trous de liaison	82
Figure 16 – Description des conducteurs	86
Figure 17 – Exemples de pastilles modifiées	88
Figure 18 – Flan classique en stratifié cuivre-verre	90
Figure 19 – Jeu entre conducteurs et rainure pour le rainurage en V	90
Figure 20 – Système à rupture (impression à fente guidée)	92
Figure 21 – Fentes guidées	92
Figure 22 – Fenêtre d'un masque de brasage groupé	94
Figure 23 – Fenêtres de masque de brasage à poche	96
Figure 24 – Limites de température des composants	98
Figure 25 – Concept de grille de trous de liaison d'essai	104
Figure 26 – Relation générale entre la taille des contacts de test et les ratés de sonde	108
Figure 27 – Distance entre sonde d'essai et composant	110
Figure 28 – Séquence typique de l'assemblage pour trous traversant et montage en surface	120
Figure 29 – Séquence typique du montage en surface sur une et deux faces	120
Figure A.1 – Description générale de l'impression de validation du processus et de ses interconnexions	134
Figure A.2 – Cliché photographique de la face primaire de la carte d'essai IPC-A-49	136
Tableau 1 – Eléments de l'analyse des tolérances pour les composants à puce	50
Tableau 2 – Sorties pour ruban plat en L et en aile de mouette (pas supérieur à 0,625 mm)	50
Tableau 3 – Sorties pour ruban plat en L et en aile de mouette (pas inférieur ou égal à 0,625 mm)	52
Tableau 4 – Sorties rondes ou aplaties (forgées)	52
Tableau 5 – Sorties en J	52
Tableau 6 – Composants à extrémité rectangulaire ou carrée (condensateurs et résistances céramique)	52
Tableau 7 – Broches à embout cylindrique (MELF)	54
Tableau 8 – Broches à base seule	54

Annex A (informative) Test patterns – Process evaluations	135
Annex B (informative) Abbreviations	141
Figure 1 – Profile tolerancing method.....	33
Figure 2 – Example of 3216 capacitor dimensioning for optimum solder fillet condition	37
Figure 3 – Profile dimensioning of gull-wing leaded SOIC.....	39
Figure 4 – Pitch for multiple leaded component.....	49
Figure 5 – Courtyard boundary area condition	59
Figure 6 – Component orientation for wave-solder applications	67
Figure 7 – Alignment of similar components	69
Figure 8 – Panel/local fiducials	73
Figure 9 – Local and global fiducials	75
Figure 10 – Fiducial locations on a printed board	75
Figure 11 – Fiducial clearance requirements	77
Figure 12 – Surface mounting geometries	79
Figure 13 – Conductor routing capability test pattern.....	81
Figure 14 – Land-pattern-to-via relationship	83
Figure 15 – Examples of via positioning concepts	83
Figure 16 – Conductor description	87
Figure 17 – Examples of modified landscapes	89
Figure 18 – Typical copper glass laminate panel	91
Figure 19 – Conductor clearance for V-groove scoring.....	91
Figure 20 – Breakaway (routed pattern) with routed slots.....	93
Figure 21 – Routed slots.....	93
Figure 22 – Gang solder mask window.....	95
Figure 23 – Pocket solder mask window	97
Figure 24 – Component temperature limits.....	99
Figure 25 – Test via grid concepts	105
Figure 26 – General relationship between test contact size and test probe misses.....	109
Figure 27 – Test probe feature distance from component.....	111
Figure 28 – Typical process flow for through-hole/surface-mount assembly.....	121
Figure 29 – Typical process flow for full surface-mount type 1b and 2b surface-mount technology.....	121
Figure A.1 – General description of process validation contact pattern and interconnect.....	135
Figure A.2 – Photomage of IPC-A-49 test board for primary side	137
Table 1 – Tolerance analysis elements for chip devices	51
Table 2 – Flat ribbon L and gull-wing leads (greater than 0,625 mm pitch).....	51
Table 3 – Flat ribbon L and gull-wing leads (less than or equal to 0,625 mm pitch)	53
Table 4 – Round or flattened (coined) leads	53
Table 5 – J leads	53
Table 6 – Rectangular or square-end components (ceramic capacitors and resistors)	53
Table 7 – Cylindrical end cap terminations (MELF).....	55
Table 8 – Bottom only terminations	55

Tableau 9 – Porte-puce sans sorties à broches crénelées	54
Tableau 10 – Joints bout-à-bout	54
Tableau 11 – Sorties pour ruban plat en L et en aile de mouette intérieures (condensateurs au tantale)	56
Tableau 12 – Sorties à téton plat	56
Tableau 13 – Environnements d'utilisation les plus défavorables pour les appareils électroniques à montage en surface, et essais accélérés recommandés pour les composants brasés en surface employés dans la plupart des catégories d'utilisation.....	64
Tableau 14 – Tolérances de largeur des conducteurs	86
Tableau 15 – Précision de positionnement des éléments	86
Tableau 16 – Comparaison des structures des cartes imprimées	110
Tableau 17 – Critères de choix des structures des cartes imprimées.....	114
Tableau 18 – Propriétés des matériaux des structures des cartes imprimées	114

IECNORM.COM: Click to view the full PDF of IEC 61188-5-1:2002

Table 9 – Leadless chip carrier with castellated terminations	55
Table 10 – Butt joints.....	55
Table 11 – Inward flat ribbon L and gull-wing leads (tantalum capacitors).....	57
Table 12 – Flat lug leads	57
Table 13 – Worst-case use environments for surface-mounted electronics and recommended accelerated testing for surface-mount solder attachments by most common use categories.....	65
Table 14 – Conductor width tolerances	87
Table 15 – Feature location accuracy.....	87
Table 16 – Printed board structure comparison	111
Table 17 – PB structure selection considerations	115
Table 18 – PB structure material properties	115

Withdrawing
IECNORM.COM: Click to view the full PDF of IEC 61188-5-1:2002

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CARTES IMPRIMÉES ET CARTES IMPRIMÉES ÉQUIPÉES – CONCEPTION ET UTILISATION –

Partie 5-1: Considérations sur les liaisons pistes-soudures – Prescriptions génériques

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, spécifications techniques, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 61188-5-1 a été établie par le comité d'études 91 de la CEI: Techniques d'assemblage des composants électroniques.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
91/292/FDIS	91/318/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les directives ISO/CEI, Partie 3.

Les annexes A et B sont données uniquement à titre d'information.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES –
DESIGN AND USE –****Part 5-1: Attachment (land/joint) considerations –
Generic requirements**

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international cooperation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical specifications, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61188-5-1 has been prepared by IEC technical committee 91: Electronics assembly technology.

The text of this standard is based on the following documents:

FDIS	Report on voting
91/292/FDIS	91/318/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 3.

Annexes A and B are for information only.

La CEI 61188-5 comporte les parties suivantes sous le titre général *Cartes imprimées et cartes imprimées équipées – Conception et utilisation – Partie 5: Considérations sur les liaisons pistes-soudures*:

CEI 61188-5-1, Prescriptions génériques

CEI 61188-5-2, Composants discrets

CEI 61188-5-3, Composants à pattes bilatérales en aile de mouette

CEI 61188-5-4, Composants à pattes «J» bilatérales

CEI 61188-5-5, Composants à pattes quadrilatérales en aile de mouette

CEI 61188-5-6, Composants à pattes «J» quadrilatérales

CEI 61188-5-7, Composants (DIP) à broches bilatérales

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2004. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

IEC 61188-5 consists of the following parts, under the general title *Printed boards and printed board assemblies – Design and use – Part 5: Attachment (land/joint) considerations*:

- IEC 61188-5-1, Generic requirements
- IEC 61188-5-2, Discrete components
- IEC 61188-5-3, Components with gull-wing leads, on two sides
- IEC 61188-5-4, Components with J leads, on two sides
- IEC 61188-5-5, Components with gull-wing leads, on four sides
- IEC 61188-5-6, Components with J leads, on four sides
- IEC 61188-5-7, Components with post (DIP) leads, on two sides

The committee has decided that the contents of this publication will remain unchanged until 2004. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

CARTES IMPRIMÉES ET CARTES IMPRIMÉES ÉQUIPÉES – CONCEPTION ET UTILISATION –

Partie 5-1: Considérations sur les liaisons pistes-soudures – Prescriptions génériques

1 Domaine d'application et objet

La présente partie de la CEI 61188 donne des informations sur les géométries des zones de report utilisées pour la fixation en surface des composants électroniques. Son intention est d'indiquer la taille, la forme et la tolérance appropriées des zones de report de montage en surface afin de garantir une surface suffisante pour le filet de soudure et de permettre également les inspections, les essais et les reprises de ces soudures.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60097, *Systèmes de grille pour circuits imprimés*

CEI 60194, *Conception, fabrication et assemblage des cartes imprimées – Termes et définitions* (disponible en anglais seulement)

CEI 61188-1-1, *Cartes imprimées et cartes imprimées équipées – Conception et utilisation – Partie 1-1: Prescriptions génériques – Considérations concernant la planéité d'ensembles électroniques*

CEI 61191-1, *Ensembles de cartes imprimées – Partie 1: Spécification générique – Exigences relatives aux ensembles électriques et électroniques brasés utilisant les techniques de montage en surface et associées*

CEI 61191-2, *Ensembles de cartes imprimées – Partie 2: Spécification intermédiaire – Exigences relatives à l'assemblage par brasage pour montage en surface*

CEI 61192-1, *Assemblages électroniques brasés – Partie 1: Exigences relatives à la qualité d'exécution – Généralités*¹⁾

CEI 61192-2, *Assemblages électroniques brasés – Partie 2: Exigences relatives à la qualité d'exécution – Montage en surface*¹⁾

CEI 61760-1, *Technique du montage en surface – Partie 1: Méthode de normalisation pour la spécification des composants montés en surface (CMS)*

CEI 62326 (toutes les parties), *Cartes imprimées*

¹⁾ A publier.

PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES – DESIGN AND USE –

Part 5-1: Attachment (land/joint) considerations – Generic requirements

1 Scope and object

This part of IEC 61188 provides information on land pattern geometries used for the surface attachment of electronic components. The intent of the information presented herein is to provide the appropriate size, shape and tolerance of surface-mount land patterns to insure sufficient area for the appropriate solder fillet, and also to allow for inspection, testing, and rework of those solder joints.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60097, *Grid systems for printed circuits*

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions*

IEC 61188-1-1, *Printed boards and printed board assemblies – Design and use – Part 1-1: Generic requirements – Flatness considerations for electronic assemblies*

IEC 61191-1, *Printed board assemblies – Part 1: Generic specification – Requirements for soldered electrical and electronic assemblies using surface mount and related assembly technologies*

IEC 61191-2, *Printed board assemblies – Part 2: Sectional specification – Requirements for surface mount soldered assemblies*

IEC 61192-1, *Soldered electronic assemblies – Part 1: Workmanship requirements – General*¹⁾

IEC 61192-2, *Soldered electronic assemblies – Part 2: Workmanship requirements – Surface mounted assemblies*¹⁾

IEC 61760-1, *Surface mounting technology – Part 1: Standard method for the specification of surface mounting components (SMDs)*

IEC 62326 (all parts), *Printed boards*

¹⁾ To be published.

3 Termes et définitions

Pour les besoins de la présente partie de la CEI 61188, les termes et définitions donnés en anglais seulement dans la CEI 60194¹⁾ et les suivantes s'appliquent.

3.1

ensemble

montage comprenant plusieurs pièces, sous-ensembles ou combinaisons de pièces

3.2

ensemble, double face

structure regroupant et reliant entre eux des composants montés sur les faces primaire et secondaire

3.3

ensemble, circuit imprimé multicouche (câblage)

circuit imprimé multicouche ou carte imprimée de câblage sur laquelle ont été ajoutés des composants et des pièces fabriqués séparément

3.4

ensemble, regroupement et interconnexion

terme générique désignant un ensemble possédant des composants électroniques montés soit sur l'une, soit sur les deux faces d'une structure de regroupement et d'interconnexion

3.5

ensemble, carte imprimée

assemblage de plusieurs ensembles de circuits imprimés ou ensembles de câblage imprimés, ou des deux

3.6

ensemble, circuit imprimé (câblage)

circuit imprimé ou carte imprimée de câblage sur laquelle ont été ajoutés des composants et des pièces fabriqués séparément

3.7

ensemble, simple face

structure de regroupement et d'interconnexion possédant des composants montés sur la seule face primaire

3.8

matériau de base

matériau isolant sur lequel peut être réalisée une impression conductrice (il peut être rigide ou souple ou les deux. Il peut s'agir d'une feuille diélectrique ou de métal isolé)

3.9

dimension de base

valeur numérique servant à décrire l'emplacement exact théorique d'un élément ou d'un trou (base sur laquelle sont établies les variations admissibles au moyen de tolérances sur d'autres dimensions figurant dans les notes ou de symboles de contrôle d'élément)

¹⁾ Certaines définitions de la CEI 60194 ont été traduites en français.

3 Terms and definitions

For the purposes of this part of IEC 61188, the terms and definitions given in English only in IEC 60194¹⁾ and the following apply.

3.1

assembly

number of parts, subassemblies or combinations thereof joined together

[IEC 60194]

3.2

assembly, double-sided

packaging and interconnecting structure with components mounted on both the primary and secondary sides

3.3

assembly, multilayer printed circuit (wiring)

multilayer printed circuit or printed wiring board on which separately manufactured components and parts have been added

3.4

assembly, packaging and interconnecting (P&IA)

generic term for an assembly that has electronic components mounted on either one or both sides of a packaging and interconnecting structure

3.5

assembly, printed board

assembly of several printed circuit assemblies or printed wiring assemblies, or both

3.6

assembly, printed circuit (wiring)

printed circuit or printed wiring board on which separately manufactured components and parts have been added

3.7

assembly, single-sided

packaging and interconnecting structure with components mounted only on the primary side

3.8

base material

insulating material upon which a conductive pattern may be formed (the base material may be rigid or flexible, or both. It may be a dielectric or insulated metal sheet)

[IEC 60194]

3.9

basic dimension

numerical value used to describe the theoretical exact location of a feature or hole (it is the basis from which permissible variations are established by tolerance on other dimensions in notes or by feature-control symbols)

[IEC 60194]

¹⁾ Certain definitions of IEC 60194 have been translated into French.

3.10

trou borgne

trou de liaison ne débouchant que sur une face de la carte imprimée

3.11

trou enterré

trou de liaison n'atteignant pas la surface de la carte imprimée

3.12

crénelage

indentation métallisée située à l'extrémité d'un porte-puce sans sorties, et servant à relier des surfaces ou des plans conducteurs à l'intérieur du porte-puce ou dessus

3.13

porte-puce

boîtier plat de semi-conducteur, de forme généralement carrée, à composants montés en surface, dont le logement ou la surface de montage de la puce représente une part importante de la taille du boîtier et dont les connexions externes sont généralement placées sur les quatre côtés du boîtier (il peut être avec ou sans sorties)

3.14

puce sur carte (COB) ou pastillage

technologie d'assemblage sur carte imprimée consistant à placer des puces de semi-conducteur sans boîtier et à les relier par fils ou autres techniques de fixation similaires. La densité du silicium en surface est généralement inférieure à celle de la carte imprimée

3.15

coefficient de dilatation thermique (CDT)

changement de dimension linéaire d'un matériau par unité de température (voir aussi «différence de dilatation thermique»)

3.16

composant

pièce individuelle ou combinaison de pièces assurant, une fois réunies, la ou les fonctions nominales (voir aussi «composant discret»)

3.17

site de montage des composants

emplacement d'une structure P&I constitué d'une zone de report et d'un réseau conducteur divergent menant à d'autres pastilles pour les essais, ou à des trous de liaison associés au montage d'un composant unique

3.18

impression conductrice

configuration ou forme du matériau conducteur sur un matériau de base. (Comprend les conducteurs, les pastilles, les trous de liaison, les dissipateurs thermiques et les composants passifs lorsque ces éléments forment partie intégrante du processus de fabrication de la carte imprimée)

3.10**blind via**

via extending only to one surface of a printed board

[IEC 60194]

3.11**buried via**

via that does not extend to the surface of a printed board

[IEC 60194]

3.12**castellation**

recessed metallized feature on the edge of a leadless chip carrier that is used to interconnect conducting surfaces or planes within or on the chip carrier

[IEC 60194]

3.13**chip carrier**

low-profile, usually square, surface-mount component semiconductor package whose die cavity or die mounting area is a large fraction of the package size and whose external connections are usually on all four sides of the package (it may be leaded or leadless)

[IEC 60194]

3.14**chip-on-board (COB)**

printed board assembly technology that places unpackaged semiconductor dice and interconnects them by wire bonding or similar attachment techniques. Silicon area density is usually less than of the printed board

[IEC 60194 modified]

3.15**coefficient of thermal expansion (CTE)**

linear dimensional change of a material per unit change in temperature (see also "thermal expansion mismatch")

[IEC 60194]

3.16**component**

individual part or combination of parts that, when together, perform a design function(s) (see also "discrete component" in IEC 60194)

[IEC 60194]

3.17**component mounting site**

location on a P&I structure that consists of a land pattern and conductor fan-out to additional lands for testing or vias that are associated with the mounting of a single component

3.18**conductive pattern**

configuration or design of the conductive material on a base material (this includes conductors, lands, vias, heatsinks and passive components when these are an integral part of the printed board manufacturing process)

[IEC 60194]

3.19

conducteur

chemin conducteur unique d'une impression conductrice

3.20

âme intégrée

plan support interne à une structure d'assemblage et d'interconnexion

3.21

périmètre

plus petite zone rectangulaire qui permet d'obtenir un espace électrique et mécanique minimal (excès de périmètre) autour de l'ensemble des corps des composants et des limites des zones de report

3.22

excès de périmètre

zone entre le rectangle entourant la zone de report et le composant, et la limite extérieure du périmètre. L'excès de périmètre peut être différent dans les axes x et y

3.23

périmètre de zone de fabrication

zone plus une réserve, respectant les exigences de fabrication, garantissant

- un montage sans défaut d'un appareillage de montage en surface;
- un fonctionnement correct du circuit, par exemple une fonction qui n'est pas affectée par des distances trop faibles entre des composants limitrophes;
- l'inspection de la fonction électrique et des joints de brasage et, si nécessaire, des retouches et des réparations

3.24

boîtier à deux rangées de broches (DIP)

boîtier à composant rectangulaire comportant, sur chacun des côtés longitudinaux du corps, une rangée de sorties formées perpendiculairement à un plan parallèle à la base du corps

3.25

technologie à pas fin (FPT)

technologie de montage en surface dans laquelle l'entre-axes des sorties des composants est inférieur à 0,625 mm (0,025 in)

3.26

convention de référence

caractéristique d'une carte imprimée servant à fournir des points mesurables communs à toutes les étapes du processus d'assemblage

3.27

boîtier plat

boîtier à composant rectangulaire comportant, sur chacun des côtés longitudinaux du corps, une rangée de sorties parallèles à la base du corps

3.19**conductor**

single conductive path in a conductive pattern

[IEC 60194]

3.20**constraining core**

supporting plane that is internal to a packaging and interconnecting structure

[IEC 60194]

3.21**courtyard**

smallest rectangular area that provides a minimum electrical and mechanical clearance (courtyard excess) around the combined component body and land pattern boundaries

3.22**courtyard excess**

area between the rectangle circumscribing the land pattern and the component, and the outer boundary of the courtyard. The courtyard excess may be different in the x and y direction

3.23**courtyard manufacturing zone**

courtyard area plus an allowance, as determined by manufacturing requirements, that will ensure

- a defect-free mounting of a surface-mounting device;
- a proper operation of the circuit, i.e. a function not impaired by too small distances of adjacent components;
- the inspection of the electrical function and of solder joints and, if required, rework and repair

3.24**dual in-line package (DIP)**

rectangular component package that has a row of leads extending from each of the longer sides of its body that are formed at right angles to a plane that is parallel to the base of its body

[IEC 60194]

3.25**fine-pitch technology (FPT)**

surface-mount assembly technology with component terminations on less than 0,625 mm (0,025 in) centres

[IEC 60194]

3.26**fiducial mark**

datum features of the PB used to provide common measurable points for assembly and inspection processes that require positional accuracy

3.27**flat pack**

rectangular component package that has a row of leads extending from each of the longer sides of its body that are parallel to the base of its body

[IEC 60194]

3.28

empreinte

(voir le terme préférable «zone de report»)

3.29

grille

réseau orthogonal formé de deux séries de lignes parallèles équidistantes, et servant à positionner des points sur une carte imprimée

3.30

circuit intégré (IC)

combinaison d'éléments de circuit associés et inséparables, formés en place et interconnectés dans ou sur un même matériau de base pour assurer une fonction de microcircuit

3.31

fil de liaison

connexion électrique discrète faisant partie du dessin original et servant de pont entre différentes parties de l'impression conductrice de base formée sur une carte imprimée (voir également «câble touffu»)

3.32

pastille

partie d'une impression conductrice servant généralement, mais pas exclusivement, à la connexion ou à la fixation de composants

3.33

zone de report

combinaison de pastilles servant à monter, à interconnecter et à tester un composant particulier

3.34

porte-puce sans sorties

porte-puce dont les connexions externes sont constituées de terminaisons métallisées faisant partie intégrante du corps du composant (voir aussi «porte-puce à sorties»)

3.35

porte-puce à sorties

porte-puce dont les connexions externes sont constituées de sorties disposées autour du boîtier du composant et dessous (voir aussi «porte-puce sans sorties»)

3.36

dessin modèle

document montrant les limites dimensionnelles ou les positions de grille applicables à l'une des pièces d'une carte imprimée (rigide ou souple), y compris la disposition des impressions ou éléments conducteurs ou non conducteurs, la taille, le type et la position des trous, ou toute autre information nécessaire pour décrire le produit à fabriquer

3.28**footprint**

(see preferred term "land pattern")

[IEC 60194]

3.29**grid**

orthogonal network of two sets of parallel equidistant lines that is used for locating points on a printed board

[IEC 60194]

3.30**integrated circuit (IC)**

combination of inseparable associated circuit elements that are formed in place and interconnected on or within a single base material to perform a microcircuit function

[IEC 60194]

3.31**jumper wire**

discrete electrical connection that is part of the original design and is used to bridge portions of the basic conductive pattern formed on a printed board (see also "haywire")

[IEC 60194]

3.32**land**

portion of a conductive pattern usually, but not exclusively, used for the connection and/or attachment of components

[IEC 60194]

3.33**land pattern**

combination of lands that is used for the mounting, interconnection and testing of a particular component

[IEC 60194]

3.34**leadless chip carrier**

chip carrier whose external connections consist of metallized terminations that are an integral part of the component body (see also "leaded chip carrier")

[IEC 60194]

3.35**leaded chip carrier**

chip carrier whose external connections consist of leads that are around and down the side of the package (see also "leadless chip carrier")

3.36**master drawing**

document that shows the dimensional limits or grid locations that are applicable to any and all parts of a product to be fabricated, including the arrangement of conductors and non-conductive patterns or elements; the size, type, and location of holes; and all other necessary information

[IEC 60194]

3.37

technologie du montage mixte

technologie de montage des composants mettant en œuvre à la fois le montage en trous et en surface sur la même structure d'assemblage et d'interconnexion

3.38

module

élément séparable d'un système d'assemblage

3.39

dimension nominale

dimension se situant entre les tailles maximale et minimale d'une caractéristique (les tolérances applicables à une dimension nominale déterminent les limites de variation de taille de la caractéristique)

3.40

structure d'assemblage et d'interconnexion

terme général désignant une combinaison entièrement traitée de matériaux de base, de plans support et d'âmes intégrées, et le câblage d'interconnexion assurant le montage et les liaisons entre les composants

3.41

trou métallisé

trou aux parois métallisées créant une connexion électrique entre les impressions conductrices internes, externes, ou les deux, d'une carte imprimée

3.42

face primaire

face d'une structure d'assemblage et d'interconnexion définie comme telle sur le dessin modèle (il s'agit généralement de la face contenant les composants les plus complexes ou les plus nombreux)

3.43

carte imprimée

terme général désignant les configurations de circuits et de câblages imprimés entièrement terminés (il regroupe les cartes simple face, double face et multicouche sur matériau de base rigide, souple, et flexorigide)

3.44

câblage imprimé

impression conductrice assurant des connexions point à point, mais ne formant pas de composants imprimés selon un agencement prédéterminé sur une base commune (voir aussi «circuit imprimé»)

3.45

concordance

degré de conformité de la position d'une impression (ou d'une de ses parties), d'un trou, ou d'une autre caractéristique par rapport à sa position prévue sur le produit

3.37**mixed mounting technology**

component mounting technology that uses both through-hole and surface-mounting technologies on the same packaging and interconnecting structure

3.38**module**

separable unit in a packaging scheme

[IEC 60194]

3.39**nominal dimension**

dimension that is between the maximum and minimum size of a feature (the tolerance on a nominal dimension gives the limits of variation of a feature size)

3.40**packaging and interconnection structure (P&IS)**

general term for a completely processed combination of base materials, supporting planes or constraining cores, and interconnection wiring that are used for the purpose of mounting and interconnecting components

[IEC 60194]

3.41**plated-through hole (PTH)**

hole with plating on its walls that makes an electrical connection between conductive patterns on internal layers, external layers, or both, of a printed board

[IEC 60194]

3.42**primary side**

side of a packaging and interconnecting structure that is so defined on the master drawing (it is usually the side that contains the most complex or the highest number of components)

[IEC 60194]

3.43**printed board (PB)**

general term for completely processed printed circuit and printed wiring configurations (this includes single-sided, double-sided and multilayer boards with rigid, flexible, and rigid-flex base materials)

[IEC 60194]

3.44**printed wiring**

conductive pattern that provides point-to-point connections but not printed components in a predetermined arrangement on a common base (see also "printed circuit")

[IEC 60194]

3.45**registration**

degree of conformity of the position of a pattern (or portion thereof), a hole, or other feature to its intended position on a product

[IEC 60194]

3.46

face secondaire

face de la structure d'assemblage et d'interconnexion opposée à la face primaire (équivalent à la «face brasée» de la technologie de montage en trous)

3.47

boîtier à une rangée de broches (SIP)

boîtier à composant à une seule rangée de sorties à broches ou à fils

3.48

charge statique

charge électrique accumulée à la surface d'un matériau

3.49

contrôle de l'électricité statique

technique mettant en œuvre des matériaux et des systèmes en vue d'éliminer ou de décharger l'électricité statique accumulée grâce à des chemins d'évacuation

3.50

trou renforcé

trou d'une carte imprimée dont les surfaces intérieures sont renforcées par métallisation ou par un autre procédé

3.51

plan renforcé

structure plane faisant partie d'une structure d'assemblage et d'interconnexion et assurant un soutien mécanique, une résistance aux contraintes thermomécaniques, une conduction thermique ou certaines caractéristiques électriques (il peut être interne ou externe à la structure d'assemblage et d'interconnexion) (voir aussi «âme intégrée»)

3.52

technologie du montage en surface

technologie dans laquelle la connexion électrique des composants se fait à la surface de l'impression conductrice d'une carte imprimée et non pas par des trous de liaison

3.53

trou masqué

trou de liaison borgne ou débouchant dont la surface exposée est entièrement recouverte, sur les deux faces, primaire et secondaire, de la structure d'assemblage et d'interconnexion, par un matériau de masquage, constitué par exemple d'un film polymère sec (masque de brasage), d'un tissu de verre préimprégné, etc., en vue de le protéger des solutions de traitement, de la soudure ou de la contamination

3.54

différence de dilatation thermique

différence absolue entre la dilatation thermique de deux composants ou matériaux (voir aussi «coefficient de dilatation thermique (CDT)»)

3.55

connexion traversante

connexion électrique entre les impressions conductrices des différentes couches d'une carte imprimée multicouche à base isolante, par exemple connexion inter-couches par trou métallisé ou fil de liaison serti

3.46**secondary side**

side of a packaging and interconnecting structure that is opposite the primary side (it is the same as the "solder side" on through-hole mounting technology)
[IEC 60194]

3.47**single in-line package (SIP)**

component package with one straight row of pins or wire leads
[IEC 60194]

3.48**static charge**

electrical charge that has accumulated or built up on the surface of a material

3.49**static electricity control**

technique where materials and systems are employed to eliminate/discharge static electricity build-up by providing continuous discharge paths

3.50**supported hole**

hole in a printed board that has its inside surfaces plated or otherwise reinforced
[IEC 60194]

3.51**supporting plane**

planar structure that is a part of a packaging and interconnecting structure in order to provide mechanical support, thermo-mechanical constraint, thermal conduction and/or electrical characteristics (it may be either internal or external to the packaging and interconnecting structure) (see also "constraining core")
[IEC 60194]

3.52**surface-mount technology (SMT)**

technology where electrical connection of components is made to the surface of a conductive pattern of a printed board and does not utilize component lead holes

3.53**tented via**

blind or through-hole via that has the exposed surface of the primary or secondary or both sides of a packaging and interconnecting structure fully covered by a masking material, such as a dry film polymer coating (solder mask), prepregged glass cloth (prepreg), etc., in order to prevent hole access by process solutions, solder, or contamination

3.54**thermal expansion mismatch**

absolute difference between the thermal expansion of two components or materials (see also "coefficient of thermal expansion (CTE)")
[IEC 60194]

3.55**through connection**

electrical connection between conductive patterns in different layers of a multilayer printed board, for example, a plated-through hole
[IEC 60194]

3.56

technologie à trous traversants

processus de montage des boîtiers de composants dans lequel les sorties passent par des trous traversants renforcés (métallisés) ou non renforcés (nus) percés dans le substrat d'interconnexion

3.57

élément d'outillage

élément physique servant exclusivement à positionner une carte imprimée ou un flan au cours de la fabrication, de l'assemblage ou des essais

3.58

trou de liaison

trou métallisé servant à la connexion entre couches, mais ne recevant ni sortie de composant ni matériau de renfort (voir aussi «trou borgne» et «trou enterré»)

4 Exigences de conception

4.1 Généralités

Bien que leur géométrie diffère dans de nombreux cas en fonction du type de brasure employé pour fixer la pièce électronique, les zones de report sont, chaque fois que possible, définies de façon à ne pas dépendre du processus de fixation employé. Les concepteurs pourront utiliser les informations présentées dans la présente norme pour établir des configurations normalisées, non seulement pour les concepts développés manuellement, mais aussi dans les systèmes de conception assistée par ordinateur. Que les composants soient montés sur une face de la carte ou sur les deux, qu'ils soient soudés à la vague, par refusion ou par une autre méthode, il est recommandé d'optimiser les dimensions des zones de report et des pièces afin d'obtenir une soudure satisfaisante et de répondre aux critères d'inspection.

Quoique les impressions soient définies dimensionnellement et étant donné qu'elles font partie de la géométrie des circuits de la carte, elles sont assujetties aux contraintes de réalisation et aux tolérances associées à la métallisation, à la gravure, à l'assemblage, et autres conditions. Les aspects de réalisation concernent également l'emploi de masques de soudure et la concordance nécessaire entre le masque de soudure et les impressions conductrices.

NOTE 1 Les dimensions utilisées dans la description des composants proviennent de normes développées par des organismes industriels et/ou de normalisation. Il convient que les concepteurs se réfèrent à ces normes pour des dimensions supplémentaires ou particulières des boîtiers de composants.

NOTE 2 Pour une description détaillée d'une carte imprimée et pour réaliser les meilleurs joints de brasage possible pour des dispositifs assemblés, l'ensemble des éléments de conception inclut, en plus de la définition des zones de report:

- masque de brasage;
- stencil de pâte à souder;
- espaces entre les composants limitrophes;
- espace entre le bas des composants et la surface du PCB, si nécessaire;
- zones d'accès interdit, si nécessaire;
- règles pour les applications d'adhésif.

L'ensemble des éléments de conception est communément défini comme conditions de montage. La présente norme définit les zones de report et inclut les recommandations pour les espaces entre les composants limitrophes et pour d'autres éléments de conception.

NOTE 3 Les zones de report et les autres éléments des conditions de montage, en particulier le périmètre, présents dans cette norme concernent le processus de brasage par fusion. Les mises au point pour les processus de soudage à la vague et les autres processus de brasage, si applicable, doivent être réalisées par les utilisateurs. Ceci peut aussi s'appliquer lorsque des alliages de brasage autres que ceux du type eutectique étain plomb sont utilisés.

NOTE 4 Cette norme suppose que les zones de report suivent le principe selon lequel, même dans le pire des cas, le chevauchement de la terminaison du composant et de la pastille de brasage correspondante sera complet.

NOTE 5 Les aspects de dissipation thermique n'ont pas été pris en compte dans cette norme.

NOTE 6 Les composants lourds (masse assez importante par pastille) nécessitent des pastilles larges. Dans certains cas, les pastilles décrites dans la norme peuvent ne pas être assez larges, alors des mesures additionnelles peuvent être nécessaires.

3.56**through-hole technology (THT)**

assembly process for mounting component packages where leads are passed through supported (plated-through) or unsupported (bare) holes in an interconnection substrate

3.57**tooling feature**

physical feature that is used exclusively to position a printed board or panel during a fabrication, assembly or testing process (see also "locating edge", "locating edge marker", "locating notch", "locating slot", and "tooling hole")

[IEC 60194]

3.58**via**

plated-through hole that is used as an interlayer connection, but in which there is no intention to insert a component lead or other reinforcing material (see also "blind via" and "buried via")

[IEC 60194]

4 Design requirements**4.1 General**

Although, in many instances, the land pattern geometries can be different based on the type of soldering used to attach the electronic part, wherever possible land patterns are defined in such a manner that they are transparent to the attachment process being used. Designers can use the information contained herein to establish standard configurations not only for manual designs but also for computer-aided design systems. Whether parts are mounted on one or both sides of the board, subjected to wave, reflow, or other type of soldering, the land pattern and part dimensions should be optimized to insure proper solder joint and inspection criteria.

Although patterns are dimensionally defined and since they are a part of the printed board circuitry geometry, they are subject to the producibility levels and tolerances associated with plating, etching, assembly or other conditions. The producibility aspects also pertain to the use of solder mask and the registration required between the solder mask and the conductor patterns.

NOTE 1 The dimensions used for component descriptions have been extracted from standards developed by industrial and/or standards bodies. Designers should refer to these standards for additional or specific component package dimensions.

NOTE 2 For a comprehensive description of the given printed board and for achieving the best possible solder joints to the devices assembled, the whole set of design elements includes, beside the land pattern definition:

- solder mask;
- solder paste stencil;
- clearance between adjacent components;
- clearance between bottom of component and PCB surface, if relevant;
- keep-out areas, if relevant;
- suitable rules for adhesive applications.

The whole of design elements is commonly defined as mounting conditions. This standard defines land patterns and includes recommendations for clearances between adjacent components and for other design elements.

NOTE 3 The land patterns and other elements of the mounting conditions, particularly the courtyard, given in this standard are related to the reflow soldering process. Adjustments for wave or other soldering processes, if applicable, have to be carried out by the user. This may also be relevant when solder alloys other than eutectic tin lead solders are used.

NOTE 4 This standard assumes that the land pattern follows the principle that even under worst-case conditions, the overlap of the component termination and the corresponding soldering land will be complete.

NOTE 5 Heat dissipation aspects have not been taken into account in this standard.

NOTE 6 Heavier components (greater mass per land) require larger lands. In some cases, the lands shown in the standard may not be large enough; in these cases, consideration of additional measures may be necessary.

NOTE 7 Les pastilles peuvent être de forme rectangulaire avec des angles droits ou arrondis. Dans ce dernier cas, il convient que la surface du plus petit rectangle circonscrit soit égale à celle avec les angles droits.

NOTE 8 Les zones de report pour alliages de brasage sans plomb peuvent nécessiter des modifications afin d'optimiser le processus d'assemblage et la qualité des joints de brasage.

4.1.1 Classification

La norme sur les prescriptions de brasage (CEI 61191-1) reconnaît que les ensembles électriques et électroniques font l'objet de classifications déterminées par l'utilisation de l'objet final. Trois types d'objets finaux ont été établis afin de refléter les différences de réalisation, de prescriptions de performances fonctionnelles et de fréquence de vérification (inspection/essai). Il convient de reconnaître qu'il peut y avoir chevauchement entre deux types d'équipements.

Il appartient à l'utilisateur des ensembles de déterminer la famille de type à laquelle appartient le produit. Le contrat doit préciser le type requis et indiquer les éventuelles exceptions ou prescriptions supplémentaires concernant les paramètres.

TYPE A: produits électroniques généraux

Comprennent les produits de grande consommation, certains ordinateurs et périphériques informatiques, et les matériels destinés aux applications dans lesquelles la principale exigence est la fonction de l'ensemble complet.

TYPE B: produits électroniques à fonction particulière

Comprennent les matériels de communication, les machines professionnelles perfectionnées et les instruments pour lesquels sont exigées de hautes performances et une longue durée de vie et dont un fonctionnement ininterrompu est souhaité, sans être obligatoire. L'environnement de l'utilisation finale ne doit normalement pas être à l'origine de pannes.

TYPE C: produits électroniques à hautes performances

Comprennent tous les équipements pour lesquels un fonctionnement continu ou à la demande est obligatoire. Aucun temps d'arrêt ne peut être toléré, l'environnement d'utilisation peut être anormalement agressif, et l'équipement doit fonctionner lorsque cela est nécessaire. Les systèmes de sauvetage et autres systèmes critiques en font partie.

4.1.2 Détermination des zones de report

La présente norme expose deux façons de fournir des informations sur les zones de report.

- 1) Détails exacts reposant sur les spécifications en vigueur dans l'industrie pour les composants, les possibilités de fabrication des cartes et la précision de positionnement des composants. Ces zones de report sont limitées à un composant spécifique, et reçoivent un numéro d'identification.
- 2) Equations pouvant modifier les informations fournies afin d'obtenir une liaison soudée plus robuste lors de l'utilisation dans des situations particulières où les équipements de positionnement ou de fixation ont une précision supérieure ou inférieure à celle supposée lors de la détermination des détails de la zone de report (voir 4.1.2).

Trois variations de la géométrie des zones de report sont données pour chacune des familles de produit: dépassement de pastille maximal (niveau 1), moyen (niveau 2) et minimal (niveau 3).

Avant d'adopter la variation de zone de report minimale, il convient que l'utilisateur envisage de soumettre le produit à des essais de qualification reposant sur les conditions indiquées dans le tableau 14.

NOTE 7 The land form may be rectangular with straight or rounded corners. In the latter case, the area of the smallest circumscribed rectangle shall be equal to that of one with straight corners.

NOTE 8 Land patterns for lead-free solder alloys may need modifications for optimizing the assembly processes and the reliability of the solder joint.

4.1.1 Classification

The IEC standard on soldering requirements (IEC 61191-1) recognizes that electrical and electronic assemblies are subject to classifications by intended end-item use. Three general end-product types have been established to reflect differences in producibility, functional performance requirements, and verification (inspection/test) frequency. It should be recognized that there may be overlaps of equipment between types.

The user of the assemblies is responsible for determining the type family to which the product belongs. The contract shall specify the type required and indicate any exceptions or additional requirements to the parameters, where appropriate.

LEVEL A: General electronic products

Includes consumer products, some computer and computer peripherals, and hardware suitable for applications where the major requirement is function of the completed assembly.

LEVEL B: Dedicated service electronic products

Includes communications equipment, sophisticated business machines, and instruments where high performance and extended life is required, and for which uninterrupted service is desired but not mandatory. Typically the end-use environment would not cause failures.

LEVEL C: High-performance electronic products

Includes all equipment where continued performance or performance-on-demand is mandatory. Equipment downtime cannot be tolerated, end-use environment may be uncommonly harsh, and the equipment shall function when required, such as life support systems and other critical systems.

4.1.2 Land pattern determination

This standard discusses two methods of providing information on land patterns.

- 1) Exact details based on industry component specifications, board manufacturing and component placement accuracy capabilities. These land patterns are restricted to a specific component, and have an identifying land pattern number.
- 2) Equations can be used to alter the given information to achieve a more robust solder connection, when used in particular situations where the equipment for placement or attachment are more or less precise than the assumptions made when determining the land pattern details (see 4.1.2).

Three land pattern geometry variations are supplied for each of the device families: maximum land protrusion (Level 1), median land protrusion (Level 2) and minimum land protrusion (Level 3).

Before adopting the minimum land pattern variation the user should consider product qualification testing based on the conditions shown in table 14.

Niveau 1: Maximal – Pour les applications de produits à faible densité, la condition de zone de report maximale a été élaborée de façon à permettre le soudage à la vague d'appareils à puce sans sorties et à sorties en aile de mouette. Les géométries indiquées pour ces appareils, ainsi que pour ceux des familles à sorties rentrantes et en J, pourront également offrir un créneau de traitement plus large aux procédés de brasage par fusion.

Niveau 2: Moyen – Pour les produits à densité moyenne de composants, on peut envisager la géométrie moyenne de zone de report. Les impressions moyennes indiquées pour toutes les familles d'appareils donnent une fixation robuste avec les procédés par refusion et devraient convenir pour le soudage à la vague de puces sans sorties et à sorties en aile de mouette.

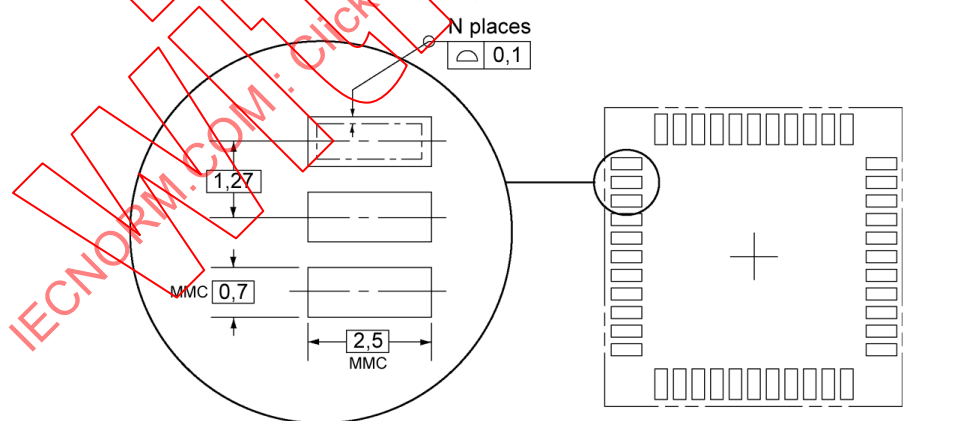
Niveau 3: Minimal – Pour les produits à forte densité de composants typiques des applications portables et mobiles, la géométrie de zone de report minimal peut être envisagée. Ce choix peut ne pas convenir à toutes les catégories d'utilisation.

L'utilisation de niveaux de performances (A, B, et C) est associée aux niveaux de densité des composants (1, 2, et 3) afin de justifier la condition d'un assemblage électronique. Par exemple, en associant les genres comme niveaux A1 ou B3 ou C2, ceci indiquerait les différentes combinaisons de performance et de densité des composants pour mieux comprendre l'environnement et les exigences de fabrication d'un assemblage particulier.

4.2 Systèmes de dimensionnement

Ce paragraphe expose un ensemble de critères dimensionnels relatifs aux composants, aux zones de report, à la précision des équipements de positionnement des composants et à la possibilité de réaliser un joint brasé d'une certaine taille, en rapport avec l'analyse de la fiabilité ou des performances d'un produit.

Ce système de dimensionnement emploie des tolérances de profil pour définir sans ambiguïté la plage des tailles entre les dimensions minimale et maximale des composants et des sorties. Cette tolérance de profil est destinée à contrôler à la fois la taille et la position de la pastille. La figure 1 illustre la méthode de tolérancement par profil.



IEC 1771/02

Figure 1 – Exemple de tolérancement par profil

L'utilisation d'un système de dimensionnement par profil impose une bonne compréhension des concepts. L'ensemble des prescriptions adopté fait appel, sauf modification, aux règles suivantes.

- Toutes les dimensions sont de base (nominales).
- Les limites de taille contrôlent également la forme.
- Une forme parfaite est exigée aux dimensions maximales.

Level 1: Maximum – For low-density product applications, the maximum land pattern condition has been developed to accommodate wave or flow solder of leadless chip devices and leaded gull-wing devices. The geometry furnished for these devices, as well as inward and J-formed lead contact device families, may provide a wider process window for reflow solder processes as well.

Level 2: Median – Products with a moderate level of component density may consider adapting the median land pattern geometry. The median land patterns furnished for all device families will provide a robust solder attachment condition for reflow solder processes and should provide a condition suitable for wave or reflow soldering of leadless chip and leaded gull-wing type devices.

Level 3: Minimum – High component density typical of portable and hand-held product applications may consider the minimum land pattern geometry variation. Selection of the minimum land pattern geometry may not be suitable for all product use categories.

The use of levels of performance (A, B, and C) is combined with that of component density levels (1, 2, and 3) in explaining the condition of an electronic assembly. As an example, combining the description as levels A1 or B3 or C2, would indicate the different combinations of performance and component density to aid in understanding the environment and the manufacturing requirements of a particular assembly.

4.2 Dimensioning systems

This subclause describes a set of dimensional criteria for components, land patterns, positional accuracy of the component placement capability and the opportunity to create a certain size solder joint commensurate with reliability or product performance analysis.

Profile tolerances are used in the dimensioning system to define the size range between maximum and minimum component/lead dimensions without ambiguity. The profile tolerance is intended to control both size and position of the land. Figure 1 shows the profile tolerancing method.

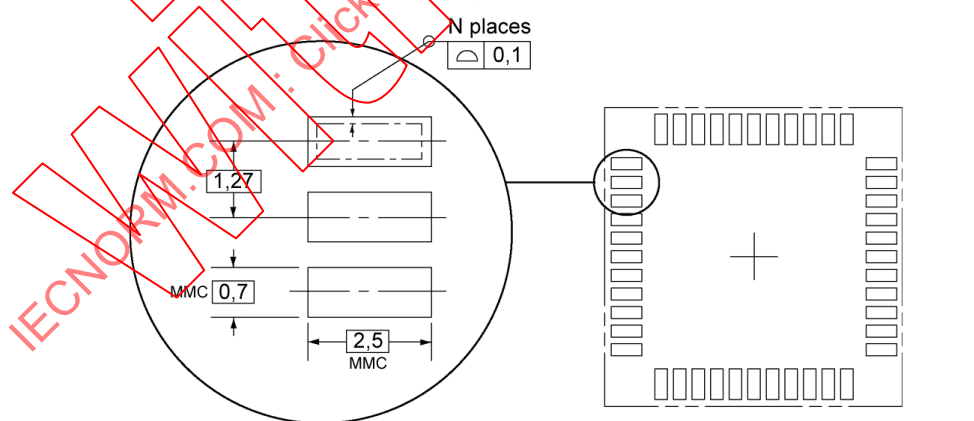


Figure 1 – Profile tolerancing method

The use of the profile dimensioning system requires an understanding of the concepts. The use of a set of requirements are adopted and invoke the following rules, unless otherwise modified.

- All dimensions are basic (nominal).
- Limits of size control form as well as size.
- Perfect form is required at maximum dimensions.

- d) Les points de référence et les tolérances de position s'appliquent aux dimensions maximales et dépendent de la taille de la caractéristique.
- e) Les dimensions de position ont pour origine les dimensions maximales.
- f) Les tolérances et leurs points de référence autres que la taille et la position s'appliquent quelle que soit la taille de la caractéristique (RFS).

Les concepts de dimensionnement utilisés dans ce système prennent comme objectif premier les exigences en matière d'assemblage et de fixation. Les spécifications (fiches techniques) des composants ou des dimensions des zones de report sur les cartes peuvent employer différents concepts de dimensionnement, mais le but reste de combiner tous les concepts en un système unique. Les utilisateurs sont encouragés à établir les relations appropriées entre leurs systèmes de dimensionnement et les concepts de dimensionnement et d'analyse par profil exposés dans la présente norme afin de faciliter l'adaptation de ces concepts en vue d'obtenir de bonnes performances du processus. A titre d'exemple, si la tolérance appliquée au positionnement est supérieure à celle de la machine utilisée en production, un seul changement dimensionnel dans la feuille de calcul du programme doit suffire pour modifier la zone de report.

4.2.1 Tolérancement des composants

Le dimensionnement et le tolérancement des composants électroniques incombent aux fabricants et aux comités d'étude de la CEI. Leurs concepts ont été convertis en un équivalent fonctionnel appliquant la méthode du tolérancement par profil, tous les composants apparaissant avec leurs dimensions de base comme limites dimensionnelles (taille maximale ou minimale). Les tolérances de profil sont unilatérales et leur description reflète la condition la plus propice à la formation d'un joint de brasure.

Le concept des évaluations dimensionnelles des composants repose sur l'évaluation des surfaces de leurs broches et sorties impliquées dans la formation d'un joint brasé acceptable. Les fabricants de composants indiquent généralement les dimensions de leurs pièces sous forme d'une dimension nominale, à laquelle ils appliquent ensuite une tolérance. Pour simplifier le système de dimensionnement, ces dimensions et leurs tolérances sont converties en une taille minimale et une taille maximale.

A titre d'exemple, le condensateur C3216 a pour dimension nominale fabriquée une longueur (L) de 3,2 mm. La tolérance indiquée par le fabricant est de $\pm 0,2$ mm. La dimension minimale de L est donc de 3,0 mm, avec une tolérance unilatérale de 0,4 mm, soit une dimension maximale de 3,4 mm.

La figure 2 montre les caractéristiques du 3216. La figure 2a montre les dimensions indiquées par le fabricant pour la longueur du condensateur. La figure 2b montre la longueur minimale du composant après conversion des dimensions dans le nouveau système à tolérancement par profil. La figure 2c montre la zone de report à sa taille minimale. Ces conditions donnent un cordon de fond optimal. Pour un cordon de talon optimal, les dimensions de base du composant sont à leur maximum, et la zone de report à son minimum.

- d) Datum references and position tolerances apply at maximum dimensions, and are dependent on feature size.
- e) Position dimensions originate from maximum dimensions.
- f) Tolerances and their datum references other than size and position apply regardless of feature size (RFS).

The dimensioning concepts used for this system of analysis consider the assembly/attachment requirements as their major goal. Specification (data) sheets for components or dimensions for land patterns on boards may use different dimensioning concepts; however, the goal is to combine all concepts into a single system. Users are encouraged to establish the appropriate relationship between their dimensioning system(s) and the profile dimensioning system and analysis concepts described herein to allow for ease of tailoring these concepts for robust process performance. As an example, if the tolerance used for positioning is larger than the machine tolerance used in production, a single dimensional change could modify the land pattern.

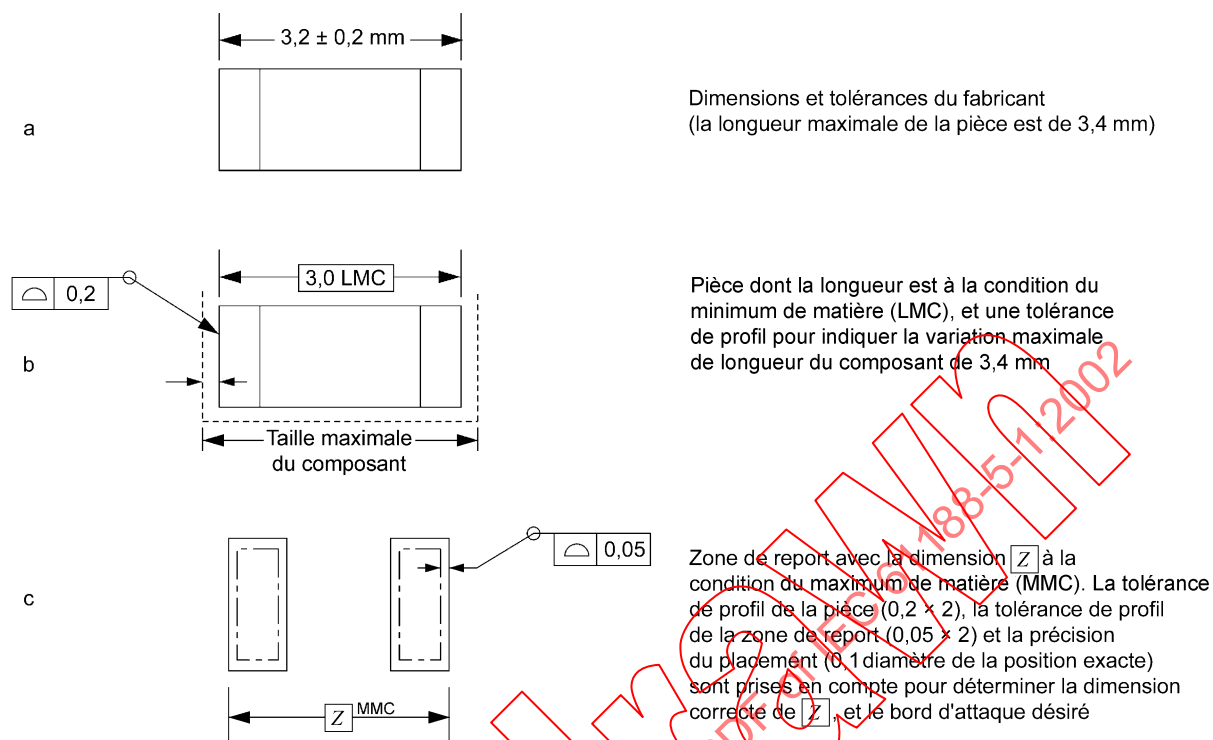
4.2.1 Component tolerancing

The component manufacturers and the IEC technical committees are responsible for the dimensioning and tolerancing of electronic components. Their concepts have been converted to a functional equivalent using the profile tolerancing method with all components shown with their basic dimensions as limit dimensions (maximum or minimum size). Profile tolerances are unilateral and are described to reflect the best condition for solder joint formation.

The concept for component dimension evaluations is based on evaluating the surfaces of the component termination and component lead that are involved in the formation of the acceptable solder joint. Component manufacturers usually provide dimensions for their parts with a nominal size and then put a tolerance on that nominal dimension. In order to facilitate the dimensioning system, these dimensions and their associated tolerances are converted to minimum and maximum size.

As an example, capacitor C3216 has a manufactured nominal dimension for its length (L) of 3,2 mm. The tolerance described by the manufacturer is $\pm 0,2$ mm. Thus, the minimum dimension of L is 3,0 mm with a unilateral tolerance of 0,4 mm, resulting in its maximum dimension being 3,4 mm.

Figure 2 shows the characteristics for the 3216 capacitor. Figure 2a shows the component manufacturer's dimensions for the length of the capacitor. Figure 2b shows the component length at its minimum size in the converted dimensions of the new system using profile tolerancing. Figure 2c shows the land pattern at its maximum size. These conditions provide for an optimum toe fillet. For optimum heel fillet, the component basic dimensions are at the maximum and the land pattern is at its minimum.



IEC 1772/02

Figure 2 – Exemple de dimensionnement du condensateur 3216 pour un cordon de brasure optimal

Des concepts similaires s'appliquent aux pièces à sorties pour montage en surface. Les caractéristiques dimensionnelles critiques indiquées sont celles qui ont trait à la formation du cordon de brasure de fond et de talon. Pour les composants à sorties en aile de mouette, les dimensions de base s'entendent entre les deux extrémités extérieures de la pièce pour la formation du cordon de brasure de fond, et à l'intérieur du rayon formé par les sorties opposées pour le cordon de talon.

Les dimensions extérieures des porte-puce avec ou même sans sorties sont généralement faciles à déterminer, dans la mesure où on peut se les procurer directement auprès du fabricant. Les dimensions intérieures (de talon à talon), qui ne sont indiquées ni dans les normes de l'industrie ni dans les spécifications du fabricant, sont plus difficiles à déterminer, non seulement en raison de la forme de la sortie, de la broche ou du crénelage, mais également parce qu'il faut les déduire en soustrayant la somme des dimensions des sorties (avec toutes leurs tolérances inhérentes) des dimensions hors-tout de la pièce.

La figure 3a montre le concept des dimensions et tolérances du fabricant pour un SOIC à aile de mouette. La figure 3b montre les dimensions converties à prendre en compte dans les prescriptions du système de montage global. La figure 3c montre les dimensions de la zone de report. Les dimensions de base définissent la longueur minimale, mesurée entre les deux extrémités extérieures. Les tolérances augmentent cette dimension jusqu'à la largeur maximale, réduisant les possibilités pour le cordon de fond.

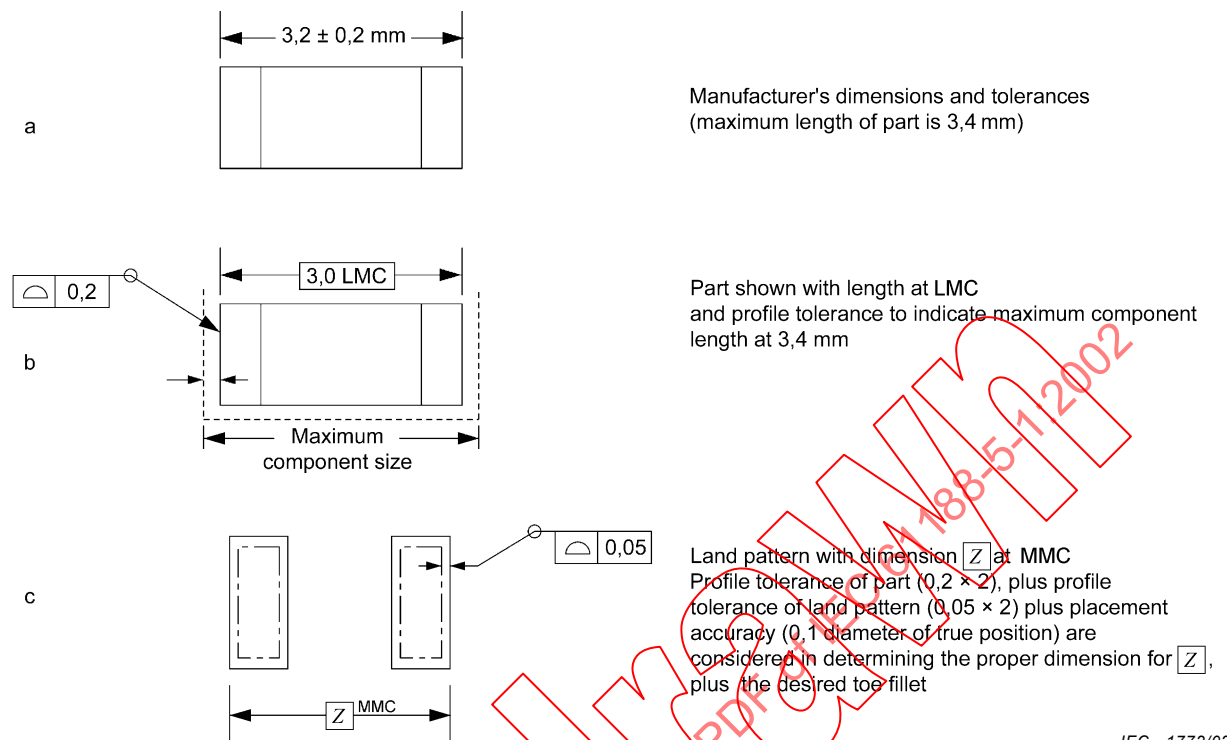


Figure 2 – Example of 3216 capacitor dimensioning for optimum solder fillet condition

Similar concepts are applied to leaded surface-mount parts. The critical dimensional characteristics identified are those that relate to the formation of the toe and heel solder fillet. For components with gull-wing leads, the basic dimensions apply across the outer extremities of the part for toe solder fillet formation; and within the inside of the formed radius of opposing leads for heel solder fillet formation.

The outer dimensions of leaded or even leadless chip carriers are usually easy to determine since these are readily available from the component manufacturer. The inner (heel-to-heel) dimensions are not provided in industry standards or manufacturers' specifications and are more difficult to determine, not only because of the form of the lead, termination, or castellation but also because the inner dimensions must be derived by subtracting the sum of the dimensions of the leads (with all their inherent tolerances) from the overall dimensions of the part.

Figure 3a shows the concept for the manufacturer's dimensions and tolerances for a gull-wing SOIC. Figure 3b shows the converted dimensions to be considered in the overall mounting system requirements. Figure 3c shows the land pattern dimensions. The basic dimensions define the minimum length as measured across the two outer extremities. Tolerances increase this dimension to the maximum width, reducing toe fillet opportunity.

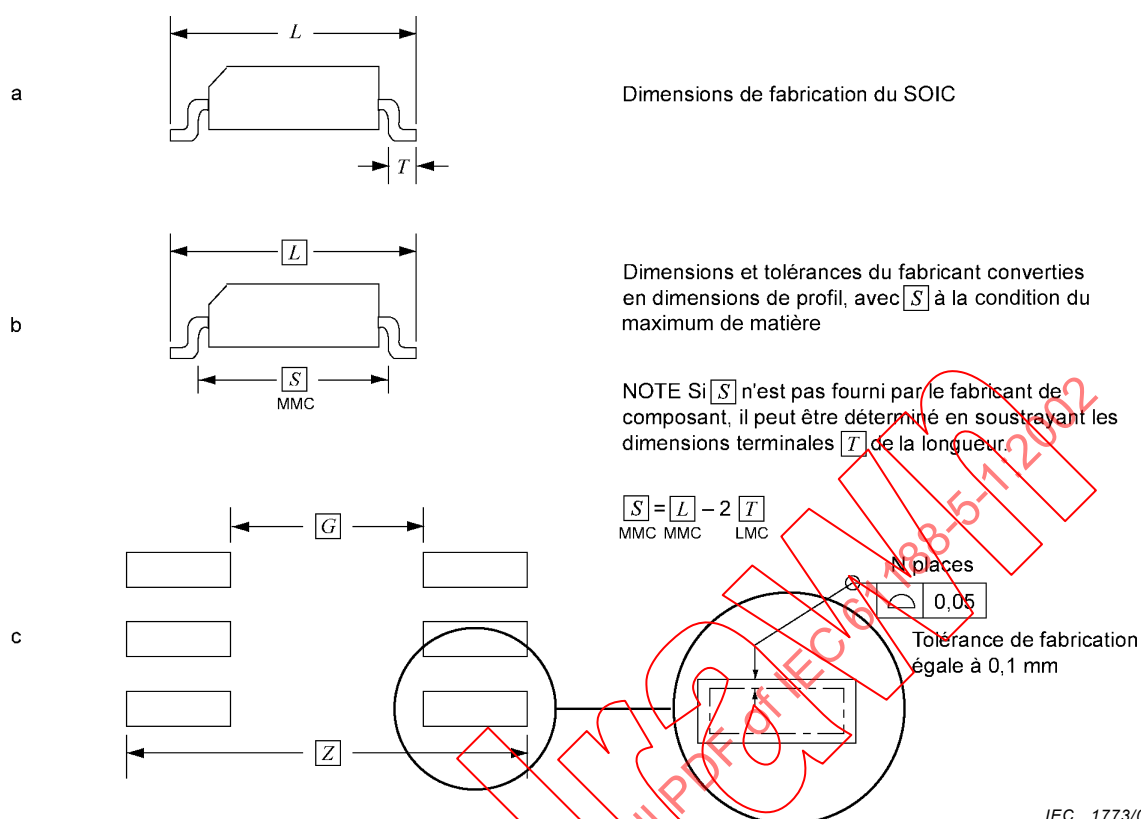


Figure 3 – Dimensionnement par profil d'un SOIC à sorties en aile de mouette

Les dimensions intérieures entre les cordons de talon des côtés opposés sont les plus importantes. On les obtient en

- établissant la largeur maximale du composant, mesurée de l'extrémité d'une sortie à l'autre (cette dimension, repérée L , est fournie par le fabricant);
- établissant la valeur minimale de longueur des sorties, mesurée entre les extrémités de l'empreinte (du talon au fond pour les sorties en aile de mouette) (cette dimension T est fournie par le fabricant);
- soustrayant deux fois la longueur minimale des sorties obtenue en (b) de la longueur hors-tout maximale du composant obtenue en (a) pour arriver à la longueur maximale à l'intérieur des sorties sur toute la longueur du composant (dimension intérieure entre cordons de talon opposés). En y ajoutant les tolérances des dimensions (a) et (b), on obtient la dimension minimale entre talons opposés, qui représente le cas le plus défavorable de l'analyse des tolérances.
- Trois ensembles de tolérances sont impliqués dans l'analyse exposée en c): les tolérances du composant complet, plus celles des sorties à chaque extrémité. Comme ces trois tolérances ne sont pas toutes envisagées dans leur cas le plus défavorable, une méthode recommandée pour déterminer l'impact statistique est de faire la somme des carrés des tolérances et de prendre la racine carrée de cette somme comme moyenne quadratique (eff.) de la différence de tolérances.

Par exemple,

$$\text{Cumul de la tolérance eff.} = \sqrt{(L_{\text{tol}})^2 + 2 (T_{\text{tol}})^2}$$

où

$$L_{\text{tol}} = L_{\text{max}} - L_{\text{min}}$$

$$T_{\text{tol}} = T_{\text{max}} - T_{\text{min}}$$

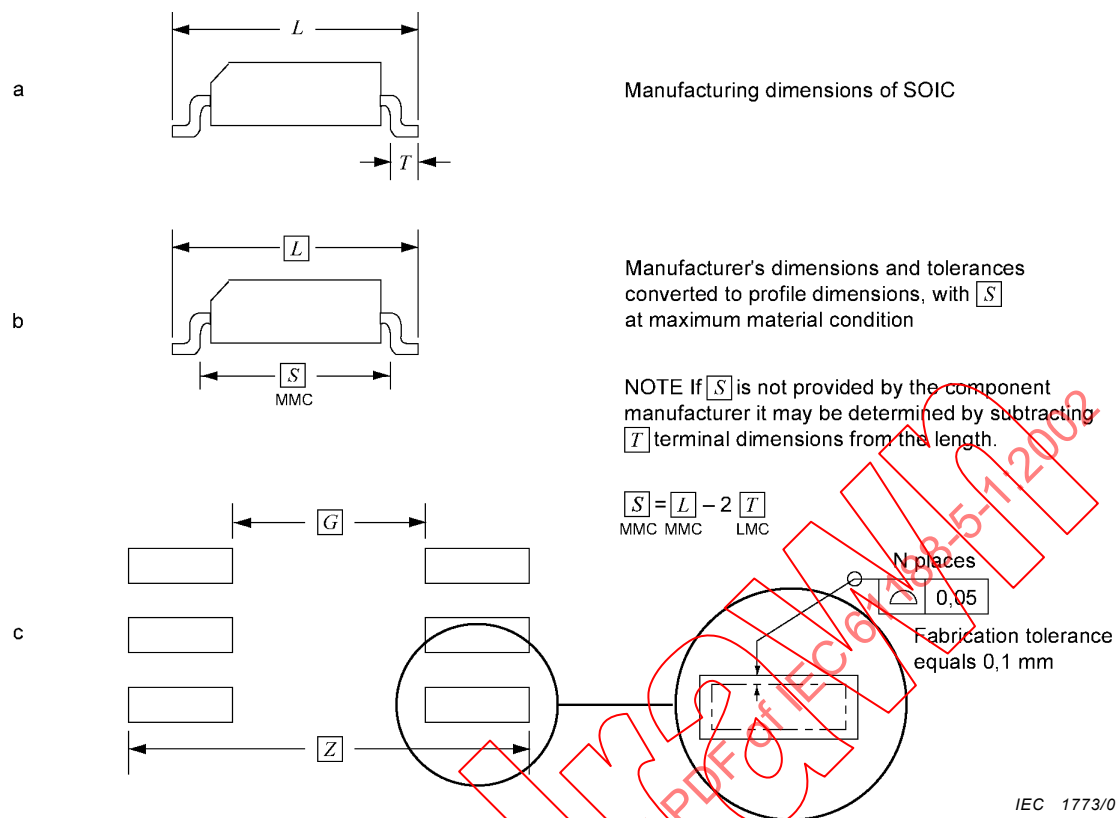


Figure 3 – Profile dimensioning of gull-wing leaded SOIC

The inner dimensions between heel fillets on opposing sides are the most important. Inner dimensions are derived by

- establishing the maximum width of the component as measured from lead termination to lead termination (this dimension is shown as L and is provided by the manufacturer);
- establishing the minimum amount of the lead length as measured across the footprint (from heel to toe for gull-wing leads) (this dimension is T and is provided by the manufacturer);
- subtracting twice the minimum lead length of (b) from the maximum overall component length of (a) to arrive at the maximum length inside the leads across the length of the component (the inner dimension between opposing heel fillets). Including the tolerances on dimensions (a) and (b) will yield the minimum dimension between opposing heels. This signifies worst-case tolerance analysis.
- Three sets of tolerances are involved in the analysis described in c): tolerances on the overall component, plus the tolerances for the lead on each end. Since not all three tolerances are considered at their worst case, a recommended method for determining the statistical impact is to summarize the squares of the tolerances and take the square-root of their sum as the r.m.s. (root-mean-square) tolerance difference.

For example,

$$\text{RMS tolerance accumulation} = \sqrt{(L_{\text{tol}})^2 + 2(T_{\text{tol}})^2}$$

where

$$L_{\text{tol}} = L_{\text{max}} - L_{\text{min}}$$

$$T_{\text{tol}} = T_{\text{max}} - T_{\text{min}}$$

Par exemple, le SOIC à 16 sorties a, pour les dimensions L (longueur du composant) et T (longueur des sorties), les limites suivantes:

$$L_{\min} = 5,8 \text{ mm}, L_{\max} = 6,2 \text{ mm}$$

$$L_{\text{tol}} = L_{\max} - L_{\min} = 6,2 - 5,8 = 0,4 \text{ mm}$$

$$T_{\min} = 0,4 \text{ mm}, T_{\max} = 1,27 \text{ mm}$$

$$T_{\text{tol}} = T_{\max} - T_{\min} = 1,27 - 0,4 = 0,87 \text{ mm}$$

Les calculs pour les dimensions S minimale et maximale sont par conséquent les suivants:

$$S_{\min} = L_{\min} - 2T_{\max} = 5,8 - 2(1,27) = 3,26 \text{ mm}$$

$$S_{\max} = L_{\max} - 2T_{\min} = 6,2 - 2(0,4) = 5,40 \text{ mm}$$

$$S_{\text{tol}} = S_{\max} - S_{\min} = 5,4 - 3,26 = 2,14 \text{ mm}$$

La différence entre $S_{\min}$ et $S_{\max}$ est de 2,14 mm, une plage de tolérances probablement supérieure à celle au sein de laquelle ces composants sont fabriqués. Ce scénario de cas le plus défavorable pour la plage de tolérances de S peut aussi être calculée en ajoutant les tolérances de longueur du composant et des deux sorties:

$$S_{\text{tol}} = L_{\text{tol}} + 2 T_{\text{tol}} = 0,4 + 2(0,87) = 2,14 \text{ mm}$$

Pour parvenir à une plage de tolérances plus réaliste, on calcule la moyenne quadratique (eff.) à partir des tolérances des dimensions concernées (L et T):

$$S_{\text{tol}} (\text{eff.}) = \sqrt{(L_{\text{tol}})^2 + 2(T_{\text{tol}})^2} = \sqrt{0,4^2 + 2(0,87)^2} = 1,29 \text{ mm}$$

On ajoute $S_{\text{tol}} (\text{eff.})$ à $S_{\min}$ pour arriver à une dimension S maximale. Cette technique permet d'employer une valeur $S_{\max}$ plus réaliste dans les équations de zone de report permettant de calculer $G_{\min}$ (interstice minimal de la zone de report entre cordons de talon). Dans cet exemple, on utilise pour $S_{\max}$ le calcul suivant:

$$S_{\max} (\text{eff.}) = S_{\min} + S_{\text{tol}} (\text{eff.}) = 3,26 + 1,29 = 4,55 \text{ mm}$$

Pour déterminer la dimension $G_{\min}$ de la zone de report, on utilise $S_{\text{tol}} (\text{eff.})$ pour la tolérance du composant (soit $S_{\text{tol}} (\text{eff.}) = C$). Les calculs pour $G_{\min}$ sont les suivants:

$$G_{\min} = S_{\max} - 2J - \sqrt{C^2 + F^2 + P^2}$$

NOTE Voir le calcul de 4.2.4.

4.2.1.1 Calcul de la dimension Z

Il convient de constater qu'il y a plusieurs options pour déterminer les tolérances des composants (C), la réserve de fabrication (F) et la tolérance de placement (P). En déterminant les calculs de l'exemple de la figure 2 de la dimension Z , on remarquera que le composant 3216 a un $L_{\max}$ égal à 3,4 mm, et un $L_{\min}$ égal à 3,0 mm. En supposant que F soit égal à 0,1 mm et que P soit égal à 0,2 mm, les conditions suivantes seront utilisées pour déterminer la dimension Z :

$$Z_{\max} = L_{\min} + 2J_T + \sqrt{C_L^2 + F^2 + P^2}$$

$$Z_{\max} = 3,0 + 2J_T + \sqrt{0,4^2 + 0,1^2 + 0,2^2}$$

As an example, the SOIC with 16 leads has the following limits for the L (component length) and T (terminal length) dimensions:

$$L_{\min} = 5,8 \text{ mm}, L_{\max} = 6,2 \text{ mm}$$

$$L_{\text{tol}} = L_{\max} - L_{\min} = 6,2 - 5,8 = 0,4 \text{ mm}$$

$$T_{\min} = 0,4 \text{ mm}, T_{\max} = 1,27 \text{ mm}$$

$$T_{\text{tol}} = T_{\max} - T_{\min} = 1,27 - 0,4 = 0,87 \text{ mm}$$

Therefore, the calculations for S minimum and maximum dimensions are as follows:

$$S_{\min} = L_{\min} - 2T_{\max} = 5,8 - 2(1,27) = 3,26 \text{ mm}$$

$$S_{\max} = L_{\max} - 2T_{\min} = 6,2 - 2(0,4) = 5,40 \text{ mm}$$

$$S_{\text{tol}} = S_{\max} - S_{\min} = 5,4 - 3,26 = 2,14 \text{ mm}$$

The difference between $S_{\min}$ and $S_{\max}$ is 2,14 mm, which is probably a larger tolerance range than the actual range within which these components are manufactured. This worst-case scenario for the tolerance range for S can also be calculated by adding the tolerances for the component length and the two terminals:

$$S_{\text{tol}} = L_{\text{tol}} + 2 T_{\text{tol}} = 0,4 + 2(0,87) = 2,14 \text{ mm}$$

In order to arrive at a more realistic tolerance range, the r.m.s. value is calculated using the tolerances on the dimensions involved (L and T):

$$S_{\text{tol}} (\text{r.m.s.}) = \sqrt{(L_{\text{tol}})^2 + 2(T_{\text{tol}})^2} = \sqrt{0,4^2 + 2(0,87)^2} = 1,29 \text{ mm}$$

$S_{\text{tol}} (\text{r.m.s.})$ is added to $S_{\min}$ to arrive at a maximum S dimension. This technique is used so that a more realistic $S_{\max}$ dimension is used in the land pattern equations for calculating $G_{\min}$ (minimum land pattern gap between heel fillets). In this example, the following calculation is used for $S_{\max}$:

$$S_{\max} (\text{r.m.s.}) = S_{\min} + S_{\text{tol}} (\text{r.m.s.}) = 3,26 + 1,29 = 4,55 \text{ mm}$$

To determine the $G_{\min}$ dimension for the land pattern, $S_{\text{tol}} (\text{r.m.s.})$ is used for the component tolerance (i.e., $S_{\text{tol}} (\text{r.m.s.}) = C$). The calculations for $G_{\min}$ are as follows:

$$G_{\min} = S_{\max} - 2J - \sqrt{C^2 + F^2 + P^2}$$

NOTE See calculation in 4.2.4.

4.2.1.1 Solving for dimension Z

It should be noted that there are various options to determine the tolerances for the component (C), the fabrication allowance (F), and the placement tolerance (P). In determining the calculations for the example in figure 2 for the dimension Z , one would note that the component 3216 has an $L_{\max}$ equal to 3,4 mm, and an $L_{\min}$ equal to 3,0 mm. With the assumption that F is equal to 0,1 mm and P is equal to 0,2 mm, the following conditions would be used for determining the Z dimension:

$$Z_{\max} = L_{\min} + 2J_T + \sqrt{C_L^2 + F^2 + P^2}$$

$$Z_{\max} = 3,0 + 2J_T + \sqrt{0,4^2 + 0,1^2 + 0,2^2}$$

Dans l'exemple ci-dessus, il convient que les deux joints soient arrondis en un nombre entier. Normalement, une dimension Z totale de 4,6 serait acceptable pour une zone de report de niveau 2 en fournissant une largeur plus petite qu'une avancée de pastille de 0,5 mm à chaque terminaison du composant 3216.

4.2.2 Tolérancement des pastilles

Le tolérancement par profil s'applique aux pastilles d'une manière analogue à celle des composants. Toutes les tolérances de pastilles sont destinées à obtenir une impression avec une taille maximale des pastilles. Les tolérances unilatérales sont destinées à réduire la taille des pastilles et par conséquent la surface disponible pour la formation du joint de brasure. Pour faciliter l'accord avec les autres systèmes de dimensionnement, la zone de report est dimensionnée entre les extrémités extérieure et intérieure.

Le concept de dimensionnement de la présente norme emploie des dimensions de limitation et un tolérancement géométrique pour décrire les dimensions maximales et minimales permises de la zone de report. Lorsque les pastilles sont à leur taille maximale, on peut aboutir à un espace minimal permis entre elles. A l'inverse, lorsqu'elles sont à leur taille minimale, on peut arriver à la zone de report minimale acceptable nécessaire pour réaliser le dépassement de pastille minimal requis. Ces seuils permettent de vérifier la zone de report au calibre entre/n'entre pas. L'ensemble du concept de système de dimensionnement décrit dans la présente norme repose sur ces principes et s'étend aux dimensions de montage des composants, aux dimensions des zones de report, aux dimensions de positionnement, etc., de sorte que le respect des prescriptions peut être vérifié avec des jauges optiques à un moment quelconque du processus en vue d'assurer la conformité avec l'analyse des tolérances (voir tableau 14).

4.2.3 Réserves de fabrication

La figure 3 montre la zone de report d'un SOIC à sorties en aile de mouette destinée à accompagner les concepts de dimensionnement d'un composant à puce précédemment illustrés par la figure 2. La dimension de base L est mesurée entre les extrémités extérieures du composant.

Pour la zone de report, la dimension Z est à la taille maximale, tandis que les extrémités intérieures (dimension G) sont dimensionnées à la taille minimale. Les tolérances unilatérales ont diminué la dimension de base de Z tout en augmentant la dimension G . La zone de report se trouve ainsi réduite à la condition du minimum de matière (LMC). Les valeurs recherchées en production doivent donc être aussi proches que possible des dimensions de base Z et G aux conditions du maximum de matière (MMC). Ce concept est également valable pour la largeur (X) de la dimension de pastille spécifiée à la taille maximale.

La variation entre les dimensions Z , G et X est indiquée sous forme d'une réserve de fabrication (F). Cette réserve de fabrication (voir tableau 14) représente l'écart maximal entre la plus grande taille de zone de report (MMC) et la plus petite (LMC). Ceci ne prend pas en compte le mouvement des matériaux décrit dans le tableau 15, inclus dans les tolérances d'assemblage depuis que les machines ont la capacité de re-évaluer la position exacte des zones de report.

4.2.4 Tolérances d'assemblage

Un autre élément de l'équation est la variation d'assemblage désignée par la lettre P . Elle représente l'emplacement du composant par rapport à sa position vraie définie par conception. On utilise pour décrire cette variation le terme de diamètre de position vraie (DTP), nombre unique pouvant être employé dans l'analyse des tolérances dimensionnelles.

A titre d'exemple, pour établir les dimensions cibles de dépassement de talon de l'exemple de la figure 3, les conditions suivantes doivent se vérifier:

In the above example, the two joints should be rounded to a realistic number. Normally, a total Z dimension of 4,6 would be acceptable for a level 2 land pattern providing a little larger than a 0,5 mm land protrusion at either end of the 3216 component.

4.2.2 Land tolerancing

Profile tolerancing is used for lands in a manner similar to that of the components. All tolerances for lands are intended to provide a projected land pattern with individual lands at maximum size. Unilateral tolerances are intended to reduce the land size and thus result in a lesser area for solder joint formation. In order to facilitate companion dimension systems, the land pattern is dimensioned across outer and inner extremities.

The dimensioning concept in this standard uses limiting dimensions and geometric tolerancing to describe the allowable maximum and minimum dimensions of the land pattern. When lands are at their maximum size, the result may be a minimum acceptable space between lands; conversely, when lands are at their minimum size, the result may be a minimum acceptable land pattern necessary to achieve the minimum required land protrusion. These thresholds allow for gauging of the land pattern for go/no-go conditions. The whole concept of the dimensioning system described in this standard is based on these principles and extends to component mounting dimensions, land pattern dimensions, positioning dimensions, etc., so that the requirements may be examined using optical gauges at any time in the process in order to insure compliance with the tolerance analysis (see table 14).

4.2.3 Fabrication allowances

Figure 3 shows the land pattern for an SOIC with gull-wing leads intended to be a companion to the chip component dimensioning concepts shown previously in figure 2. The basic L dimension is across the outer extremities of the component.

For the land pattern, dimension Z is at maximum size, while the inner extremities (dimension G) are dimensioned at minimum size. Unilateral tolerances decreased the basic dimension for Z while increasing the basic G dimension. This action results in a reduced land pattern at least material condition (LMC). Thus, processing target values shall be as close as possible to the basic Z and G dimensions at maximum material condition (MMC). This concept also holds true for the width (X) of the land dimension which is specified at maximum size.

The variation between the dimensions Z , G , and X are indicated as a fabrication allowance (F). This fabrication allowance (see table 14) represents the maximum variation between the largest land pattern size (MMC) and the least land pattern size (LMC). This does not include material movement as described in table 15, which is included in the assembly tolerancing since machine vision capability re-evaluates the true position of the land pattern.

4.2.4 Assembly tolerancing

Another part of the equation is the assembly variation defined by the letter P . This variation represents the location of the component in relation to its true position as defined by the design. The term diameter of true position (DTP) is used to describe this variation and is a single number that can be used in the dimensional tolerance analysis.

As an example, for establishing the target heel protrusion dimensions of the example shown in figure 3, the following conditions would be true:

où

J est 0,5 mm (cordon de talon cible);

C est S_{tol} (eff.) = 1,29 mm (voir plus haut les calculs de dimensions du composant);

F est 0,1 mm (tolérance de fabrication supposée);

P est 0,1 mm (tolérance supposée de positionnement des équipements de l'ensemble);

d'où

$$G_{min} = 4,55 - 2(0,5) - \sqrt{(1,29)^2 + (0,1)^2 + (0,1)^2} = 2,25 \text{ mm}$$

Une autre condition importante à prendre en compte dans la conception de la zone de report des composants à sortie multiples est le pas des sorties, des broches ou du crénelage. Le pas représente la dimension de base de l'espacement d'une sortie ou d'un crénneau à l'autre. Le concept de dimensionnement par profil n'affecte aucune tolérance au pas. Les différences de pas sont comprises dans les dimensions de largeur de sortie, de broche ou de crénelage, dont les valeurs de base sont dimensionnées à la taille minimale.

4.2.5 Analyse des dimensions et des tolérances

Plusieurs éléments entrent en jeu dans l'analyse de la conception d'un système de composant et de zone de report. Les tolérances de taille et de position des sorties ou broches du composant, les tolérances de la zone de report, la précision du positionnement manuel ou mécanique dans le centrage de la pièce dans la zone de report, et enfin la surface disponible pour la formation d'un cordon de brasure de fond, de talon ou latéral.

Des équations du système ont été développées pour les composants à puce et les pièces à sorties multiples. Ces concepts supposent que les valeurs cibles des pièces et des zones de report sont maximisées pour refléter la formation du joint de brasure (c'est-à-dire taille minimale pour les dimensions des composants et taille maximale pour les dimensions extérieures des zones de report). Les équations emploient les symboles suivants:

C est la tolérance de profil unilatérale pour le composant;

F est la tolérance de profil unilatérale pour la zone de report de la carte;

P est la précision de placement à la position vraie par rapport au centre de la zone de report.

En supposant qu'on souhaite un joint de brasure ou un volume de brasure particuliers pour chaque composant, certaines méthodes utilisent les critères de cas le plus défavorable pour déterminer une dimension, ce qui conduirait, pour déterminer la dimension maximale de la zone de report extérieure, à ajouter à la dimension minimale de longueur du composant C , B et P les valeurs exigées pour le joint de brasure.

L'expérience montre que l'analyse du cas le plus défavorable n'est pas toujours nécessaire. On utilise par conséquent des méthodes statistiques, en prenant la racine carrée de la somme des carrés des tolérances. Cette méthode suppose que toutes les caractéristiques n'atteindront pas leur cas le plus défavorable. Les équations permettant de déterminer les prescriptions des zones de report du composant sont les suivantes:

$$Z_{max} = L_{min} + 2J_T + \sqrt{C_L^2 + F^2 + P^2}$$

$$G_{min} = S_{max} - 2J_H - \sqrt{C_S^2 + F^2 + P^2}$$

$$X_{max} = W_{min} + 2J_S + \sqrt{C_W^2 + F^2 + P^2}$$

where

J is 0,5 mm (target heel fillet);

C is S_{tol} (r.m.s.) = 1,29 mm (see previous calculations from component dimensions);

F is 0,1 mm (assumed fabrication tolerance);

P is 0,1 mm (assumed assembly equipment placement tolerance);

therefore

$$G_{min} = 4,55 - 2(0,5) - \sqrt{(1,29)^2 + (0,1)^2 + (0,1)^2} = 2,25 \text{ mm}$$

Another major condition for multiple-leaded components that must be considered in land pattern design is lead, termination, or castellation pitch. The pitch describes the basic dimension of the spacing of one component lead termination or castellation to its adjacent counterpart(s). No tolerance is assigned to pitch in the profile dimensioning concept. Differences in pitch are included in the width dimensions of the lead, termination, or castellation which are dimensioned as basic at the minimum size.

4.2.5 Dimension and tolerance analysis

In analysing the design of a component/land pattern system, several things come into play. The size and position tolerances of the component lead or termination, the tolerances of the land pattern, the placement accuracy of the man/machine to centre the part to the land pattern. The result is the land area available for a solder joint that provides a proper formation of a toe, heel, or side fillet.

System equations have been developed for chip components and multiple leaded parts. These concepts assume that the target values of parts and land patterns are maximized to reflect solder-joint formation (i.e., outer dimensions of components at minimum size with outer dimensions of land patterns at maximum size). The equations use the following symbols:

C is the unilateral profile tolerance(s) for the component;

F is the unilateral profile tolerance(s) for the board land pattern;

P is the diameter of true position placement accuracy to the centre of the land pattern.

With the assumption that a particular solder joint or solder volume is desired for every component, some methods use the worst-case criteria for determining a dimension. This would require that C , B and P be added to the minimum dimension of the component length plus the solder-joint requirements, in order to determine the maximum dimension of the outer land pattern.

Experience shows that the worst-case analysis is not always necessary; therefore statistical methods are used by taking the square root of the sum of the squares of the tolerances. This method assumes that all features will not reach their worst case. The equations for determining component land pattern requirements are as follows:

$$Z_{max} = L_{min} + 2J_T + \sqrt{C_L^2 + F^2 + P^2}$$

$$G_{min} = S_{max} - 2J_H - \sqrt{C_S^2 + F^2 + P^2}$$

$$X_{max} = W_{min} + 2J_S + \sqrt{C_W^2 + F^2 + P^2}$$

où

- Z est la longueur hors-tout de la zone de report;
- G est la distance entre les pastilles de l'impression;
- X est la largeur de la zone de report;
- L est la longueur hors-tout du composant;
- S est la distance entre les broches du composant;
- W est la largeur du composant;
- J est la dimension désirée du cordon de brasure ou du dépassement de la pastille;
- J_t est le cordon de brasure ou dépassement de pastille au fond;
- J_h est le cordon de brasure ou dépassement de pastille au talon;
- J_s est le cordon de brasure ou dépassement de pastille latéral;
- C est la tolérance du composant;
- C_L est la tolérance sur la longueur du composant;
- C_S est la tolérance sur la distance entre broches du composant;
- C_W est la tolérance sur la largeur du composant;
- F est la tolérance de fabrication de la carte imprimée (géométrie de la zone de report);
- P est la tolérance de positionnement des pièces (précision de positionnement de l'équipement).

La formule (racine carrée de la somme des carrés) est identique pour la formation des joints de brasure de fond et de talon (des tolérances différentes sont toutefois utilisées). Par contre, la dimension désirée du joint de brasure et la racine carrée de la somme des carrés sont ajoutées dans le cas des dimensions extérieures de la zone de report et soustraites dans le cas des dimensions intérieures. Le résultat donne les dimensions finales Z , G et X de la zone de report.

Le même concept est valable pour les composants à puce, à sorties multiples ou sans sorties. Il est en outre possible d'évaluer le pas avec chevauchement sortie-pastille (M) ainsi que l'espace (N) pour représenter l'espacement entre une sortie, une broche ou un créneau, et la ou les pastilles voisines. Ces dernières valeurs ne sont pas employées dans les équations servant à déterminer la taille des zones de report, mais elles peuvent servir à limiter la proximité entre une sortie et la pastille voisine et à ajuster le chevauchement entre elles (voir figure 4).

where

Z is the overall length of land pattern;

G is the distance between lands of the pattern;

X is the width of land pattern;

L is the overall length of component;

S is the distance between component terminations;

W is the width of the lead or termination;

J is the desired dimension of solder fillet or land protrusion;

J_t is the solder fillet or land protrusion at toe;

J_h is the solder fillet or land protrusion at heel;

J_s is the solder fillet or land protrusion at side;

C is the component tolerances;

C_L is the tolerance on component length;

C_S is the tolerance on distance between component terminations;

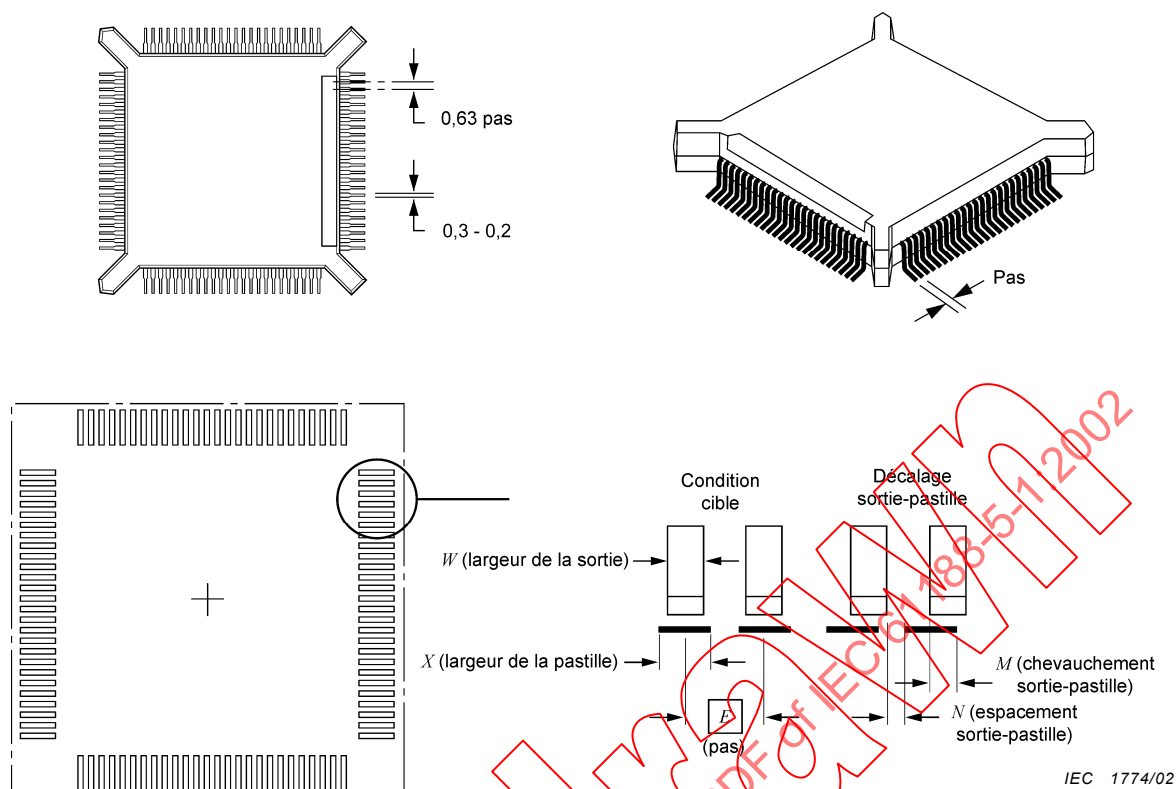
C_W is the tolerance on component width;

F is the printed board fabrication (land pattern geometric) tolerances;

P is the part placement tolerance (placement equipment accuracy).

The formula (the square root of the sum of the squares) is identical for both toe and heel solder joint formation (different tolerances are used, however). However, the desired solder joint dimension and the square root of the sum of the squares are added for outer land pattern dimensions and subtracted for inner land pattern dimensions. The result provides the final land pattern dimensions Z , G , and X .

The same concept is true for chip, multiple leaded or leadless components. Additionally, pitch with lead-to-land overlap (M) can be evaluated as well as the space (N) to reflect the clearance between a lead, termination, or castellation and the adjacent land(s). These latter values are not used in the equations to determine the land pattern sizes, but may be used to limit lead-to-adjacent land proximity and to adjust lead-to-land overlap (see figure 4).



NOTE La tolérance de positionnement prend en compte l'angularité.

Figure 4 – Pas d'un composant à sorties multiples

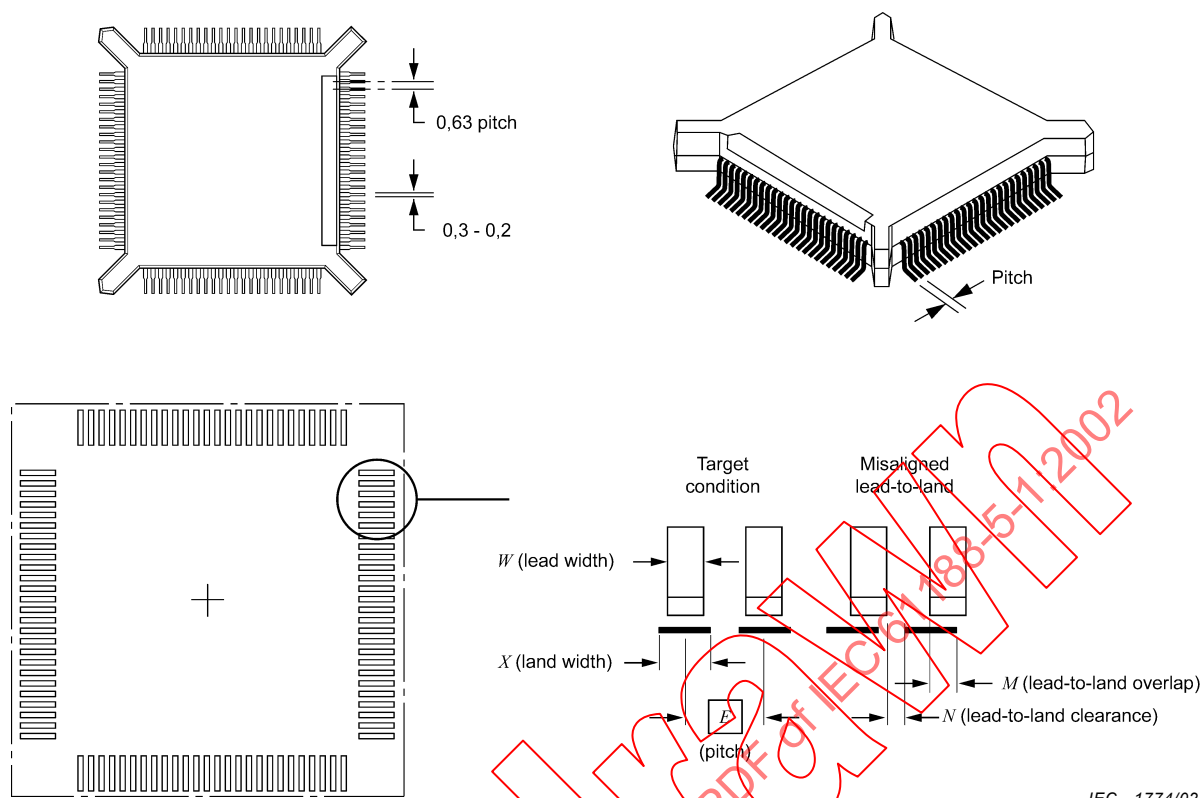
L'équation permettant de déterminer si l'espacement N ou le chevauchement de fixation M sont suffisants est la suivante:

$$M = \left[\frac{W + X}{2} \right] - \sqrt{C^2 + F^2 + P^2}$$

$$N = E - \left[\frac{W + X}{2} \right] + \sqrt{C^2 + F^2 + P^2}$$

4.2.5.1 Analyse des tolérances

Les concepts de tolérancement suivants servent à déterminer les zones de report des composants électroniques. Ils sont exposés dans le tableau 1 et reflètent les tolérances du composant, celles de la zone de report (sur le substrat d'interconnexion) et la précision des équipements servant au positionnement des composants.



NOTE Positional tolerance takes angularity into account.

Figure 4 – Pitch for multiple leaded component

The equation for determining if the clearance N or the attachment overlap M are sufficient is as follows:

$$M = \left[\frac{W + X}{2} \right] - \sqrt{C^2 + F^2 + P^2}$$

$$N = E - \left[\frac{W + X}{2} \right] + \sqrt{C^2 + F^2 + P^2}$$

4.2.5.1 Tolerance analysis

The following tolerance concepts are used to determine the land patterns for electronic components. These concepts are detailed in table 1 and reflect the tolerances on the component, the tolerances on the land pattern (on the interconnecting substrate), and the accuracy of the equipment used for placing components.

Tableau 1 – Eléments de l'analyse des tolérances pour les composants à puce

Elément de tolérance	Description détaillée
Tolérance du composant	Différence entre la MMC et la LMC de chaque dimension d'un composant, longueur, largeur et distance entre électrodes ou sorties. Cette valeur est la tolérance <i>C</i> dans les équations
Tolérance de la carte	Différence entre la MMC et la LMC de chaque dimension d'une zone de report. Cette valeur est la tolérance <i>F</i> dans les équations (voir tableau 14)
Précision du positionnement	La précision du positionnement est définie comme le diamètre de la position exacte (DTP). Il s'agit de la variation de la partie centrée par rapport au centre théorique de la pastille (comprend la tolérance d'emplacement du tableau 15)
Cordon de fond	L'avancé de pastille au dessus des extrémités de sortie ou de terminaison (voir tableaux 2 à 12)
Cordon de talon	L'avancé de pastille au dessus des dimensions de sortie interne ou de terminaison (voir tableaux 2 à 12)
Largeur du cordon latéral	L'avancé de pastille sur chaque côté des extrémités de sortie ou de terminaison (voir tableaux 2 à 12)

Les minima de joint de brasure sont indiqués pour les cordons de fond, de talon et latéraux. Il s'agit des conditions minimales, puisque les équations de 4.2 prennent en compte les tolérances du composant, de la carte et du positionnement (somme des carrés). Le joint de brasure minimale ou le dépassement de pastille est augmenté de la quantité non absorbée par la variation des tolérances. L'excès de périmètre est ajouté à la dimension maximale occupée par la zone de report ou par le composant. La valeur de l'excès de périmètre est ajoutée à chaque face de la dimension en question. Cette addition vise à fournir une place suffisante pour l'espace physique et électrique entre les composants et/ou les zones de report. Comme le total de tous ces calculs peut ne pas donner un équivalent numérique entier, une méthode d'arrondi a été ajoutée au tableau pour déterminer une valeur approchée du résultat final utilisé dans la conception.

Si l'utilisateur de ces zones de report souhaite des conditions plus rigoureuses pour l'équipement de positionnement et de brasage, il est possible de remplacer ces éléments individuels de l'analyse par les nouvelles conditions de positionnement désirées, à savoir de nouvelles valeurs pour le composant, la carte ou la précision du positionnement, ainsi que des exigences supérieures quant au minimum de joint de brasure ou de dépassement des pastilles. En outre, la présente norme reconnaît la nécessité d'avoir des buts différents pour les conditions de cordon de brasure ou de dépassement des pastilles. Les tableaux 2 à 12 indiquent les principes appliqués aux trois buts établis par la présente norme. Ils exposent les conditions de matériau maximales, moyennes et minimales des dépassements de pastilles utilisés pour développer les zones de report servant au montage des différentes sorties ou broches des composants montés en surface. Sauf indication contraire, les normes partielles identifient ces trois buts par l'appellation de niveau 1, niveau 2, ou niveau 3.

**Tableau 2 – Sorties pour ruban plat en L et en aile de mouette
(pas supérieur à 0,625 mm)**

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	0,8	0,5	0,2
Avancée du talon	0,5	0,35	0,2
Avancée latérale	0,05	0,05	0,03
Excès de périmètre	0,5	0,25	0,1
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,5	Plus proche 0,05

Table 1 – Tolerance analysis elements for chip devices

Tolerance element	Detailed description
Component tolerance	The difference between the MMC and the LMC of each component dimension, length, width and distance between electrodes or leads. This number is the <i>C</i> tolerance in the equations
Board tolerance	The difference between the MMC and the LMC of each land pattern dimension. This number is the <i>F</i> tolerance in the equations (see table 14)
Positional accuracy	Positional accuracy is defined as diameter of true position (DTP). This is the variation of the part centroid related to the land pattern theoretical centre (includes feature location tolerance from table 15)
Toe fillet	The land protrusion beyond the lead or termination extremities (see tables 2 through 12)
Heel fillet	The land protrusion beyond the internal lead or termination dimensions (see tables 2 through 12)
Side fillet width	The land protrusion to either side of the lead or termination (see tables 2 through 12)

Solder-joint minima are shown for toe, heel and side fillets. These conditions are minima, since the equations in 4.2 address the tolerance of component, board, and placement accuracy tolerances (sum of the squares). The minimum solder-joint or land protrusion is increased by the amount that the tolerance variation does not use up. The courtyard excess is added to the maximum dimension that the land pattern or component occupies. The courtyard excess number is added to each side of the dimension in question. It is intended that this addition provides sufficient room for electrical and physical clearance between components and/or land patterns. Since the total of all the number calculations may not result in a reasonable numerical equivalent, a suggested round-off feature has been added to the tables to identify a rounding-up value for the final number to be used in the design.

If the user of these land patterns desires a more robust process condition for placement and soldering equipment, individual elements of the analysis may be changed to new and desired dimensional conditions. This includes component, board or placement accuracy spread, as well as minimum solder joint or land protrusion expectation. In addition, this standard recognizes the need to have different goals for the solder fillet or land protrusion conditions. Tables 2 through 12 indicate the principles used for the three goals established by this standard. The tables reflect maximum, median and minimum (least) material conditions for the land protrusions used to develop the land pattern used to mount various lead or terminations of components that are to be surface mounted. Unless otherwise indicated, the sectional standards identify all three expectation goals as level 1, level 2, or level 3.

**Table 2 – Flat ribbon L and gull-wing leads
(greater than 0,625 mm pitch)***Dimensions in millimetres*

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	0,8	0,5	0,2
Heel-land protrusion	0,5	0,35	0,2
Side-land protrusion	0,05	0,05	0,03
Courtyard excess	0,5	0,25	0,1
Round-off factor	Nearest 0,5	Nearest 0,5	Nearest 0,05

**Tableau 3 – Sorties pour ruban plat en L et en aile de mouette
(pas inférieur ou égal à 0,625 mm)**

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	0,8	0,5	0,2
Avancée du talon	0,2	0,2	0,2
Avancée latérale	0,0	0,0	0,0
Excès de périmètre	0,5	0,25	0,1
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,05	Plus proche 0,05

Tableau 4 – Sorties rondes ou aplaties (forgées)

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	1,0	0,65	0,2
Avancée du talon	0,5	0,35	0,2
Avancée latérale	0,1	0,1	0,1
Excès de périmètre	0,5	0,25	0,05
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,5	Plus proche 0,05

Tableau 5 – Sorties en J

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	0,2	0,2	0,2
Avancée du talon	0,8	0,6	0,4
Avancée latérale	0,1	0,05	0,0
Excès de périmètre	1,5	0,8	0,2
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,5	Plus proche 0,05

**Tableau 6 – Composants à extrémité rectangulaire ou carrée
(condensateurs et résistances céramique)**

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	0,55	0,4	0,2
Avancée du talon	0,0	0,0	0,0
Avancée latérale	0,0	0,0	0,0
Excès de périmètre	0,5	0,25	0,1
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,1	Plus proche 0,1

**Table 3 – Flat ribbon L and gull-wing leads
(less than or equal to 0,625 mm pitch)**

Dimensions in millimetres

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	0,8	0,5	0,2
Heel-land protrusion	0,2	0,2	0,2
Side-land protrusion	0,0	0,0	0,0
Courtyard excess	0,5	0,25	0,1
Round-off factor	Nearest 0,5	Nearest 0,05	Nearest 0,05

Table 4 – Round or flattened (coined) leads

Dimensions in millimetres

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	1,0	0,65	0,2
Heel-land protrusion	0,5	0,35	0,2
Side-land protrusion	0,1	0,1	0,1
Courtyard excess	0,5	0,25	0,05
Round-off factor	Nearest 0,5	Nearest 0,5	nearest 0,05

Table 5 – J leads

Dimensions in millimetres

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	0,2	0,2	0,2
Heel-land protrusion	0,8	0,6	0,4
Side-land protrusion	0,1	0,05	0,0
Courtyard excess	1,5	0,8	0,2
Round-off factor	Nearest 0,5	Nearest 0,5	Nearest 0,05

**Table 6 – Rectangular or square-end components
(ceramic capacitors and resistors)**

Dimensions in millimetres

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	0,55	0,4	0,2
Heel-land protrusion	0,0	0,0	0,0
Side-land protrusion	0,0	0,0	0,0
Courtyard excess	0,5	0,25	0,1
Round-off factor	Nearest 0,5	Nearest 0,1	Nearest 0,1

Tableau 7 – Broches à embout cylindrique (MELF)

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	0,8	0,4	0,2
Avancée du talon	0,2	0,1	0,0
Avancée latérale	0,2	0,1	0,0
Excès de périmètre	0,5	0,25	0,05
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,5	Plus proche 0,05

Tableau 8 – Broches à base seule

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	0,2	0,1	0
Avancée du talon	0,2	0,1	0
Avancée latérale	0,2	0,1	0
Excès de périmètre	0,25	0,1	0,05
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,05	Plus proche 0,05

Tableau 9 – Porte-puce sans sorties à broches crénelées

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	1,5	1,25	1,0
Avancée du talon	0,4	0,2	0,1
Avancée latérale	0,0	0,0	0,0
Excès de périmètre	1,5	0,8	0,2
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,5	Plus proche 0,05

Tableau 10 – Joints bout-à-bout

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	1,0	0,8	0,6
Avancée du talon	1,0	0,8	0,6
Avancée latérale	0,3	0,2	0,1
Excès de périmètre	1,5	0,8	0,2
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,5	Plus proche 0,05

Table 7 – Cylindrical end cap terminations (MELF)*Dimensions in millimetres*

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	0,8	0,4	0,2
Heel-land protrusion	0,2	0,1	0,0
Side-land protrusion	0,2	0,1	0,0
Courtyard excess	0,5	0,25	0,05
Round-off factor	Nearest 0,5	Nearest 0,5	Nearest 0,05

Table 8 – Bottom only terminations*Dimensions in millimetres*

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	0,2	0,1	0,0
Heel-land protrusion	0,2	0,1	0,0
Side-land protrusion	0,2	0,1	0,0
Courtyard excess	0,25	0,1	0,05
Round-off factor	Nearest 0,5	Nearest 0,05	Nearest 0,05

Table 9 – Leadless chip carrier with castellated terminations*Dimensions in millimetres*

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	1,5	1,25	1,0
Heel-land protrusion	0,4	0,2	0,1
Side-land protrusion	0,0	0,0	0,0
Courtyard excess	1,5	0,8	0,2
Round-off factor	Nearest 0,5	Nearest 0,5	Nearest 0,05

Table 10 – Butt joints*Dimensions in millimetres*

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	1,0	0,8	0,6
Heel-land protrusion	1,0	0,8	0,6
Side-land protrusion	0,3	0,2	0,1
Courtyard excess	1,5	0,8	0,2
Round-off factor	Nearest 0,5	Nearest 0,5	Nearest 0,05

**Tableau 11 – Sorties intérieures pour ruban plat en L et en aile de mouette
(condensateurs au tantale)**

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	0,1	0,1	0,0
Avancée du talon	1,0	0,5	0,2
Avancée latérale	0,1	0,1	0,1
Excès de périmètre	0,5	0,25	0,1
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,5	Plus proche 0,1

Tableau 12 – Sorties à téton plat

Dimensions en millimètres

Caractéristiques de la zone de report	Niveau maximal 1	Niveau moyen 2	Niveau minimal 3
Avancée du fond	1,0	0,8	0,5
Avancée du talon	0,0	0,0	0,0
Avancée latérale	1,0	0,5	0,3
Excès de périmètre ^a	2,0	1,5	1,0
Facteur d'arrondissement	Plus proche 0,5	Plus proche 0,5	Plus proche 0,05

^a Selon les prescriptions thermiques.

4.2.5.2 Dimensions des composants

Les illustrations des dimensions des composants de chaque spécification partielle sont accompagnées d'un tableau des chiffres correspondant aux différentes références empruntées aux organismes internationaux de normalisation des composants. Les prescriptions de calibres et de tolérances pour les composants ne reflètent pas toujours les données exactes des fiches techniques des fabricants.

Les dimensions des composants sont indiquées conformément aux concepts de conditions du maximum et du minimum de matière (MMC et LMC). Ces deux conditions sont présentées dans les tableaux. Les fabricants ne dimensionnent pas toujours leurs composants conformément aux limites indiquées dans les tableaux, mais ces limites peuvent servir de critères d'acceptation ou de refus des composants. Les dimensions LMC de la figure sont celles qui sont employées dans les équations de 4.2 pour déterminer la zone de report recommandée.

Les dimensions dont la plage de tolérance a été réduite sont indiquées comme telles dans les tableaux. Les pièces qui sont proposées dans des caractéristiques de forme ou des limites de tolérances sortant des normes recommandées imposent des zones de report légèrement différentes de celles présentées.

Les utilisateurs de ces pièces spéciales sont invités à développer leurs propres zones de report, qui deviendront alors propres à une pièce spécifique d'un fournisseur. Un système de dimensionnement doté d'équations spécifiques a été prévu afin de faciliter le développement de zones de report particulières ou d'élargir l'emploi du processus.

Table 11 – Inward flat ribbon L and gull-wing leads (tantalum capacitors)*Dimensions in millimetres*

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	0,1	0,1	0,0
Heel-land protrusion	1,0	0,5	0,2
Side-land protrusion	0,1	0,1	0,1
Courtyard excess	0,5	0,25	0,1
Round-off factor	Nearest 0,5	Nearest 0,5	Nearest 0,1

Table 12 – Flat lug leads*Dimensions in millimetres*

Land pattern characteristics	Maximum level 1	Median level 2	Minimum level 3
Toe-land protrusion	1,0	0,8	0,5
Heel-land protrusion	0,0	0,0	0,0
Side-land protrusion	1,0	0,5	0,3
Courtyard excess ^a	2,0	1,5	1,0
Round-off factor	Nearest 0,5	Nearest 0,5	Nearest 0,05
^a Depends on thermal requirements			

4.2.5.2 Component dimensions

Illustrations of component dimensions in each component sectional specification are accompanied by a table of figures for each of the different part numbers, as taken from multinational component standards organizations. At times, the component tolerances or component gauge requirements do not necessarily reflect the exact tolerance on a manufacturer's data sheet.

Component dimensions are provided according to the concepts of maximum and least materials condition (MMC and LMC). Both conditions are presented in the tables. The component manufacturers may not always dimension their components in accordance with the limits shown in the tables. However, these limits may be used as criteria for go/no-go acceptance of the component. The LMC dimensions of the figure are those that have been used in the equations described in 4.2 for determining the recommended land pattern.

Dimensions that have had their tolerance spread reduced are so indicated in the tables. Parts that are available with shape characteristics or tolerance limits that fall outside the recommended standards require land patterns that must be altered slightly from those presented.

Users of these specialized parts are encouraged to develop their own land patterns which then become unique to a specific component vendor part. A dimensioning system with specific equations has been provided to facilitate unique land pattern development or enhance process usage.

4.2.5.3 Dimensions des zones de report

Les dimensions de zones de report sont indiquées dans les normes partielles conformément aux concepts de conditions du maximum de matière (MMC). Certaines dimensions sont présentées sous forme d'une distance minimale. C'est le cas lors de la définition d'espaces existant entre les pastilles à la condition MMC. Le fabricant de la carte imprimée ne vérifie pas toujours la conformité de sa carte aux limites indiquées par le tableau, mais ces limites peuvent servir de critères d'acceptation ou de refus de la zone de report de la carte.

Les dimensions figurant dans chaque tableau sont celles qui sont employées dans les équations de 4.2 pour déterminer les zones de report recommandées. La condition de matériau maximale de chaque niveau d'analyse des zones de report décrit le joint ou le dépassement de pastille le plus fiable pour le niveau en question.

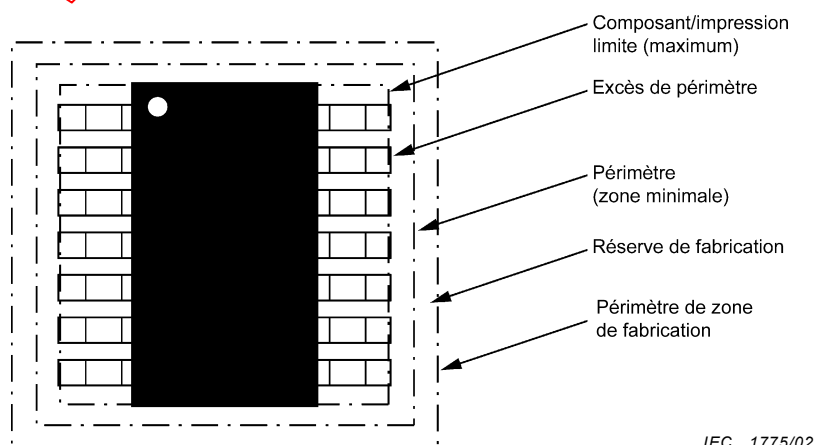
4.2.5.4 Détermination du périmètre

Le périmètre d'une zone de report est la plus petite zone qui permet d'avoir un espace électrique et mécanique minimal entre deux limites extrêmes de composants et/ou des limites extrêmes de zones de report. Le périmètre permet d'aider le concepteur dans l'élaboration de la zone minimale occupée par l'association du composant et de la zone de report. L'information fournie dans les tableaux 2 à 12 est destinée à établir un rapport avec ces excès qu'il convient d'ajouter à la dimension maximale afin de trouver une condition de périmètre appropriée.

Par exemple, si le composant était le facteur majeur déterminant des conditions limites, il aurait l'excès ajouté aux dimensions. Cela se vérifie pour une zone de report présentant les extrêmes les plus importantes. Si l'une des dimensions était de 14,5 mm et que l'excès indiqué dans les tableaux 2 à 12 est de 0,8 mm, le périmètre résultant serait théoriquement de 16,1 mm. Les tableaux définissent aussi une méthode d'arrondi. Si l'arrondi recommandé est à 0,5 mm près, le périmètre deviendrait 16,5 mm.

Il convient de remarquer que 16,5 mm est un nombre qui, quand on le divise par deux pour obtenir le positionnement central du composant, donne un nombre avec deux chiffres après la virgule. Par conséquent, il peut être opportun d'arrondir ce nombre à 16,6 mm. On obtiendrait 8,3 mm sur chaque côté du centre du composant afin d'aider les concepteurs à positionner le composant en relation avec une grille ou un algorithme de placement.

Quand la réserve de fabrication doit être considérée dans le processus de conception, le périmètre représente le point de départ de la zone minimale nécessaire pour le composant et la zone de report. Il convient que la fabrication, l'assemblage et les essais caractéristiques aident à la détermination de la place additionnelle nécessaire pour un placement adapté, aux essais, aux modifications et aux réparations. Cette réserve de fabrication est généralement dépendante de la densité et de la complexité de la production et elle n'est pas normalisée. Les concepts sont déterminés par les exigences de fabrication et d'application (voir figure 5).



IEC 1775/02

Figure 5 – Condition de zone de délimitation du périmètre

4.2.5.3 Land pattern dimensions

Land pattern dimensions are provided in the sectional standards according to the concepts of maximum material conditions (MMC). Sometimes a dimension is presented as a minimum distance. This occurs when defining a space(s) that exists between lands at MMC. The printed board manufacturer may not always inspect his board in accordance with the limit concepts shown in the table. However, these limits may be used as a criteria for go/no-go acceptance of the printed board land pattern.

The dimensions shown in each table are those that have been used in the equations described in 4.2 for determining the recommended land patterns. The maximum material condition for each land pattern analysis level describes the most robust joint or land protrusion for that level land pattern.

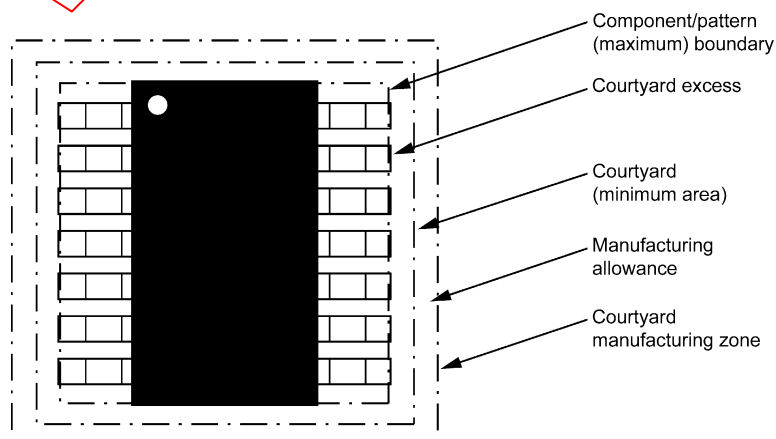
4.2.5.4 Courtyard determination

The courtyard of any land pattern is the smallest area that provides a minimum electrical and mechanical clearance of both the component maximum boundary extremities and/or the land pattern maximum boundary extremities. The intent of the courtyard is to aid the designer in determining the minimum area occupied by the combination of component and land pattern. The information provided in tables 2 through 12 is intended to relate to those excesses that should be added to the maximum dimension to derive the appropriate courtyard condition.

As an example, if a component was the major determining factor of the boundary condition, it would have the excess added to the dimensions. The same holds true for a land pattern that has the greater extremities. If either dimension were 14,5 mm, and the excess from tables 2 to 12 indicated an excess of 0,8 mm, the resulting courtyard would theoretically be 16,1 mm. The tables further define a round-up feature. If the round-up were recommended as being to the nearest 0,5 mm, the courtyard would become 16,5 mm.

It should be noted that 16,5 mm is a number that, when divided by 2 to obtain the component centroid, provides two decimal places to the right of the number. It therefore may be appropriate to keep this number in an even approximation such as 16,6 mm. This would provide 8,3 mm to either side of the centre of the component to help designers position the component in relation to some grid or placement algorithm.

When manufacturing allowance shall be considered in the design process, the courtyard represents the starting-point of the minimum area need for the component and the land pattern. Manufacturing, assembly and testing representatives should assist in determining the additional room needed to accommodate placement, testing, modification and repair. This manufacturing allowance is usually dependent on the density and complexity of the product, and is not standardized. The concepts are determined by application and manufacturing requirements (see figure 5).



IEC 1775/02

Figure 5 – Courtyard boundary area condition

4.2.5.5 Numérotation des zones de report

Chaque zone de report figurant dans la présente norme possède un numéro d'identification. Ce numéro est affecté à chacune des zones de report au sein d'une famille de composants ou d'une norme CEI partielle. Le numéro attribué d'origine à un composant particulier renvoie à l'analyse exposée dans les parties correspondantes.

Les analyses supposent certaines tolérances pour la fabrication des cartes, la précision de la machine de positionnement et le joint de brasure ou le dépassement des pastilles désirés. Le rôle de ce numéro est d'aider la communication entre l'ingénierie, la conception, et la fabrication. Les numéros sont attribués selon la procédure de maintenance de la CEI.

Les normes partielles indiquent les numéros des zones de report dans leurs différentes conditions. Chaque norme partielle attribue un numéro choisi parmi les jeux de numéros réservés suivants. Mille numéros sont réservés pour chaque famille. Ils peuvent être attribués à discrétion par la norme partielle pour identifier les variations. La lettre suffixe M indique dans quelles circonstances le numéro de zone de report est à sa condition de matériau maximal. Les lettres suffixes L, M et N ont été réservées pour indiquer les circonstances dans lesquelles le dépassement des pastilles est à sa valeur minimale, maximale ou nominale (moyenne). Ainsi, le numéro 2012M représenterait le dépassement maximal de la zone de report en question.

Les numéros suivants ont été réaffectés et réservés:

- CEI 61188-5-2: 2000 à 2999
- CEI 61188-5-3: 3000 à 3999
- CEI 61188-5-4: 4000 à 4999
- CEI 61188-5-5: 5000 à 5999
- CEI 61188-5-6: 6000 à 6999
- CEI 61188-5-7: 7000 à 7999
- CEI 61188-5-8: 8000 à 8999 (réservé aux BGA)
- CEI 61188-5-9: 9000 à 9999 (réservé aux BGA à pas fin)

4.3 Possibilité de réalisation des conceptions

Dans le cadre de la planification du développement d'un produit, il est recommandé de constituer un groupe d'études concomitantes en vue de déterminer les critères de chaque nouvelle conception. Au cours de cette phase de planification, le groupe définit clairement la fonction et la configuration du produit, et décrit les choix possibles pour son assemblage. La taille du produit, les types de composants employés, le volume envisagé et les équipements de fabrication disponibles peuvent avoir une incidence sur les options retenues.

Une fois le substrat au point, on évalue le plus grand nombre possible des éléments nécessaires pour un montage en surface satisfaisant. Les points à traiter lors de cette évaluation sont les suivants:

- a) concepts de zones de report;
- b) choix des composants;
- c) conception du substrat de montage;
- d) méthodes d'assemblage;
- e) méthode d'essai;
- f) production des outillages photographiques;
- g) conformité aux prescriptions minimales en matière de joint de brasure;
- h) prescriptions en matière de porte-stencil;
- i) prévision des accès d'inspection;
- j) prévision des accès de reprise et de réparation.

4.2.5.5 Land pattern numbering

Each land pattern in this standard has an identification number. The number is assigned to each land pattern within a family of components or IEC sectional standard. The original number assigned to a particular component uses that analysis shown for the specific sections.

The analyses assume certain tolerances for board fabrication, placement machine accuracy and minimum desired solder joint or land protrusion. The purpose of the number is to aid in communication between engineering, design, and manufacturing. The numbers are allotted under the IEC maintenance procedure.

The sectional standards identify the numbers for the land pattern in their various conditions. Each sectional standard assigns a number within the following reserved number sets. There are 1 000 numbers reserved for each family, which may be randomly assigned by the sectional standard to identify variations in land pattern numbering. The suffix letter M identifies when the land pattern number is at its maximum material condition. The suffix letters L, M, and N have been reserved to signify when the land protrusion is at their least, maximum, or nominal (median) protrusion. Thus, the number 2012M would signify that this number represents the maximum protrusion for a particular land pattern.

The following numbers have been reassigned and reserved:

IEC 61188-5-2: 2000 to 2999

IEC 61188-5-3: 3000 to 3999

IEC 61188-5-4: 4000 to 4999

IEC 61188-5-5: 5000 to 5999

IEC 61188-5-6: 6000 to 6999

IEC 61188-5-7: 7000 to 7999

IEC 61188-5-8: 8000 to 8999 (reserved for BGA)

IEC 61188-5-9: 9000 to 9999 (reserved for fine-pitch BGA)

4.3 Design producibility

As part of the planning cycle for the development of a product, a concurrent engineering task group should be assembled to determine the criteria for each new design. During this planning phase, the product function and configuration is clearly defined and the assembly process options outlined. Product size, component types, projected volume and the level of manufacturing equipment available may affect process options.

Following the substrate development, the assembly will be evaluated for many of the fundamentals necessary to insure a successful SMT process. Specific areas addressed during the evaluation include the following:

- a) land pattern concepts;
- b) component selection;
- c) mounting substrate design;
- d) assembly methods;
- e) method of test;
- f) phototool generation;
- g) meeting minimum solder-joint requirements;
- h) stencil fixture requirements;
- i) providing access for inspection;
- j) providing access for rework and repair.

4.3.1 Zone de report pour montage en surface

L'utilisation de zones de report éprouvées à l'usage pour la fixation par brasage des composants montés en surface fournira une référence pour l'évaluation de la qualité du joint de brasure. Le géométrie de la zone de report et l'espacement choisi pour chaque type de composant doit tenir compte de toutes les variables physiques, dont la taille, le matériau, la conception des contacts des sorties et le placage.

4.3.2 Choix des composants standard

Dans la mesure du possible, il convient que les composants de montage en surface soient choisis dans les configurations standard. Ils sont disponibles auprès de nombreux fournisseurs et sont généralement compatibles avec les processus d'assemblage, selon la définition de la CEI 61670-1. Les composants développés spécialement pour une application sont souvent disponibles en boîtier standard. Dans la mesure du possible, on choisira un type de boîtier d'un matériau et d'un placage similaires à ceux du composant standard.

4.3.3 Développement du substrat du circuit

Le substrat du circuit doit être conçu de façon à minimiser les coûts. La technique du montage en surface sert souvent de moteur à celle des substrats. Lors de l'estimation de la densité des circuits, on préservera la plus grande latitude possible dans les processus de fabrication et les variables de tolérance. Avant d'adopter une résolution extrêmement fine et des trous métallisés de petite taille, on devra bien comprendre les implications en termes de coût, de productivité et de fiabilité à long terme du produit.

4.3.4 Considérations d'assemblage

Parmi les autres facteurs influençant le rendement en fabrication figure le positionnement des composants. Compte tenu des contraintes de fonctionnalité du circuit, le fait de conserver un espacement constant entre les composants, une même orientation ou un même sens des composants polarisés, peut avoir une incidence sur toutes les étapes du processus d'assemblage. En outre, une orientation homogène simplifie la programmation des machines, la vérification des composants, l'inspection des soudures et les réparations.

4.3.5 Prévision des essais automatisés

Les possibilités d'essais du substrat de circuit assemblé doivent être planifiées longtemps à l'avance. Si ces essais au niveau composant sont nécessaires, une zone de contact doit être prévue pour la sonde d'essai en un point commun à chaque nœud ou à chaque réseau. Une solution idéale consiste à placer toutes les pastilles d'essai du même côté. Il est recommandé de prévoir si possible des nœuds de test de grille pouvant recevoir les sondes normalisées. Les essais fonctionnels peuvent également utiliser les mêmes nœuds que les essais en circuit, à condition que soient inclus tous les connecteurs assurant la liaison avec les câbles et les autres ensembles.

4.3.6 Documentation du montage en surface

La documentation utilisée dans la fabrication du substrat et l'assemblage du produit doit être précise et de compréhension facile. Les détails, les spécifications et les notes serviront de guides à la fois en cours de traitement et lors du contrôle de qualité du produit. Les instructions propres à un matériau ou relatives à un assemblage spécial, sensibilité à l'humidité ou consignes de manipulation par exemple, doivent de préférence apparaître au recto des plans détaillés ou figurer dans le lot de documents.

4.4 Contraintes d'environnement

4.4.1 Composants sensibles à l'humidité

Certains gros boîtiers en plastique sont sujets à l'absorption d'humidité. Le fabricant emballe généralement ces pièces avec un produit dessiccateur, et les accompagne d'instructions d'utilisation ou de conservation en environnement contrôlé. La CEI 61189-4 fournit des instructions et des procédures de manipulation et d'essais appropriées, concernant entre autres la sensibilité à l'humidité.

4.3.1 SMT land pattern

The use of process proven land patterns for the solder attachment of surface-mount devices will provide a benchmark to evaluate solder-joint quality. Land pattern geometry and spacing utilized for each component type shall accommodate all physical variables including size, material, lead contact design and plating.

4.3.2 Standard component selection

Whenever possible, SMT devices should be selected from standard configurations. The standard components will be available from multiple sources and will usually be compatible with assembly processes, as defined in IEC 61760-1. For those devices developed to meet specific applications, standard packaging is often available. Select a package type that will be similar in materials and plating of standard device types when possible.

4.3.3 Circuit substrate development

Design the circuit substrate to minimize excessive costs. Surface-mount technology often pushes the leading edge of substrate technology. When estimating circuit density, allow for the greatest latitude in fabrication processes and tolerance variables. Before adopting extreme fine line and utilizing small plated holes, understand the cost impact, yield, and long-term reliability of the product.

4.3.4 Assembly considerations

Manufacturing efficiency includes component placement. Within the constraints of circuit function maintaining a consistent spacing between components, common orientation or direction of polarized devices can have an impact on all steps of the assembly process. In addition, when common orientation is maintained, machine programming is simplified and component verification, solder inspection and repair are simplified.

4.3.5 Provision for automated test

Testability of the assembled circuit substrate shall be planned well in advance. If component level testing is necessary, one test probe contact area is required for each common node or net. Ideally, all probe contact pads are on one side. When possible, provision of grid-based test nodes to accommodate standard probes is recommended. Functional testing may also employ the same test nodes used for in-circuit test but will include all connectors that interface to cables and other assemblies.

4.3.6 Documentation for SMT

Documentation used to fabricate the circuit substrate and assemble the product shall be accurate and easy to understand. Details, specifications and notes will guide both the assembly processing and control the quality level of a product. Unique materials or special assembly instructions, such as moisture sensitivity and handling, should be included on the face of the detail drawings or in the documentation package.

4.4 Environmental constraint

4.4.1 Moisture sensitive components

Several large plastic packages may be susceptible to absorbing moisture. The component manufacturer usually packages these parts with a desiccant, and provides instructions for use or maintaining those parts in a controlled storage environment. IEC 61189-4 provides instructions and proper handling and testing procedures such as for moisture sensitivity.

4.4.2 Considérations d'environnement dans l'utilisation finale

Le choix des matières premières, des supports et des processus d'assemblage doit tenir compte de l'environnement d'utilisation finale du produit. Le tableau 13 donne les caractéristiques correspondant à neuf environnements principaux.

Tableau 13 – Environnements d'utilisation les plus défavorables pour les appareils électroniques à montage en surface et essais accélérés recommandés pour les composants brasés en surface employés dans la plupart des catégories d'utilisation

(Les environnements thermiques réels doivent être établis par analyse thermique ou par mesure.)

Environnement d'utilisation le plus défavorable								Essais accélérés			
Catégorie d'utilisation	T_{min} °C	T_{max} °C	ΔT °C ^a	t_D h	Cycles/ an	Durée de service typique	Risque de défaillance accepté approximatif %	T_{min} °C	T_{max} °C	ΔT °C ^b	t_D min
1) Consommateur	0	+60	35	12	365	1-3	1	+25	+100	75	15
2) Informatique	+15	+60	20	2	1 460	5	0,1	+25	+100	75	15
3) Télécoms	-40	+85	35	12	365	7-20	0,01	0	+100	100	15
4) Aviation civile	-55	+95	20	12	365	20	0,001	0	+100	100	15
5) Industrie et habitacles de voitures particulières	-55	+95	20 et 40 et 60 et 80	12 12 12 12	185 100 60 20	10	0,1	0	+100	100 et FROID ^c	15
6) Armée de terre et marine	-55	+95	40 et 60	12 12	100 265	10	0,1	0	+100	100 et FROID ^c	15
7) Espace leo geo	-55	+95	3 à 100	1 12	8 760 365	5-30	0,001	0	+100	100 et FROID ^c	15
8) Avionique militaire a b c	-55	+95	40 60 80 et 20	2 2 2 1	365 365 365 365	10	0,01	0	+100	100 et FROID ^c	15
9) Automobile, sous capot	-55	+125	60 et 100 et 140	1 1 2	1000 300 40	5	0,1	0	+100	100 et FROID ^c et FORT ΔT ^d	15

^a ΔT représente l'oscillation de température maximale, effets de dissipation d'énergie non compris. Pour inclure la dissipation d'énergie, calculer ΔT . La dissipation d'énergie peut retirer beaucoup de précision aux essais accélérés par cycles de température. Il convient de noter que la plage de température cyclique ΔT n'est pas la différence entre les extrêmes de température en service minimal T_{min} et maximal T_{max} . ΔT est généralement nettement inférieur.

^b Il convient que tous les cycles d'essai accéléré comportent des pentes de variation de température de 20 °C/min et des temps de séjour de 15 min aux températures extrêmes, mesurées sur les cartes testées. On pourra ainsi effectuer environ 24 cycles par jour.

^c Pour tester le mécanisme de défaillance/endommagement dû aux modifications de la brasure aux basses températures des ensembles destinés à un service important en environnement froid, des essais cycliques supplémentaires de la série FROID, par exemple de -40 °C à 0 °C, avec temps de séjour suffisants pour arriver à l'équilibre thermique, et sur un nombre de cycles égal à la série FROID °C des cycles opérationnels en service réel, sont recommandés.

^d Le mécanisme de défaillance/endommagement de la brasure est différent pour les grandes oscillations de température traversant la région de transition entre contrainte et traction de -20 °C à +20 °C. Pour les ensembles devant subir ce genre de cycles en service, des essais supplémentaires appropriés FORT ΔT , avec des cycles de même nature et en même nombre qu'en service réel, sont recommandés.

4.4.2 End-use environment considerations

Compounds, materials and assembly processes shall consider the products end-use environment. Table 13 provides information on the end-use environment characteristics for nine basic environments.

Table 13 – Worst-case use environments for surface-mounted electronics and recommended accelerated testing for surface-mount solder attachments by most common use categories

(The actual thermal environments in use need to be established by thermal analysis or measurement.)

Worst-case use environment								Accelerated testing			
Use category	T_{min} °C	T_{max} °C	ΔT °C ^a	t_D h	Cycles/ year	Typical years of service	Approximate acceptance failure risk %	T_{min} °C	T_{max} °C	ΔT °C ^b	t_D min
1) Consumer	0	+60	35	12	365	1-3	1	+25	+100	75	15
2) Computers	+15	+60	20	2	1 460	5	0,1	+25	+100	75	15
3) Telecom	-40	+85	35	12	365	7-20	0,01	0	+100	100	15
4) Commercial aircraft	-55	+95	20	12	365	20	0,001	0	+100	100	15
5) Industrial and automotive passenger compartment	-55	+95	20 and 40 and 60 and 80	12 12 12 12	185 100 60 20	10	0,1	0	+100	100 and COLD ^c	15
6) Military ground and ship	-55	+95	40 and 60	12 12	100 265	10	0,1	0	+100	100 and COLD ^c	15
7) Space leo geo	-55	+95	3 to 100	1 12	8 760 365	5-30	0,001	0	+100	100 and COLD ^c	15
8) Military avionics	-55	+95	40	2	365	10	0,01	0	+100	100 and COLD ^c	15
a			60	2	365						
b			80	2	365						
c			and 20	1	365						
9) Automotive, under hood	-55	+125	60 and 100 and 140	1 1 2	1000 300 40	5	0,1	0	+100 and COLD ^c	100 and LARGE ΔT ^d	15

^a ΔT represents the maximum temperature swing but does not include power dissipation effects; for power dissipation calculate ΔT ; power dissipation can make pure temperature cycling accelerated testing significantly inaccurate. It should be noted that the cyclic temperature range, ΔT is not the difference between the possible minimum, T_{min} and maximum, T_{max} , operational temperature extremes; ΔT is typically significantly less.

^b All accelerated test cycles should have temperature ramps of 20 °C/min and dwell times at temperature extremes should be 15 min measured on the test boards. This will give 24 test cycles/day.

^c The failure/damage mechanism for solder changes at lower temperature; for assemblies seeing significant cold environment operations, additional COLD cycling, from perhaps -40 °C to 0 °C, with dwell times long enough for temperature equilibration and for a number of cycles equal to the COLD °C operational cycles in actual use is recommended.

^d The failure/damage mechanism for solder is different for large cyclic temperature swings traversing the stress-to-strain -20 °C to +20 °C transition region; for assemblies seeing such cycles in operation, additional appropriate LARGE ΔT testing with cycles similar in nature and number to actual use is recommended.

4.5 Règles de conception

Les principes de conception des cartes imprimées recommandés dans la présente norme reposent sur les possibilités actuelles d'essai et de fabrication. Tout dépassement des limites de ces possibilités exige la coopération de tous les participants au processus, dont la fabrication, les études et la métrologie. La participation précoce des secteurs essais et fabrication est propice à un passage rapide d'un produit de qualité au stade de la production.

Les études de fabrication doivent être consultées à propos de tout composant n'entrant pas dans le cadre de la présente norme.

4.5.1 Espacement des composants

4.5.1.1 Considérations relatives aux composants

La conception des zones de report et l'espacement des composants ont une incidence sur la fiabilité et les possibilités de fabrication, d'essai et de réparation des ensembles montés en surface. Un espacement minimal entre ensembles est nécessaire pour satisfaire à toutes ces exigences de fabrication. Un espacement maximal entre ensembles est limité par plusieurs facteurs, comme l'espace de la carte, l'équipement, les considérations de poids et les exigences de vitesse d'exploitation du circuit. Certaines conceptions imposent de rapprocher le plus possible les composants montés en surface.

4.5.1.2 Orientation des composants soudés à la vague

Sur toute carte imprimée dont une des faces doit être soudée à la vague, l'orientation préférée des composants de cette face est celle de la figure 6. Cette orientation optimise la qualité des joints de brasure obtenus à la sortie du soudage à la vague. Tous les composants polarisés du montage en surface doivent dans la mesure du possible être orientés dans le même sens. Les conditions suivantes sont également à respecter :

- Tous les composants passifs doivent être parallèles entre eux.
- L'axe le plus long des SOIC et celui des composants passifs doivent être perpendiculaires l'un à l'autre.
- L'axe le plus long des composants passifs doit être perpendiculaire à la direction de déplacement de la carte sur le convoyeur de la machine de soudage.

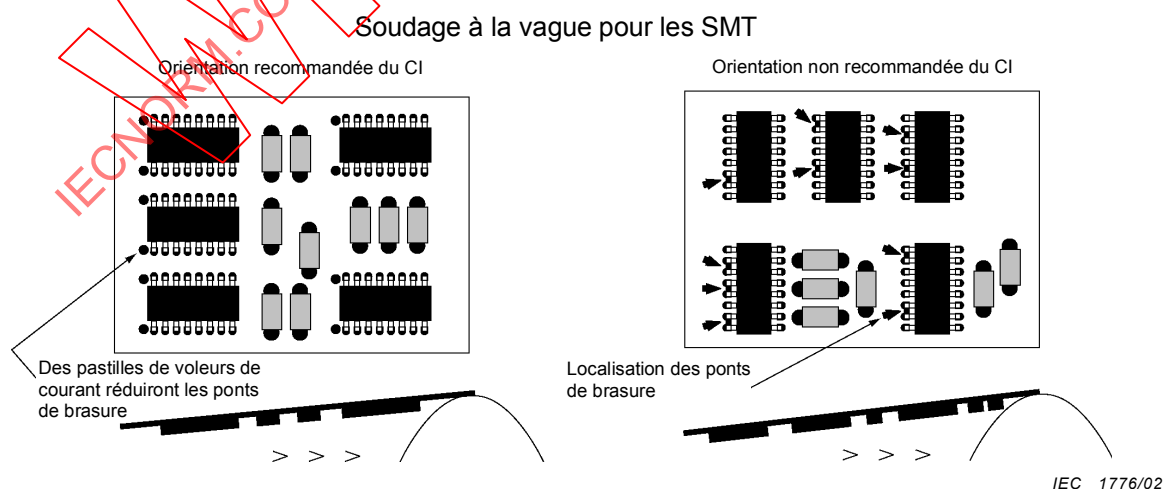


Figure 6 – Orientation des composants pour le soudage à la vague

4.5 Design rules

The printed board design principles recommended in this standard consider current test and manufacturing capabilities. Exceeding the limitation of these capabilities requires concurrence of all participants in the process including manufacturing, engineering and test technology. Involving test and manufacturing early in the design helps to move a quality product quickly into production.

Manufacturing engineering shall be consulted regarding any components outside the scope of this standard.

4.5.1 Component spacing

4.5.1.1 Component considerations

The land pattern design and component spacing affect the reliability, manufacturability, testability and repairability of surface-mount assemblies. A minimum interpackage spacing is required to satisfy all these manufacturing requirements. Maximum interpackage spacing is limited by several factors, such as available board space, equipment, weight considerations, and circuit operating speed requirements. Some designs require that surface-mount components are positioned as close as possible.

4.5.1.2 Wave-solder component orientation

On any printed board assembly where a side is to be wave soldered, the preferred orientation of devices on that side is as shown in figure 6. The preferred orientation illustrated is used in order to optimize the resulting solder-joint quality as the assembly exits the solder wave. All polarized surface-mount components should be placed in the same orientation, when possible. The following additional conditions apply.

- All passive components shall be parallel to each other.
- The longer axis of SOICs and the longer axis of passive components shall be perpendicular to each other.
- The longer axis of passive components shall be perpendicular to the direction of travel of the board along the conveyor of the wave-solder machine.

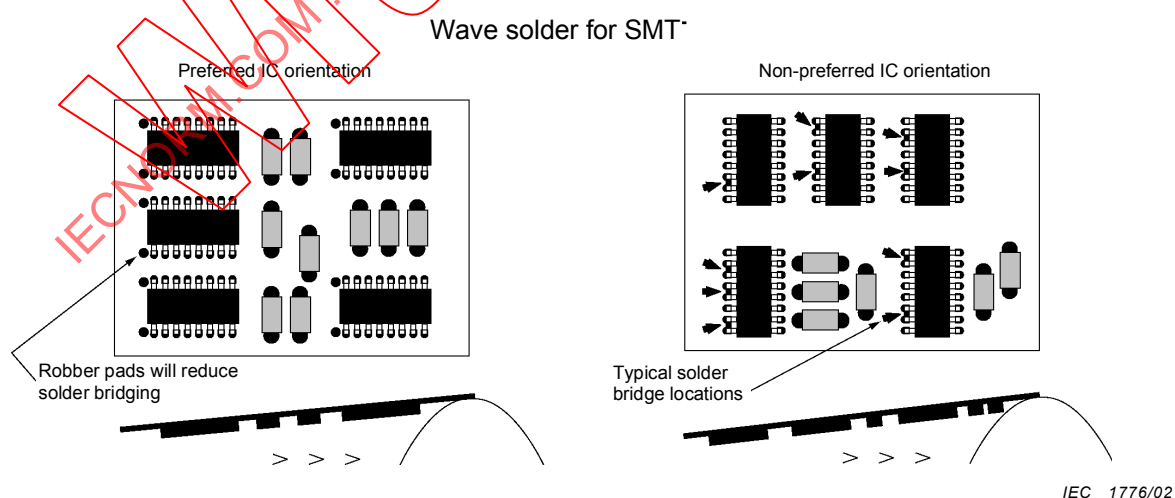


Figure 6 – Component orientation for wave-solder applications

4.5.1.3 Positionnement des composants

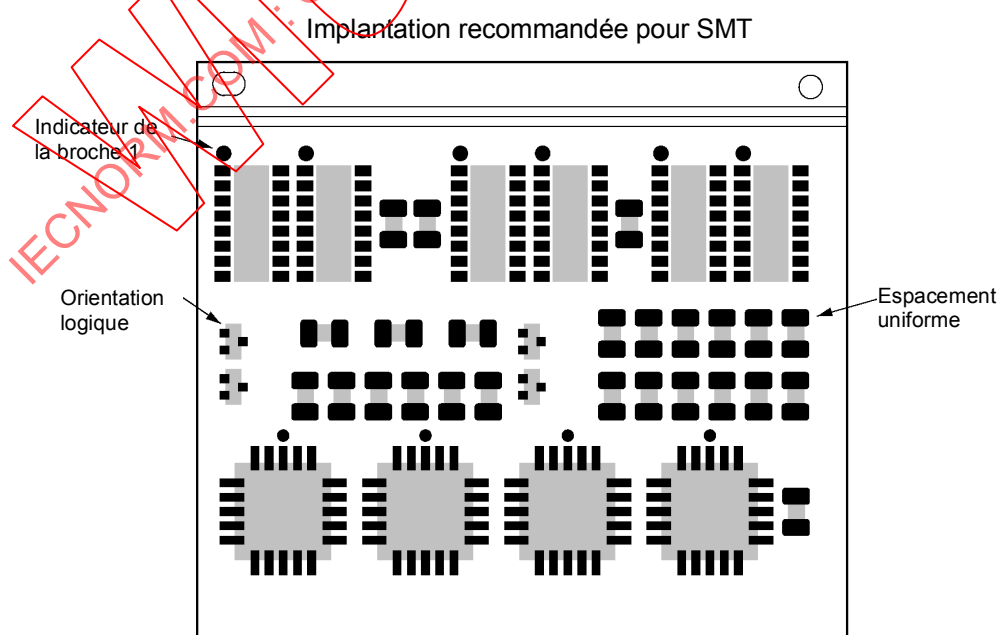
Les composants de même type doivent de préférence être alignés sur la carte avec la même orientation, afin de faciliter le positionnement, l'inspection et le soudage. En outre, les composants de même type doivent dans la mesure du possible être regroupés, les exigences d'agencement, de connectivité et de performances du circuit décidant en dernier ressort des emplacements. Sur les cartes mémoire, par exemple, toutes les puces mémoire sont agencées en une matrice clairement définie, avec la broche un orientée dans le même sens sur tous les composants. C'est une bonne pratique à appliquer aux cartes logiques comportant dans un même boîtier de nombreux composants de type similaire mais de fonction différente. D'autre part, les cartes analogiques emploient souvent une grande diversité de types de composants, ce qui rend un regroupement difficile. Que la carte soit de mémoire, de logique générale ou analogique, il est recommandé d'orienter de la même façon la broche un de tous les composants, si cela est possible sans compromettre les performances ou la fonctionnalité du produit.

4.5.1.4 Positionnement des composants en grille

Le positionnement des composants montés en surface est généralement plus complexe que sur les cartes imprimées THT, et ce pour deux raisons: une densité supérieure des composants et la possibilité de les monter sur les deux faces. Sur les cartes à montage en surface de haute densité, en revanche, l'espacement entre pastilles est souvent plus réduit, jusqu'à 0,20 mm seulement. Le positionnement en grille est compliqué par la grande diversité de forme des composants que l'on trouve dans les ensembles à montage en surface.

Un positionnement aléatoire des composants a deux effets: une perte d'accessibilité aux nœuds de test par rapport à une grille uniforme et la perte de la logique et de la prévisibilité du cheminement des canaux sur toutes les couches (avec éventuellement augmentation du nombre de couches). Outre la grille internationale reconnue qu'elle décrit, la publication CEI 60097 indique que pour les conceptions nouvelles, la grille doit être de 0,5 mm, avec une subdivision de 0,05 mm. Une solution au problème est de créer des bibliothèques de CAO avec toutes les pastilles de composant reliées par des trous de liaison à entre-axes de 0,05 mm (ou plus selon la carte) destinés à tester, acheminer et reprendre les ports.

Il est plus facile de traiter une carte imprimée dont l'espacement des points centraux des composants est uniformément réparti dans les deux sens (voir figure 7).



IEC 1777/02

Figure 7 – Alignement de composants similaires

4.5.1.3 Component placement

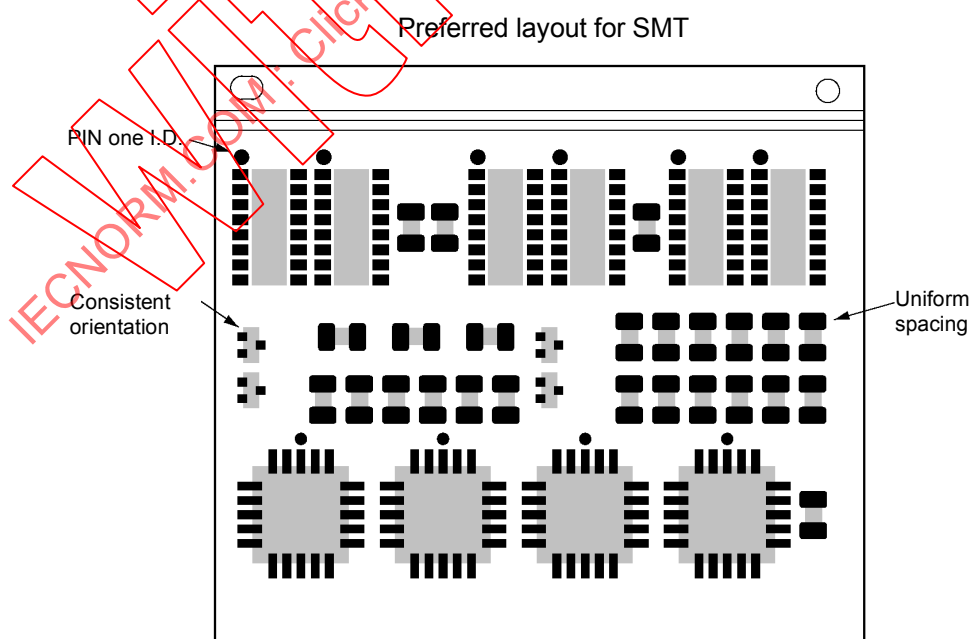
Similar types of components should be aligned on the board in the same orientation for ease of component placement, inspection, and soldering. Also, similar component types should be grouped together whenever possible, with the net list or connectivity and circuit performance requirements ultimately driving the placements. In memory boards, for example, all of the memory chips are placed in a clearly defined matrix with pin one orientation in the same direction for all components. This is a good design practice to carry out on logic designs where there are many similar component types with different logic functions in each package. On the other hand, analogue designs often require a large variety of component types making it understandably difficult to group similar components together. Regardless of whether the design is memory, general logic, or analogue, it is recommended that the orientation of pin 1 on all IC components is the same, provided that product performance or function is not compromised.

4.5.1.4 Grid-based component positioning

SMT component placement is generally more complex than THT printed boards for two reasons: higher component densities, and the ability to put components on both sides of the board. In high-density SMT designs, however, the spacing between lands of different components is often down to less than 0,20 mm. Grid-based device placement is complicated by the large variety of component shapes associated with the SMT component packages.

Two effects created by random component placement are a loss of uniform grid-based test node accessibility and a loss of logical, predictable routing channels on all layers (possibly driving layer counts). In addition, the accepted international grid identified in IEC 60097 states that for new designs the grid shall be 0,5 mm, with a further subdivision being 0,05 mm. One solution to the problem is to build CAD libraries with all component lands connected to vias on 0,05 mm centres (or greater, based on design) to be used for testing, routing, and rework ports.

It is easier to process a printed board (PB) which has uniform component centre-point spacing across the board in both directions (see figure 7).



IEC 1777/02

Figure 7 – Alignment of similar components

4.5.2 Assemblage des cartes à simple et double face

Une carte simple face ne porte des composants que d'un côté et une carte double face des deux côtés. Les concepteurs doivent, si cela est possible sans enfreindre les règles d'espace-ment entre les composants, chercher à les placer tous sur la face primaire de la carte. Ce principe devrait contribuer à réduire les coûts d'assemblage. Les cartes double face assemblées selon les règles de conception du montage en surface, peuvent nécessiter des accessoires d'essai à double face, ou à pince, ce qui en augmente le coût.

4.5.3 Conception du stencil de brasage

Le stencil de brasage est le principal véhicule d'application de la pâte de brasage à la carte imprimée à montage en surface. Il permet de contrôler avec précision l'emplacement et le volume exacts du dépôt de pâte. L'image portée par le stencil se compose généralement des pastilles de montage des composants à partir des couches extérieures de la carte, tous les autres circuits étant effacés. Les ouvertures du stencil doivent de préférence être de la même taille que les pastilles de la carte pour tous les composants. L'assembleur de la carte ou l'ingénieur du processus peut avoir à modifier la taille de ces ouvertures avant production du stencil, afin de modifier le volume de pâte déposé sur les pastilles.

On détermine l'épaisseur optimale du stencil par évaluation des besoins en pâte de brasage pour tous les composants à souder par refusion. Cette évaluation doit reposer sur l'étude des besoins minimum et cibles des joints de brasure respectivement indiqués par la CEI 61191-2 et la CEI 61192-2. Un compromis est presque toujours nécessaire.

De façon idéale, il est recommandé que le volume déposé soit égal à la quantité totale nécessaire pour obtenir la condition du joint de brasure «cible» (voir la CEI 61192-2), moins la brasure déjà présente sur la pastille et la broche ou la sortie (laquelle ne devrait pas être négligée, dans la mesure où elle peut représenter jusqu'à 10 % à 20 % du total). Il convient de noter, lors de ces calculs, que la teneur en brasure de la plupart des pâtes est de 50 % à 55 % en volume (et non pas en poids) selon la taille des particules.

Si la quantité de brasure à déposer est inférieure à celle que permet une ouverture de la taille de la pastille ou d'une taille proche, il est recommandé de placer une zone d'impression réduite à la position de la pastille donnant le meilleur mouillage des surfaces de joint. Dans certains cas, la meilleure façon de le faire est de réduire la largeur de l'impression et dans d'autres sa longueur. Dans le cas de pas très fins, avec interstices entre pastilles inférieurs à 0,2 mm, un déport (décalage) de l'impression entre les deux extrémités des pastilles peut limiter les risques de courts-circuits après brasage.

Lorsque les largeurs de pastilles ou d'interstices sont inférieures à 0,2 mm, il peut être utile de recourir à d'autres méthodes d'application de la brasure, par exemple placage de l'épaisseur des pastilles ou préformes de brasure.

Si la quantité de brasure à déposer est supérieure à celle que permet une ouverture de la taille de la pastille, il est généralement possible d'obtenir le supplément de pâte en donnant à l'ouverture une taille légèrement supérieure à celle de la pastille, c'est-à-dire en faisant déborder de la pastille une petite quantité de pâte sur la carte ou la couche de réserve de brasage. La quantité et l'orientation de ce débordement dépendent de la place disponible autour de la pastille et de la nécessité d'éviter les courts-circuits et la mise en boule de la brasure en cas de débordement excessif. Les tolérances de position des pastilles et de précision de l'impression doivent être prises en compte dans le calcul du plus grand débordement possible.

4.5.4 Hauteur de dépassement des composants pour nettoyage

La hauteur de dépassement minimal recommandée des composants pour nettoyage est affectée par la longueur de la diagonale du pas des sorties des composants.

4.5.2 Single- and double-sided board assembly

The term single-sided refers to components mounted on one side, and the term double-sided refers to components mounted on both sides of the board. Designers should concentrate on locating all components on the primary side of the board whenever possible without creating component spacing violations. This may result in a lower assembly cost. Double-sided boards, using conventional SMT design rules, may require double-sided, or clamshell test fixtures, increasing the cost of the test fixtures.

4.5.3 Solder paste stencil

The solder stencil is the primary vehicle by which solder paste is applied to the SMT printed board. With it, the exact location and volume of solder paste deposition is precisely controlled. The artwork for the stencil generally consists of the component mounting lands from the outer layers of the board with all other circuitry deleted. The information provided for the openings in the stencil is usually indicated as being the same size as the lands on the board for all components. This information is modified by the printed board assembler or process engineer who will alter the stencil openings prior to manufacturing the stencil to meet the solder volume requirements. The stencil accounts for the volume of solder paste that is deposited on the lands.

The optimum stencil thickness is determined by evaluating the solder paste requirements for all the components to be reflowed. This shall be based on study of the minimum and target requirements for SMT solder joints given in IEC 61191-2 and IEC 61192-2 respectively. A compromise is almost invariably necessary.

Ideally, the volume deposited should be the total amount required to achieve the target solder joint condition (see IEC 61192-2), less the solder already available on the land and termination or lead (the latter can together amount to 10 % to 20 % of the total and should not be ignored). In making calculations, it should be noted that the solder content of most pastes is 50 % to 55 % by volume (not by weight), depending on particle size.

If the amount of solder paste to be deposited is less than the amount provided by using an aperture at or near the land area size, a reduced area of print should be placed in the best position on the land to assure good wetting of the joint areas. In some cases, this may best be achieved by reducing the width of the print, in others, the length. For very fine pitch with inter-land gaps of less than 0,2 mm, staggering (offsetting) the print at alternate ends of the lands can reduce the risk of shorts after soldering.

Where land/gap widths are less than 0,2 mm, an alternative method of applying solder may be appropriate, for example, plating up the land thickness, solder pre-forms.

If the amount of solder paste required is more than the amount available using a land size aperture, the extra paste can usually be obtained by making the aperture size slightly larger than the land size i.e., having a small amount of overhang outside the land and gasketing to the board or to the solder resist layer. The amount and direction of the overhang beyond the land is dictated by the space available around the land and the need to avoid shorting and solder balling if excess overhang occurs. The tolerances on land position and printing accuracy need to be considered when calculating the maximum allowable overhang.

4.5.4 Component stand-off height for cleaning

The recommended minimum component stand-off height for cleaning is affected by the distance across the diagonal of the component lead pitch.

Sans ce minimum, il peut être impossible d'obtenir un nettoyage correct sous le composant. Il est recommandé d'employer dans ce cas un flux sans nettoyage ou de conserver le matériau de masquage sur tous les trous de liaison et toutes les impressions de circuit exposés présents sous les composants.

4.5.5 Repères conventionnels

Un repère conventionnel est un graphisme imprimé créé par le même procédé que celui du circuit et destiné à être identifié par les systèmes de reconnaissance optique. Ce repère et le circuit doivent être gravés au cours de la même étape.

Les repères conventionnels, qui constituent les points de référence communs à toutes les étapes du processus d'assemblage, permettent de positionner avec précision chaque pièce par rapport à l'impression. Il existe deux types de repères conventionnels.

4.5.5.1 Repères globaux

Les repères globaux servent à positionner l'ensemble des équipements d'un circuit sur une carte individuelle. Lors du traitement en flans d'un circuit à plusieurs images, on appelle repères de flan les repères globaux présents sur le flan (voir figure 8).

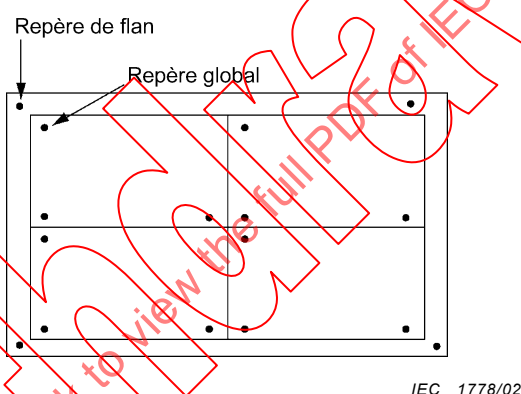


Figure 8 – Repères de flans et locaux

4.5.5.2 Repères locaux

Les repères locaux servent à indiquer l'emplacement d'un composant devant être positionné avec davantage de précision (voir figure 9).

Un minimum de deux repères conventionnels globaux est nécessaire pour corriger les décalages en translation (position x et y) et en rotation (position θ). Ils doivent être placés diagonalement en opposition, et aussi loin que possible du circuit ou du flan.

Un minimum de trois repères conventionnels est nécessaire pour corriger les déformations non linéaires (allongement, étirement et vrillage). Ils doivent être placés en triangle, aussi loin que possible du circuit ou du flan.

Un minimum de deux repères conventionnels locaux est nécessaire pour corriger les décalages en translation (position x et y) et en rotation (position θ). Il peut s'agir de deux marques placées diagonalement en opposition à l'intérieur du périmètre de la zone de report.

If a minimum stand-off cannot be achieved, proper cleaning under the component may not be possible. In this case, it is recommended that a no-clean flux is used and/or mask material should be retained over all exposed via and circuit patterns located under devices.

4.5.5 Fiducial marks

A fiducial mark is a printed artwork feature which is created in the same process as the circuit artwork for optical recognition systems. The fiducial and a circuit pattern artwork shall be etched in the same step.

The fiducial marks provide common datum points for all steps in the assembly process. This allows each piece of equipment used for assembly to accurately locate the circuit pattern. There are two types of fiducial marks.

4.5.5.1 Global fiducials

Global fiducial marks are used to locate the position of all circuit features on an individual board. When a multi-image circuit is processed in panel form, the global fiducials are referred to as panel fiducials when present for the panel (see figure 8).

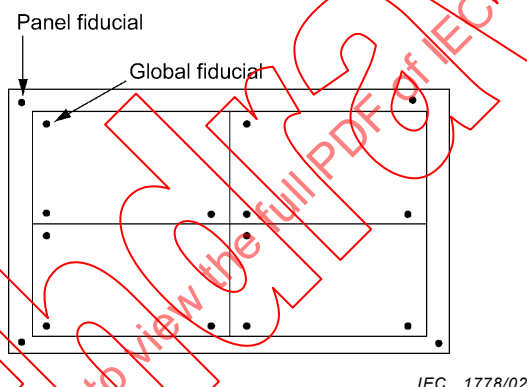


Figure 8 – Panel/local fiducials

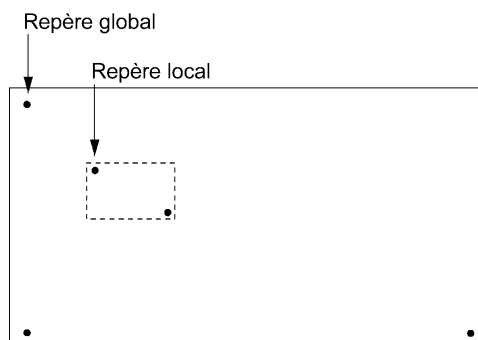
4.5.5.2 Local fiducials

Local fiducial marks are used to locate the position of an individual component requiring more precise placement (see figure 9).

A minimum of two global fiducial marks is required for correction of translational offsets (x and y position) and rotational offsets (theta position). These shall be located diagonally opposite and as far apart as possible on the circuit or panel.

A minimum of three fiducial marks is required for correction of non-linear distortions (scaling, stretch and twist). These shall be located in a triangular position as far apart as possible on the circuit or panel.

A minimum of two local fiducial marks is required for correction of translational offsets (x and y position) and rotational offsets (theta position). This can be two marks located diagonally opposed within the perimeter of the land pattern.



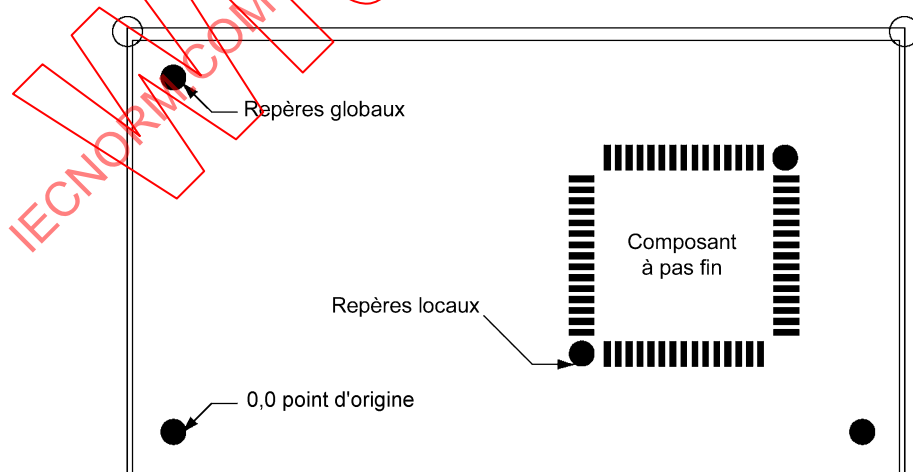
IEC 1779/02

Figure 9 – Repères conventionnels locaux et globaux

Il est de bonne pratique de placer les repères conventionnels globaux, ou de flan en un système de référence à trois points basé sur la grille, comme le montre la figure 10. Le premier repère se trouve à la position 0,0. Le deuxième et le troisième sont placés sur les axes X et Y partant de 0,0 dans le quadrant positif. Les repères globaux doivent de préférence être placés sur les couches supérieure et inférieure de toutes les cartes imprimées contenant des composants montés en surface ou en trous traversants, dans la mesure où même les machines d'assemblage à trous traversants commencent à employer des systèmes d'alignement à vision.

La zone de report de tous les composants à pas fin doit comporter un système de deux repères locaux, organisé de façon qu'il y ait toujours un nombre de repères suffisant chaque fois que le composant est implanté, retiré ou remplacé sur la carte. L'ouverture du masque de brasage de tous les repères doit être suffisamment grande pour éviter toute présence de masque sur la cible optique. La présence de masque de brasage sur la cible optique risquerait de rendre inopérants certains systèmes d'alignement par vision en raison d'un contraste insuffisant à l'emplacement de la cible.

Si la place disponible est limitée, on pourra utiliser au minimum un seul repère conventionnel local, afin de corriger les décalages en translation (position x et y). Il convient de placer ce repère à l'intérieur du périmètre de la zone de report, de préférence au centre.



IEC 1780/02

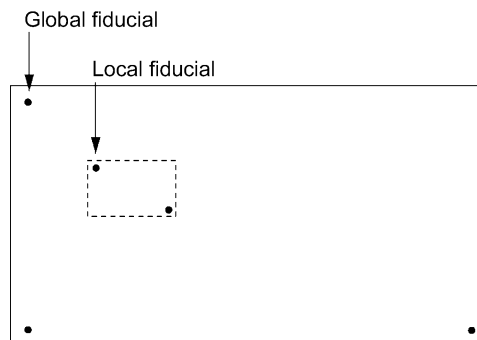
Localiser tous les repères et les trous d'outillage de la grille.

Localiser les repères de la face primaire et secondaire de la carte.

Diamètre standard des trous d'outillage: 2,4 mm, 2,8 mm, 3,2 mm.

Il convient que les repères globaux soient espacés de 5,0 mm minimum des bords carte.

Figure 10 – Emplacement des repères conventionnels sur une carte imprimée



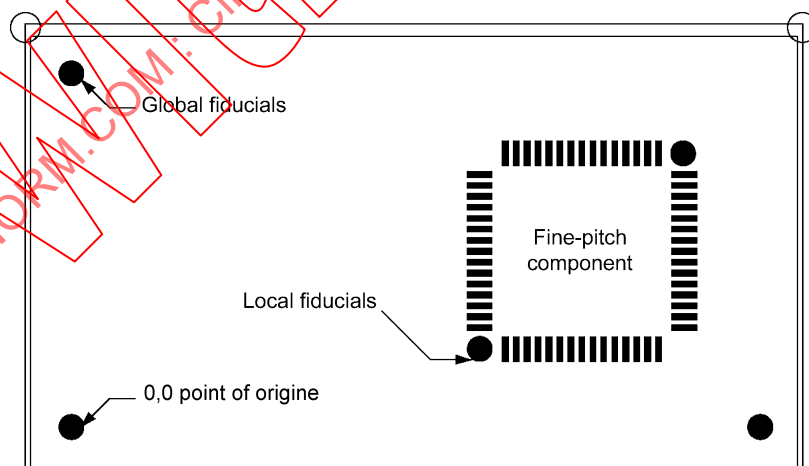
IEC 1779/02

Figure 9 – Local and global fiducials

It is good design practice to locate global or panel fiducials in a three-point grid-based datum system as shown in figure 10. The first fiducial is located at the 0,0 location. The second and third fiducials are located in the X and Y directions from 0,0 in the positive quadrant. The global fiducials should be located on the top and bottom layers of all printed boards that contain surface-mount as well as through-hole components since even through-hole assembly systems are beginning to utilize vision alignment systems.

All fine-pitch components shall have two local fiducial systems designed into the component land pattern to insure that enough fiducials are available every time the component is placed, removed and/or replaced on the board. All fiducials shall have a solder mask opening large enough to keep the optical target absolutely free of solder mask. If solder mask should get onto the optical target, some vision alignment systems may be rendered useless due to insufficient contrast at the target site.

If space is limited, a minimum of one local fiducial mark may be used to correct translational offsets (x and y position). The single fiducial shall be located inside the perimeter of the land pattern with a preference for the centre.



IEC 1780/02

Locate all fiducials and tooling holes on the appropriate grid.
 Locate fiducials on both primary and secondary side of board.
 Standard tooling hole diameters: 2,4 mm, 2,8 mm, 3,2 mm.
 Global fiducials should be 5,0 mm min. from board edges.

Figure 10 – Fiducial locations on a printed board

4.5.5.3 Taille et forme du repère conventionnel

Le repère conventionnel optimal est un cercle plein, d'un diamètre minimal de 1 mm et maximal de 3 mm. La taille des repères ne doit pas varier de plus de 25 µm sur la même carte.

Le repère conventionnel doit être entouré d'une zone dégagée, vide de tout autre détail ou marquage de circuit, et d'un diamètre au moins égal à deux fois celui du repère, de préférence trois fois (voir figure 11).

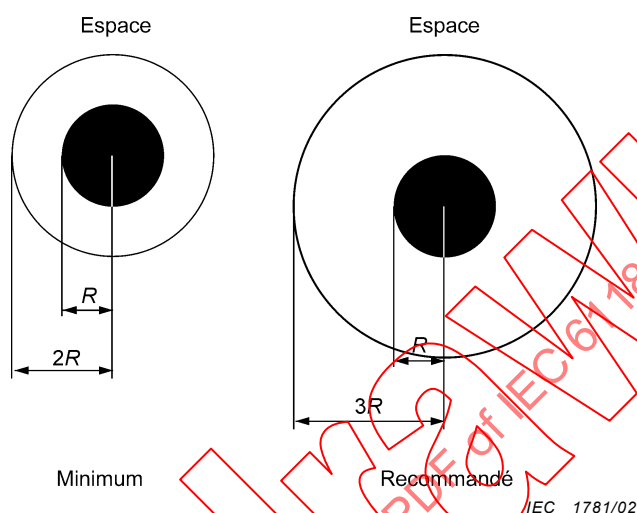


Figure 11 – Zone dégagée autour des repères

4.5.5.4 Matériau

Le repère conventionnel peut être fait de cuivre nu, de cuivre protégé par revêtement organique ou par métallisation.

Si un masque de brasage est utilisé, il ne doit couvrir ni le repère conventionnel, ni sa zone dégagée. Il convient de noter qu'une oxydation de la surface du repère risque de dégrader sa lisibilité.

4.5.5.5 Planéité

La planéité de surface d'un repère conventionnel doit être moins de 15 µm.

4.5.5.6 Distance au bord

Le repère conventionnel doit être placé à une distance minimale par rapport au bord de la carte imprimée égale à la somme de 5,0 mm et de la zone dégagée minimale prescrite.

4.5.5.7 Contraste

Les meilleurs résultats sont obtenus lorsque le contraste entre le repère conventionnel et le matériau de base de la carte imprimée est homogène.

Le fond de tous les repères conventionnels doit être le même, c'est-à-dire que si des plans de cuivre opaques sont pris sous les repères, dans la couche située sous celle de surface, tous les repères doivent conserver un fond uniforme. Si le cuivre est transparent sous l'un des repères, tous les fonds doivent l'être.

4.5.5.3 Size and shape of fiducial

The optimum fiducial mark is a solid filled circle. The minimum diameter of the fiducial mark is 1,0 mm. The maximum diameter of the mark is 3,0 mm. Fiducial marks shall not vary in size on the same PB more than 25 μm .

A clear area devoid of any other circuit features or markings shall exist around the fiducial mark. The minimum size of the clear area shall be equal to twice the radius of the mark. A preferred clearance around the mark is equal to the mark diameter (see figure 11).

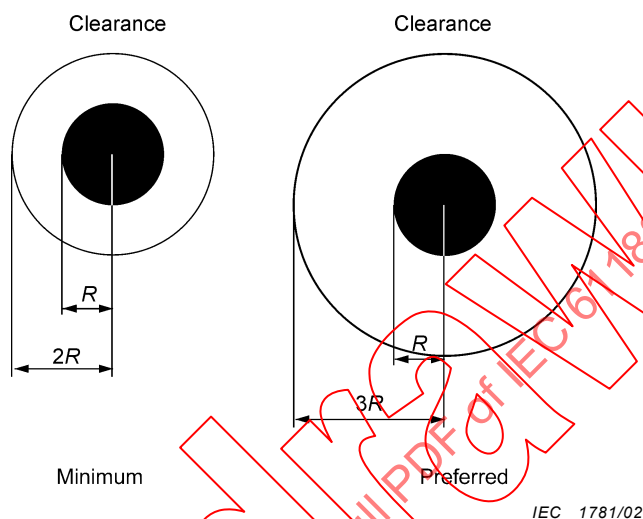


Figure 11 – Fiducial clearance requirements

4.5.5.4 Material

The fiducial mark may be bare copper, bare copper protected by organic coating or metal plating.

If solder mask is used, it shall not cover the fiducial mark or the clearance area. It should be noted that oxidation of a fiducial mark surface may degrade its readability.

4.5.5.5 Flatness

The flatness of the surface of the fiducial mark shall be within 15 μm .

4.5.5.6 Edge clearance

The fiducial mark shall be located no closer to the PB edge than the sum of 5,0 mm and the minimum fiducial mark clearance required.

4.5.5.7 Contrast

Best performance is achieved when a consistent high contrast is present between the fiducial mark and the PB base material.

The background for all fiducial marks shall be the same. That is, if solid copper planes are retained under fiducials in the layer below the surface layer, all fiducials shall retain uniform background. If copper is clear under one fiducial, all shall be clear.

4.5.6 Conducteurs

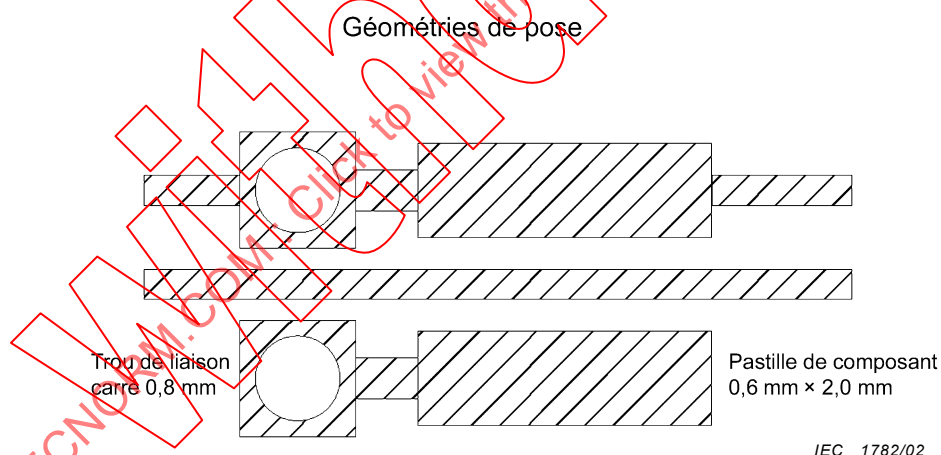
4.5.6.1 Largeur et espacement des conducteurs

La densité accrue des composants sur les cartes imprimées à montage en surface a conduit à la réduction des épaisseurs de cuivre et de la largeur et de l'espacement des conducteurs. Elle peut également conduire à augmenter le nombre de couches d'une carte et par conséquent le nombre des trous de liaison nécessaires pour les relier.

4.5.6.2 Conducteurs de la couche de surface

Les conducteurs de grande largeur arrivant à une zone de pastilles peuvent attirer la brasure et la dévier des pastilles. De plus, si un conducteur large arrive à un trou de liaison relié au plan d'alimentation ou de masse d'une couche intérieure, il peut se comporter en dissipateur thermique et priver de chaleur la zone de la pastille ou de la sortie pendant la refusion, donnant un joint de brasure défectueux. Parmi les pratiques recommandées en matière de conception des conducteurs figurent les suivantes.

- Il convient qu'un conducteur large soit rétréci à son entrée dans la zone de pastilles, en le ramenant par exemple à une largeur de 0,25 mm sur une longueur de 0,50 mm. Le cuivre mince de la couche extérieure du circuit sera moins robuste qu'un cuivre épais (voir CEI 62326-1 à 9).
- Une arrivée des conducteurs aux pastilles telle que celle illustrée par la figure 12 permettra au concepteur d'utiliser la même bibliothèque de formes pour les cheminements de la couche de surface et des couches intérieures.
- Il est recommandé d'appliquer un masque de brasage sur les cuivres nus ou dont la brasure a été enlevée de façon sélective. Un masque de brasage sur cuivre nu protège efficacement contre la migration de la brasure.



Détails de la géométrie:

Les conducteurs et les espaces peuvent être de 0,15 mm.

Un masque de brasage photoimageable liquide est recommandé.

Accessibilité à 100 % du nœud d'essai de la grille quel que soit le côté.

Figure 12 – Géométries de montage en surface

4.5.6 Conductors

4.5.6.1 Conductor width and spacing

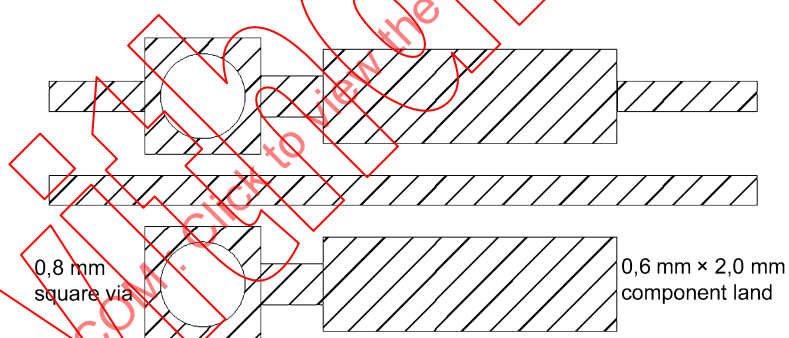
Increased component density on SMT designs has mandated the use of thinner copper, narrower conductor width and spacing. Higher component density may increase PB layer counts requiring the use of more vias to make the necessary connections between layers.

4.5.6.2 Surface layer conductors

Wide conductors connecting to a land area can act as a solder thief by drawing solder away from the land and down the conductor. Furthermore, if the conductor goes to a via which is connected to an inner layer power or ground plane, the wide conductor may act as a heat sink and draw heat away from the land/lead area during reflow solder resulting in a defective solder joint. Recommended practice in conductor design includes the following:

- A wide conductor should be narrowed as it enters the land area, for example, to 0,25 mm width over a length of 0,50 mm. Thin copper on outer circuit layer will be less robust than thick copper (see IEC 62326-1 to 9).
- Routing conductors into the lands as shown in figure 12 will allow the designer to use the same library shape for both surface routing and inner layer routing.
- Solder mask should be applied over bare copper (SMOBC) or over copper that has had the solder plating selectively removed. The solder mask over bare copper provides an effective barrier to solder migration.

Surface-routing geometries



IEC 1782/02

Details of this geometry:

Conductors and clearances may be 0,15 mm.

Requires liquid photo-imageable soldermask.

100 % grid-based test node accessibility from either side.

Figure 12 – Surface-mounting geometries

4.5.6.3 Conducteurs des couches intérieures

L'utilisation de conducteurs et d'espacements larges conduit souvent à une augmentation du nombre de couches en raison de la réduction des voies d'acheminement entre les trous de liaison. C'est pourquoi on emploie de plus en plus des conducteurs plus étroits dans les couches intérieures. La figure 13 compare le nombre de voies d'acheminement disponibles entre pastilles avec des géométries de 0,15 mm et de 0,125 mm. Etant donné que le contrôle de la largeur des conducteurs est beaucoup plus difficile sur les couches extérieures de la carte imprimée, il est préférable de réserver les géométries plus étroites aux couches intérieures. En général, le choix des géométries étroites est guidé par la nécessité de réduire le nombre de couches, ce qui permet de réduire l'épaisseur globale de la carte et d'améliorer le facteur de forme pour le perçage des petits trous.

NOTE Lorsqu'on cherche à réduire l'épaisseur d'une carte, il convient de tenir compte des risques supplémentaires de flambage et de vrillage avant et après brasage (voir CEI 61188-1-1).

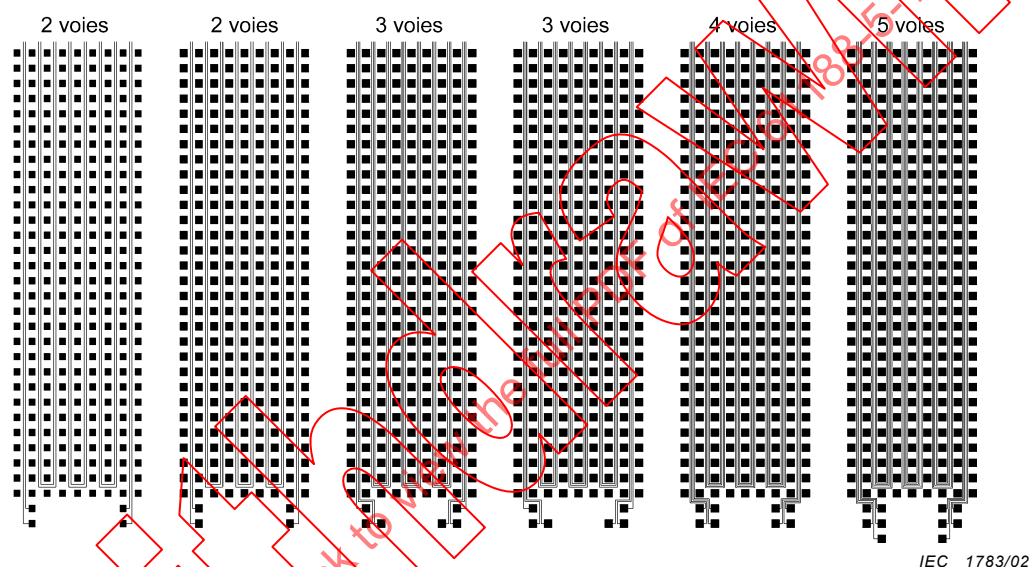


Figure 13 – Trame d'essai de la capacité d'acheminement des conducteurs

4.5.7 Conseils relatifs aux trous de liaison

4.5.7.1 Trous de liaisons percés

Il convient que la taille des trous de liaison soit choisie en fonction de l'épaisseur de la carte par rapport au diamètre du trou ou des limites de facteur de forme définies par son fabricant. Il est en outre possible de ménager des pastilles et des trous réservés aux essais en circuit automatisés. La figure 14 montre les relations entre la zone de report et les trous de liaison.

4.5.6.3 Inner layer conductors

The use of wider conductors and spacing often drives layer counts up because there is less routing channel available between vias. It is for this reason that there is an increased usage of narrower conductors on internal layers. Figure 13 compares the number of routing channels available between lands using the 0,15 mm and 0,125 mm geometries. Since conductor width control is much more difficult to maintain on outer layers of the PB, it is better to keep the narrower geometries on the inner layers of a multilayer printed board. Generally, the option of using narrow geometries is driven by the need to reduce layer counts. Decreasing layer counts may reduce the overall board thickness and improve the aspect ratio for small hole drilling.

NOTE When attempting to reduce board thickness, the risk of unwanted bow and twist before and/or after soldering should be considered (see IEC 61188-1-1).

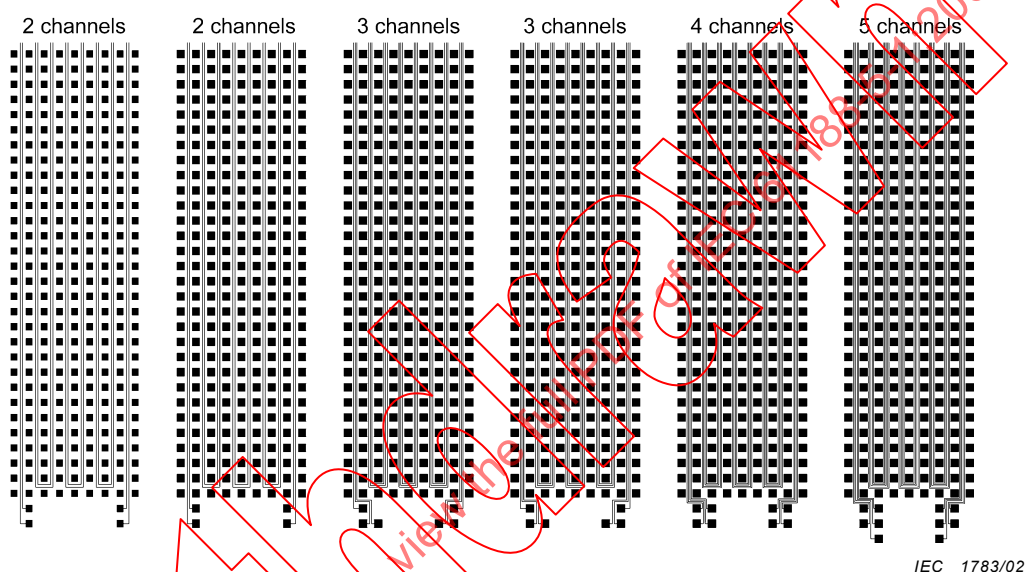
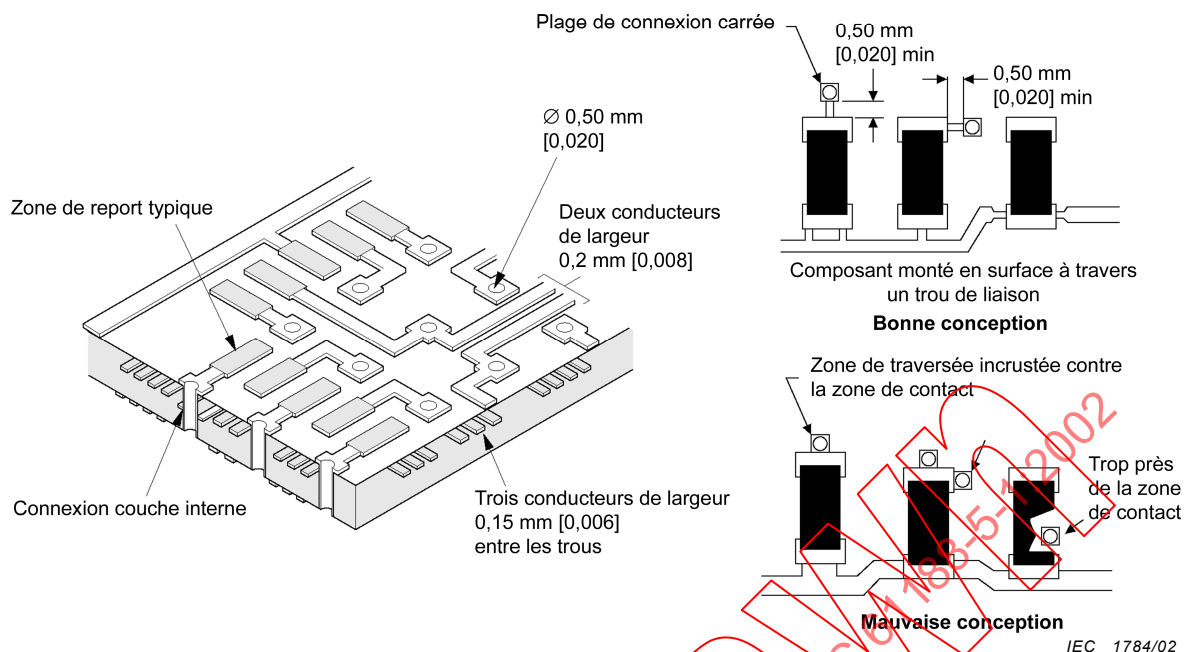


Figure 13 – Conductor routing capability test pattern

4.5.7 Via guidelines

4.5.7.1 Drilled via holes

The size of the via holes should be selected on the basis of the printed board thickness versus the hole diameter or aspect ratio limits as defined by the printed board fabricator. In addition, specific via lands and holes can be accessed for automatic in-circuit test (ICT). Figure 14 shows the land pattern-to-via relationships.

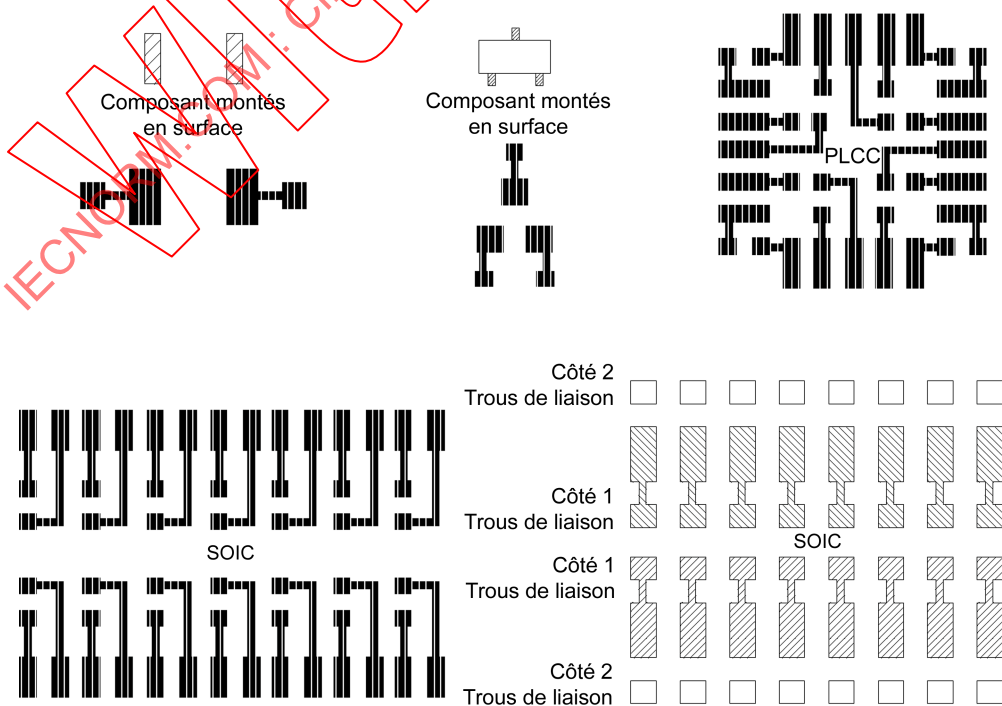


Les dimensions entre crochets sont en inches.

Figure 14 – Relation entre la zone de report et les trous de liaison

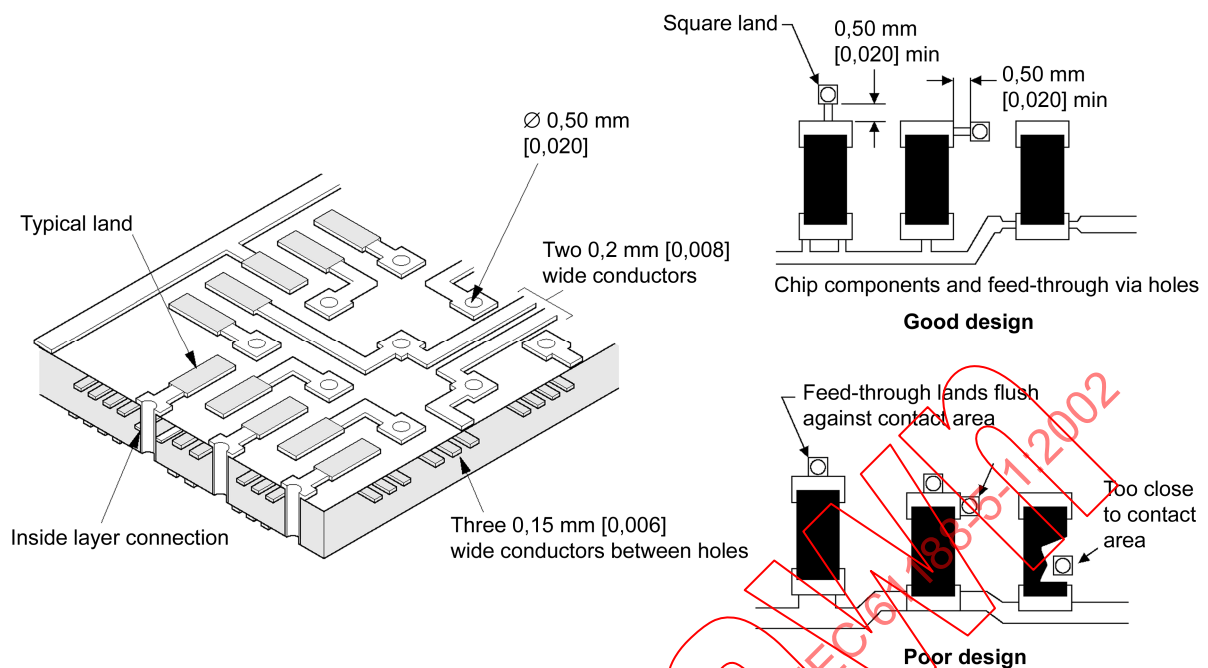
4.5.7.2 Séparation des zones de report des composants et des trous de liaison

Les pastilles des trous de liaison doivent être placées à l'écart des pastilles de composants afin d'éviter, lors de la refusion, une migration de la brasure qui donnerait des cordons de brasure insuffisants sur les composants. On peut limiter la migration en plaçant un conducteur étroit entre la zone de pastilles et le trou de liaison ou l'empêcher au moyen d'un circuit à masque de brasage sur cuivre nu. La relation entre les emplacements des pastilles de montage et des trous de liaison doit tenir compte des passages de conducteurs nécessaires. La figure 15 donne plusieurs exemples de concepts de positionnement des trous de liaison.



IEC 1785/02

Figure 15 – Exemples de concepts de positionnement des trous de liaison



Dimensions in inches are in square brackets.

Figure 14 – Land-pattern-to-via relationship

4.5.7.2 Vias and land pattern separation

Via lands shall be located away from the component lands to prevent solder migration during reflow soldering. This migration will cause insufficient solder fillets on components. The solder migration can be restricted by providing a narrow conductor between the land area and the via or prevented by using the solder mask over bare copper circuitry. The relationship for mounting land and via locations shall consider the conductor routing requirements. Figure 15 provides several examples of via positioning concepts.

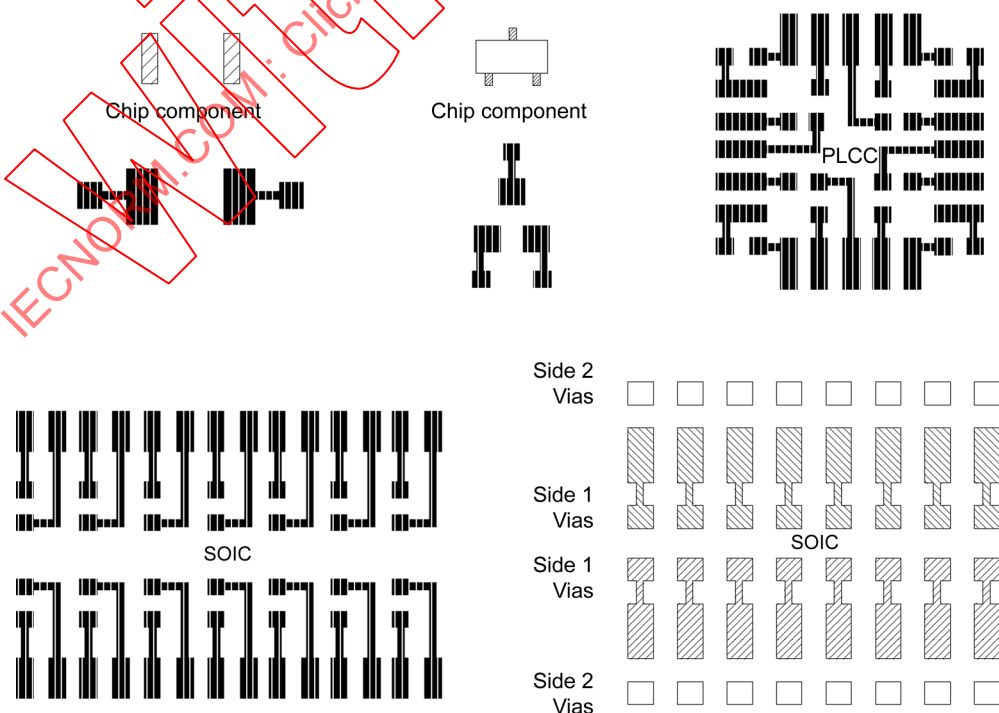


Figure 15 – Examples of via positioning concepts

IEC 1785/02

En spécifiant un masquage par voile ou un remplissage des trous de liaison, on évite la migration de la brasure sur les ensembles soudés par refusion. Ce procédé élimine également les risques de présence de flux restant pris sous les composants et il est vivement recommandé pour obtenir une bonne étanchéité sous vide lors des tests en circuit sur lit de clous. Le voilage est généralement effectué avec un masque de brasage à film sec ou, si les trous de liaison sont très petits, avec un masque liquide.

4.5.7.3 Trous de liaison sous les composants

Si l'ensemble doit être soudé à la vague, il est conseillé d'éviter les trous de liaison situés sous les composants sans interstice du côté primaire, à moins de leur appliquer un voile de masque de brasage pour éviter que le flux ne reste pris sous les composants. Des trous de liaison non voilés peuvent être situés sous les composants montés en surface sans interstice si l'ensemble est soudé par refusion, et non pas à la vague.

4.5.7.4 Trous de liaison comme points d'essai

Les trous de liaison servent à relier les pastilles des composants montés en surface aux couches conductrices et peuvent également servir de cibles d'essai pour les sondes de type lit de clous, ou de ports de reprise. Lorsqu'un trou de liaison sert de point de test, il est impératif de définir l'emplacement et la taille de la pastille d'essai (voir l'article 6).

4.5.8 Réserves de fabrication normales

Tous les ateliers de fabrication appliquent des tolérances ou des réserves de fabrication normales (SFA). Dans pratiquement toute opération d'indexation ou d'alignement existe un risque d'erreur. La fabrication d'une carte imprimée multicouche comprend environ 42 étapes de base, dont plusieurs exigent un positionnement précis. La tolérance varie en fonction de la dimension diagonale maximale et doit être prise en compte dans le calcul de la taille des pastilles. Il est recommandé de demander au fabricant les réserves qu'il applique avant d'entamer la conception. Connaissant cette valeur, le concepteur peut éviter l'accumulation des tolérances, et donc des problèmes de rendement ou de production.

4.5.8.1 Caractéristiques de fabrication

La figure 16 montre les différentes caractéristiques géométriques des conducteurs après gravure. Les plans et les spécifications ne doivent indiquer que la valeur minimale d'espacement des conducteurs, mais les largeurs de ces derniers doivent être définies en fonction des valeurs minimales, alors que les zones de report doivent l'être d'après leurs conditions du maximum de matière (MMC). Des valeurs cibles claires pour les conducteurs et les zones de report facilitent l'obtention de la condition désirée par le fabricant.

Specifying solder-mask tented or filled vias will prevent solder migration on assemblies manufactured with a solder reflow process. Filled or tented vias also take care of potential flux entrapment problems under components and are highly desirable for attaining good vacuum seal during in-circuit bed-of-nails testing. Tenting is typically done with a dry film type of solder mask, or if via holes are very small, may be plugged and tented using liquid maskant.

4.5.7.3 Vias under components

If the assembly is to be wave soldered, via holes underneath zero clearance components on the primary side should be avoided on boards unless vias are tented with solder mask. During wave soldering of the assembly, flux may potentially become trapped under zero clearance devices. Untented via holes may be located underneath zero clearance surface-mount packages in reflow soldered surface-mount assemblies that will not be wave soldered.

4.5.7.4 Vias as test points

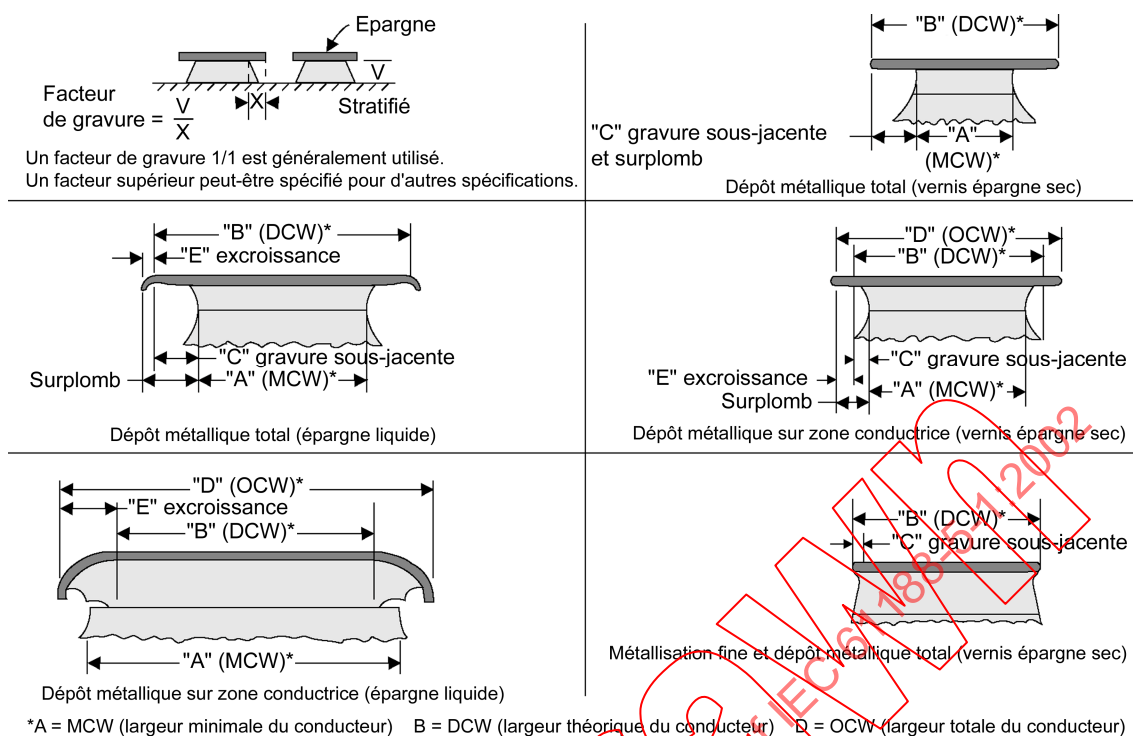
Via holes are used to connect surface-mounted component lands to conductor layers and may also be used as test targets for bed-of-nails type probes and/or rework ports. When a via is used as a test point it is required that the location and size of a test land be defined (see clause 6).

4.5.8 Standard fabrication allowances

Manufacturing tolerances or standard fabrication allowances (SFA) exist in all PB fabrication shops. Virtually every registration or alignment operation that is performed has some potential for misregistration. There are approximately 42 basic steps in fabricating a multilayer PB, several of which involve operations that require precision in location. The tolerance varies according to the printed board maximum diagonal dimension and shall be included in the land size calculations. The fabricator should be consulted prior to beginning a design to determine their SFA. With this SFA value, the designer can proceed accordingly, preventing tolerances from stacking up and creating yield and/or production problems.

4.5.8.1 Manufacturing characteristics

Figure 16 shows the various characteristics of conductor geometry after etching. End-product drawings and specifications shall specify only the minimum for conductor spacing; however, conductor widths shall be defined according to minimum values, where land patterns shall be defined as to their maximum material conditions (MMC). Clear target values for conductors and land patterns will help the manufacturer achieve the desired condition.



IEC 1786/02

Figure 16 – Description des conducteurs

4.5.8.2 Tolérances de largeur et d'espacement des conducteurs

Le tableau 14 représente les tolérances auxquelles on peut s'attendre lors d'un traitement normal (celles propres à un processus devraient être discutées avec le fabricant de la carte). Elles reposent sur une épaisseur de cuivre inférieure ou égale à 36 µm. On peut s'attendre à une variation de largeur supplémentaire avec les épaisseurs supérieures (voir figure 16).

Tableau 14 – Tolérances de largeur des conducteurs

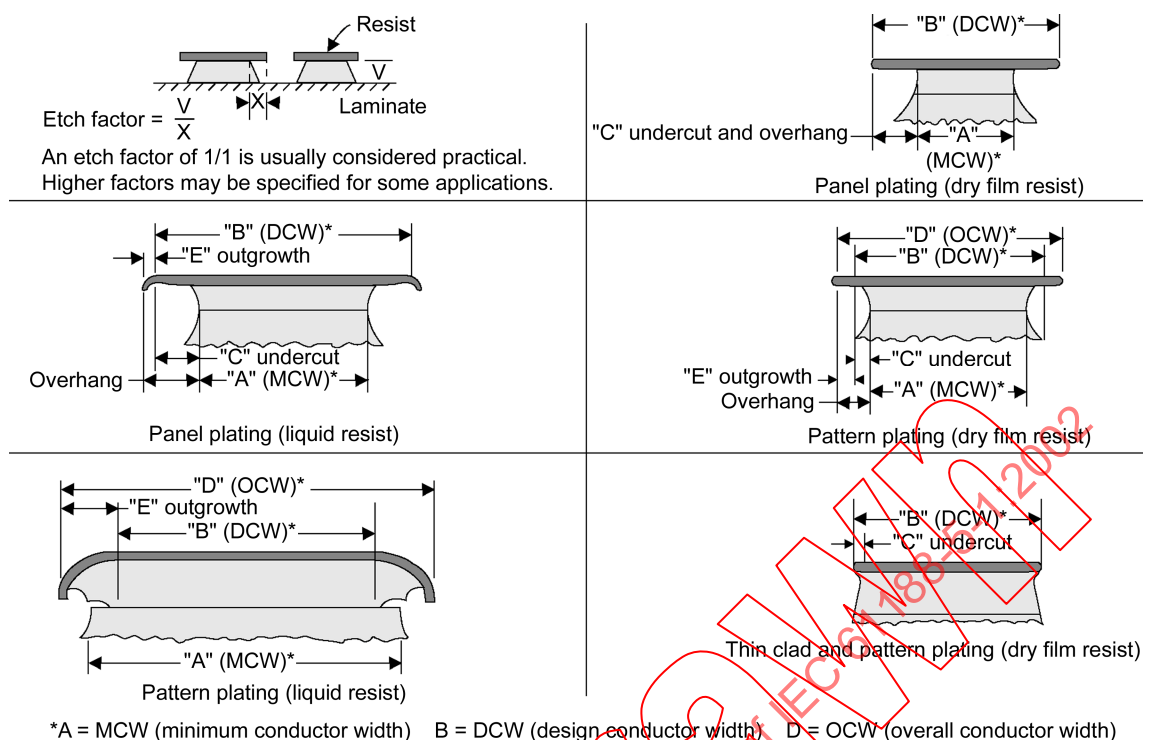
Type	Niveau 1	Niveau 2	Niveau 3
Sans métallisation	+0,05 -0,10	+0,03 -0,05	+0,02 -0,04
Avec métallisation	0,10 -0,10	0,08 -0,08	0,05 -0,05

4.5.8.3 Tolérance de positionnement des impressions conductrices

Le tableau 15 donne la tolérance à appliquer à la dimension nominale choisie pour le positionnement des pastilles, des contacts de connecteurs et des conducteurs par rapport à la référence. Ces tolérances incluent la précision de l'impression originale, le mouvement du matériau, l'indexation des couches et la fixation.

Tableau 15 – Précision de positionnement des éléments

Plus grande dimension de la carte X,Y	Niveau 1	Niveau 2	Niveau 3
Jusqu'à 300 mm	0,30 mm	0,20 mm	0,10 mm
Jusqu'à 450 mm	0,40 mm	0,30 mm	0,20 mm
Jusqu'à 600 mm	0,40 mm	0,30 mm	0,20 mm



IEC 1786/02

Figure 16 – Conductor description

4.5.8.2 Conductor width and spacing tolerances

Table 14 represents process tolerances that can be expected with normal processing. (Specific process tolerances should be discussed with the board manufacturer.) The tolerances are based on copper thickness up to and including 36 μm . For additional copper thickness, a further width variation can be expected (see figure 16).

Table 14 – Conductor width tolerances

Feature	Level 1	Level 2	Level 3
Without plating	+0,05 -0,10	+0,03 -0,05	+0,02 -0,04
With plating	0,10 -0,10	0,08 -0,08	0,05 -0,05

4.5.8.3 Conductive pattern feature location tolerance

Table 15 is for the tolerance to be applied to the nominal dimension chosen for the location of the lands, connector contacts and conductors in relation to the datum reference. These tolerances include master pattern accuracy, material movement, layer registration and fixturing.

Table 15 – Feature location accuracy

Greatest board/ X,Y dimension	Level 1	Level 1	Level 3
Up to 300 mm	0,30 mm	0,20 mm	0,10 mm
Up to 450 mm	0,40 mm	0,30 mm	0,20 mm
Up to 600 mm	0,40 mm	0,30 mm	0,20 mm

4.5.8.4 Anneau circulaire

L'anneau circulaire se définit comme la quantité de pastille restant après perçage d'un trou. Avec les cartes à montage en surface à haute densité de composants, le maintien d'un anneau minimal est devenu l'une des plus grandes difficultés de la fabrication des cartes imprimées multicouches du point de vue des possibilités de production. Une indexation parfaite permet d'obtenir l'anneau maximal tout autour du trou percé.

Par exemple, une pastille de 0,8 mm percée à 0,5 mm donne un anneau de 0,15 mm avec une indexation parfaite. Une erreur d'indexation de 0,15 mm dans un sens quelconque donne un anneau de 0,3 mm d'un côté et rien de l'autre. Si l'erreur d'indexation est supérieure à 0,15 mm, 0,2 mm par exemple, le perçage sort de la pastille. Si ce défaut se présente du côté où le conducteur rejoint la pastille, le trou rompt la liaison, avec pour résultat la mise au rebut de la carte. Etant donné que les conducteurs de signaux passent par les pastilles dans tous les sens, tout décalage du perçage est susceptible de rompre des liaisons de façon aléatoire sur la carte entière.

S'il est difficile de maintenir sous contrôle constant l'anneau circulaire, des méthodes ont été mises au point pour assurer la connectivité entre pastilles et conducteurs. Chacune vise à apporter du cuivre à l'endroit où le conducteur pénètre dans la pastille. Les pastilles à ajout de matériau sont de type goutte d'eau, trou de serrure ou autre, comme le montre la figure 17.

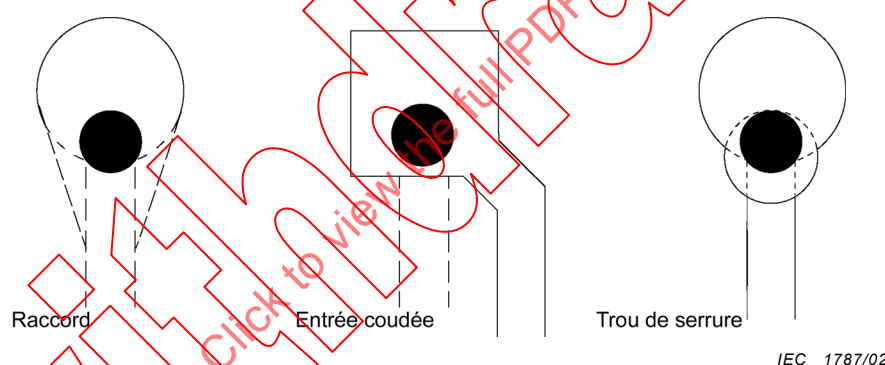


Figure 17 – Exemples de pastilles modifiées

4.5.9 Mise en flan

Un flan peut comprendre plusieurs cartes disposées en une matrice ou une seule carte devant conserver davantage de matériau pour un bon assemblage. La grande carte ou les petites sont fixées sur les flancs et en sont séparées une fois terminées toutes les opérations d'assemblage. Le découpage ou la séparation des cartes individuelles doivent également être planifiés. Différentes méthodes sont employées pour maintenir les cartes sur les flancs, dont les rainures en V et les fentes à pattes cassantes.

Les rainures en V sont généralement ménagées sur les deux faces de la carte, et seulement en ligne droite. Une faible section de matériau de base est conservée à la ligne de rupture. Une réserve d'angle de rainurage doit également être prévue. Les conducteurs trop proches de la rainure risquent d'être découverts ou endommagés et il est nécessaire de poncer légèrement les arêtes brutes pour éliminer les bavures et les particules de tissu rugueux (voir figure 18).

4.5.8.4 Annular ring control

Annular ring is defined as the amount of land that remains after a hole is drilled through it. With high-density SMT designs, maintaining minimum annular requirements has emerged as one of the most difficult parts of multilayer PB fabrication in terms of producibility. Perfect registration will maximize the annular ring all around the drilled hole.

For example, using a 0,8 mm land with a 0,5 mm drill will result in a 0,15 mm annular ring under perfect registration conditions. If misregistration of 0,15 mm occurs in any direction, the result will be a 0,3 mm annular ring on one side of the pad, and no annular ring on the other side. If misregistration is greater than 0,15 mm, i.e., 0,2 mm, then the drill will actually break out of the land. If the breakout is in the direction where the conductor connects to the land, the drill will effectively disconnect the conductor from the land. The net result is a scrapped PB. Since signal conductors intersect the lands from all directions, any breakout has the potential to randomly disconnect conductors all over the PB.

Maintaining consistent annular ring control is difficult, but methods have been developed to insure connectivity between lands and conductors. Each method is intended to provide copper material where the conductor enters the land. The land which has the added material may resemble a teardrop or keyhole or adopt alternate designs as shown in figure 17.

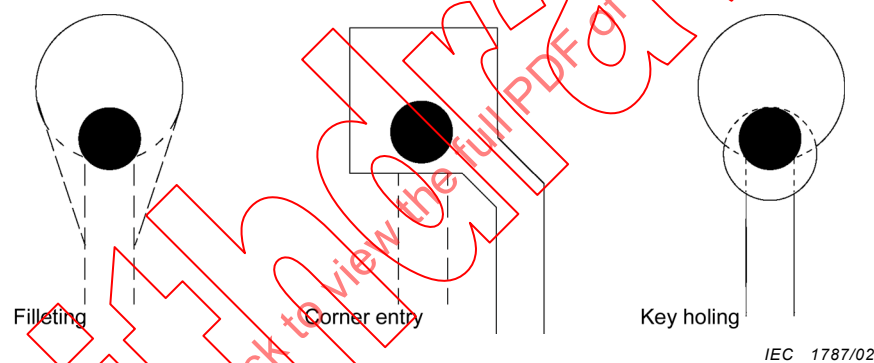
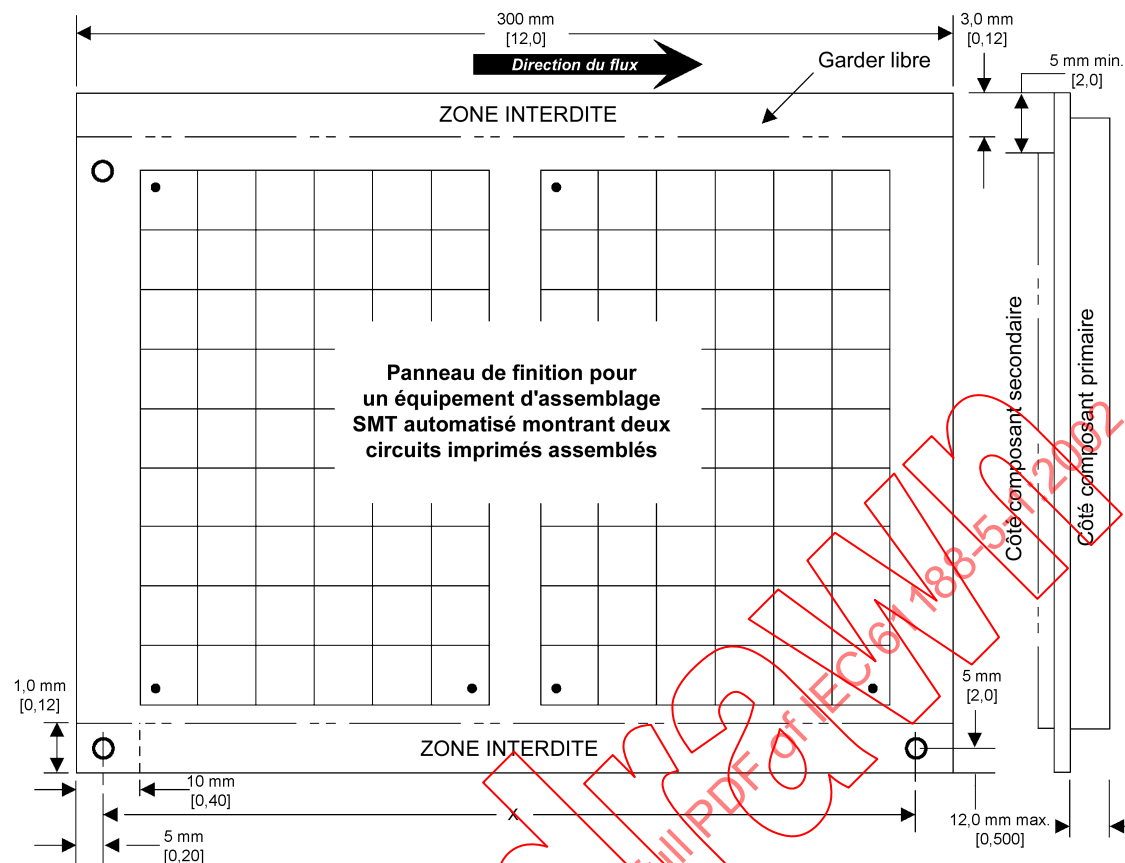


Figure 17 – Examples of modified landscapes

4.5.9 Panelization

Panel construction may include several boards arranged in a matrix or simply one board requiring additional material retained for efficient assembly processing. The large board or several smaller boards are retained in the panels and separated after all assembly processes are completed. Excising or separating the individual boards from the panel shall be planned as well. Several methods are used to retain circuits in a panel, including V-groove scoring and routed slot with break-away tabs.

V-groove scoring is generally provided on both surfaces of the board and only in a straight line. A small cross-section of board material is retained at the break line. An allowance for the scoring angle shall be made as well. Conductors that are located too close to the score groove will be exposed or damaged, and rough edges shall be sanded lightly to remove burrs and rough fabric particles (see figure 18).



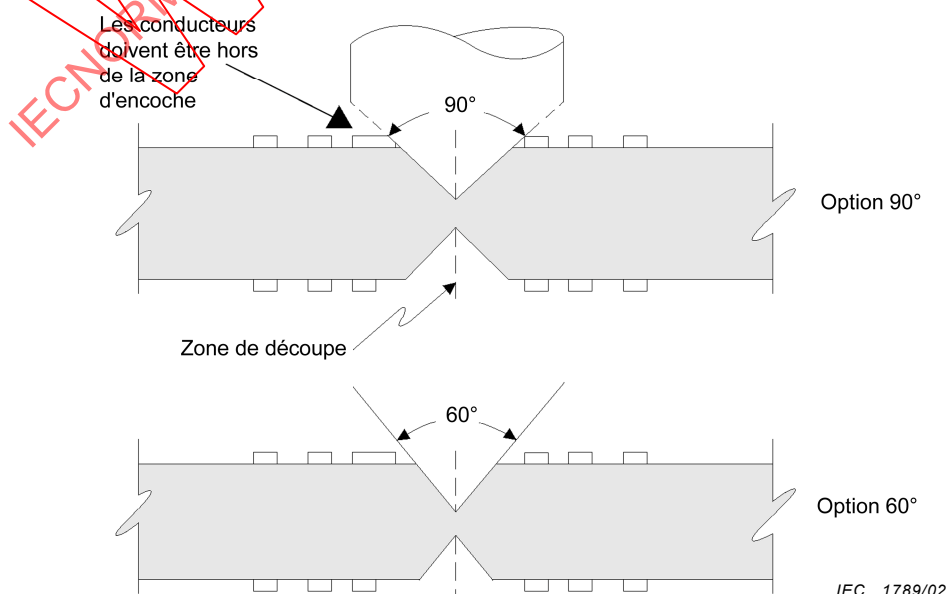
IEC 1788/02

Les dimensions entre crochets sont en inches.

La zone interdite définie dans cette illustration est typique pour un processus d'assemblage utilisant la refusion et la soudure à la vague.

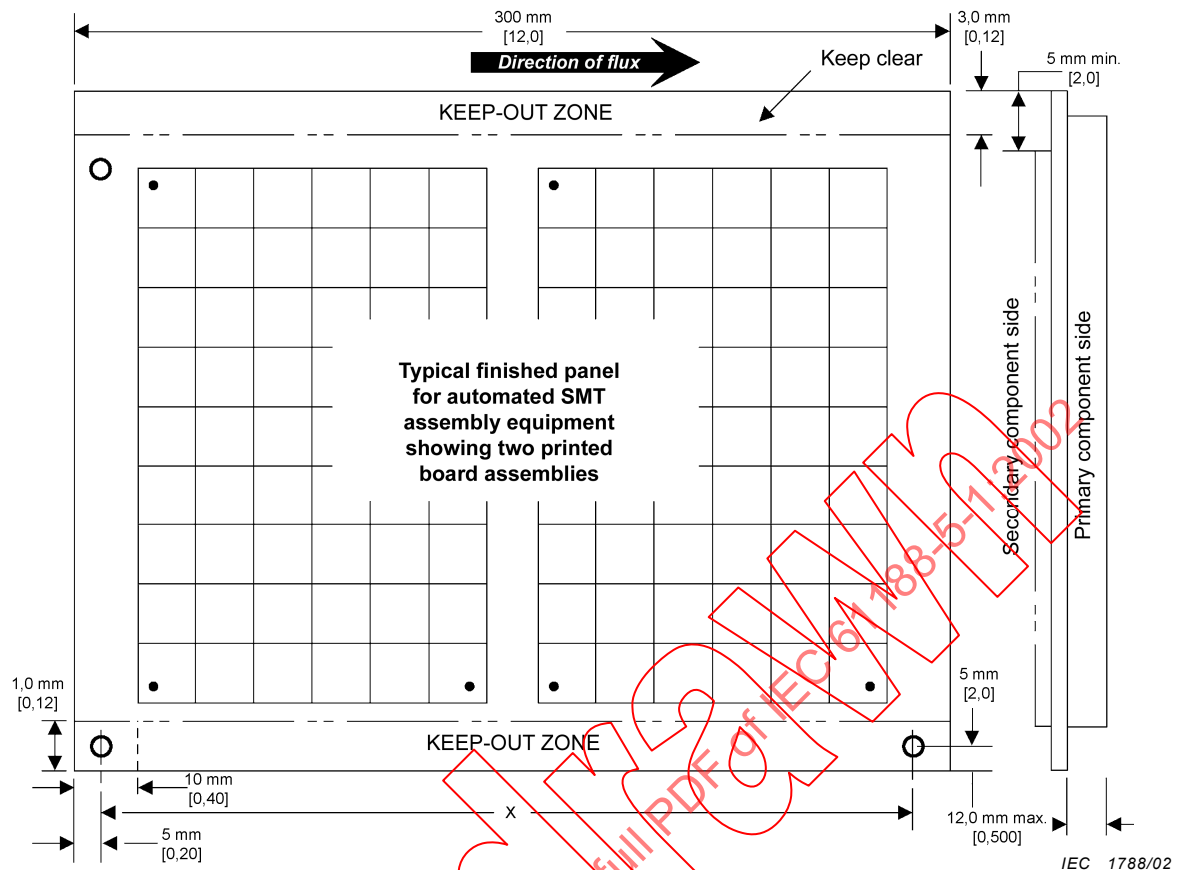
Figure 18 – Flan type en stratifié cuivre-verre

Le système à fente guidée et pattes cassantes est largement employé pour la construction des flans et des extensions à casser. Le tracé est plus précis que le rainurage et les surfaces des bords restent lisses, mais les emplacements des «pattes» doivent être étudiés. Il est possible de couper ces pattes et de les araser par meulage, ou de les pré-percer dans une impression. L'impression percée donne un point de rupture sous faible contrainte sur la patte. En plaçant l'impression de trous en retrait par rapport au bord de la carte, on évite ponçage et meulage (voir les figures 19 et 20).



IEC 1789/02

Figure 19 – Jeu entre conducteurs et rainure pour le rainurage en V



Dimensions in inches are in square brackets.

The keep-out zone defined in this illustration is typical for in-line assembly automation using reflow and wave solder processes.

Figure 18 – Typical copper glass laminate panel

The routed slot and tab pattern is widely used for panel construction and break-away tab extensions. Routing is more precise than scoring, and edge surfaces are smooth, but the break-away tab points will require consideration. Tabs can be cut and ground flush with the board edge or pre-drilled in a pattern. The drilled pattern furnishes a low stress break point on the tab. If the hole pattern is recessed within the board edge, secondary sanding or grinding can be bypassed (see figures 19 and 20).

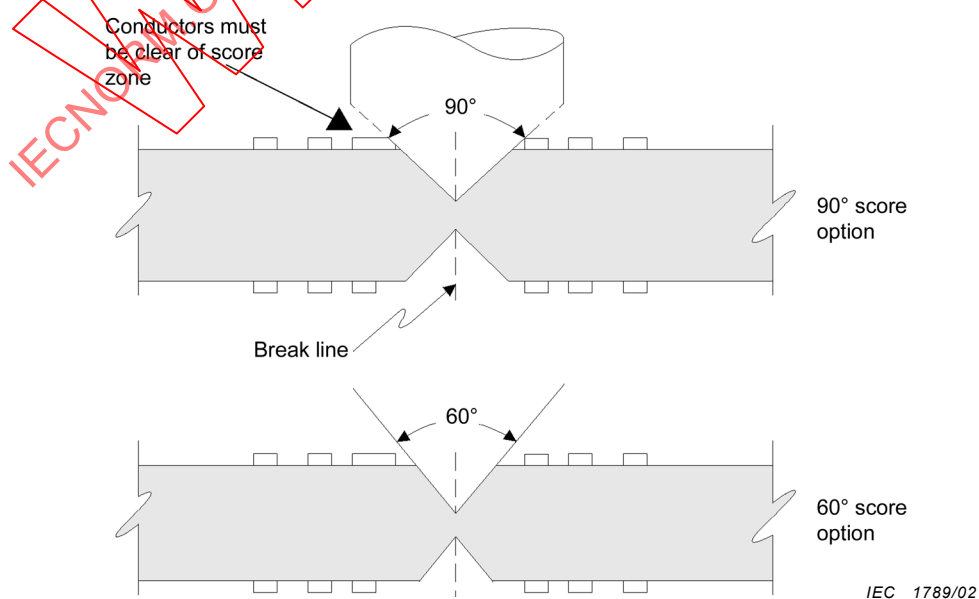


Figure 19 – Conductor clearance for V-groove scoring

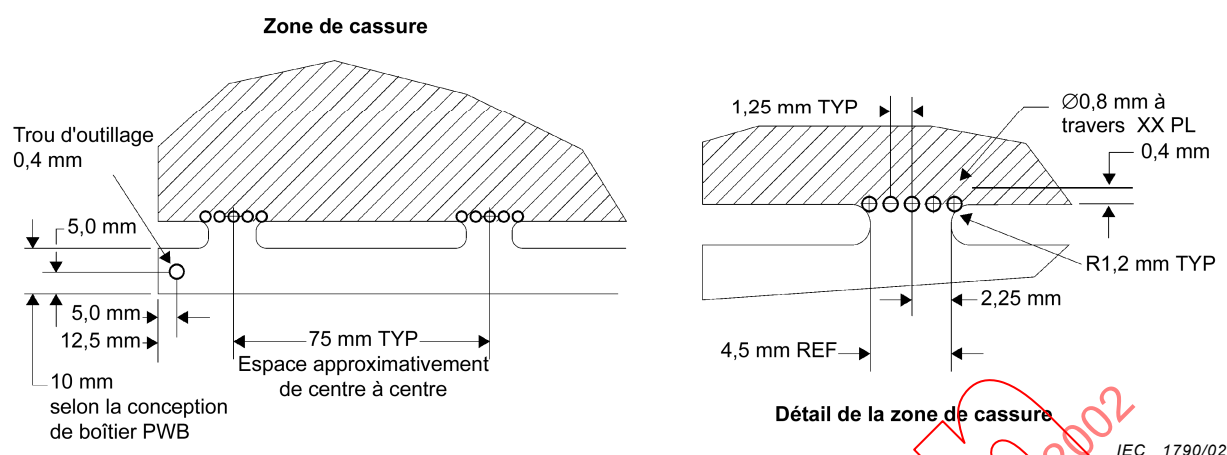


Figure 20 – Système à rupture (impression à fente guidée)

4.5.9.1 Format des flans

Les composants peuvent être montés sur des cartes individuelles ou disposées sous forme de flans. Les cartes ou les flans transportés d'une opération automatisée à l'autre (positionnement des pièces, brasage, nettoyage, etc.) par des équipements de manutention automatiques doivent comporter des zones sans pièces ni circuits actifs. En général une bande de 3 mm à 5 mm de largeur doit être réservée le long des bords, selon le type des équipements de manutention et de pose. Il est recommandé de se procurer ces dimensions auprès du fabricant des équipements de traitement avant de concevoir les cartes ou les flans (voir figure 21).

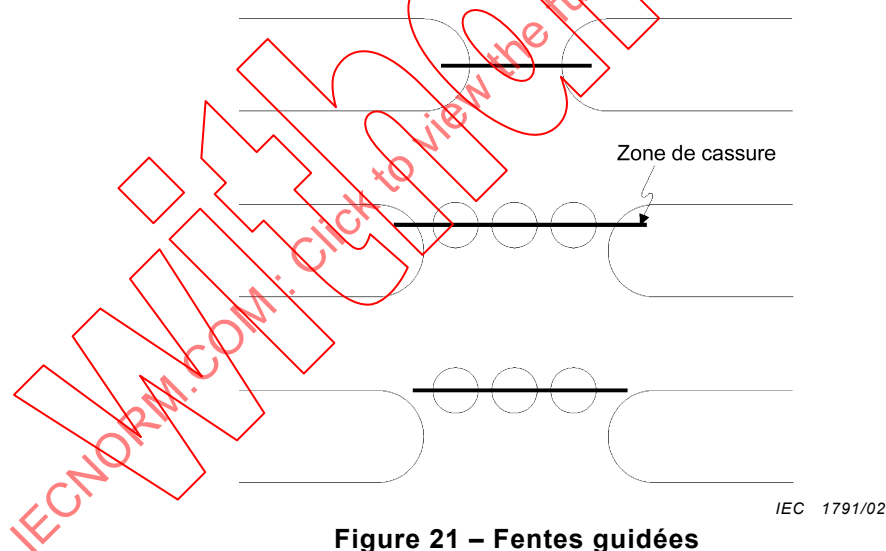


Figure 21 – Fentes guidées

Les zones libres des bords comportent généralement des trous d'outillage et de montage. Ces zones libres sont nécessaires pour éviter toute interférence avec les montages de manutention, les rails de guidage et les outils d'alignement.

Deux trous non métallisés ou plus, situés aux angles de la carte, assurent l'indexation précise sur l'équipement de transfert. On peut également trouver dans les zones libres des trous de manutention (typiquement de 3,2 mm) utilisables par les équipements de manutention automatisée ou pour l'alignement des montages d'essai. Il est recommandé de se procurer auprès du fabricant de l'équipement ou de l'ingénieur processus les dimensions des flans spécifiques.

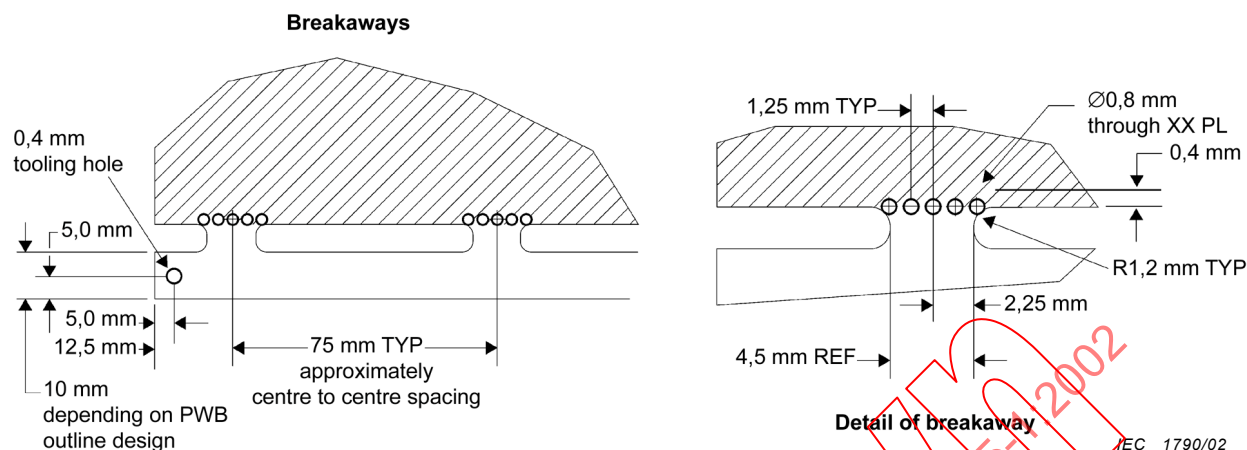


Figure 20 – Breakaway (routed pattern) with routed slots

4.5.9.1 Panel format

Components can be mounted on individual boards or on boards that are organized in a panel form. Boards or panels that will be moved by automatic handling equipment or pass through automated operations (parts placement, soldering, cleaning, etc.) shall have specific areas kept free of parts or active circuitry. Typically, a clear area of 3 mm to 5 mm wide shall be allowed along the sides for the clearance. The required clearance width is dependent upon the design of the board handling and fixturing equipment. These dimensions should be obtained from the process equipment manufacturer before board or panel design (see figure 21).

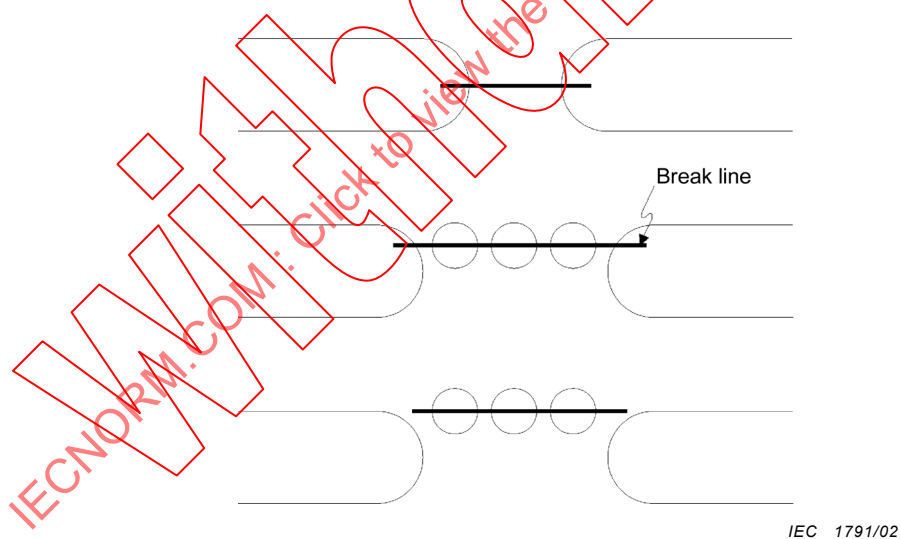


Figure 21 – Routed slots

Special tooling and fixturing holes are generally located within the edge clearance areas. The clearance areas are needed to avoid interference with board handling fixtures, guidance rails and alignment tools.

For accurate fixturing, two or more non-plated holes are located in the corners of the board to provide accurate mechanical registration on board transfer equipment. Board handling holes (typically 3,2 mm) may also be located in the clearance areas. These holes may be used by automated board handling equipment or for test fixture alignment. Specific panel size should be obtained from the equipment manufacturer or process engineer.

4.5.9.2 Taille des cartes et construction des flans

Pour exploiter pleinement la technologie d'automatisation associée aux composants à montage en surface, il convient que le concepteur s'intéresse à la façon dont la carte imprimée ou la structure P&I sera fabriquée, assemblée et testée. En raison des équipements particuliers utilisés, chacun de ces processus exige un montage affectant ou imposant certains aspects de l'agencement de la carte. Les trous d'outillage, la taille des flans, l'orientation des composants et les zones libres (aussi bien autour des composants que des conducteurs) des faces primaire et secondaire de la carte sont tous dépendants des équipements et des processus.

Pour parvenir à un agencement économique par une utilisation optimale du matériau de base, il convient que le concepteur discute avec le fabricant des cartes afin de déterminer la taille optimale des flans. La carte doit, de préférence, être conçue de façon à exploiter la zone utile conseillée par le fabricant. Les petites cartes peuvent être groupées ou emboîtées sur cette même taille de flan afin de simplifier les montages et de limiter les manipulations en cours d'assemblage. La plupart des fabricants sont à même de suggérer différentes méthodes de fixation des ensembles sur les flans. Il est recommandé de choisir une méthode adaptée à la fois à l'assemblage et aux essais.

4.6 Finitions des couches extérieures

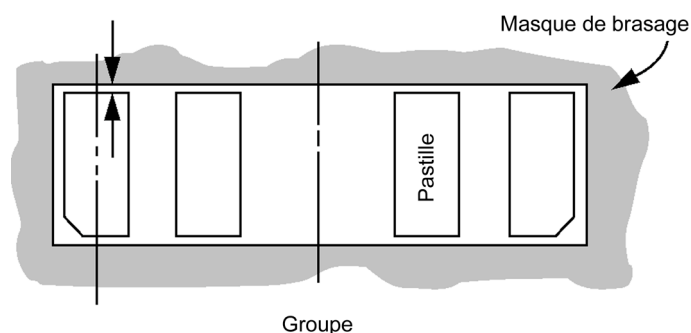
4.6.1 Finitions des masques de brasage

Les revêtements pour masque de brasage sont utilisés pour protéger les circuits sur la carte imprimée et existent sous deux formes, films liquide et sec. Les matériaux polymères de masquage, fournis en différentes épaisseurs, sont appliqués selon différentes méthodes. A titre d'exemple, les produits liquides ont une épaisseur finie de 0,02 à 0,025 mm, tandis que le film sec existe en épaisseurs de 0,08 à 0,10 mm et en une faible épaisseur finie de 0,04 mm. Bien qu'une impression sérigraphique soit possible, un masque de brasage photographique est recommandé pour les applications de montage en surface.

Le processus photographique donne une image précise et un développement correct élimine les résidus de masque de la surface des pastilles. Pour la plupart des ensembles montés en surface, l'épaisseur du masque a peu d'importance, mais dans le cas d'un montage des composants à pas fin (0,63 mm ou moins), le masque de brasage mince donne de meilleures caractéristiques d'impression.

4.6.2 Espacement du masque de brasage

Un masque de brasage peut servir à isoler l'impression d'autres éléments conducteurs de la carte, comme les trous de liaison, les pastilles ou les conducteurs. Si aucun conducteur ne passe entre les pastilles, il est possible d'employer un simple masque de groupe comme celui de la figure 22. Un espacement de 0,38 mm peut être acceptable. Compte tenu de l'étroite proximité entre le masque et la zone de report, il faut choisir un produit de masquage à forte viscosité et faible dégagement de solvants pour éviter toute pollution de la zone de report.



IEC 1792/02

Figure 22 – Fenêtre d'un masque de brasage groupé

4.5.9.2 Board size and panel construction

In order to fully utilize the automation technology associated with surface-mount components, a designer should consider how a printed board or P&I structure will be fabricated, assembled and tested. Each of these processes, because of the particular equipment used, requires fixturing which will affect or dictate certain facets of the board layout. Tooling holes, panel size, component orientation and clearance areas (both component and conductor) on the primary and secondary sides of the board are all equipment and process dependent.

To produce a cost-effective layout through optimum base material utilization, a designer should consult with the board manufacturer to determine optimum panel size. The board should be designed to utilize the manufacturer's suggested usable area. Smaller boards can be ganged or nested on this same panel size to simplify fixturing and reduce excessive handling during assembly. Most manufacturers will suggest various methods of retaining assemblies in panels. A method should be chosen taking the assembly and test processes into consideration.

4.6 Outer layer finishes

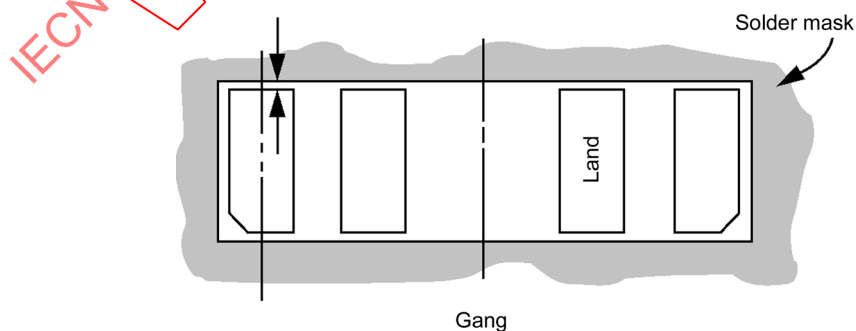
4.6.1 Solder-mask finishes

Solder-mask coatings are used to protect the circuitry on the printed board. Solder-mask coatings are available in two forms, liquid and dry film. The polymer mask material is applied using several process methods and is furnished in varying thicknesses. As an example, liquid materials will have a finished thickness of 0,02 mm to 0,025 mm while the dry film products are supplied for 0,08 mm to 0,10 mm thickness and a low-profile 0,04 mm finished thickness. Although pattern screen printing is available, photo-imaged solder mask is recommended for surface-mount applications.

The photo process provides a precise pattern image and when properly developed eliminates mask residue from land pattern surfaces. The mask thickness may not be a factor on most surface-mount assemblies but when fine-pitch (0,63 mm or less) devices are mounted on the printed boards, the lower profile solder mask will provide better solder printing characteristics.

4.6.2 Solder-mask clearances

A solder mask may be used to isolate the land pattern from other conductive features on the board such as vias, lands or conductors. Where no conductors run between lands, a simple gang mask can be used as shown in figure 22. A 0,38 mm (0,015 in) spacing could be acceptable. Due to the close proximity of the solder mask to the land pattern, care must be taken in choosing a mask material that has low flow and low solvent-bleed characteristics to avoid land pattern contamination.



IEC 1792/02

Figure 22 – Gang solder-mask window

Pour les zones de report sur lesquelles des conducteurs circulent entre les pastilles (figure 22), les tolérances requises imposent normalement un masque de brasage photographique, compte tenu de la tolérance serrée nécessaire pour couvrir les conducteurs sans empiéter sur la zone des pastilles. Généralement les fabricants sont priés de retirer le masque de brasage de la pastille. Les conditions d'espace peuvent varier entre 0,0 mm et 0,1 mm.

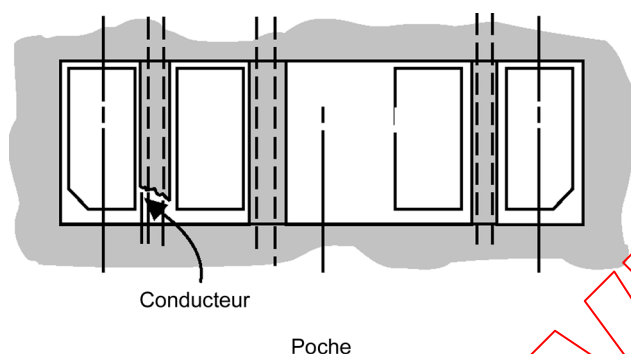


Figure 23 – Fenêtre d'un masque de brasage à poche

4.6.3 Finition des zones de report

Les ouvertures du masque de brasage exposent les zones de report afin de relier les composants de montage en surface. Ceux-ci sont généralement les bases en cuivre et par conséquent nécessitent une protection afin d'éviter l'oxydation du cuivre ; il en résulte une mauvaise brasabilité de la surface des zones de report. La protection des zones de report peut être effectuée par une couche de protection de surface organique (OSP) ou par des finitions métalliques comme une couche de brasure, d'or, d'argent ou de palladium.

Dans plusieurs cas, le choix du revêtement dépend de la préférence de l'assembleur ou du type de composants qui vont être assemblés. Généralement on utilise un seul revêtement pour toute la carte; l'utilisation de revêtement différent ou mélangé est déconseillé, car différentes étapes de processus sont utilisées pour appliquer le revêtement. Cependant cette condition, peut être basée nécessairement sur le mélange des types de composants et de leurs caractéristiques de finition de terminaison ou de sortie.

5 Validation de la qualité et de la fiabilité

5.1 Techniques de validation

Etant donné la diversité des tolérances des composants et la possibilité de variations d'un composant à l'autre, les utilisateurs sont encouragés à valider la géométrie de la zone de report et des composants. Il est en outre recommandé de vérifier les limites de température en fonctionnement de ces derniers. Le diagramme de la figure 24 montre les limites supérieures et inférieures de différents composants.

For land-pattern designs with routed conductors between lands (figure 22), the tolerance requirement would require a photo-imageable solder mask. This is necessary because of the tight tolerance needed to cover the conductors without encroaching on the land area. Usually manufacturers are required to keep the solder-mask material off the land. Clearance conditions can vary from 0,0 mm to 0,1 mm.

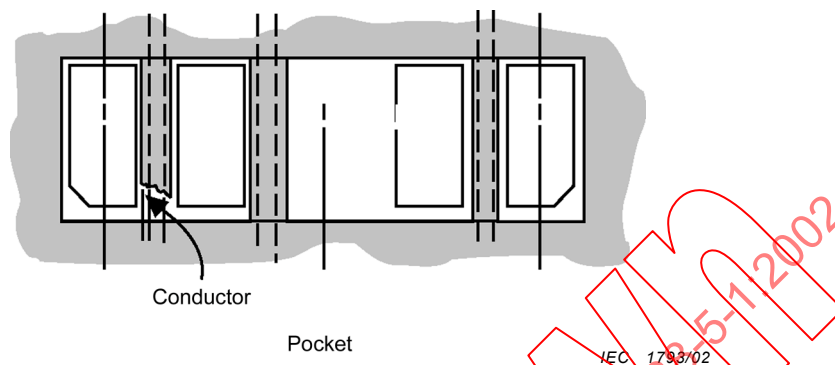


Figure 23 – Pocket solder-mask window

4.6.3 Land-pattern finishes

The solder-mask openings expose the land patterns for attachment of surface-mount components. These are usually copper-based and therefore need protection in order to prevent the copper from oxidizing, thus resulting in poor solderability of the surface land patterns. The protection of the land patterns may be accomplished by organic surface protection (OSP) coatings or metallic finishes such as solder coating, gold, silver, or palladium platings.

The choice of coatings is, in many instances, dependent on the assembler's preference or the type of components being assembled. Usually it is a single coating type that is used for the entire board; different coatings or mixing the coating types is not recommended due to the different process steps required to apply the coatings. This condition, however, may be necessary based on the intermix of component types and their lead or termination finish characteristics.

5 Quality and reliability validation

5.1 Validation techniques

Because of the variety of component tolerances, and the possibility that tolerances may vary on components, users are encouraged to establish validation of the land pattern and component geometry. In addition, components should be checked for their maximum operating temperature limits. Figure 24 shows a chart referencing the upper and lower limits of various components.

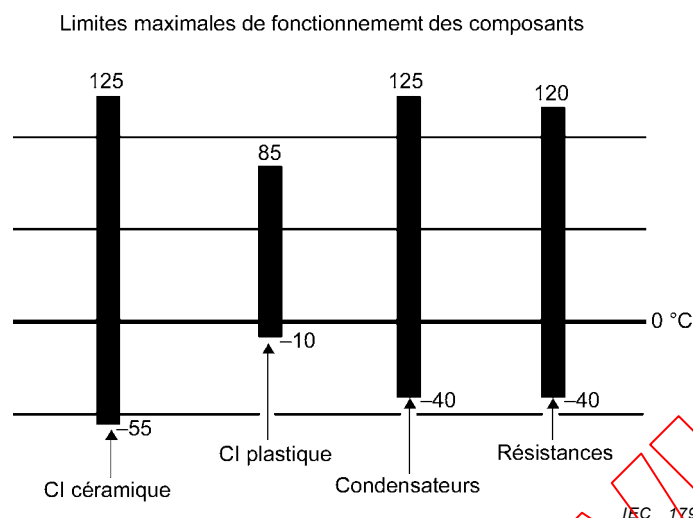


Figure 24 – Limites de température des composants

La validation des pièces et des circuits peut être effectuée au moyen d'impressions d'essai standard. Ces impressions peuvent servir à évaluer non seulement une partie donnée d'une zone de report, mais également les composants devant traverser les différents processus d'assemblage des pièces montées en surface

6 Testabilité

6.1 Les cinq types d'essai

Les cartes à montage en surface peuvent être soumises à cinq types fondamentaux d'essais.

- Essai de la carte nue: vérification des courts-circuits et des circuits ouverts sur la carte sans composants.
- Analyse des défauts de fabrication: vérification de la carte avec composants, à la recherche de courts-circuits dus au brasage.
- Essai en circuit: vérification fonctionnelle de chaque composant individuel.
- Essai fonctionnel: vérification d'un bloc fonctionnel de circuits.
- Essai en combinaison: intégration limitée des essais en circuit et fonctionnels.

Le premier type d'essai est effectué sur la carte nue par son fabricant. Les quatre autres portent sur la carte assemblée. L'essai de la carte nue devrait être obligatoire, tandis que la carte équipée peut être essayée par une combinaison quelconque des quatre derniers essais.

6.1.1 Essai de la carte nue

Le taux de défauts et les méthodes d'essai choisis sont les principaux facteurs déterminant le coût global des essais effectués sur une carte imprimée selon la technologie des trous traversants. Les considérations physiques (notamment le pourcentage de nœuds accessibles aux sondes d'essai en lit de clous) ne sont pas préoccupantes, dans la mesure où les trous donnent un accès à 100 % aux nœuds, mais dans le cas du montage en surface, elles ont, outre le taux de défauts, une incidence sur le coût des essais, puisque l'accès aux nœuds détermine les méthodes d'essai possibles et efficaces.

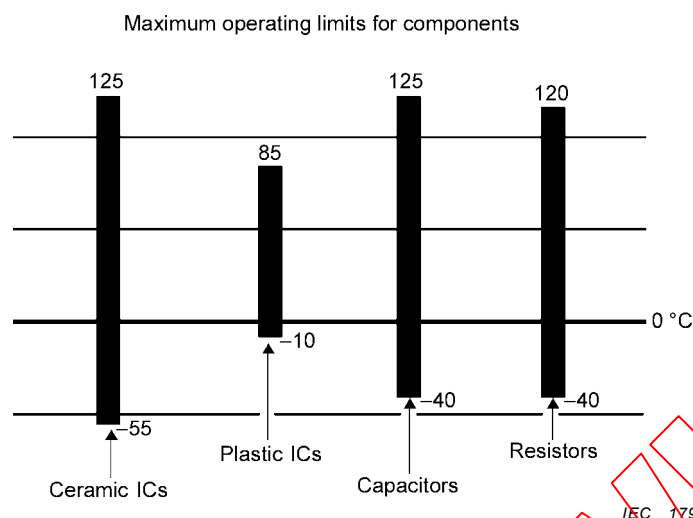


Figure 24 – Component temperature limits

Validations of parts and circuits may be accomplished through the use of standard test patterns. These patterns may be used not only to evaluate a particular part to a land pattern, but may also be used to evaluate component products that must go through the various processes being used in assembling surface mounted parts

6 Testability

6.1 Five types of testing

There are five basic types of tests which can be performed on SMT boards.

- A bare-board test which checks the unpopulated board for shorts and opens.
- A manufacturing defect analysis which checks the populated board for soldering shorts.
- An in-circuit test operational verification of each individual component.
- A functional test operational verification of functional block of circuits.
- A combinational test limited integration of in-circuit and functional test.

The first test type is a bare-board test which is performed by the board fabricator. The remaining four test types are loaded on assembled board tests which are performed after assembly. The bare-board test should be mandatory, while the loaded board may be tested using any combination of the four loaded board tests.

6.1.1 Bare-board test

In testing printed boards using through-hole technology, the defect rate and the test methods chosen are the principal determiners of overall test cost. Real-estate considerations (specifically the percentage of nodes that are available for bed-of-nails probing) are not a concern, since the holes provide 100 % nodal access. In testing surface-mount boards, however, real-estate considerations (in addition to defect rates) have an impact on test costs, since nodal access determines which test methods are possible and effective.

6.1.2 Essai sur la carte assemblée

La méthode d'essai doit être déterminée avant la conception de la carte. Si le taux de défauts est relativement élevé, la plupart des cartes seront diagnostiquées et les critères économiques des essais automatiques en circuit imposeront un agencement permettant un accès total aux nœuds. Si le taux de défauts est faible, on peut se passer des essais automatiques et se fier aux seuls essais fonctionnels. Des taux de défauts extrêmement faibles doivent théoriquement permettre un accès de 0 % aux nœuds (sans aucun lit de clous) par simple application d'un essai bon/mauvais par le connecteur d'extrémité, avec mise au rebut des ensembles défectueux, et non pas diagnostic.

Les principales considérations déterminant l'accès aux nœuds sont les suivantes:

- a) taux de défauts;
- b) possibilités de diagnostic;
- c) impact physique;
- d) surface de la carte;
- e) nombre de couches;
- f) impact financier.

Pour déterminer le pourcentage d'accès aux nœuds à inclure dans l'agencement d'une carte, un compromis est nécessaire entre les autres points précédemment exposés: taux de défauts, coût de mise au point et de mise en œuvre des essais, y compris recherche manuelle et, bien entendu, impact physique. A moins d'une absence totale de défauts, le plein accès aux nœuds reste préférable.

En ce qui concerne les cartes de technologie à trous traversants, une fois la carte conçue (accès aux nœuds fixé) et les essais mis au point (méthodes d'essai fixées), le taux de défauts devient l'élément essentiel de la réduction des coûts des essais. La consignation, l'analyse et la correction/prévention des défauts sont par conséquent impératives. Une étroite coopération avec les fournisseurs pourra être nécessaire pour réduire les problèmes au niveau composants et carte, ainsi que des actions internes pour réduire les problèmes liés au processus.

6.2 Accès aux nœuds

Dans les premières phases des cycles de développement d'un produit, les philosophies et les stratégies sont souvent mal définies. C'est notamment le cas lorsqu'une entreprise passe d'un niveau d'intégration au niveau immédiatement supérieur, par exemple de la technologie des trous traversants à celle du montage en surface. Pendant ces périodes de transition, l'approche par études concourantes est indispensable dans la conception de l'accès aux nœuds définissant les possibilités de test du produit. Elle est le principal véhicule par lequel les possibilités de test peuvent et doivent de préférence être abordées dès le début de la conception, et être traitées comme prioritaires. Dès les premiers stades des études, il convient de définir clairement une philosophie d'essai, puis de mettre au point une stratégie d'application. La philosophie idéale identifie l'ensemble des types d'essais et le niveau requis pour chacun.

6.2.1 Philosophie d'essai

Il convient que la philosophie d'essai adoptée soit rédigée et englobe toutes les combinaisons d'essais nécessaires au produit. On peut ensuite définir une stratégie simple de mise en œuvre avant d'entamer les études. Le fait de planifier les possibilités d'essai avant le développement d'un produit plutôt qu'après peut réduire de façon considérable le coût des essais par nœud et assurer un meilleur accès aux nœuds sur tout le cycle allant de la conception initiale aux derniers essais.

6.1.2 Assembled board test

The method of test shall be determined prior to design layout. If the defect rate is relatively high, most boards will require diagnosis, and the economics of automatic in-circuit test (ICT) will demand that full nodal access be provided within in the board layout. If the defect rate is low, ICT may be omitted and rely on a functional test. Extremely low defect levels would theoretically allow 0 % nodal access (no bed-of-nails test at all), applying only a simple pass/no-pass test through the edge connector, and throw away failing assemblies rather than diagnose them.

The major considerations in determining nodal access are as follows:

- a) defect rate;
- b) diagnostic capability;
- c) real-estate impact;
- d) board area;
- e) layer count;
- f) cost impact.

Determining the percentage of nodal access to design into a board layout requires trading off all the issues discussed previously: defect rate, test development cost, test operation costs including manual troubleshooting costs, and, of course, impacts on real estate. Short of having no defects at all, full nodal access remains the most desirable option.

As with through-hole technology boards, once the board is designed (nodal access fixed) and its tests are designed (test methods fixed), the defect rate becomes the primary key to reducing test costs. Therefore, defect reporting, analysis, and correction/prevention are imperative. This may involve closer supplier relationships to reduce component and board level problems, and in-house action to reduce process-induced problems.

6.2 Nodal access

In the early stages of product development cycles, test philosophies and strategies are often undefined. This is especially true when a company is moving from one level of packaging technology to the next higher level of packaging technology, for example, from through-hole technology to surface-mount technology. During these transition periods, the concurrent engineering approach is essential for designing nodal access for testability into the product. Concurrent engineering is the principle vehicle by which test priorities can and should be moved up to the beginning of the design cycle and addressed with a higher priority. In the early stages of a design, a test philosophy should be clearly defined, then a strategy for executing the tests can be implemented. An ideal philosophy to adopt is one that identifies all of the different test types and the level of test that each type requires.

6.2.1 Test philosophy

The test philosophy should be written to encompass whatever combination of tests are necessary for the product. Then, a simple strategy for implementing the required tests can be defined prior to beginning the design process. Planning testability at the beginning of a product development cycle instead of the end can result in significantly lower test costs per node and provide higher nodal accessibility throughout the entire process from initial design to final test.

La meilleure philosophie d'essai est celle qui prévoit la possibilité d'appliquer toutes les méthodes possibles. Même si la procédure d'essai est bien définie dès le début des études, elle risque de changer une fois celles-ci terminées.

- a) Disposition stratégique de tous les trous de liaison des composants
- b) Prévoir l'accès à chaque nœud de chaque réseau
- c) Prévoir l'accès à chaque nœud par les deux faces de la carte
- d) Corriger les géométries et les espacements des pastilles d'essai
- e) Ne pas sonder directement par les pastilles des composants

Même sur les cartes les plus denses, il est possible de réaliser un accès de 100 % aux nœuds par les deux côtés. Cette décision doit toutefois être prise avant le début des études.

6.2.2 Stratégie d'essai pour les cartes nues

Une fois établie la philosophie d'essai du produit, il est possible d'en définir la stratégie. Il convient d'envisager d'inclure à la procédure les éléments suivants.

- a) Inspection optique des couches intérieures par AOI
- b) Inspection optique des connexions de pastilles et de trous de liaison des couches extérieures
- c) Sondage des seuls trous de liaison par l'une ou l'autre face pour tester la carte nue
- d) Protection des pastilles contre les dommages occasionnés par les pointes de sonde
- e) Sondage des trous de liaison de la face secondaire pour tester la carte équipée
- f) Masquage à la pâte des trous de liaison pour rendre la carte étanche à l'air.

La stratégie réellement adoptée doit être organisée par tous les membres de l'équipe d'étude qui participeront aux essais. On s'assurera que les procédures mises sur pied ne comportent ni redondance excessive ni lacunes susceptibles d'en compromettre l'efficacité.

6.3 Accès total aux nœuds de la carte assemblée

Le nombre de sondes nécessaires pour tester la carte est égal au nombre total des nœuds et des connexions communes entre les composants. Avec les cartes à montage en surface les plus denses, il est souvent nécessaire d'employer des montages à double face ou en coquille, étant donné que tous les nœuds ne sont pas accessibles par une seule face.

Pour l'ICT il suffit d'accéder à un seul nœud par réseau. Chaque réseau a au moins deux nœuds. Certains en ont un grand nombre. C'est le cas, par exemple des cartes mémoire, sur lesquelles un même réseau peut être relié à de nombreux nœuds. L'accès à un seul nœud par réseau étant suffisant pour assurer l'intégrité au niveau de l'ICT, le nombre de sondes nécessaire est nettement inférieur à celui des essais de la carte nue.

Le choix de concepts à base de grille donnant accès à 100 % aux nœuds par l'une ou l'autre face peut s'avérer l'approche la plus économique du point de vue du processus dans son ensemble. Si l'on emploie le concept des pastilles d'essai à base de grille, les montages d'essai des cartes nues et assemblées resteront utilisables au fil des révisions ultérieures des connexions de la carte pourvu que les nœuds de test ne soient pas modifiés. En outre, si la carte comporte des trous de liaison enterrés, ce concept peut donner accès aux réseaux enterrés par leurs extrémités, une possibilité avantageuse lors des essais de la carte nue.

The best test philosophy to adopt is one that will make provision for executing every test method available. Even if the product testing procedure is well defined at the beginning of the development cycle, it may change after the design is complete.

- a) Strategic placement of all component vias
- b) Provide access to every node of every net
- c) Provide access to every node from both sides of the board
- d) Correct test pad geometries and clearances
- e) Do not probe directly to SMT component lands

Even in the most dense designs, the philosophy of providing 100 % access to every node of every net from either side of the board can be accomplished. However, this decision shall be made at the beginning of a design.

6.2.2 Test strategy for bare boards

After the product test philosophy has been established, a test strategy or procedure can be defined. For an overview of several elements of a procedure, the following should be considered.

- a) Vision inspection of inner layers using AOI
- b) Vision inspection of O/L land/via connections
- c) Probe only vias on either side for bare-board test
- d) Do not damage SMT lands with probe tips
- e) Probe secondary side vias for loaded test board
- f) Screen paste on vias for airtight board.

The actual product test strategy shall be organized by all of the concurrent engineering team members who will be involved in the testing process. This will ensure that the integration of the various test types and procedures will not have too much redundancy, or create gaps which may endanger test integrity.

6.3 Full nodal access for assembled board

The number of test probes needed to test the board is equal to the total number of device nodes or common connection between devices. However, in the case of most dense surface mount designs, this often requires the use of a double-sided, or clamshell test fixture because all of the nodes are not accessible from one side of the board.

The ICT only needs to have access to one node per net. Every net has at least two nodes. Some nets have many nodes; for example, on memory boards one net may be connected to many nodes. In order to achieve full integrity at the ICT level, access to only one node of each net is all that is required. Therefore, the total number of test probes required to perform the ICT is significantly less than the number required for the bareboard test.

The use of design concepts with grid-based 100 % nodal access from either side of the board may be the most economical approach from the total process perspective. If the grid-based test land concept is used, the test fixtures for bare and assembled board tests will not become obsolete through later board connectivity revisions if the test nodes are not moved. Also, if the printed board uses buried vias, the grid-based test land concept with 100 % nodal access may provide access to buried nets from the ends of the nets, this is a benefit realized during the bare-board test.

Pour les composants à pas fin, il est de bonne pratique de répartir la moitié environ des trous de liaison à l'intérieur de la zone de report et l'autre moitié à l'extérieur, de la façon représentée sur la figure 25. Ceci répond à deux objectifs:

- a) la densité maximale établie de points d'essai n'est pas dépassée;
- b) la plus large répartition des points d'essai limite les zones de forte pression provoquant une flexion de la carte lors de la manutention par les organes à dépression ou mécaniques.

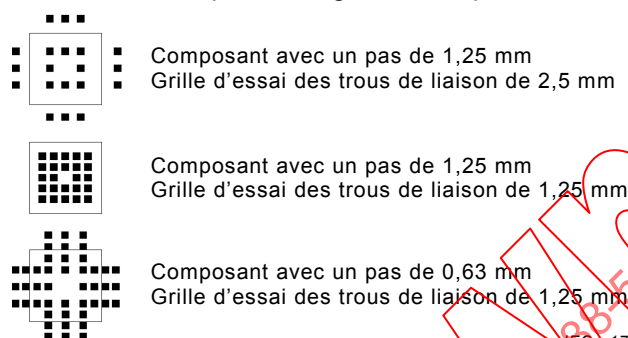


Figure 25 – Concept de grille de trous de liaison d'essai

6.3.1 Préparation des essais en circuit

On peut prévoir des pastilles et des trous de liaison spécifiques pour les essais automatiques en circuit. La pastille d'essai de chaque réseau commun d'un circuit est mise en correspondance avec un contact de sonde du montage d'essai; et le système peut alors activer chaque composant et déceler ainsi rapidement les composants défectueux et les problèmes d'assemblage.

Pour assurer un alignement précis des broches de la sonde sur la carte imprimée, le concepteur du montage doit prévoir un système de positionnement précis et des réseaux spécifiques. L'identification des emplacements d'essai comme composants dans la base de données de CAO facilitera le transfert des données de perçage des montages. Ces données permettront de réduire le temps de développement des montages et d'éliminer les perçages inutiles.

6.3.2 Essais avec multi-sondes

Certains systèmes d'essais avec multi-sondes peuvent exercer des forces de déformation considérables sur les cartes assemblées et sont une source connue de défaillances prématurées. Une partie essentielle de la conception des circuits imprimés est de s'assurer que les points d'essais de la carte sont situés à des distances suffisantes pour éviter une déformation excessive pendant les essais avec multi-sondes. Quand les points d'essais sont trop groupés, des supports supplémentaires peuvent être nécessaires lors de la conception de la fixation afin de contrer l'effet de grande concentration de pression de sonde. Il convient que la zone de la carte où le support est nécessaire soit localisée là où il n'y a ni conducteurs ni composants.

6.4 Accès limité aux nœuds

Un accès limité (inférieur à 100 %) aux nœuds permet quand même d'utiliser la sonde à ressorts ATE (lit de clous), mais de façon moins efficace que l'accès total. Dès que l'accès devient inférieur à 100 %, il n'est plus possible de tester complètement les courts-circuits, les défauts et les fonctionnalités, et les défauts présents survivront aux essais ultérieurs complexes. Lors de l'essai fonctionnel au lit de clous, les opérations de sondage manuel seront plus nombreuses puisque (1) tous les courts-circuits, défauts de fabrication et pannes de circuit n'auront pas été décelés auparavant, et (2) moins de nœuds internes sont visibles par l'intermédiaire du montage.

For fine-pitch components, it is good design practice to distribute approximately half of the test vias to the inside of the land pattern and the other half to the outside of the land pattern as shown in figure 25. This accomplishes two objectives:

- the maximum density of test points per established is not exceeded;
- wider distribution of test points reduces the high-pressure point areas which cause fixture bowing during vacuum or mechanical actuation.

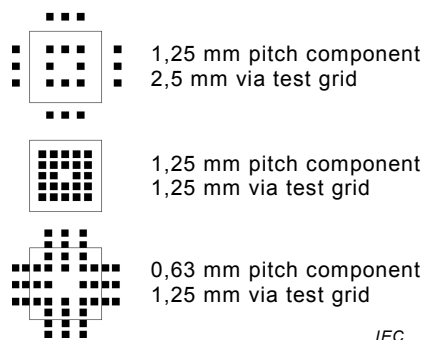


Figure 25 – Test via grid concepts

6.3.1 In-circuit test accommodation

Specific via lands and holes can be accessed for automatic in-circuit test (ICT). The via land location for each common network in a circuit is matched to a test probe contact in the test fixture. The test system can then drive each device on the assembly and quickly locate defective devices or identify assembly process problems.

To insure precise alignment of the probe contact pins with the printed board, exact probe position and specific networks shall be furnished to the fixture developer. Identifying the test locations as components in the CAD data base will allow for easy transfer of fixture drilling data. This data will reduce fixture development time and eliminate the drilling of excessive, non-functional holes in the fixture base.

6.3.2 Multi-probe testing

Some test probe systems can exert considerable deformation forces on the assembled boards and are a known source of premature service failures. An essential part of the printed board layout is to ensure that the location of probing points on the board are staggered at sufficient distances to avoid excessive deformation during multi-probe testing. When the probe point locations are highly clustered, additional support may be needed in the test fixture design in order to counter the effect against the high probe pressure concentration. The area on the board where the support is to be provided should be located where it is clear of conductors and components.

6.4 Limited nodal access

Limited nodal access (less than 100 %) still allows the use of ATE spring probe (bed-of-nails) testing, but not as effectively as full nodal access does. As soon as nodal access goes below 100 %, shorts, defects and in-circuit testing cannot be performed completely, and so some of these faults will survive to complicate later testing. At bed-of-nails functional test, there will be increased manual probing, because (1) not all shorts, manufacturing defects, and I/C failures were detected earlier, and (2) fewer internal nodes are visible through the fixture.

On grève donc les essais fonctionnels ou de système en leur ajoutant la détection des défauts physiques. La tâche s'accroît en proportion inverse du pourcentage d'accès aux nœuds. Ce surcroît de travail dans les essais fonctionnels se traduit soit par des frais de main-d'œuvre supplémentaires et récurrents pour le diagnostic des cartes défectueuses, soit par l'obligation d'élaborer un essai fonctionnel plus détaillé que prévu (coût non récurrent).

6.5 Aucun accès aux nœuds

L'absence d'accès aux nœuds (0 %) interdit tout essai au lit de clous et diffère la détection des défauts et l'essai des composants jusqu'aux essais fonctionnels ou du système. Cette solution n'est économiquement justifiée que dans les cas où les réparations sont si peu fréquentes que leur coût reste inférieur à celui du développement d'un essai au lit de clous. En d'autres mots, le taux de reprise doit être extrêmement faible pour justifier cette approche.

6.6 Impact des montages d'essai en coquille

Un montage de type coquille est nécessaire pour tester les cartes imprimées par les deux faces. Ces montages sont coûteux et longs à réaliser et ils imposent des pastilles d'essai plus grandes sur la face primaire afin d'éviter les problèmes d'indexation dus à l'accumulation des tolérances. Ils sont également plus difficiles à entretenir.

6.7 Caractéristiques d'essai des cartes imprimées

6.7.1 Espacement des zones de report d'essai

La conception des possibilités d'essai fait tout autant partie de la conception schématique que de l'agencement de la carte. Dans l'idéal, 100 % des nœuds devraient être représentés sur la face secondaire. Les testeurs en circuit doivent pouvoir accéder à au moins un nœud par réseau. On peut par contre choisir l'espacement des sondes, qui est habituellement de 2,0 mm à 2,5 mm. Les sondes du milieu peuvent être plus rapprochées, de 1,0 mm à 1,25 mm.

Les pastilles d'essai à grille de 1,0 mm à 1,25 mm présentent les inconvénients suivants: les sondes à ressort sont plus coûteuses et moins résistantes dans la production en grande série. De plus, les trous de liaison servant de points d'essai devraient être remplis à la brasure pour améliorer le contact et prolonger la durée de vie des sondes.

6.7.2 Taille et forme des pastilles d'essai

Le diamètre des pastilles ou des trous de liaison doit être de 0,9 mm à 1,0 mm pour permettre le sondage. À mesure que cette dimension diminue, le taux de ratés augmente de façon spectaculaire, comme le montre la figure 26. Les pastilles carrées peuvent offrir à la sonde une plus grande surface de contact.

A greater burden is therefore placed on functional or system test to detect and diagnose shorts, defects, and bad devices. This burden varies inversely with the nodal access percentage. The extra effort at functional test may consist of additional recurring manpower cost to diagnose failing boards, or it may mean developing a more detailed functional test (non-recurring cost) than would have been planned otherwise.

6.5 No nodal access

No nodal access (0 %) prohibits bed-of-nails testing and defers all assembly defects and component testing until the functional or system test bed. This can only be cost-justified if the much higher cost-per-defect repair is performed so infrequently that the total cost is less than the cost of developing and operating an ATE bed-of-nails test. In other words, the first pass yields shall be extremely high to justify this approach.

6.6 Clam-shell fixtures impact

Probing the printed board from both sides requires a clam-shell type of fixture. These are expensive, take more time to fabricate, require larger test lands on the primary side to protect against registration problems due to tolerance stack-ups, and they are more difficult to maintain.

6.7 Printed board test characteristics

6.7.1 Test land pattern spacing

Design for testability is as much a part of the schematic design process as it is a part of the board layout process. Ideally, the printed board would have 100 % of the nodes accounted for on the secondary side. In-circuit testers shall have access to at least one node per net. Probe spacing is optional; however, standard probe spacing is typically 2,0 mm to 2,5 mm while middle probes can be spaced as close as 1,0 mm to 1,25 mm.

The drawbacks to the 1,0 mm to 1,25 mm grid-based test lands are the following. Spring probes are more expensive. They do not hold up as well in high-volume production. Also, any vias used as test points should be solder filled for better contact and increased probe life.

6.7.2 Test land size and shape

Lands or vias shall be 0,9 mm to 1,0 mm for probing. As land sizes decrease, misses increase dramatically as shown in figure 26. The use of square via lands may provide a larger target zone for the test probe to contact.

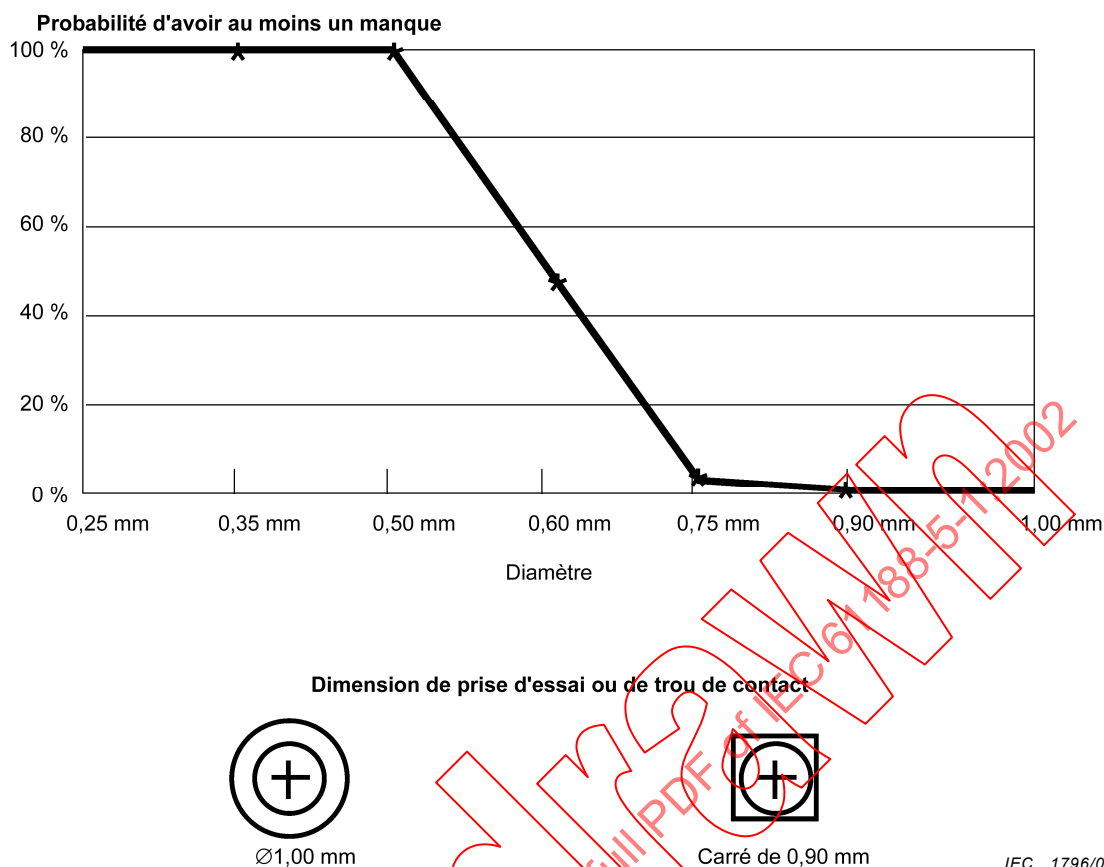


Figure 26 – Relation générale entre la taille des contacts d'essais et les ratés de sonde

6.7.3 Paramètres de conception en vue des essais

Les autres considérations exposées ci-après sont importantes pour la conception générale des zones de report qu'il y a lieu d'intégrer à la carte imprimée.

Il est recommandé de prévoir deux trous d'outillage non métallisés à deux angles opposés en diagonale de la carte.

Il convient que les pastilles d'essai soient distantes de 2,5 mm au minimum du bord de la carte pour faciliter l'étanchéité avec les montages à dépression.

Lorsque des trous de liaison sont utilisés comme points d'essai, il conviendrait de veiller à ne pas dégrader la qualité du signal au profit des possibilités d'essai.

Il est recommandé que les pastilles d'essai soient distantes d'au moins 0,63 mm des zones de pastilles de montage.

Il est utile de repérer les pastilles et trous d'essai sur le plan de l'ensemble pour les cas où il serait nécessaire de modifier la topologie du circuit. Les changements n'affectant pas la position des pastilles d'essai évitent d'avoir à modifier le montage, économisant des coûts et du temps.

Dans la mesure du possible, prévoir un grand nombre de pastilles d'essai pour l'alimentation et la masse.

Dans la mesure du possible, prévoir des pastilles d'essai pour toutes les portes non utilisées. Les portes libres sont parfois à l'origine d'instabilités lors des essais en circuit. Les pastilles permettront de mettre à la masse ces signaux parasites.

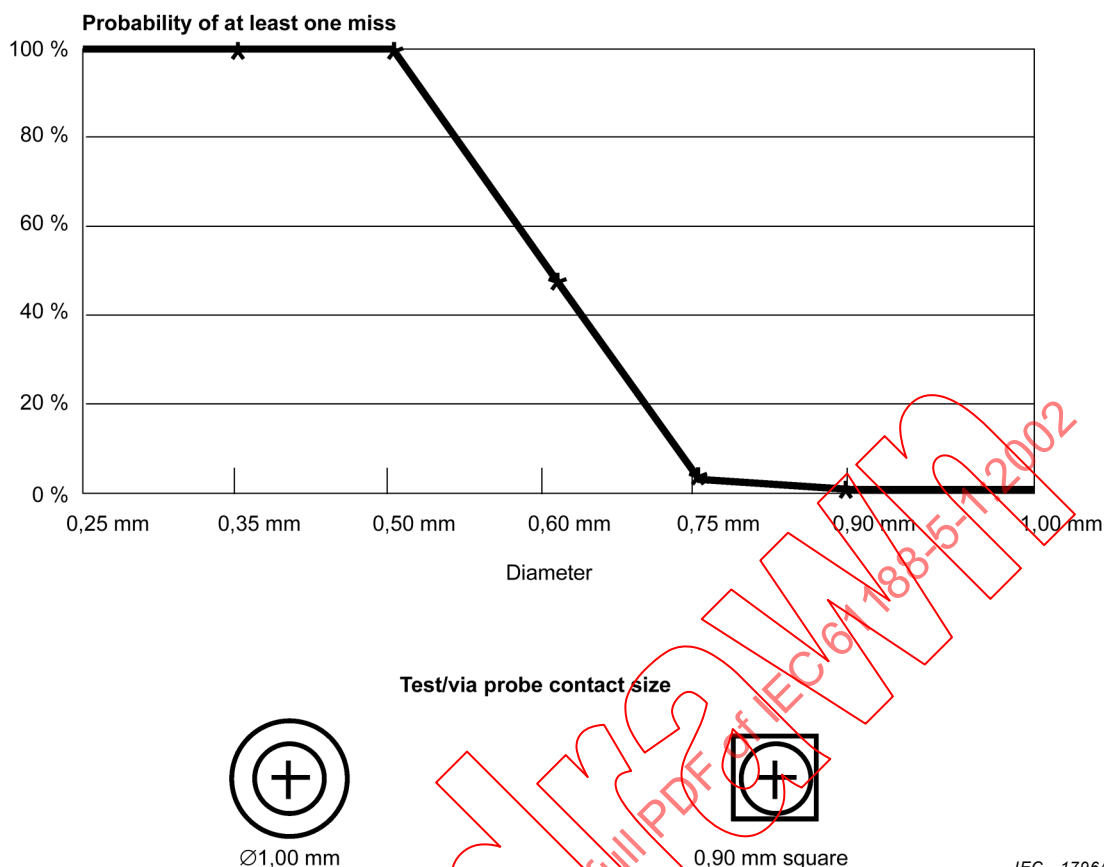


Figure 26 – General relationship between test contact size and test probe misses

6.7.3 Design for test parameters

The following other considerations are important to the general land pattern design that should be incorporated into the printed board.

Two unplated tooling holes should be available on diagonal corners of the printed board.

Test lands should be 2,5 mm minimum from the edge of the printed board to facilitate gasketing on vacuum fixtures.

When using vias for test points, caution should be taken to insure that signal quality is not degraded at the expense of testing capability.

Test lands should be 0,63 mm minimum from mounting land areas.

It is useful to mark the test vias and lands on an assembly drawing in event of the need to modify the circuit topology. Changes made without moving test lands avoid fixture modification, saving cost and time.

Where possible, provide numerous test lands for power and ground.

Where possible, provide test lands for all unused gates. Free running gates sometimes cause instability during in-circuit testing. This will provide a means of grounding these spurious signals.

Il est parfois souhaitable de prévoir des pastilles d'activation et de détection permettant d'effectuer des mesures en pontage à six fils au cours des essais en circuit. Il convient que le bureau d'études des essais donne des indications à cet égard.

Lors du montage de composants sur la face secondaire, on veillera à éviter de recouvrir un trou désigné comme pastille d'essai. En outre, si un trou de liaison est trop proche d'un composant, ce dernier ou le montage risquent d'être endommagés lors du sondage (voir figure 27).

Schéma montrant la zone libre autour d'une pastille d'essai pour les composants de plus de 6,5 mm de hauteur

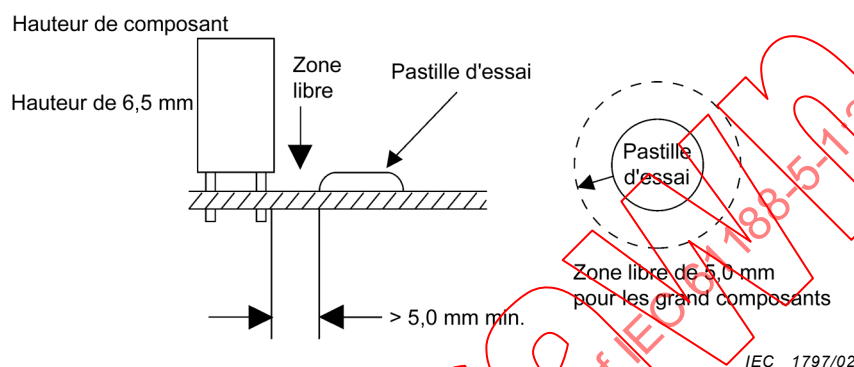


Figure 27 – Distance entre sonde d'essai et composant

7 Types de structure de cartes imprimées

Le choix du support et de la structure d'interconnexion des applications de montage en surface est important pour optimiser la fiabilité thermique, mécanique et électrique du système. Chacune des structures candidates possède son propre lot d'avantages et d'inconvénients par rapport aux autres (voir tableau 16).

Il est probable qu'aucun support ni aucune structure d'interconnexion ne peuvent répondre à tous les besoins d'une application. Il convient par conséquent de rechercher le compromis le mieux adapté à la fixation des composants et à la fiabilité du circuit.

Tableau 16 – Comparaison des structures des cartes imprimées

Type	Principaux avantages	Principaux inconvénients	Observations
Substrat à base organique Epoxy fibre de verre	Taille et poids, facilité de reprise, propriétés diélectriques, traitement conventionnel	Conductivité thermique, CDT axes X, Y et Z	En raison de son CDT élevé dans le plan X-Y, il convient que son utilisation soit limitée aux environnements et applications à changements de température limités et/ou aux petits boîtiers.
Fibre de verre polyimide	Comme époxy fibre de verre, plus CDT dans le plan X-Y à températures élevées, taille et poids, facilité de reprise, propriétés diélectriques, T_g élevée	Conductivité thermique, CDT axe Z, absorption d'humidité	Comme époxy fibre de verre
Epoxy fibre aramide	Comme époxy fibre de verre, CDT dans l'axe X, taille, poids le plus faible, facilité de reprise, propriétés diélectriques	Conductivité thermique, CDT axe Z, microfissurage de la résine, absorption d'humidité	La proportion en volume de fibre peut être contrôlée pour adapter le CDT X-Y. Le choix de la résine est un point critique pour limiter les microfissures

It is sometimes desirable to provide drive and sense nodes test lands to perform six-wire bridge measurements during in-circuit test. Directions for this should come from test engineering.

Care should be taken when mounting components on the secondary side to avoid covering a via that is a designated test land. Also, if a via is too close to any component, damage may result to the component or fixture during probing (see figure 27).

Diagram showing free area around test pad
for components greater than 6,5 mm in height

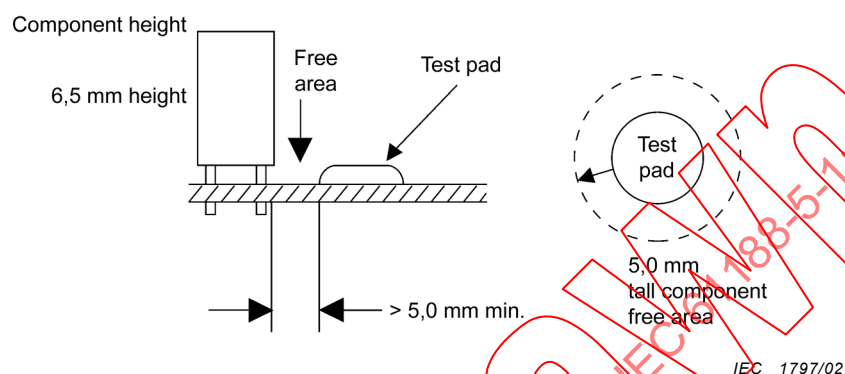


Figure 27 – Test probe feature distance from component

7 Printed board structure types

The selection of a packaging and interconnecting structure for surface-mounting applications is important for optimum thermal, mechanical and electrical systems reliability. Each candidate structure has a set of properties with particular advantages and disadvantages when compared to others (see table 16).

It is probable that no one packaging and interconnecting structure or printed board will satisfy all of the needs of the application. Therefore, a compromise of properties should be sought that offers the best tailoring for component attachment and circuit reliability.

Table 16 – Printed board structure comparison

Type	Major advantages	Major disadvantages	Comments
Organic base substrate Epoxy fibreglass	Substrate size, weight, reworkable, dielectric properties, conventional board processing	Thermal conductivity, X, Y and Z axis CTE	Because of its high X-Y plane CTE, it should be limited to environments and applications with small changes in temperatures and/or small packages
Polyimide fibreglass	Same as epoxy fibreglass plus high temperatures X-Y axis CTE, substrate size, weight, reworkable, dielectric properties, high T_g	Thermal conductivity, Z-axis CTE, moisture absorption	Same as epoxy fibreglass
Epoxy aramid fibre	Same as epoxy fibreglass, X-axis CTE, substrate size, lightest weight, reworkable, dielectric properties	Thermal conductivity, Z-axis CTE, resin microcracking, water absorption	Volume fraction of fibre can be controlled to tailor X-Y CTE. Resin selection critical to reducing resin micro-cracks

Type	Principaux avantages	Principaux inconvénients	Observations
Fibre polyimide aramide	Comme époxy fibre aramide, CDT dans l'axe X, taille, poids, facilité de reprise, propriétés diélectriques	Conductivité thermique, CDT axe Z, microfissurage de la résine, absorption d'humidité	Comme époxy fibre aramide
Quartz polyimide (silice fondue)	Comme fibre polyimide aramide, CDT axe X-Y, taille, poids, facilité de reprise, propriétés diélectriques	Conductivité thermique, CDT axe Z, perçage, disponibilité, coût, faible teneur en résine nécessaire	La proportion en volume de fibre peut être contrôlée pour adapter le CDT X-Y, usure des forets supérieure à celle de la fibre de verre
Fibre composite verre/aramide	Comme fibre polyimide aramide, pas de microfissures de surface, CDT axe Z, taille, poids, facilité de reprise, propriétés diélectriques	Conductivité thermique, CDT axes X et Y, absorption d'humidité, retenue de solution de traitement	Les microfissures de la résine se limitent aux couches internes et ne peuvent pas endommager les circuits externes
Stratifiés fibre de verre/Téflon® ¹	Constante diélectrique, température élevée	Comme époxy fibre de verre, stabilité à faible température, conductivité thermique, CDT axes X et Y	Convient aux applications de logiques rapides. Comme époxy fibre de verre
Diélectrique souple	Légèreté, CDT négligeable, souplesse de configuration	Taille, coût, dilatation axe Z	Les cartes flexo-rigides constituent un compromis
Thermoplastiques	Configurations 3D, coût réduit en grande série	Coût élevé des outillages d'injection	Relativement nouveaux dans ces applications
Base non organique Alumine (céramique)	CDT, conductivité thermique, traitement conventionnel des films épais ou minces, résistances intégrées	Taille, reprises limitées, poids, coût, fragilité, constante diélectrique	Plutôt utilisés pour la technologie des circuits hybrides
Plan support Carte imprimée collée sur plan support (métallique ou non)	Taille, facilité de reprise, propriétés diélectriques, traitement conventionnel des cartes, CDT axes X-Y, rigidité, blindage, refroidissement	Poids	Il est possible de faire varier l'épaisseur/le CDT de l'âme métallique avec l'épaisseur de la carte pour ajuster le CDT global du composite
Carte à traitement séquentiel avec âme de plan support	Comme carte imprimée collée sur plan support	Poids	Comme carte imprimée collée sur plan support
Fil discret	Interconnexions rapides, bonnes caractéristiques thermiques et électriques	Processus sous licence, nécessite un matériel spécial	Comme carte imprimée collée sur plan support métallique à faible dilatation
Âme intégrée Invar porcelainisé revêtu cuivre	Comme alumine	Facilité de reprise, matériaux en film épais compatibles	Les matériaux en film épais sont encore en cours de développement
Carte imprimée collée, avec âme intégrée	Comme carte collée sur âme métallique à faible dilatation, rigidité, conductivité thermique, légèreté	Coût, microfissuration	Il est possible de faire varier l'épaisseur du graphite et de la carte pour ajuster le CDT global du composite
Structures à couche élastique	Taille, propriétés diélectriques, CDT axe X-Y	CDT axe Z, conductivité thermique	La couche élastique absorbe la différence de CDT entre le boîtier céramique et le substrat

¹ Téflon® est un exemple de produit approprié disponible sur le marché. Cette information est donnée à l'intention des utilisateurs de la présente Norme internationale et ne signifie nullement que la CEI approuve ou recommande l'emploi exclusif du produit ainsi désigné.

Type	Major advantages	Major disadvantages	Comments
Polyimide aramid fibre	Same as epoxy aramid fibre, X-axis CTE, substrate size, weight, reworkable, dielectric properties	Thermal conductivity, Z-axis CTE, resin microcracking, water absorption	Same as epoxy aramid fibre
Polyimide quartz (fused silica)	Same as polyimide aramid fibre, X-Y axis CTE, substrate size, weight, reworkable, dielectric properties	Thermal conductivity, Z-axis CTE, drilling, availability, cost, low resin content required	Volume fraction of fibre can be controlled to tailor X-Y CTE, drill wear-out higher than with fibreglass
Fibreglass/aramid composite fibre	Same as polyimide aramid fibre, no surface microcracks, Z axis CTE, substrate size, weight, reworkable, dielectric properties	Thermal conductivity, X and Y axis CTE, water absorption, process solution entrapment	Resin microcracks are confined to internal layers and cannot damage external circuitry
Fibreglass/PTFE® ¹ laminates	Dielectric constant, high temperature	Same as epoxy fibreglass, low-temperature stability, thermal conductivity, X and Y axis CTE	Suitable for high-speed logic applications. Same as epoxy fibreglass
Flexible dielectric	Light weight, minimal concern to CTE, configuration flexibility	Size, cost, Z-axis expansion	Rigid-flexible boards offer trade-off compromises
Thermoplastic	3-D configurations, low high-volume cost	High injection-moulding setup costs	Relatively new for these applications
Non-organic base Alumina (ceramic)	CTE, thermal conductivity, conventional thick film or thin film processing, integrated resistors	Substrate size, rework limitations, weight, cost, brittle, dielectric constant	Most widely used for hybrid circuit technology
Supporting plane Printed board bonded to plane support (metal or non-metal)	Substrate size, reworkability, dielectric properties, conventional board processing, X-Y axis CTE, stiffness, shielding, cooling	Weight	The thickness/CTE of the metal core can be varied along with the board thickness, to tailor the overall CTE of the composite
Sequential processed board with supporting plane core	Same as board bonded to supporting plane	Weight	Same as board bonded to supporting plane
Discrete wire	High-speed interconnections, good thermal and electrical features	Licensed process, requires special equipment	Same as board bonded to low-expansion metal support plane
Constraining core Porcelainized copper-clad invar	Same as alumina	Reworkability, compatible thick film materials	Thick film materials are still under development
Printed board bonded with constraining metal core	Same as board bonded to low-expansion metal cores, stiffness, thermal conductivity, low weight	Cost, microcracking	The thickness of the graphite and board can be varied to tailor the overall CTE of the composite
Compliant layer structures	Substrate size, dielectric properties, X-Y axis CTE	Z-axis CTE, thermal conductivity	Compliant layer absorbs difference in CTE between ceramic package and substrate

¹ Teflon® is an example of a suitable product available commercially. This information is given for the convenience of users of this International Standard and does not constitute an endorsement by IEC of this product.