

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61030

Première édition
First edition
1991-05

**Systèmes audio, video et audiovisuels
Bus Numérique Domestique (D2B)**

**Audio, video and audiovisual systems
Domestic Digital Bus (D2B)**



Numéro de référence
Reference number
CEI/IEC 61030: 1991

Numéros des publications

Depuis le 1^{er} janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (IEV).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC
61030**

Première édition
First edition
1991-05

**Systèmes audio, video et audiovisuels
Bus Numérique Domestique (D2B)**

**Audio, video and audiovisual systems
Domestic Digital Bus (D2B)**

© IEC 1991 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XB**

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
AVANT-PROPOS	6
Introduction aux systèmes électroniques domestiques	8
Article	
1 Domaine d'application et caractéristiques principales du Bus Numérique Domestique (D2B)	10
2 Référence normative	12
3 Définitions et abréviations	12
3.1 Définitions	12
3.2 Abréviations	14
4 Modes	16
5 Caractéristiques de transmission principales du D2B	18
5.1 Fonctions relatives à la communication	18
5.2 Caractéristiques des signaux transmis	20
6 Structure de trame	20
7 Protocole d'échange de trame	24
7.1 Séquence de trames et accusés de réception	24
7.1.1 Séquence d'écriture	26
7.1.2 Séquence de lecture	28
7.2 Description du protocole de trame	30
7.2.1 Bit de départ	30
7.2.2 Bits de mode	32
7.2.3 Bits d'adresse du Demandeur	34
7.2.4 Bits d'adresse du Demandé	34
7.2.4.1 Accusé de réception de l'adresse du Demandé	34
7.2.5 Bits de contrôle	34
7.2.5.1 Interprétation des quatre bits de contrôle	36
7.2.5.2 Accusé de réception de contrôle	36
7.2.6 Champ des données	38
7.2.6.1 Bits de données	38
7.2.6.2 Bit de fin de données	38
7.2.6.3 Bit de parité de données	38
7.2.6.4 Bit d'accusé de réception de données	38
7.2.7 Bits d'accusé de réception	40
7.2.8 Mise en oeuvre du verrouillage et du déverrouillage	40
7.2.9 Protocole d'accès au support	40
7.2.9.1 Caractéristiques physiques	40
7.2.9.2 Détection de porteuse	40
7.2.9.3 Détection de collision	40

CONTENTS

	Page
FOREWORD	7
Introduction to home electronic systems	9
Clause	
1 Scope and main features of the Domestic Digital Bus (D2B)	11
2 Normative reference	13
3 Definitions and abbreviations	13
3.1 Definitions	13
3.2 Abbreviations	15
4 Modes	17
5 Main transmission features of D2B	19
5.1 Communication-related functions	19
5.2 Characteristics of transmitted signals	21
6 Frame structure	21
7 Frame exchange protocols.	25
7.1 Frame sequences and acknowledgements	25
7.1.1 Write sequence	27
7.1.2 Read sequence	29
7.2 Description of the frame protocol	31
7.2.1 Start bit	31
7.2.2 Mode bits	33
7.2.3 Master address bits	35
7.2.4 Slave address bits	35
7.2.4.1 Slave address acknowledge	35
7.2.5 Control bits	35
7.2.5.1 Interpretation of the four control bits	37
7.2.5.2 Control acknowledge	37
7.2.6 Data field	39
7.2.6.1 Data bits	39
7.2.6.2 End of Data bit	39
7.2.6.3 Data parity bit	39
7.2.6.4 Data acknowledge bit	39
7.2.7 Acknowledgement data	41
7.2.8 Activating the lock/unlock function	41
7.2.9 Medium access protocol	41
7.2.9.1 Physical characteristics	41
7.2.9.2 Carrier sense	41
7.2.9.3 Collision detection.	41

Articles	Pages
8 Format des bits	40
8.1 Format général des bits	40
8.2 Description détaillée des formats des bits	46
8.2.1 Introduction	46
8.2.2 Bit de départ (voir figure 8)	48
8.2.3 Bits d'arbitrage (voir figure 9)	54
8.2.4 Bits Demandeur vers Demandé (voir figure 10)	62
8.2.5 Bits Demandé vers Demandeur (voir figure 11)	68
9 Attribution des adresses	74
9.1 Définition de l'espace d'adresse	74
9.2 Attribution des codes d'adresse AV/C (Code de service 0001)	74
9.3 Sous-unités	76
10 Interprétation des données	80
10.1 Etat Demandé	80
10.2 Adresse de verrouillage	82
10.3 Mémoire de propriétés	84
10.4 Données	84
10.5 Commandes	84
10.5.1 Principes de la table de commande	84
10.5.2 Commandes de classification des services	86
10.5.3 Adressage des sous-unités	88
10.5.4 Commande «END»	90
11 Communication par passerelle	90
11.1 Communication par passerelle dans le format du système à bus domestique japonais (HBS)	92
11.2 Communication par passerelle dans le format spécifié par l'OPR	96
11.3 Adresses des passerelles	98
12 Extension de commande	100
13 Format de message à trame multiple	100
14 Spécification électrique d'un système D2B	102
14.1 Représentation du circuit typique (voir figure 21)	102
14.2 Relation entre les états électriques et logiques	102
14.3 Spécification du circuit émetteur	104
14.4 Spécification du récepteur	106
14.5 Spécification du câble	108
ANNEXE A - Table des commandes	110
Commandes générales	110
Commandes de fonction - groupe	114
Commandes vidéo	114
Commandes audio	116
Commandes pour les appareils d'enregistrement et de lecture	120
Commandes pour les récepteurs	124
Commandes pour la fonction texte	126
Commandes de fonction - spécifiques	128
Commandes pour les caméras vidéo	128
Commandes du programmeur	130

Clause		Page
8	Bit formats	41
8.1	General bit format	41
8.2	Detailed description of the bit formats	47
8.2.1	Introduction	47
8.2.2	Start bit (see figure 8)	49
8.2.3	Arbitration bits (see figure 9)	55
8.2.4	Master to Slave bits (see figure 10)	63
8.2.5	Slave to Master bits (see figure 11)	69
9	Address allocation	75
9.1	Address space definition	75
9.2	Allocation of AV/C address codes (Service code 0001)	75
9.3	Sub-devices	77
10	Data interpretation	81
10.1	Slave status	81
10.2	Lock address	83
10.3	Property memory	85
10.4	Data	85
10.5	Commands	85
10.5.1	Principles of the command table	85
10.5.2	The service classification commands	87
10.5.3	Addressing of sub-devices	89
10.5.4	The "END" command	91
11	Gateway communication	91
11.1	Gateway communication in the Japanese home bus system (HBS) format	93
11.2	Gateway communication in the format specified with the OPR	97
11.3	Gateway addresses	99
12	Command extension	101
13	Multiple frame message format	101
14	Electrical specification of a D2B system	103
14.1	Typical circuit configuration (see figure 21)	103
14.2	Logical and electrical state relationship	103
14.3	Driver specification	105
14.4	Receiver specification	107
14.5	Cable specification	109
ANNEX A	- The command table	111
	General commands	111
	Function commands - group	115
	Video commands	115
	Audio commands	117
	Deck/player commands	121
	Tuner commands	125
	Text function commands	127
	Function commands - specific	129
	Camera video commands	129
	Timer commands	131

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

SYSTÈMES AUDIO, VIDÉO ET AUDIOVISUELS BUS NUMÉRIQUE DOMESTIQUE (D2B)

AVANT-PROPOS

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

La présente Norme Internationale a été établie par le Comité d'Etudes n° 84: Equipements et systèmes dans le domaine des techniques audio, vidéo et audiovisuelles.

Le texte de cette publication est issu des documents suivants:

Règle des Six Mois	Rapport de vote
84(BC)88	84(BC)84

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette publication.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**AUDIO, VIDEO AND AUDIOVISUAL SYSTEMS
DOMESTIC DIGITAL BUS (D2B)**

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

This International Standard has been prepared by Technical Committee No. 84: Equipment and systems in the field of audio, video and audiovisual engineering.

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting
84(CO)88	84(CO)84

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

INTRODUCTION AUX SYSTÈMES ÉLECTRONIQUES DOMESTIQUES

On trouve aujourd'hui dans les foyers domestiques toute une variété d'équipements électriques et électroniques dans chaque domaine d'activité: divertissement, sécurité, gestion de l'énergie, appareils ménagers automatisés, travail à domicile, communications vers l'extérieur, etc.

Bon nombre de ces appareils peuvent toujours être utilisés isolément mais la tendance est à les interconnecter et à les intégrer dans un système global.

Dans un tel système des interactions entre des équipements de types différents permettent à ces derniers de combiner des fonctions complémentaires et de coopérer. Il devient possible de réaliser une «gestion aidée par ordinateur» de l'ensemble des ressources du foyer.

Cela signifie que l'utilisateur a la possibilité de commander n'importe quelle partie du système à partir d'un point quelconque (et même à partir de l'extérieur du foyer) d'une façon simple, fiable, interactive et aisée. C'est l'harmonie entre le système et l'utilisateur.

La structure d'un tel «système électronique domestique» fait toujours l'objet d'études dans différents comités de la CEI et dans d'autres organisations.

Il y a une voie de communication qui joue un rôle particulier dans un système électronique domestique. On l'appelle souvent «l'épine dorsale» du système.

C'est le «canal de commande - contrôle et signalisation». Tous les messages nécessaires pour faire connaître l'état d'un appareil, pour envoyer les commandes utiles ou pour superviser le système sont transmis par ce canal. On peut même l'utiliser pour transmettre de façon transparente quelques données à vitesse relativement faible.

La présente norme se rapporte au canal de «commande, contrôle et signalisation». A titre d'exemple, la transmission et la commutation de signaux à large bande sont en dehors de son domaine.

On peut trouver des ressemblances entre un «réseau domestique» et les «réseaux locaux» bien connus utilisés dans l'industrie ou les applications professionnelles. Cependant, les réseaux locaux ne sont pas forcément bien adaptés à notre application grand public.

Dans cette norme un langage de commande est associé aux protocoles de communication du Bus Numérique Domestique (D2B). Pour l'instant ce langage n'est défini que pour «l'audio, la vidéo et les contrôleurs» (AV-C), en harmonisation avec les langages du Système de communication domestique japonais (HBS) et du Système de communication intégré européen (IHS).

INTRODUCTION TO HOME ELECTRONIC SYSTEMS

Today there are in the home various electrical and electronic equipments for every field of activity: entertainment, security, energy management, automated domestic appliances, home business, external communications, etc.

Many of these equipments can still be used alone but the trend is to interconnect them and to integrate them in a global system.

In such a system, interactions between different types of equipment allow them to combine complementary functions and to co-operate. It becomes possible to achieve "computer aided management" of all the home resources.

That means for the end user the possibility of controlling any part of the system, from any access point (and from outside the home) in a simple, reliable, comfortable and interactive way. This is "user friendliness".

The structure of such a "home electronic system" is still under consideration in various IEC Committees and in other organizations.

There is a communication channel which plays a particular role in a home electronic system. It is often referred to as "the backbone" of the system.

This is the "control, command and signalling channel". All the messages required for informing on the status of a device, for sending appropriate commands or for supervising the system are transmitted via this channel. It is even possible to transmit some data transparently at relatively low speed.

This standard deals only with the "control command and signalling channel". Transmission and switching of large bandwidth signals, for example, is outside of its scope.

One can find similarities between this "household network" and the well known "Local Area Networks", used in industry or business applications. But LAN'S do not necessarily meet the requirements of this consumer application.

In this standard a command language is associated with the Domestic Digital Bus (D2B) communication protocols. For the time being it is defined only for audio, video and control in harmonization with the command languages of the Japanese Home Bus System (HBS) and of the European Integrated Home Bus System (IHS).

SYSTÈMES AUDIO, VIDÉO ET AUDIOVISUELS BUS NUMÉRIQUE DOMESTIQUE (D2B)

1 Domaine d'application et caractéristiques principales du Bus Numérique Domestique (D2B)

La présente Norme internationale donne les modes de transmission, les protocoles de communications, les procédures d'adressages, le langage de commande et les caractéristiques électriques du Bus Numérique Domestique (Système D2B).

Le groupement audio vidéo (téléviseur, magnétoscope, etc.) a besoin d'un bus pratique pour l'interconnexion des appareils et l'échange des messages. Le D2B a été conçu dans ce but.

Les possibilités du D2B peuvent être énoncées ainsi:

- Il convient parfaitement en audio et vidéo ainsi que pour les contrôleurs et ordinateurs domestiques. Il peut être utilisé comme un système local indépendant pour de telles applications ou comme un sous-système audio, vidéo et contrôleur relié par des passerelles appropriées à un bus principal.
- D'une façon similaire, le D2B peut aussi être utilisé, comme système local indépendant ou comme sous-système interconnecté, dans le cadre de toute autre application.

Afin de permettre l'échange de données numériques à l'intérieur d'un système formé d'unités émanant de fabricants différents, il est nécessaire d'avoir un «protocole de communication normalisé» adapté aux besoins spécifiques de ce système.

Dans l'environnement d'un bus électronique domestique (HEB), le D2B peut être utilisé comme sous-système. Pour cette raison, les tables d'adresses et de commandes pour l'audio, la vidéo et les contrôleurs sont harmonisées avec celles du bus domestique japonais (HBS) et du bus domestique européen (IHS).

La structure du Bus Numérique Domestique (D2B), les vitesses de transmission, le format et la structure des trames ont donc été choisis pour répondre aux besoins des applications domestiques et des petites entreprises. Voir la figure 1.

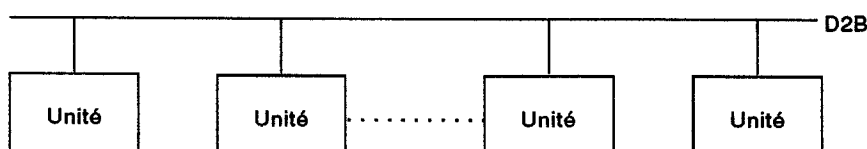


Figure 1 - Configuration

AUDIO, VIDEO AND AUDIOVISUAL SYSTEMS DOMESTIC DIGITAL BUS (D2B)

1 Scope and main features of the Domestic Digital Bus (D2B)

This International Standard gives the modes of transmission, the communication protocols, the addressing procedures, the command language and electrical characteristics for the Domestic Digital Bus (D2B) System.

The audio-video cluster (TV set, VCR, etc.) needs a practical bus for interconnecting devices and exchanging messages. D2B was developed for this purpose.

The capabilities of D2B can be described as follows:

- It is appropriate for audio and video, for controllers and for home computers. It can be used as a local independent system for this application or as an audio, video and control subsystem connected via an appropriate gateway to a main bus.
- Following the same scheme, D2B can also be used as a local independent system or as an integrated subsystem for any other application.

In order to allow exchange of digital data in a system made up of devices of various manufacturing origins, it is necessary to have a "standardized communication protocol" suitable for the specific needs of this system.

Within the Home Electronic Bus environment (HEB), D2B can be used as a subsystem. For this reason, the address and command tables for audio, video and control are harmonized with those of the Japanese Home Bus (HBS) and of the European Home Bus (IHS).

The structure of the Domestic Digital Bus (D2B), the transmission speeds, the format and the structure of the frames have therefore been chosen to meet the requirements of the home and small office application area. See figure 1.

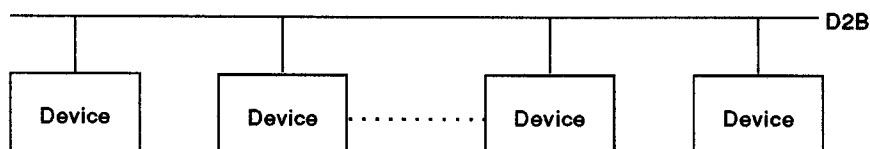


Figure 1 - Configuration

Dans le système D2B, les unités se comportent en Demandeur et Demandé pendant les transferts de données. Une unité Demandeur est capable de lancer et de commander un transfert de données utilisant le D2B.

Suivant la direction du transfert, les unités se comportent également en émetteurs ou récepteurs.

Le D2B est un bus multidemandeur, ce qui signifie que toute unité capable de commander le bus peut le faire. Le D2B est basé sur le principe de détection de porteuse avec détection de collision (CSMA/CD) avec arbitrage, qui repose sur l'identification unique de chaque unité. Chaque transfert est limité dans le temps pour éviter que le bus ne soit monopolisé.

Le bus permet la construction d'un réseau autoconfigurable. Le D2B permet l'utilisation d'unités contenant un certain nombre de sous-unités.

2 Référence normative

La norme suivante contient des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente Norme internationale. Au moment de la publication, l'édition indiquée était en vigueur. Toute norme est sujette à révision et les parties prenantes aux accords fondés sur la présente Norme internationale sont invitées à rechercher la possibilité d'appliquer l'édition la plus récente de la norme indiquée ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 94-5: 1988, *Systèmes d'enregistrement et de lecture du son sur bandes magnétiques - Cinquième partie: Propriétés électriques des bandes magnétiques.*

3 Définitions et abréviations

3.1 Définitions

Dans le cadre de cette Norme internationale, on utilise les définitions suivantes:

trame: Bloc d'information transféré sur la liaison de données D2B. La trame se compose d'un champ d'en-tête, d'un champ d'adresse demandeur, d'un champ d'adresse demandé, d'un champ de contrôle et d'un champ de message.

champ d'en-tête: Indication du début d'une trame et identification du mode d'une trame (cadence de transmission).

champ d'adresse du Demandeur: Identification de l'unité cherchant à prendre le contrôle, appelée «Demandeur».

champ d'adresse du Demandé: Identification de l'unité indiquée par le Demandeur, appelée «Demandé».

champ de contrôle: Le champ de contrôle commande la direction du message et définit l'interprétation du message.

In the D2B system, devices perform as masters and slaves during data transfers. A master device is able to initiate and control a data transfer using D2B.

Depending on the direction of transfer, devices also perform as transmitters or receivers.

The D2B is a multi-master bus, which means that any device capable of controlling the bus can do so. D2B is based on Carrier Sense Multiple Access with Collision Detection (CSMA/CD) with arbitration, based on the unique identification of each device. Each transfer is restricted in time to avoid monopolisation of the bus.

The bus allows a self-configuring network to be built up. D2B allows devices to contain a number of sub-devices.

2 Normative reference

The following standard contains provisions which, through reference in this text, constitute provisions of this International Standard. At the time of publication, the edition indicated was valid. All standards are subject to revision, and parties to agreements based on this International Standard are encouraged to investigate the possibility of applying the most recent edition of the standard indicated below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 94-5: 1988, *Magnetic tape sound recording and reproducing systems - Part 5: Electrical magnetic tape properties*.

3 Definitions and abbreviations

3.1 Definitions

For the purposes of this International Standard, the following definitions apply:

frame: Block of information, transferred across the D2B data link. The frame consists of the header field, the master address field, the slave address field, the control field and the message field.

header field: Field indicating the start of a frame and identifying the mode of a frame (transmission speed).

master address field: Field identifying the device which seeks to take control, this being called the "Master".

slave address field: Field identifying the device addressed by the master, this being called the "Slave".

control field: Field controlling the direction of the message and defining the interpretation of the message.

champ de message: Le champ contient les octets de données transportant le message.

demandeur (pendant une trame particulière): Poste qui lance une trame D2B et en contrôle la chronologie. Plusieurs Demandeurs peuvent simultanément essayer de lancer une trame, mais seul un de ces Demandeurs aura l'accès exclusif au support pendant la durée de la trame, c'est-à-dire sera le Demandeur gagnant. Les postes D2B peuvent être ou ne pas être capables de fonctionner en Demandeur.

demandé (pendant une trame particulière): Poste qui répond à une trame D2B lancée par un Demandeur après avoir été désigné dans cette trame. Toutes les unités capables de fonctionner en Demandé doivent accepter et interpréter, au moins jusqu'au champ d'adresse du Demandé compris, toutes les trames. Les postes D2B peuvent être ou ne pas être capables de fonctionner en Demandé.

émetteur (pendant une trame particulière): Poste qui émet les informations contenues dans les champs de données de cette trame. Dans une trame D2B, soit le Demandeur, soit le Demandé sera un émetteur. Si le Demandeur est l'émetteur, le Demandé sera un récepteur, et vice-versa.

récepteur (pendant une trame particulière): Poste qui reçoit les informations contenues dans cette trame.

message: Informations contenues dans les bits de données d'une trame.

message à trame multiple: Message utilisant plus d'une trame.

3.2 Abréviations

A:	Bit d'accusé de réception
AMS:	Accusé de réception du Demandeur au Demandé
ARB:	Bit d'arbitrage
ASCII:	Code normalisé américain pour les échanges d'information
ASM:	Accusé de réception du Demandé au Demandeur
AV/C:	Audio, Vidéo et Contrôleurs
CSMA/CD:	Accès multiple par détection de porteuse et avec détection de collision
CT:	Communication/Téléphonie
D2B:	Bus Numérique Domestique
DSDA:	Adresse du sous-unité destinataire
EOD:	Bit de fin de données
HBS:	Système à bus domestique, le système à bus domestique japonais
HEB:	Bus électronique domestique, un système à bus domestique
HK:	Gestion domestique
IHS:	Système de communication domestique intégré, le système à bus domestique européen
LAN:	Réseau local
LSB:	Bit de poids le plus faible
MS:	Bit Demandeur à Demandé
MSB:	Bit de poids le plus fort
OPC:	Code opération

message field: Field containing data bytes which carry the message.

master (during a particular frame): Device that initiates a D2B frame and controls its timing. Several masters may simultaneously try to initiate a frame, but only one of these masters can gain exclusive access to the medium for the duration of a frame, i.e. be the winning master. D2B devices may or may not be capable of master operation.

slave (during a particular frame): Device that responds to a D2B frame, initiated by a master, after being addressed in that frame. All devices capable of slave operation, shall accept and interpret all frames, at least up to and including the slave address field. D2B devices may or may not be capable of slave operation.

transmitter (during a particular frame): Device that transmits the information content of the data fields in that frame. In a D2B frame, either the master or the slave can be the transmitter. If the master is the transmitter, then the slave is the receiver, and vice versa.

receiver (during a particular frame): Device that receives the information content of that frame.

message: Information, carried by the data bits of one frame.

multiple frame message: Message using more than one frame.

3.2 Abbreviations

A:	Acknowledge bit
AMS:	Acknowledge from Master to Slave
ARB:	ARbitration Bit
ASCII:	American Standard Code for Information Interchange
ASM:	Acknowledge from Slave to Master
AV/C:	Audio, Video and Control
CSMA/CD:	Carrier Sense Multiple Access with Collision Detection
CT:	Communication Telephony
D2B:	Domestic Digital Bus
DSDA:	Destination Sub-Device Address
EOD:	End Of Data bit
HBS:	Home Bus System, the Japanese home bus system
HEB:	Home Electronic Bus, a home bus system
HK:	HouseKeeping
IHS:	Integrated Home bus System, the European home bus system
LAN:	Local Area Network
LSB:	Least Significant Bit
MS:	Master to Slave bit
MSB:	Most Significant Bit
OPC:	OPeration Code

3.2 Abréviations (suite)

OPR:	Opérande
P:	Bit de parité
SB:	Bit de départ
SCC:	Commandes communes système
SM:	Bit Demandé à Demandeur
SSDA:	Adresse du sous-unité source
VCR:	Magnétoscope

4 Modes

Le système D2B est conçu pour fonctionner dans différents environnements et peut transférer des données aux cadences appropriées pour chaque domaine d'application. C'est donc un canal de transmission «adaptatif» permettant d'utiliser la ressource de façon optimale.

Deux paramètres essentiels déterminent les caractéristiques du transfert d'information:

- a) Le nombre maximal d'octets utiles par trame (octets contenus dans le champ de message).
- b) La cadence nominale du transfert pour une suite de trames identiques contenant le nombre maximal d'octets par trame.

Un fonctionnement avec une combinaison donnée de ces deux paramètres constitue un «mode de fonctionnement du D2B».

Les modes du D2B sont classés et numérotés par ordre croissant de leurs performances, le mode de base le plus lent étant le mode 0. Actuellement trois modes sont définis: les modes 0, 1 ou 2. Ils permettent tous des échanges bidirectionnels.

Un équipement utilisant le D2B peut permettre des communications en mode 0, 1 ou 2 mais doit conserver la possibilité de disposer des modes de classification inférieure. C'est-à-dire, il est permis de mettre en oeuvre dans un équipement: seulement le mode 0, ou bien les modes 0 et 1 ou encore les modes 0, 1 et 2.

De même on peut mettre en oeuvre la fonction Demandé ou la fonction Demandeur seulement ou bien les deux.

Les paramètres des différents modes sont donnés dans le tableau 1.

3.2 Abbreviations (continued)

OPR:	OPeRand
P:	Parity bit
SB:	Start Bit
SCC:	System Common Commands
SM:	Slave to Master bit
SSDA:	Source Sub-Device Address
VCR:	Video Cassette Recorder

4 Modes

D2B is designed to perform in a number of different environments and can transfer data with performance appropriate to each application area. It is thus an "adaptive" transmission channel allowing an optimal use of this resource.

Two main parameters control the data transfer performance:

- a) The maximum number of useful data bytes per frame (bytes contained in the message field).
- b) The nominal data rate for a string of identical frames at the maximum number of bytes per frame.

Operations with a given set of these two parameters define a "D2B mode".

The D2B modes are ordered and numbered by increasing performance, the lowest basic mode being 0. Currently, 3 modes are defined: modes 0, 1 and 2. These all allow bidirectional exchanges.

A device using D2B, may allow communication in modes 0, 1 or 2, but shall keep the ability to deal with the lower modes. That is to say, it is permitted to provide in the device only mode 0, or mode 0 and mode 1, or mode 0, mode 1 and mode 2.

It is also permitted to provide only the slave function or only the master function or both.

Mode parameters are shown in table 1.

Tableau 1 - Paramètres du mode du D2B

	Mode 0	Mode 1	Mode 2
Fréquence d'horloge	0,75 MHz $\pm$ 25 %	3 MHz $\pm$ 25%	6 MHz $\pm$ 0,5 %
<i>Demandeur à Demandé</i>			
Nombre maximal d'octets par trame	2	32	128
Débit de données utile pour: 1 octet par trame	126 octets/s	395 octets/s	725 octets/s
Trame complète	209 octets/s	2 457 octets/s	7 760 octets/s
Durée trame, 1 seul octet	7,9 ms	2,5 ms	1,4 ms
Durée trame complète	9,6 ms	13,0 ms	16,5 ms
<i>Demandé à Demandeur</i>			
Nombre maximal d'octets par trame	2	16	64
Débit de données utile pour: 1 octet par trame	122 octets/s	368 octets/s	700 octets/s
Trame complète	198 octets/s	1 497 octets/s	5 355 octets/s
Durée trame, 1 seul octet	8,2 ms	2,7 ms	1,4 ms
Durée trame complète	10,1 ms	10,7 ms	12,0 ms

NOTE - Les valeurs dans «Demandeur à Demandé» et dans «Demandé à Demandeur» sont valables pour la valeur nominale de la fréquence d'horloge.

5 Caractéristiques de transmission principales du D2B

Le système D2B doit permettre à chaque unité connectée, ayant une fonction Demandeur, de prendre le contrôle du bus et d'échanger des données avec d'autres unités du système.

5.1 Fonctions relatives à la communication

- le protocole de séquence de chaque bit comprend des contrôles d'erreur de séquence, pour le Demandeur et pour le Demandé;
- l'arbitrage, lorsque plusieurs unités veulent prendre le contrôle du bus simultanément;
- l'adresse Demandeur, l'adresse Demandé, le champ de contrôle et chaque octet de données sont accompagnés d'un contrôle de parité;
- accusé de réception de la disponibilité du Demandé (accusé de réception de l'adresse du Demandé), acceptation du code de contrôle et de la réception des octets de données pendant la transmission d'une trame.

Table 1 - D2B mode parameters

	Mode 0	Mode 1	Mode 2
Clock frequency	0,75 MHz $\pm$ 25 %	3 MHz $\pm$ 25%	6 MHz $\pm$ 0,5 %
<i>Master to Slave</i>			
Maximum number of bytes per frame	2	32	128
Useful data rate for:			
One-byte frame	126 bytes/s	395 bytes/s	725 bytes/s
Full frame	209 bytes/s	2 457 bytes/s	7 760 bytes/s
Single-byte frame duration	7,9 ms	2,5 ms	1,4 ms
Full frame duration	9,6 ms	13,0 ms	16,5 ms
<i>Slave to Master</i>			
Maximum number of bytes per frame	2	16	64
Useful data rate for:			
One-byte frame	122 bytes/s	368 bytes/s	700 bytes/s
Full frame	198 bytes/s	1 497 bytes/s	5 355 bytes/s
Single-byte frame duration	8,2 ms	2,7 ms	1,4 ms
Full frame duration	10,1 ms	10,7 ms	12,0 ms

NOTE - The figures for "Master to Slave" and "Slave to Master" are related to the nominal value of clock frequency.

5 Main transmission features of D2B

The D2B shall allow each connected device having a master function to take control of the bus and to exchange data with other devices within the system.

5.1 Communication-related functions:

- the timing protocol of each bit includes checks on timing error, for Master as well as for Slave;
- arbitration, when various devices simultaneously endeavour to take control of the bus;
- Master address, Slave address, control field and each data byte are accompanied by a parity check;
- acknowledgement of the availability of the slave (slave address acknowledge), acceptance of the control code and of the receipt of data bytes during the transmission of a frame.

5.2 Caractéristiques des signaux transmis

Le D2B est défini comme une voie logique. Les spécifications des signaux sont indiquées pour un support de transmission constitué par un «câble à paire équilibrée avec retour». On peut, en utilisant une interface électrique ou optique et mécanique appropriée, utiliser d'autres supports comme du câble coaxial ou de la fibre optique.

La relation entre les états logiques des bits est décrite dans l'article 7; les caractéristiques de temps de propagation des câbles à paire équilibrée sont données dans l'article 14.

La transmission doit être bidirectionnelle et synchronisée par les bits. L'état logique «0» a priorité sur l'état logique «1».

6 Structure de trame

Chaque trame est limitée dans le temps.

La trame, c'est-à-dire toutes les informations nécessaires à la communication entre le Demandeur et le Demandé, comprend les éléments suivants, en ordre chronologique (voir figure 2).

Champ d'en-tête:

Bit de départ Comprend une période d'essai pour vérifier la disponibilité du bus, suivie d'une transition de 1 à 0 pour synchroniser toutes les unités, avec une durée spéciale de la période 0, plus grande que la période 0 de tout autre bit.

Bits de mode Définissent la vitesse de transmission des champs suivants et le nombre maximal d'octets de données du champ de données.

L'arbitrage est nécessaire lorsque plus d'une unité veut utiliser le bus au même moment, auquel cas le mode le plus lent a priorité. Les paramètres de mode (nombre maximal d'octets par trame, vitesse de transmission, etc.) sont indiqués dans le tableau 1.

Champ d'adresse du Demandeur:

Bits Demandeur Définissent l'adresse de l'unité désirant utiliser le bus. Cette adresse comporte un bit de parité.

Quand un arbitrage est nécessaire, l'unité ayant l'adresse la plus basse a la priorité.

Champ d'adresse du Demandé:

Bits Demandé Définissent l'adresse de l'unité appelée par le Demandeur. Cette adresse comporte un bit de parité.

L'unité Demandé doit répondre par un accusé de réception.

5.2 Characteristics of transmitted signals

D2B is defined as one logical channel. Signal specifications are indicated for a "balanced cable pair and return" transmission medium. With the use of a suitable electrical or optical and mechanical interface, other media such as coaxial cable or optical fibre can be used.

The relationship between the logic states of the bits is described in clause 7; the timing requirements for balanced cable pairs are described in clause 14.

Transmission shall be bidirectional and bit-synchronized. Logic "0" shall override "1".

6 Frame structure

Each frame is restricted in time.

The frame, i.e. all the data for communication between Master and Slave, includes the following components, in time sequence (see figure 2).

Header field:

Start bit Includes a test period for establishing availability of the bus followed by a 1 to 0 transition for synchronisation of all devices, with a special duration of the 0 period, longer than the 0 period of any other bit.

Mode bits Define the transmission speed of the following fields and the maximum number of data bytes of the data field.

Arbitration is requested when more than one device attempts to use the bus at the same time, in which case the lowest mode prevails. The mode parameters (maximum number of bytes per frame, transmission speed, etc.) are indicated in table 1.

Master address field:

Master bits Define the address number of the device attempting to obtain control of the bus. A parity bit for the address data is included.

When arbitration takes place, the device with the lowest address number prevails.

Slave address field:

Slave bits Define the address number of the device called by the Master. A parity check bit of the address data is included.

The Slave device called shall respond with an acknowledgement of receipt.

Champ de contrôle:

Bits de contrôle Définissent le type de données à échanger et la direction de l'échange. Un bit de parité y est inclus.

Une unité Demandé qui répond doit accuser réception des données de contrôle, quand elle est en mesure d'effectuer l'opération demandée.

Champ de données:

Bits de données Acheminent les données réelles à transmettre, organisées en octets.

Le récepteur de l'octet de donnée doit accuser réception de l'octet pour indiquer qu'il a été correctement reçu. Le nombre maximal d'octets de chaque trame dépend du mode et du sens de transmission (Demandeur à Demandé ou Demandé à Demandeur, voir tableau 1).

Chaque octet de donnée est suivi d'un bit de fin de données, d'un bit de parité et d'un bit d'accusé de réception.

Le bit de fin de données indique s'il s'agit ou non du dernier octet de la trame.

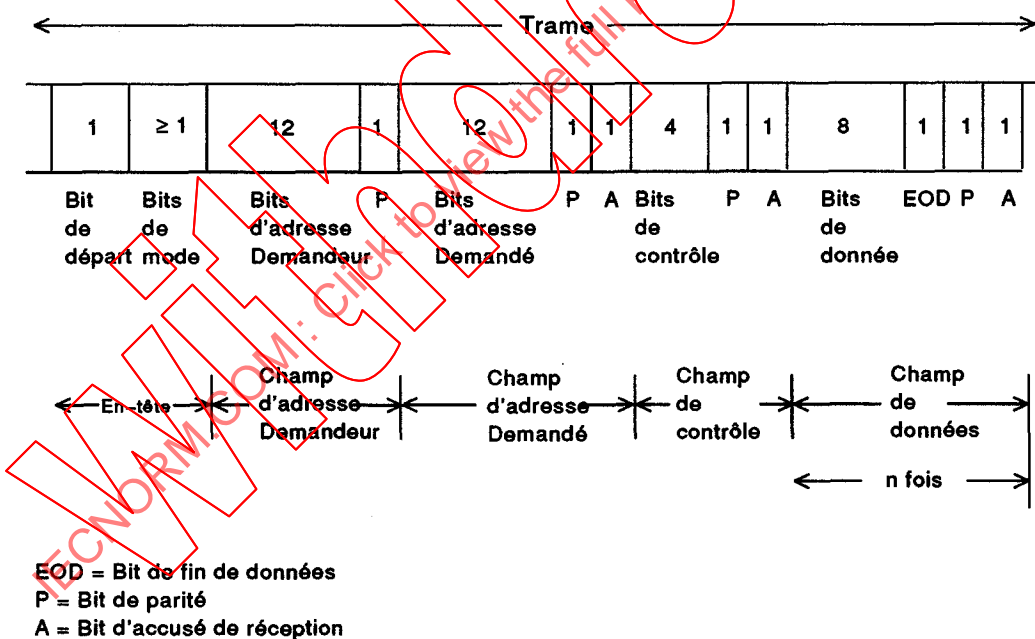


Figure 2 - Structure de la trame D2B

Control field:

Control bits Define the type of data to be exchanged and their direction. A parity check bit is included.

A responding Slave device shall acknowledge receipt of the control data when able to perform the requested operation.

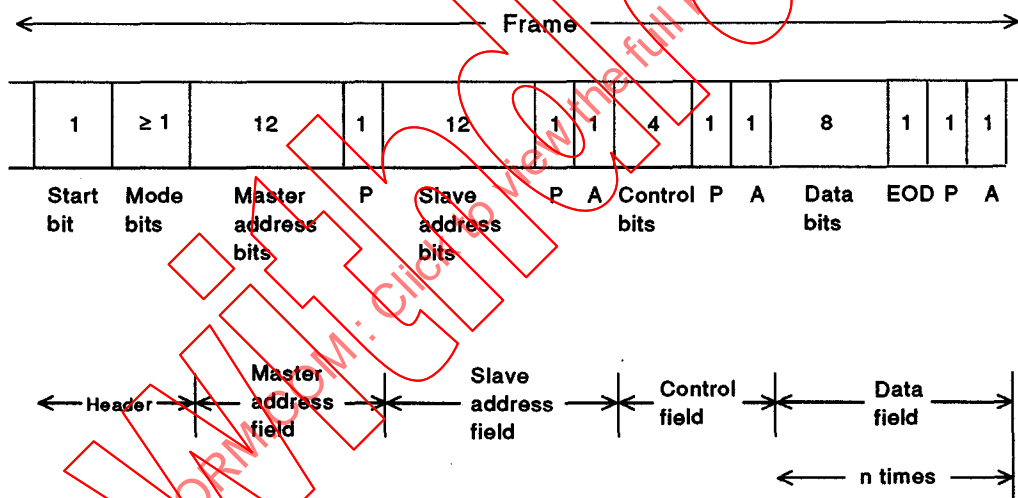
Data field:

Data bits Carry the actual data for transmission, in byte organized form.

The receiver of the data byte shall acknowledge the byte to indicate that it has been properly received. The maximum number of bytes in each frame depends upon mode and direction ("Master to Slave" or "Slave to Master" see table 1).

Each data byte is followed by an end of data bit, a parity bit and an acknowledge bit.

The End of Data bit indicates whether or not this byte is the last one of the frame.



EOD = End Of Data bit
P = Parity bit
A = Acknowledge bit

Figure 2 - Structure of D2B frame

7 Protocole d'échange de trame

Le protocole utilisé pour échanger des trames D2B entre unités est décrit comme suit:

7.1 Séquence de trames et accusés de réception

Une coopération existe entre le Demandeur et le Demandé pendant la transmission d'une trame. La figure 3 est un organigramme illustrant l'interaction entre le Demandeur et le Demandé pour l'écriture (Demandeur vers Demandé) de données, et la lecture (Demandé vers Demandeur) de données.

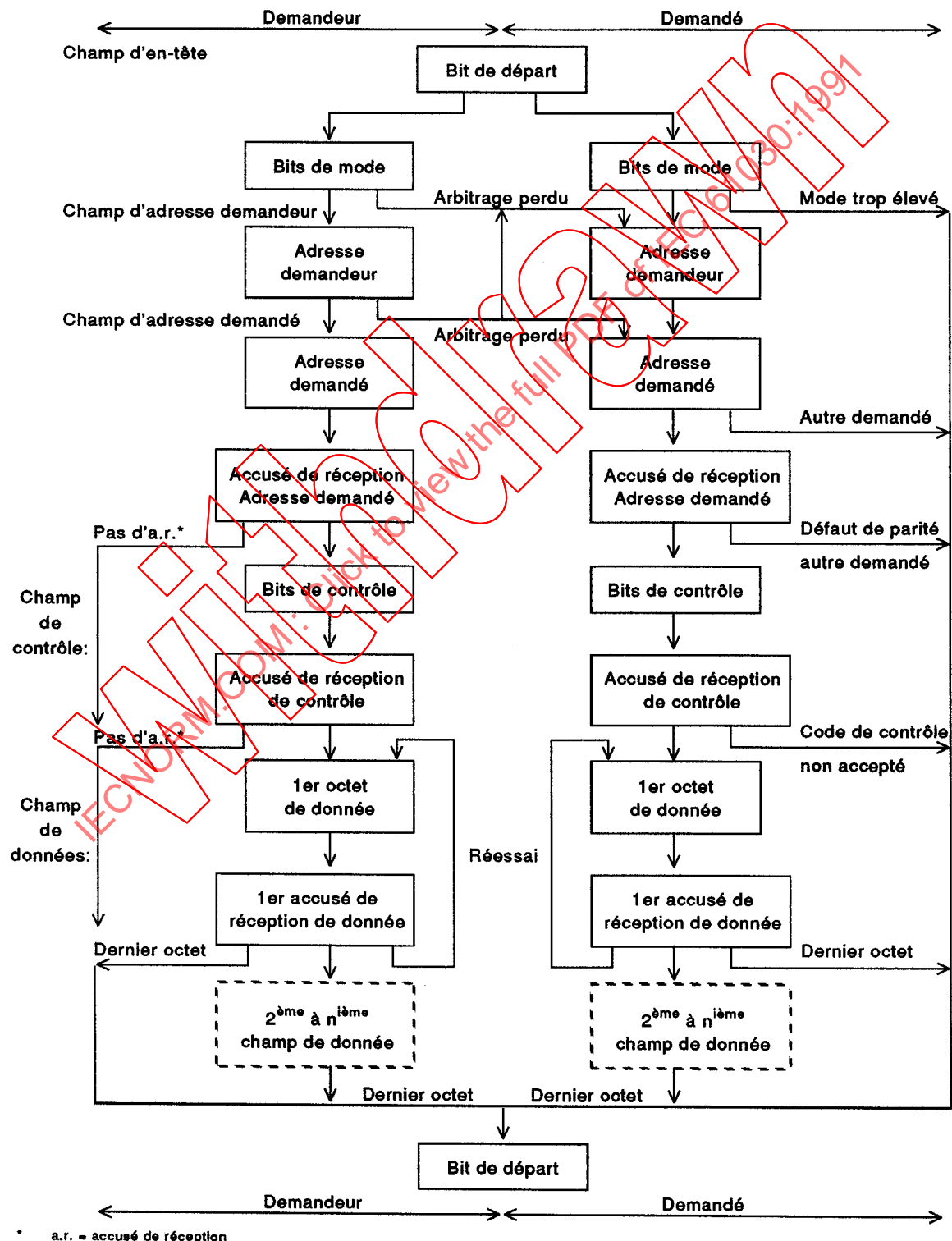


Figure 3 - Organigramme montrant le protocole d'échange de trame

7 Frame exchange protocols.

The protocol used to exchange D2B frames between devices is described as follows:

7.1 Frame sequences and acknowledgements

Co-operation takes place between the Master and Slave during the transmission of a frame. Figure 3 is a flowchart showing the interaction between the Master and a Slave for both writing (Master to Slave) data, and reading (Slave to Master) data.

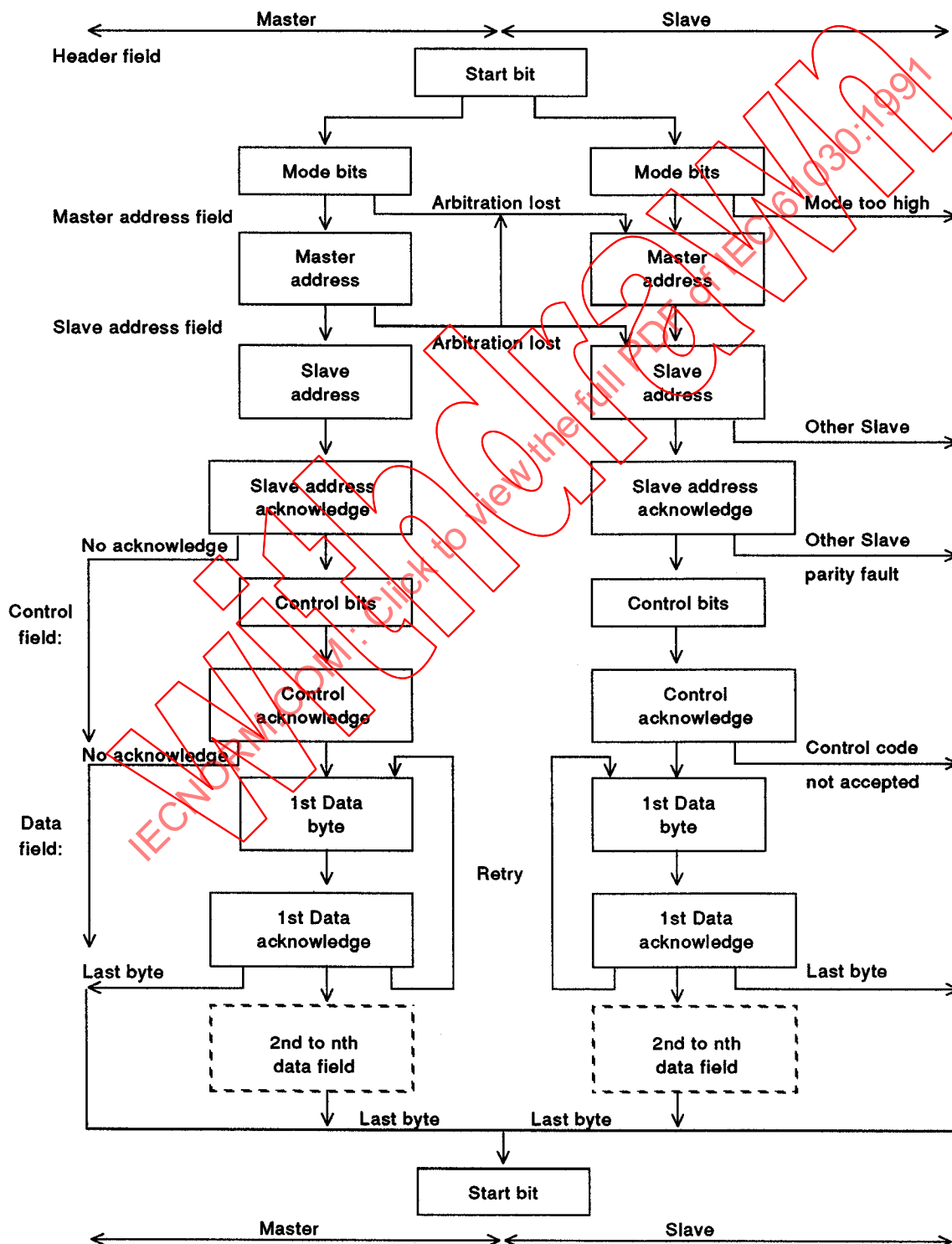
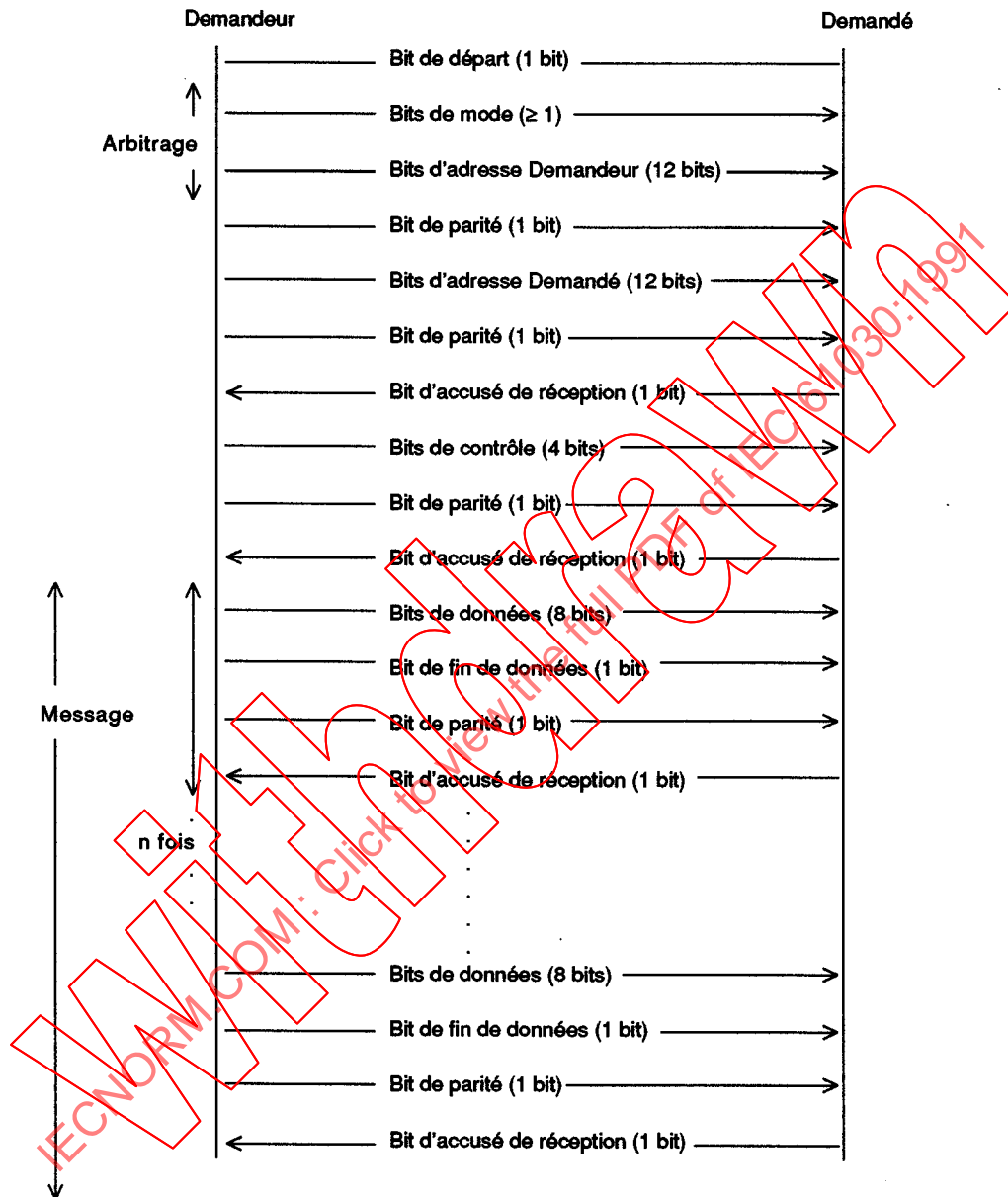


Figure 3 - Flowchart showing frame exchange protocol

7.1.1 Séquence d'écriture

Un Demandeur envoie (écrit) des données à un Demandé qui accuse réception des données, dans l'ordre indiqué à la figure 4.

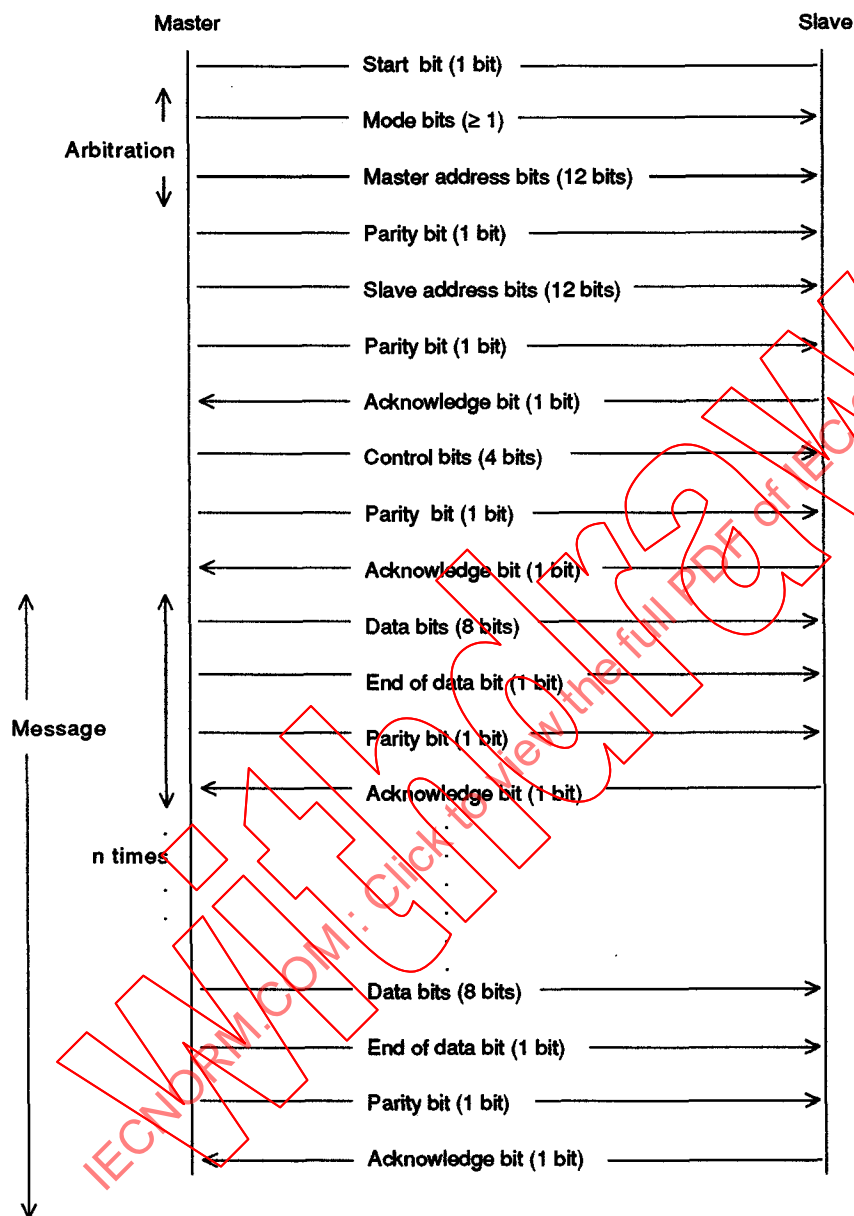


NOTE - Les modes 0, 1 et 2 sont actuellement définis.
Le nombre de bits est ≥ 1 et ≤ 3 .

Figure 4 - Séquence des bits de trame lors d'un transfert Demandeur vers Demandé - Ecriture

7.1.1 Write sequence

A Master sends (writes) data to a Slave which acknowledges the data, in the sequence shown in figure 4.

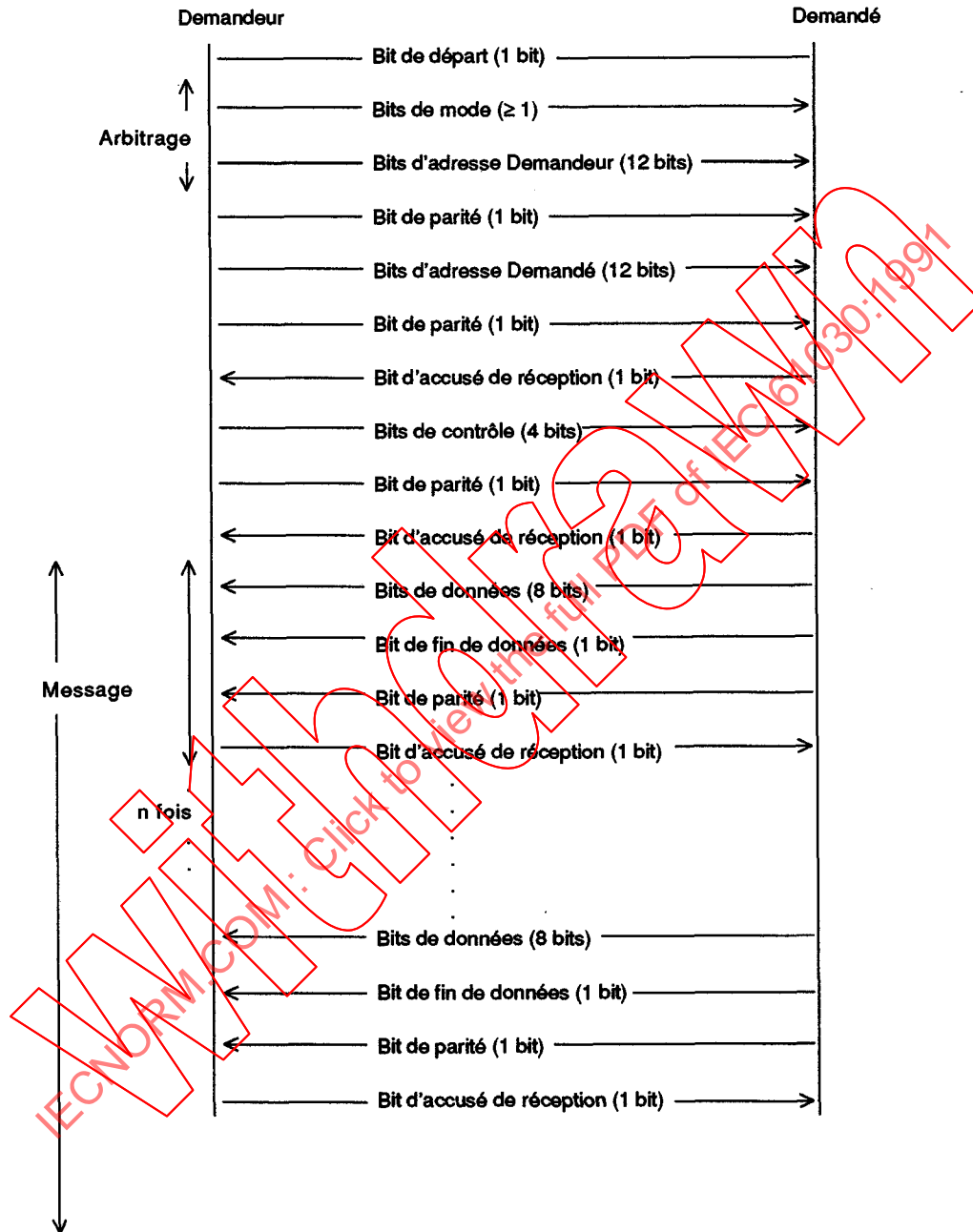


NOTE - Currently the modes 0, 1 and 2 are defined.
The number of bits is ≥ 1 and ≤ 3 .

Figure 4 - Sequence of frame bits during a Master to Slave transfer – Write action

7.1.2 Séquence de lecture

Un Demandeur reçoit (lit) des données d'un Demandé, et accuse réception des données, dans l'ordre indiqué à la figure 5.

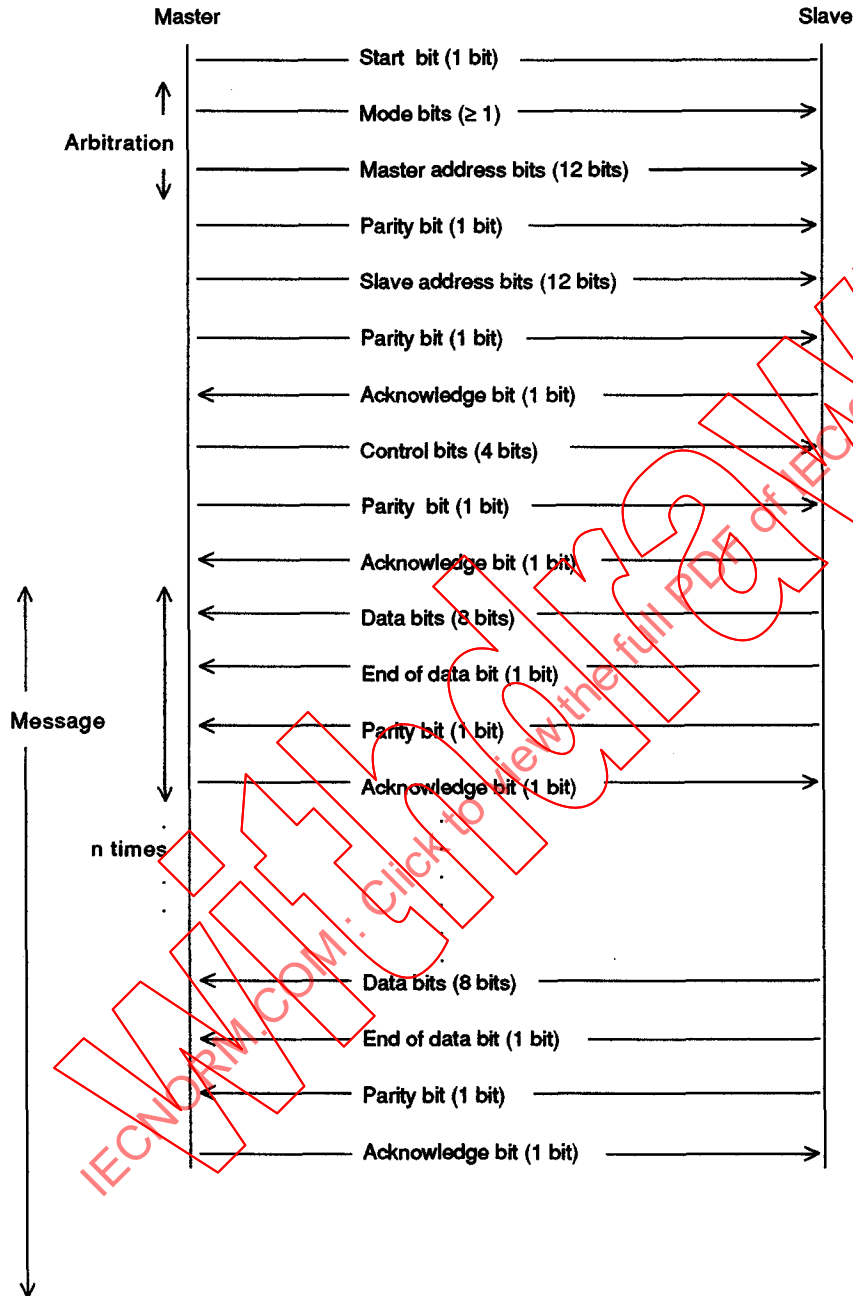


NOTE - Les modes 0, 1 et 2 sont actuellement définis.
Le nombre de bits est ≥ 1 et ≤ 3 .

Figure 5 - Séquence des bits de trame lors d'un transfert Demandé vers Demandeur - Lecture

7.1.2 Read sequence

A Master receives (reads) data from a Slave, and acknowledges the data, in the sequence shown in figure 5.



NOTE - Currently the modes 0, 1 and 2 are defined.
The number of bits is ≥ 1 and ≤ 3 .

Figure 5 - Sequence of frame bits during a Slave to Master transfer –
Read action

7.2 Description du protocole de trame

La figure 6 donne une vue d'ensemble du protocole de trame

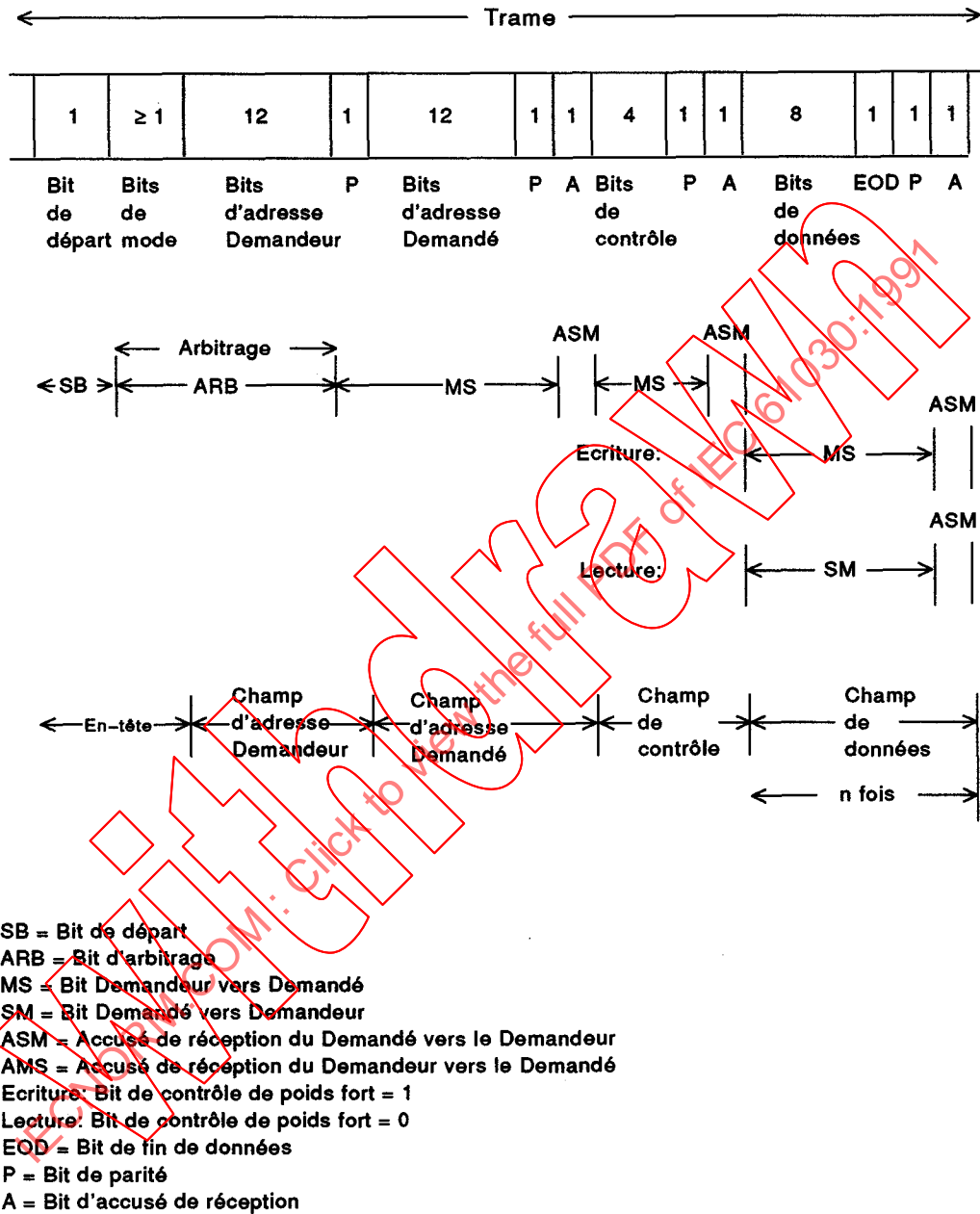


Figure 6 - Format de la trame

7.2.1 Bit de départ

Le bit de départ vérifie que le bus est libre et indique le départ d'une trame par une transition de «1» à «0» et une période de durée définie pour l'état «0».

7.2 Description of the frame protocol

Figure 6 gives an overall view of the frame format.

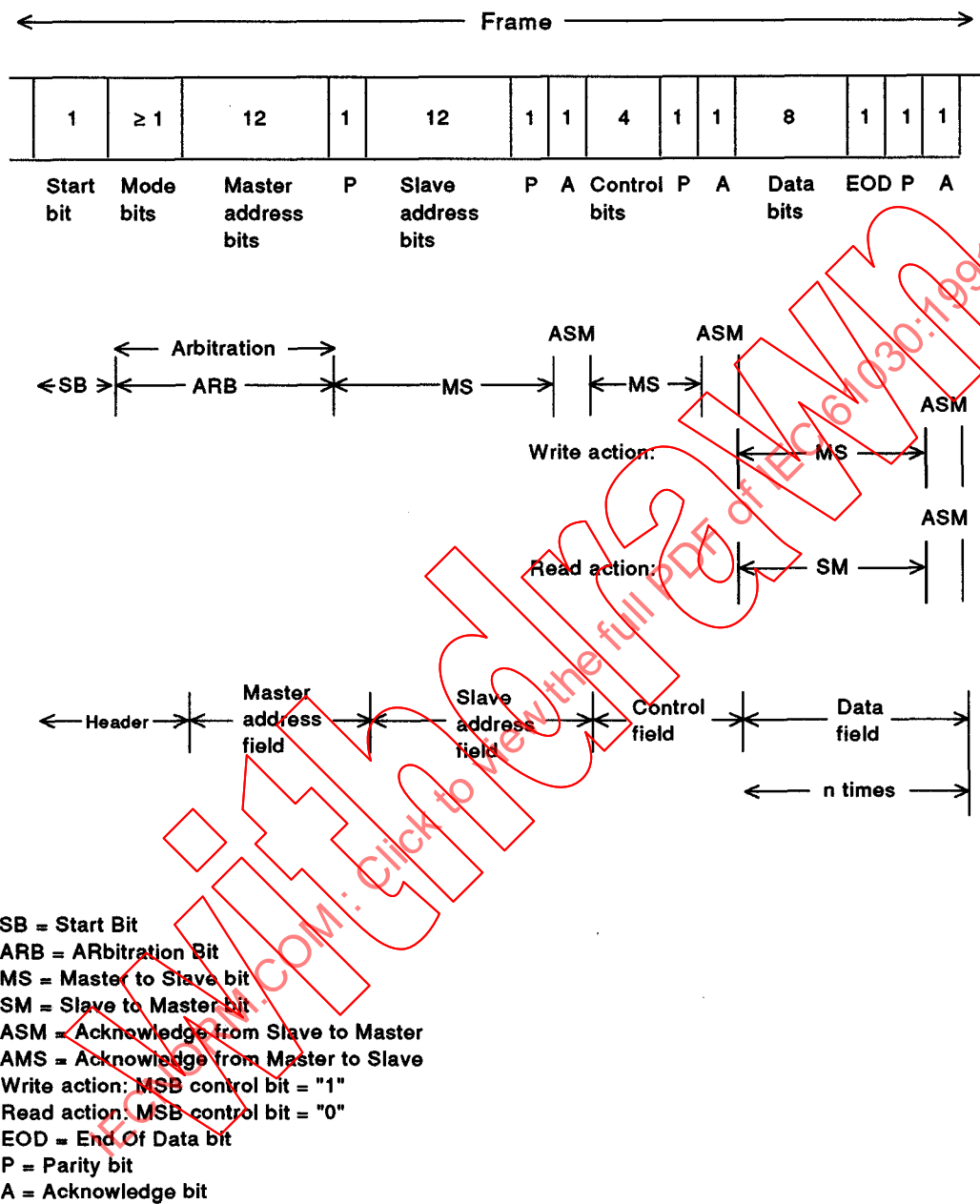


Figure 6 - Frame format

7.2.1 Start bit

The start bit checks if the bus is free and indicates the start of a frame by a "1" to "0" transition and a defined period for the "0" state.

7.2.2 Bits de mode

Nombre de bits: dépend du mode.

Le nombre de «1» précédant le «0» donne le numéro du mode (voir tableau 2).

Tableau 2 - Assignment des bits de mode

Mode	Valeur du bit de mode
0	0
1	10
2	110
.	111... (réservé pour une normalisation ultérieure)

L'arbitrage de mode donne automatiquement la priorité au mode le plus bas, puisque «0» surpasse «1».

Chaque trame débute avec la vitesse de transmission du mode le plus bas; ainsi le bit de départ et le premier bit du champ de mode sont transmis à la vitesse du mode 0.

Si le premier bit du champ de mode est «0», tous les autres bits constituant la trame sont transmis en mode 0.

Si le premier bit du champ de mode est «1», alors le second bit du champ de mode est transmis en mode 1.

Si le second bit du champ de mode est «0» tous les autres bits constituant la trame sont transmis en mode 1.

Si le second bit du champ de mode est «1» alors le troisième bit du champ de mode est transmis en mode 2.

Si le troisième bit du champ de mode est «0», tous les autres bits constituant la trame sont transmis en mode 2.

Si le troisième bit du champ de mode est «1», la spécification de tous les autres bits constituant la trame est réservée pour une compatibilité avec des modes plus élevés qui seront élevés ultérieurement.

7.2.2 Mode bits

Number of bits: depends upon the mode.

Number of "1"s preceding the "0" gives the number of the mode (see table 2).

Table 2 - Mode bit allocation

Mode	Mode bit value
0	0
1	10
2	110
.	111... (reserved for future standardization)

Mode arbitration is automatically in favour of the lowest mode since "0" overrides "1".

Each frame will start in the lowest mode, so the start bit and the first bit of the mode field are at mode 0 signalling speed.

If the first bit of the mode field is "0" all the remaining bits of the frame are at mode 0 signalling speed.

If the first bit of the mode field is "1" then the second bit of the mode field is at mode 1 signalling speed.

If the second bit of the mode field is "0" all the remaining frame bits are at mode 1 signalling speed.

If the second bit of the mode field is "1" then the third bit of the mode field is at mode 2 signalling speed.

If the third bit of the mode field is "0" all the remaining bits of the frame are at mode 2 signalling speed.

If the third bit of the mode field is "1", all the remaining bits of the frame are reserved to be specified for compatibility with future higher modes.

7.2.3 Bits d'adresse du Demandeur

Nombre de bits: 12 pour le numéro d'adresse plus 1 pour obtenir une parité impaire.

Ainsi le bit de parité est:

- à l'état logique «1» si les 12 bits d'adresse comprennent un nombre pair de «1»;
- à l'état logique «0» si les 12 bits d'adresse comprennent un nombre impair de «1».

L'adresse est un nombre binaire défini par ces 12 bits, le bit de poids fort étant transmis le premier.

Pour le Demandeur, l'arbitrage donne automatiquement la priorité à l'adresse la plus basse, puisque «0» surpasse «1».

7.2.4 Bits d'adresse du Demandé

Même format que pour le numéro d'adresse du Demandeur, sans arbitrage.

7.2.4.1 Accusé de réception de l'adresse du Demandé

L'accusé de réception est transmis du Demandé vers le Demandeur, indiquant que les conditions ci-après sont remplies simultanément:

- le Demandé est présent et capable de traiter le mode;
- pas d'erreur de parité sur le numéro d'adresse du Demandeur;
- pas d'erreur de parité sur le numéro d'adresse du Demandé;
- pas d'erreur de chronologie.

Si aucun accusé de réception n'est reçu, l'élément qui a transmis le message arrête la transmission.

7.2.5 Bits de contrôle

Nombre de bits: 4 données pour le contrôle plus 1 bit pour parité impaire, suivi d'une période pour l'accusé de réception par le Demandé, le bit de poids fort étant transmis le premier.

Le bit de parité est:

- état logique «1» si les 4 bits de contrôle comprennent un nombre pair de «1»;
- état logique «0» si les 4 bits de contrôle comprennent un nombre impair de «1».

Les données de contrôle définissent:

- la direction du transfert: Demandeur vers Demandé ou Demandé vers Demandeur;
- le type de transfert: non verrouillé, transfert et verrouillage, transfert et déverrouillage. Quand le Demandé est verrouillé, aucune interruption par une autre unité n'est autorisée sauf au moyen du code de commande «non verrouillé» (voir tableau 3).

7.2.3 Master address bits

Number of bits: 12 for address number plus 1 for odd parity

The parity bit is therefore:

- logical "1" when the 12 address bits comprise an even number of "1"s;
- logical "0" when the 12 address bits comprise an odd number of "1"s.

The address number is a binary number defined by the 12 bits with the most significant bit first.

Master arbitration is automatically in favour of the lowest address number since "0" overrides "1".

7.2.4 Slave address bits

The same as for Master address number, except that there is no arbitration.

7.2.4.1 Slave address acknowledge

Acknowledge is transmitted from Slave to Master indicating that the following conditions are simultaneously met:

- Slave is present and able to handle the mode;
- no parity failure on received Master address number;
- no parity failure on received Slave address number;
- no timing error.

If no acknowledgement is received the transmitter will stop transmitting.

7.2.5 Control bits

Number of bits: 4 for control code plus 1 odd parity, followed by the period for acknowledgement by the Slave, most significant bit first.

The parity will be:

- logical "1" when the 4 bit control code comprises an even number of "1"s,
- logical "0" when the 4 bit control code comprises an odd number of "1"s.

The control data define:

- direction of transfer: Master to Slave or Slave to Master;
- type of transfer: not locked, transfer and lock, transfer and unlock. When the Slave is locked, no interruption is allowed by other devices, except by means of a "not locked" control code (see table 3).

En conséquence, seul le Demandeur qui est à l'origine du verrouillage peut déverrouiller le Demandé. Pour le Demandé, il n'y a que la fonction Demandé qui est verrouillée. La fonction Demandeur subsiste, ce qui signifie qu'un poste Demandé et verrouillé peut temporairement devenir Demandeur, mais en tant que Demandé il restera verrouillé sur le Demandeur auquel il est lié.

7.2.5.1 Interprétation des quatre bits de contrôle

B3 est le bit de poids fort et il est transmis le premier.

Tableau 3 - Assignment des codes de contrôle

B3	B2	B1	B0	Sens du transfert	Opération	Verrouillage
0	0	0	0	Demandé vers Demandeur	Lire état du Demandé	Non verrouillé
0	0	0	1		Réservé pour normalisation ultérieure	
0	0	1	0		Lire état du Demandé	Verrouillé
0	0	1	1		Lire données	Verrouillé
0	1	0	0		Lire quartets adresse verrouillante de poids moyen et faible	Non verrouillé
0	1	0	1		Lire quartet adresse verrouillante de poids fort	
0	1	1	0		Lire état du Demandé	Non verrouillé
0	1	1	1		Lire données	Déverrouillage
1	0	0	0	Demandeur vers Demandé	Ecrire adresse mémoire des propriétés	Verrouillé
1	0	0	1		Réservé pour normalisation ultérieure	
1	0	1	0		Ecrire les commandes	Verrouillé
1	0	1	1		Ecrire les données	Verrouillé
1	1	0	0		Réservé pour normalisation ultérieure	
1	1	0	1		Réservé pour normalisation ultérieure	
1	1	1	0		Ecrire les commandes	Déverrouillage
1	1	1	1		Ecrire les données	Déverrouillage

Lorsque les données de contrôle définissent une fonction «non verrouillée», tous les Demandés doivent être capables de répondre même lorsqu'ils sont verrouillés à un autre Demandeur.

Une fonction «non verrouillée» n'a pas d'influence sur l'état de verrouillage du Demandé.

7.2.5.2 Accusé de réception de contrôle

Un accusé de réception transmis du Demandé vers le Demandeur indique que les conditions suivantes sont remplies simultanément:

- pas d'erreur de parité sur les bits de contrôle;
- la mémoire tampon de réception du Demandé est vide et la direction de l'échange est du Demandeur vers le Demandé;
- la mémoire tampon d'émission du Demandé contient des données et la direction de l'échange est du Demandé vers le Demandeur;
- le Demandé n'est pas verrouillé sur un autre Demandeur, sauf dans le cas où une fonction «non verrouillée» est demandée;

Consequently only the locking Master can unlock the Slave. For the Slave, only the slave function is locked. The master function remains enabled e.g. a locked slave device can temporarily become a master but, as a slave, it remains locked to its locking master.

7.2.5.1 Interpretation of the four control bits

B3 is the most significant bit and is transmitted first.

Table 3 - Control code allocation

B3	B2	B1	B0	Direction of the message	Operation	Locking
0	0	0	0	From Slave to Master	Read slave status	Not locked
0	0	0	1		Reserved for future standardization	
0	0	1	0		Read slave status	Lock
0	0	1	1		Read data	Lock
0	1	0	0		Read mid and least significant lock address nibbles	Not locked
0	1	0	1		Read most significant lock address nibble	
0	1	1	0		Read slave status	Not locked
0	1	1	1		Read data	Unlock Unlock
1	0	0	0	From Master to Slave	Write property memory address	Lock
1	0	0	1		Reserve for future standardization	
1	0	1	0		Write command	Lock
1	0	1	1		Write data	Lock
1	1	0	0		Reserved for future standardization	
1	1	0	1		Reserved for future standardization	
1	1	1	0		Write command	Unlock
1	1	1	1		Write data	Unlock

When the control data specify a "not locked" function, all slaves must be able to respond even when locked to another master.

A "not locked" function has no influence on the subsequent lock status of the slave.

7.2.5.2 Control acknowledge

An acknowledgement transmitted from Slave to Master indicates that the following conditions are simultaneously met:

- no parity failure on control bits;
- Slave receiver buffer is empty in case of a transfer from Master to Slave;
- Slave transmitter buffer contains data in case of a transfer from Slave to Master;
- Slave is not locked to another Master, except when a "not locked" function is requested;

- le Demandé met en oeuvre une mémoire des propriétés et l'ordre «Ecrire adresse mémoire des propriétés» est transmis;
- pas d'erreur de chronologie.

Si aucun accusé de réception n'est reçu, l'élément qui a transmis le message arrête sa transmission.

7.2.6 Champ des données

Les octets de données de 8 bits sont transmis, en commençant par le bit de poids fort. L'interprétation est définie par le code de contrôle (voir 7.2.5.1).

7.2.6.1 Bits de données

Nombre de bits: 8 bits de données plus 1 bit de fin de données plus 1 bit de parité impaire, suivis d'un bit pour l'accusé de réception.

7.2.6.2 Bit de fin de données

Interprétation du bit de fin de données:

- l'état logique «0» indique qu'il s'agissait du dernier octet de données du transfert en cours;
- l'état logique «1» indique qu'un autre octet de données va suivre.

7.2.6.3 Bit de parité de données

Le bit de parité est:

- soit l'état logique «1» si les 9 bits constituant le code à 8 bits plus le bit de fin de données comprennent un nombre pair de «1»;
- soit l'état logique «0» si les 9 bits constituant le code à 8 bits plus le bit de fin de données comprennent un nombre impair de «1».

7.2.6.4 Bit d'accusé de réception de données

L'accusé de réception est transmis soit du Demandé vers le Demandeur (succédant au transfert Demandeur/Demandé) ce qui indique:

- qu'il n'y a pas d'erreur de parité sur le dernier transfert de données;
- que la mémoire tampon de réception du Demandé n'est pas pleine;
- qu'il n'y a pas d'erreur de chronologie sur le dernier transfert de données;

soit du Demandeur vers le Demandé (succédant au transfert Demandé/Demandeur) ce qui indique:

- qu'il n'y a pas d'erreur de parité sur le dernier transfert de données;
- que la mémoire tampon de réception du Demandeur n'est pas pleine;
- qu'il n'y a pas d'erreur de chronologie sur le dernier transfert de données.

Si aucun accusé de réception n'est reçu, l'élément qui a transmis le dernier octet doit essayer de le transmettre à nouveau sauf si cet octet était le dernier octet prévu dans une trame.

Un accusé de réception de données positif signifie que l'octet a été correctement reçu.

- a property memory is implemented in the Slave and a "Write Property memory address" is transmitted;
- no timing error.

If no acknowledgement is received, the transmitter will stop transmitting.

7.2.6 Data field

The 8-bit data bytes are transmitted most significant bit first. The interpretation is specified by the control code, (see 7.2.5.1).

7.2.6.1 Data bits

Number of bits: 8 data bits plus 1 End of Data bit plus odd parity bit, followed by 1 Acknowledgement bit.

7.2.6.2 End of data bit

Interpretation of end of data bit:

- "0" indicates that this was the last data byte of the current frame;
- "1" indicates that a further data byte will follow.

7.2.6.3 Data parity bit

The parity bit is either:

- logical "1" if the 9 bits comprising the 8 bits of the data byte plus the End of Data bit include an even number of "1"s;
- logical "0" if the 9 bits comprising the 8 bits of the data byte plus the End of Data bit include an odd number of "1"s.

7.2.6.4 Data acknowledge bit

Acknowledgement is transmitted either from Slave to Master (following a Master to Slave transfer) indicating:

- no parity failure on last data transfer;
- slave receiver buffer is not full;
- no timing error on last data transfer;

or from Master to Slave (following a Slave to Master transfer) indicating:

- no parity failure on last data transfer;
- master receiver buffer not full;
- no timing error on last data transfer.

If no acknowledgement is received the transmitter shall attempt retransmission of the byte, except when this byte was the last byte allowed for in a frame.

A positive data acknowledge means that the byte has been properly received.

7.2.7 Bits d'accusé de réception

Un état logique «0» indique une réponse affirmative.

Un état logique «1» indique une réponse négative.

7.2.8 Mise en oeuvre du verrouillage et du déverrouillage

L'état de verrouillage (bit 2 de l'état du Demandé) doit être activé quand le premier accusé de réception de valeur «0» survient et que les données de contrôle de la trame spécifient verrouillage.

L'état de verrouillage (bit 2 de l'état du Demandé) doit être désactivé quand le premier accusé de réception de valeur «0» survient et que les données de contrôle de la trame spécifient déverrouillage.

7.2.9 Protocole d'accès au support

7.2.9.1 Caractéristiques physiques

L'accès au support en système D2B utilise le Réseau à Accès Multiple avec Détection de Porteuse et Détection de Collision (CSMA/CD).

7.2.9.2 Détection de porteuse

Une unité acquiert le support en lançant le bit de départ: - un «1» suivi d'une transition à «0». Si à un moment quelconque, alors que le bit de départ est à «1», une unité détecte un «0» sur le support, elle cède le support à l'unité (ou aux unités) transmettant le «0». Le «0» a priorité sur le «1» sur un support.

7.2.9.3 Détection de collision

Lorsqu'une unité lance la transition du bit de départ vers l'état «0» elle doit contrôler le support jusqu'à ce qu'il termine la transmission du champ d'adresse Demandeur. Si, à un moment quelconque pendant cette période, l'unité transmet un «1» alors qu'elle constate la présence d'un «0» sur le support, une collision est détectée. L'unité émettrice détectant une collision doit immédiatement cesser de transmettre.

8 Format des bits

8.1 Format général des bits

Tous les bits placés sur le bus de données comportent quatre parties transmises séquentiellement:

- une période haute initiale à l'état logique «1», la Période de préparation;
- une période basse suivante à l'état logique «0», la Période de synchronisation et de départ;
- une période contenant la valeur effective du bit, la Période de donnée;
- une période finale à l'état logique «1», la Période d'arrêt.

La durée des bits et leurs subdivisions dépendent du mode utilisé, du type de données transmises, des temps de propagation maximaux spécifiés sur le bus, et des temps maximaux de montée et de descente du signal sur l'entrée du récepteur.

7.2.7 Acknowledgement data

A "0" value indicates acknowledgement.

A "1" value indicates no acknowledgement.

7.2.8 Activating the lock/unlock function

The lock status (slave status bit 2) shall be set when the first data acknowledge with value "0" occurs and when the control field of the frame specifies lock.

The lock status (slave status bit 2) shall be reset when the first data acknowledge with value "0" occurs and when the control field of the frame specifies unlock.

7.2.9 Medium access protocol

7.2.9.1 Physical characteristics

Medium access in D2B employs Carrier Sense Multiple Access with Collision Detection (CSMA/CD).

7.2.9.2 Carrier sense

A device acquires the medium by issuing the start bit: - a "1" followed by a transition to "0". If at any time, while the start bit is "1", a device senses a "0" on the medium, it yields the medium to the device(s) transmitting the "0". The "0" overrides the "1" on a medium.

7.2.9.3 Collision detection.

Once a device issues the start bit transition to the "0" state it shall then monitor the medium until it completes the transmission of the Master address field. If at any time during this period, the device transmits a "1" while monitoring a "0" on the medium, a collision is detected. The transmitting device detecting a collision shall at once cease transmission.

8 Bit formats

8.1 General bit format

All bits placed on the data bus have four sections transmitted sequentially:

- an initial high period at logic level "1", the Preparation Period;
- a following low period at logic level "0", the Synchronization and Start Period;
- a period containing the actual bit value, the Data Period;
- a final period containing logic level "1", the Stop Period.

The duration of the bits and their subdivisions depend upon the mode in use, the type of bits being transmitted, the specified maximum propagation times through the bus and the maximum specified rise and fall times of the signal at a receiving port.

Dans le cas de bits prenant part à un arbitrage, les deuxième et troisième parties des bits sont elles-mêmes subdivisées en une paire d'intervalles de temps. Cela permet à un Demandeur en instance de vérifier les conditions sur le bus avant d'opérer.

Dans les définitions suivantes des différents types de bits de données, les intervalles de temps relatifs à un Demandeur sont désignés t_1 , t_2 , t_3 , t_4 , t_5 et t_6 ($t_1' = t_1$ de la période bit suivante, $t_2' = t_2$ de la période bit suivante). Les intervalles de temps relatifs à un Demandé sont désignés t_a , t_b , t_c ($t_a' = t_a$ de la période bit suivante). Les durées de ces intervalles de temps dépendent du type de bit et sont exprimées en termes d'impulsions d'horloge à la fréquence d'horloge du mode (voir figures 8, 9, 10 et 11 et tableau 1).

Le calcul des paramètres temporels tient compte des retards dus au filtre numérique et à la bascule FF3 (un exemple de ce circuit est donné à la figure 7). Dans l'exemple donné, la première bascule (FF0) synchronise le signal asynchrone du bus sur l'horloge du filtre.

Les deux autres bascules (FF1, FF2) assurent ensuite la stabilité du signal Q2 pendant au moins deux cycles d'horloge. La bascule FF3 synchronise le signal asynchrone de sortie du filtre (Q2) sur l'horloge du circuit logique. Les paramètres de temps des bits, indiqués dans la description des divers types de bit devant être traités, sont relatifs à l'entrée Q3 du circuit logique.

Les horloges du filtre et du circuit logique peuvent être asynchrones mais leurs fréquences doivent remplir les conditions de l'article 4.

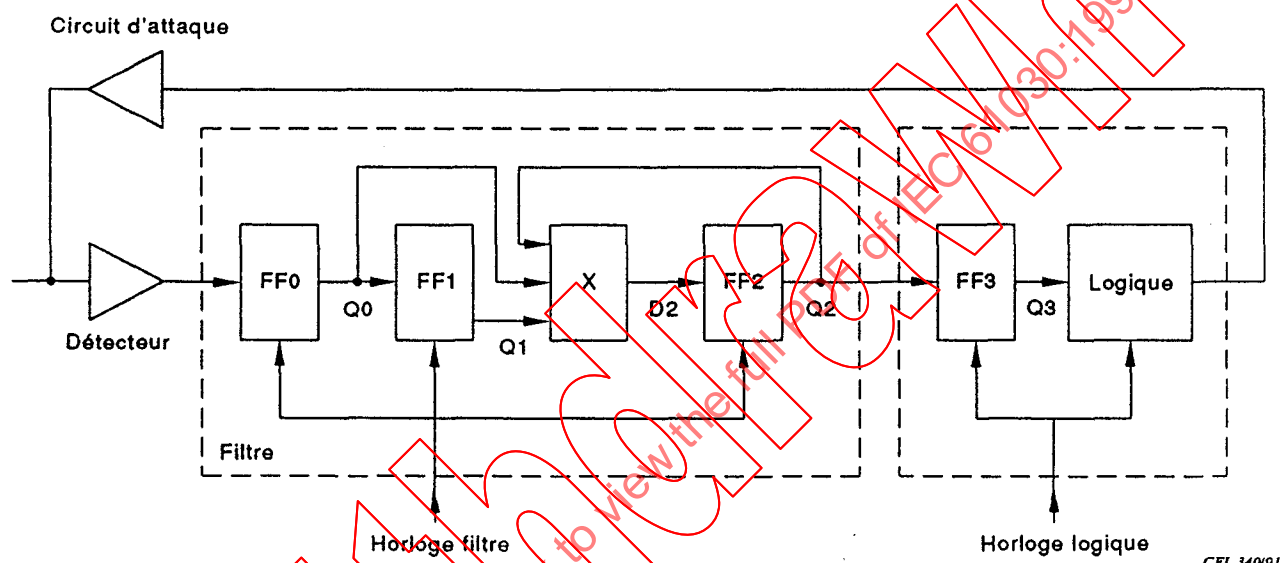
In the case of bits taking part in arbitration, the second and third parts of these bits are divided into a pair of time intervals. This is to permit an intending Master to check the conditions on the bus before proceeding.

In the following definitions of the various types of bits, the time intervals relating to the Master are specified as t_1 , t_2 , t_3 , t_4 , t_5 and t_6 (t_1' = t_1 of next bit period, t_2' = t_2 of next bit period). Time intervals relating to the Slave are specified as t_a , t_b and t_c (t_a' = t_a of next bit period). The durations of these time intervals depend on the type of bit and are expressed in terms of the number of clock pulses. (see figures 8, 9, 10, 11). The clock frequency depends on the mode, see table 1.

The calculation of the timing parameters has taken into account the delay caused by the digital filter circuit and flipflop FF3 (an example of this circuit is shown in figure 7). In the example shown, the first flipflop (FF0) synchronizes the asynchronous bus signal with the filter clock.

The other two flipflops (FF1, FF2) then ensure that the signal Q2 remains stable for at least two clock cycles. The flipflop FF3 synchronizes the asynchronous filter output signal (Q2) with the logic clock. The bit timing parameters, specified in the description of the various bit types to be handled, are related to the input Q3 of the logic circuit.

The clocks of the filter and the logic may be asynchronous, but their frequencies shall fulfil the requirements of clause 4.

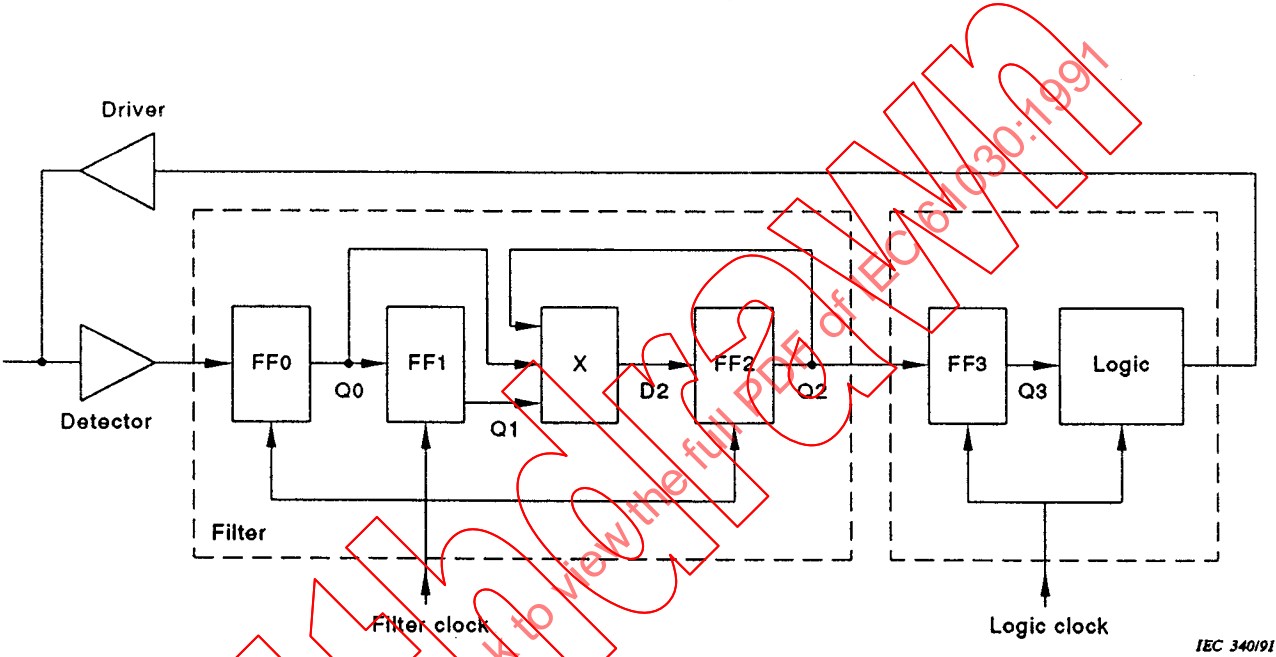


CEI 340/91

Fonction logique X:

Q0	Q1	Q2	D2
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Figure 7 - Exemple d'un circuit de filtrage numérique D2B



Logic function X:

Q0	Q1	Q2	D2
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Figure 7 - Example of a D2B digital filter

8.2 Description détaillée des formats des bits

8.2.1 Introduction

La construction suivante est utilisée pour la description des états des différents types de bits:

Etat T(X):	une certaine portion de temps X d'un bit.
Condition:	conditions valides sur le front d'horloge.
Action:	actions devant être exécutées lors du front d'horloge pour lequel les conditions sont vérifiées.

Le circuit logique qui effectue le traitement temporel doit répondre aux contraintes suivantes:

- le résultat des actions et leurs conditions résultantes doivent être stables pendant une période d'horloge;
- le retard entre le front d'horloge et la sortie (voir ci-dessous) est compris dans le retard du circuit d'attaque (voir 14.3.6).

Dans la description des états des différents types de bit, on utilise les définitions suivantes:

Définition des bits:

- entrée: entrée Q3 du circuit logique;
- sortie: signal de sortie du circuit logique;
- bit transmis: représente la valeur («0» ou «1») du bit transmis;
- valeur bit: représente la valeur («0» ou «1») du bit reçu.

Conditions:

- demande d'émettre: demande de transmission en attente,
- arbitrage non perdu,
- arbitrage perdu,
- dernier bit de la trame,
- non dernier bit de la trame.

Définition de la procédure:

- erreur de temps: gestion des erreurs de chronologie et passage subséquent à ETAT (Ta du bit de départ).

Définition des données:

- clcnt: valeur d'un compteur d'impulsions d'horloge.

8.2 Detailed description of the bit formats

8.2.1 Introduction

The following construction is used in the state description of the various types of bits:

State T(X):	a certain time section X of a bit.
Condition:	the conditions valid on the clock edge.
Action:	actions to be executed on the clock edge on which the conditions are true.

The following constraints are imposed on the logic that handles the bit timing:

- the result of actions and the resulting conditions shall be stable within one clock pulse period;
- the delay between the clock edge and the busout signal (see below) is included in the driver delay (see 14.3.6).

The following definitions are used in the state description of the various types of bits.

Bit definitions :

- **busin:** input Q3 of the logic;
- **busout:** output signal of the logic;
- **relevant-bit:** represents the value ("0" or "1") of the bit that is transmitted;
- **bit-value:** represents the value ("0" or "1") of the bit that is received.

Conditions:

- **master-request:** request for transmission pending,
- **arbitration-not-lost,**
- **arbitration-lost,**
- **last-bit-in-the-frame,**
- **not-last-bit-in-the-frame.**

Procedure definition:

- **timing error:** timing error handling and after the timing error handling go to STATE (Ta of start-bit);

Data definition:

- **clcnt:** clock pulse counter value.

8.2.2 Bit de départ (voir figure 8)

Utilise dans tous les cas la fréquence d'horloge du mode 0.

Description

- Initialisation

Etat (Ta)

Condition: entrée = «0»
Action: sortie := «1»
compteur := tb
état := ETAT(Tb)

Condition: entrée = «1» ET demande d'émettre = «0»
Action: sortie := «1»
état := ETAT(Ta)

Condition: entrée = «1» ET demande d'émettre = «1»
Action: sortie := «1»
compteur := t1
état := ETAT(T1)

- Pour le Demandeur

Etat (T1)

Condition: entrée = «0»
Action: sortie := «1»
compteur := tb
état := ETAT(Tb)

Condition: entrée = «1» ET compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(T1)

Condition: entrée = «1» ET compteur = «1»
Action: sortie := «0»
compteur := t2
état := ETAT(T2)

Etat (T2)

Condition: entrée = «0»
Action: sortie := «0»
compteur := t3
état := ETAT(T3)

Condition: entrée = «1» ET compteur > 1
Action: sortie := «0»
compteur := compteur - 1
état := ETAT(T2)

Condition: entrée = «1» ET compteur = «1»
Action: sortie := «1»
erreur de temps

8.2.2 Start bit (see figure 8)

Always uses mode 0 clock frequency

Description

- Initial

State (Ta)

Condition: busin = "0"
 Action: busout := "1"
 clcnt := tb
 state := STATE(Tb)

Condition: busin = "1" AND master request = "0"
 Action: busout := "1"
 state := STATE(Ta)

Condition: busin = "1" AND master request = "1"
 Action: busout := "1"
 clcnt := t1
 state := STATE(T1)

- For the Master State (T1)

Condition: busin = "0"
 Action: busout := "1"
 clcnt := tb
 state := STATE(Tb)

Condition: busin = "1" AND clcnt > 1
 Action: busout := "1"
 clcnt := clcnt - 1
 state := STATE(T1)

Condition: busin = "1" AND clcnt = "1"
 Action: busout := "0"
 clcnt := t2
 state := STATE(T2)

State (T2)

Condition: busin = "0"
 Action: busout := "0"
 clcnt := t3
 state := STATE(T3)

Condition: busin = "1" AND clcnt > 1
 Action: busout := "0"
 clcnt := clcnt - 1
 state := STATE(T2)

Condition: busin = "1" AND clcnt = "1"
 Action: busout := "1"
 timing error

Etat (T3)

Condition: entrée = «0» ET compteur > 1
Action: sortie := «0»
compteur := compteur - 1
état := ETAT(T3)

Condition: entrée = «0» ET compteur = 1
Action: sortie := «1»
compteur := t4
état := ETAT(T4)

Condition: entrée = «1»
Action: sortie := «1»
erreur de temps

Etat (T4)

Condition: entrée = «0» ET compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(T4)

Condition: entrée = «0» ET compteur = 1
Action: sortie := «1»
erreur de temps

Condition: entrée = «1»
Action: sortie := «1»
compteur := t1
état := ETAT(T1')

- Pour le Demandé
Etat (Tb)

Condition: entrée = «0» ET compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(Tb)

Condition: entrée = «0» ET compteur = 1
Action: sortie := «1»
compteur := tc
état := ETAT(Tc)

Condition: entrée = «1» ET demande d'émettre = «0»
Action: sortie := «1»
état := ETAT(Ta)

Condition: entrée = «1» ET demande d'émettre = «1»
Action: sortie := «1»
compteur := t1
état := ETAT(T1)

State (T3)

Condition: busin = "0" AND clcnt > 1
Action: busout := "0"
 clcnt:= clcnt - 1
 state := STATE(T3)

Condition: busin = "0" AND clcnt = 1
Action: busout := "1"
 clcnt:= t4
 state:= STATE(T4)

Condition: busin = "1"
Action: busout := "1"
 timing error

State(T4)

Condition: busin = "0" AND clcnt > 1
Action: busout := "1"
 clcnt := clcnt - 1
 state := STATE(T4)

Condition: busin = "0" AND clcnt = 1
Action: busout := "1"
 timing error

Condition: busin = "1"
Action: busout := "1"
 clcnt := t1
 state := STATE(T1)

- For the Slave**State (Tb)**

Condition: busin = "0" AND clcnt > 1
Action: busout := "1"
 clcnt:= clcnt - 1
 state:= STATE(Tb)

Condition: busin = "0" AND clcnt = 1
Action: busout := "1"
 clcnt:= tc
 state:= STATE(Tc)

Condition: busin = "1" AND master request = "0"
Action: busout := "1"
 state := STATE(Ta)

Condition: busin = "1" AND master request = "1"
Action: busout := "1"
 clcnt := t1
 state := STATE(T1)

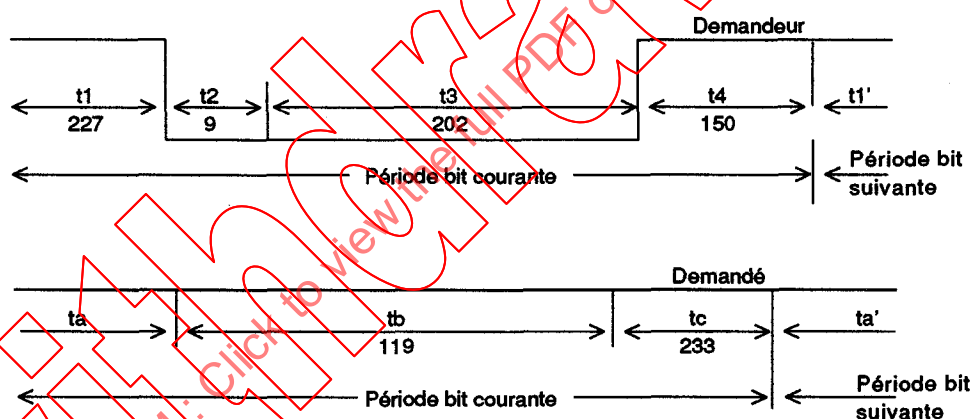
Etat (Tc)

Condition: entrée = «0» ET compteur > 1
 Action: sortie := «1»
 compteur := compteur - 1
 état := ETAT(Tc)

Condition: entrée = «0» ET compteur = 1
 Action: sortie := «1»
 erreur de temps

Condition: entrée = «1» ET demande d'émettre = «0»
 Action: sortie := «1»
 compteur := ta'
 état := ETAT(Ta')

Condition: entrée = «1» ET demande d'émettre = «1»
 Action: sortie := «1»
 compteur := t1'
 état := ETAT(T1')



NOTE - Les durées des intervalles de temps sont exprimées en nombre d'impulsions d'horloge.

Figure 8 - Bit de départ

State (Tc)

Condition: busin = "0" AND clcnt > 1

Action: busout := "1"
clcnt := clcnt - 1
state := STATE(Tc)

Condition: busin = "0" AND clcnt = 1

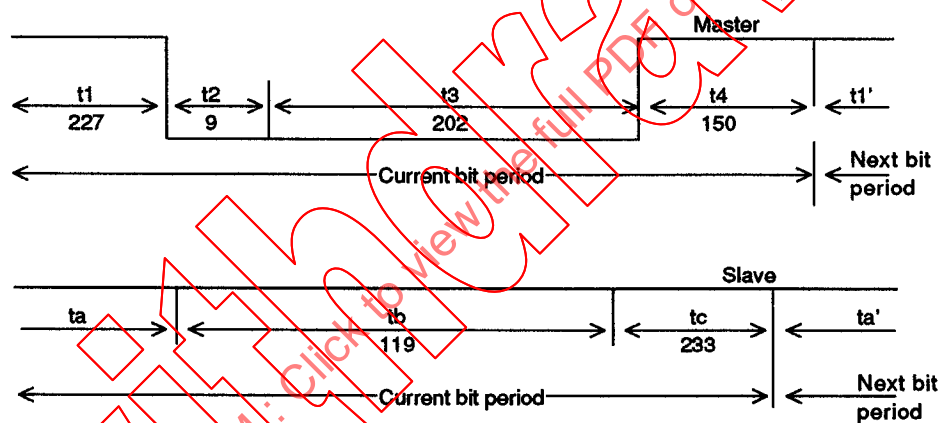
Action: busout := "1"
timing error

Condition: busin = "1" AND master request = "0"

Action: busout := "1"
clcnt := ta'
state := STATE(Ta')

Condition: busin = "1" AND master request = "1"

Action: busout := "1"
clcnt := t1'
state := STATE(T1')



NOTE - The durations of the time intervals are expressed as numbers of clock pulses.

Figure 8 - Start bit

8.2.3 Bits d'arbitrage (voir figure 9)

S'appliquent aux bits de mode et aux bits d'adresse du Demandeur (parité non comprise).
Les fréquences d'horloge dépendent du mode sélectionné.

- Pour le Demandeur

Etat (T1)

Condition: entrée = «0»
Action: sortie := «1»
compteur := t3
état := ETAT(T3)

Condition: entrée = «1» ET compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(T1)

Condition: entrée = «1» ET compteur = 1
Action: sortie := «0»
compteur := t2
état := ETAT(T2)

Etat (T2)

Condition: entrée = «0»
Action: sortie := «0»
compteur := t3
état := ETAT(T3)

Condition: entrée = «1» ET compteur > 1
Action: sortie := «0»
compteur := compteur - 1
état := ETAT(T2)

Condition: entrée = «1» ET compteur > 1
Action: sortie := «1»
erreur de temps

Etat (T3)

Condition: entrée = «0» ET compteur > 1
Action: sortie := «0»
compteur := compteur - 1
état := ETAT(T3)

Condition: entrée = «1» ET compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(T3)

Condition: entrée = «1»
Action: sortie := bit transmis
compteur := t4
état := ETAT(T4)

8.2.3 Arbitration bits (see figure 9)

Applies to mode bits and Master address bits (parity not included). Clock frequencies depend on the selected mode.

- For the Master State (T1)

Condition: busin = "0"
Action: busout := "1"
clcnt := t3
state := STATE(T3)

Condition: busin = "1" AND clcnt > 1
Action: busout := "1"
clcnt := clcnt - 1
state := STATE(T1)

Condition: busin = "1" AND clcnt = 1
Action: busout := "0"
clcnt := t2
state := STATE(T2)

State (T2)

Condition: busin = "0"
Action: busout := "0"
clcnt := t3
state := STATE(T3)

Condition: busin = "1" AND clcnt > 1
Action: busout := "0"
clcnt := clcnt - 1
state := STATE(T2)

Condition: busin = "1" AND clcnt = 1
Action: busout := "1"
timing error

State (T3)

Condition: busout = "0" AND clcnt > 1
Action: busout := "0"
clcnt := clcnt - 1
state := STATE(T3)

Condition: busout = "1" AND clcnt > 1
Action: busout := "1"
clcnt := clcnt - 1
state := STATE(T3)

Condition: clcnt = "1"
Action: busout := relevant bit
clcnt := t4
state := STATE(T4)

Etat (T4)

Condition: compteur > 1
Action: sortie := bit transmis
compteur := compteur - 1
état := ETAT(T4)

Condition: entrée = «0» ET compteur = 1 ET bit transmis = «0»
Action: sortie := bit transmis
compteur := t5
valeur bit := «0»
arbitrage non perdu
état := ETAT(T5)

Condition: entrée = «0» ET compteur = 1 ET bit transmis = «1»
Action: sortie := bit transmis
compteur := t5
valeur bit := «0»
arbitrage perdu
état := ETAT(T5)

Condition: entrée = «1» ET compteur = 1 ET bit transmis = «0»
Action: sortie := «1»
erreur de temps

Condition: entrée = «1» ET compteur = 1 ET bit transmis = «1»
Action: sortie := bit transmis
compteur := t5
valeur bit := «1»
arbitrage non perdu
état := ETAT(T5)

Etat (T5)

Condition: compteur > 1
Action: sortie := bit transmis
compteur := compteur - 1
état := ETAT(T5)

Condition: entrée = «0» ET compteur = 1
Action: sortie := «1»
compteur := t6
état := ETAT(T6)

Condition: entrée = «1» ET compteur = 1 ET arbitrage non perdu
Action: sortie := «1»
compteur := t1'
état := ETAT(T1')

Condition: entrée = «1» ET compteur = 1 ET arbitrage perdu
Action: sortie := «1»
compteur := ta'
état := ETAT(Ta')

State (T4)**Condition:** $clcnt > 1$ **Action:** $busout := \text{relevant bit}$
 $clcnt := clcnt - 1$
 $state := STATE(T4)$ **Condition:** $busin = "0" \text{ AND } clcnt = 1 \text{ AND relevant bit} = "0"$ **Action:** $busout := \text{relevant bit}$
 $clcnt := t5$
 $bit \text{ value} := "0"$
 $\text{arbitration not lost}$
 $state := STATE(T5)$ **Condition:** $busin = "0" \text{ AND } clcnt = 1 \text{ AND relevant bit} = "1"$ **Action:** $busout := \text{relevant bit}$
 $clcnt := t5$
 $bit \text{ value} := "0"$
 arbitration lost
 $state := STATE(T5)$ **Condition:** $busin = "1" \text{ AND } clcnt = 1 \text{ AND relevant bit} = "0"$ **Action:** $busout := "1"$
 timing error **Condition:** $busin = "1" \text{ AND } clcnt = 1 \text{ AND relevant bit} = "1"$ **Action:** $busout := \text{relevant bit}$
 $clcnt := t5$
 $bit \text{ value} := "1"$
 $\text{arbitration not lost}$
 $state := STATE(T5)$ **State (T5)****Condition:** $clcnt > 1$ **Action:** $busout := \text{relevant bit}$
 $clcnt := clcnt - 1$
 $state := STATE(T5)$ **Condition:** $busin = "0" \text{ AND } clcnt = 1$ **Action:** $busout := "1"$
 $clcnt := t6$
 $state := STATE(T6)$ **Condition:** $busin = "1" \text{ AND } clcnt = 1 \text{ AND arbitration not lost}$ **Action:** $busout := "1"$
 $clcnt := t1'$
 $state := STATE(T1')$ **Condition:** $busin = "1" \text{ AND } clcnt = 1 \text{ AND arbitration lost}$ **Action:** $busout := "1"$
 $clcnt := ta'$
 $state := STATE(Ta')$

Etat (T6)

Condition: entrée = «0» ET compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(T6)

Condition: entrée = «0» ET compteur = 1
Action: sortie := «1»
erreur de temps

Condition: entrée = «1» ET arbitrage non perdu
Action: sortie := «1»
compteur := t1'
état := ETAT(T1')

Condition: entrée = «1» ET arbitrage perdu
Action: sortie := «1»
compteur := ta'
état := ETAT(Ta')

- Pour le Demandé

Etat (Ta)

Condition: entrée = «0»
Action: sortie := «1»
compteur := tb
état := ETAT(Tb)

Condition: entrée = «1» ET compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(Ta)

Condition: entrée = «1» ET compteur = 1
Action: sortie := «1»
erreur de temps

Etat (Tb)

Condition: compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(Tb)

Condition: entrée = «0» ET compteur = 1
Action: sortie := «1»
compteur := tc
valeur bit := «0»
état := ETAT(Tc)

Condition: entrée = «1» ET compteur = 1
Action: sortie := «1»
compteur := ta'
valeur bit := «1»
état := ETAT(Ta')

State (T6)

Condition: busin = "0" AND clcnt > 1
 Action: busout := "1"
 clcnt := clcnt - 1
 state := STATE(T6)

Condition: busin = "0" AND clcnt = 1
 Action: busout := "1"
 timing error

Condition: busin = "1" AND arbitration not lost
 Action: busout := "1"
 clcnt := t1'
 state := STATE(T1')

Condition: busin = "1" AND arbitration lost
 Action: busout := "1"
 clcnt := ta'
 state := STATE(Ta')

- For the Slave**State (Ta)**

Condition: busin = "0"
 Action: busout := "1"
 clcnt := tb
 state := STATE(Tb)

Condition: busin = "1" AND clcnt > 1
 Action: busout := "1"
 clcnt := clcnt - 1
 state := STATE(Ta)

Condition: busin = "1" AND clcnt = 1
 Action: busout := "1"
 timing error

State (Tb)

Condition: clcnt > 1
 Action: busout := "1"
 clcnt := clcnt - 1
 state := STATE(Tb)

Condition: busin = "0" AND clcnt = 1
 Action: busout := "1"
 clcnt := tc
 bit value := "0"
 state := STATE(Tc)

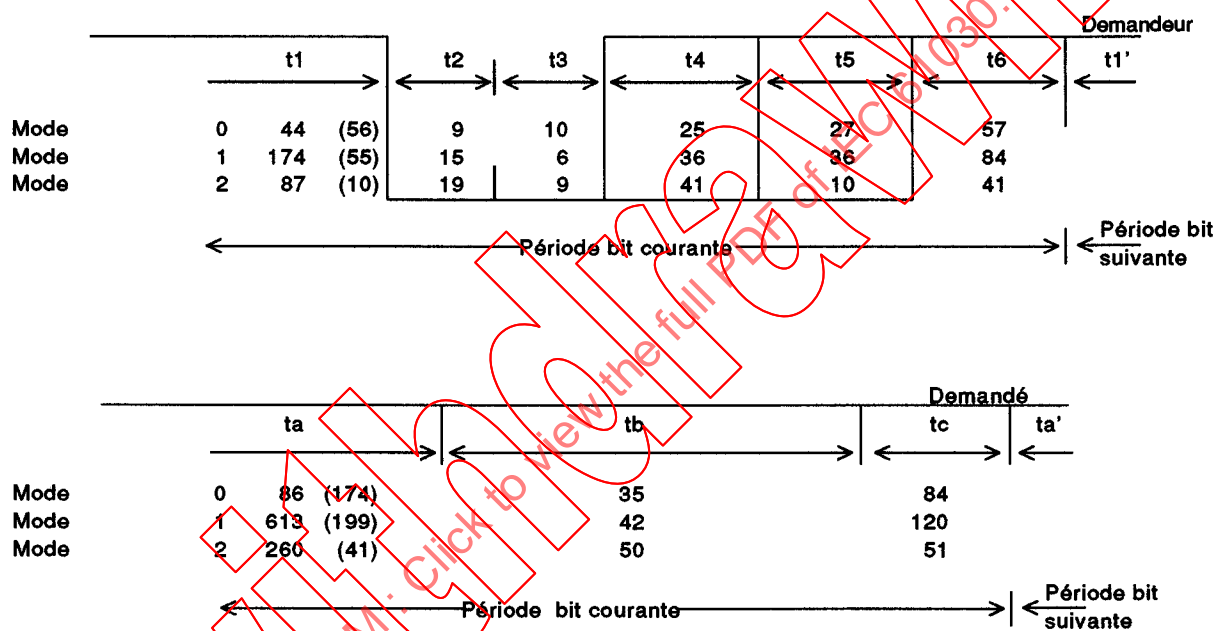
Condition: busin = "1" AND clcnt = 1
 Action: busout := "1"
 clcnt := ta'
 bit value := "1"
 state := STATE(Ta')

Etat (Tc)

Condition: entrée = «0» ET compteur > 1
 Action: sortie := «1»
 compteur := compteur - 1
 état := ETAT(Tc)

Condition: entrée = «0» ET compteur = 1
 Action: sortie := «1»
 erreur de temps

Condition: entrée = «1»
 Action: sortie := «1»
 compteur := ta'
 état := ETAT(Ta')



NOTES

- 1 Voir la note de la figure 8.
- 2 Les valeurs de t1 et de ta entre parenthèses se réfèrent aux bits d'adresse du Demandeur, les autres valeurs se réfèrent aux bits de définition du mode.

Figure 9 - Bit d'arbitrage

State (Tc)

Condition: busin = "0" AND clcnt > 1

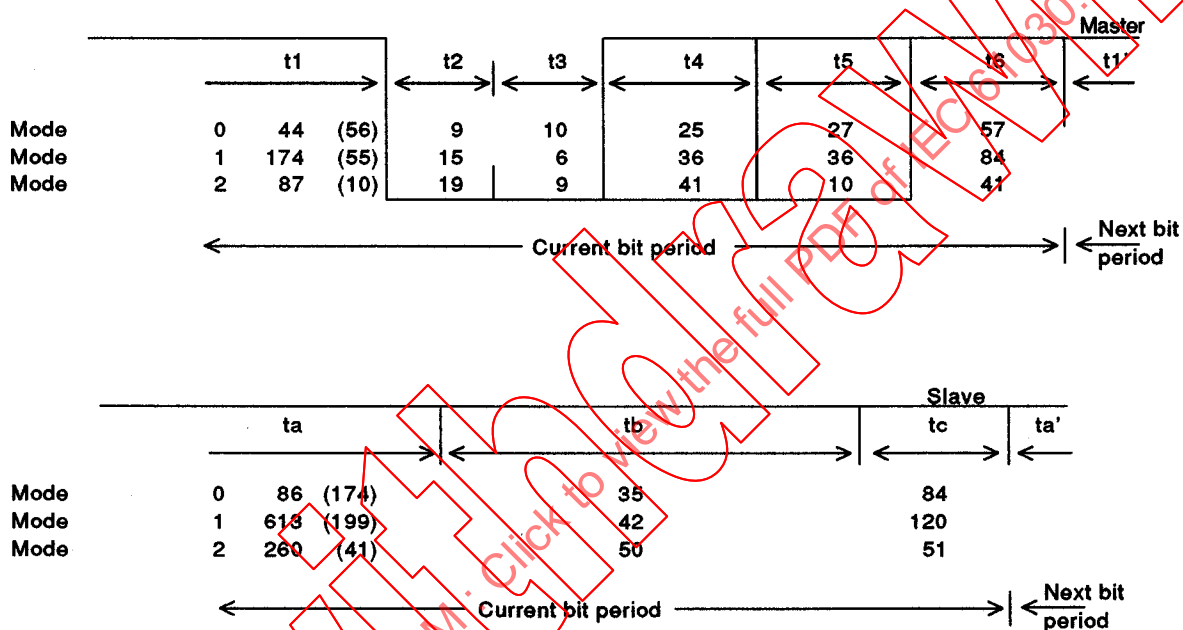
Action: busout:= "1"
clcnt:= clcnt - 1
state:= STATE(Tc)

Condition: busin = "0" AND clcnt = 1

Action: busout:= "1"
timing error

Condition: busin = "1"

Action: busout:= "1"
clcnt:= ta'
state:= STATE(Ta')

**NOTES**

- 1 See note of figure 8
- 2 Values of t1 and ta in parentheses refer to Master address bits, other values refer to mode bits.

Figure 9 - Arbitration bit

8.2.4 Bits Demandeur vers Demandé (voir figure 10)

- Bits de parité d'adresse du Demandeur, bits d'adresse du Demandé, bits de parité d'adresse du Demandé, bits de contrôle, parité des bits de contrôle.
- Bits de données, bit de fin de données, bits de parité de données pour les échangeurs Demandeur vers Demandé.
- Bit d'accusé de réception quand le Demandeur doit reconnaître l'octet de données.

Les fréquences d'horloge dépendent du mode sélectionné.

- Pour le Demandeur

Etat (T1)

Condition: entrée = «0»
 Action: sortie := «1»
 erreur de chronologie

Condition: entrée = «1» ET compteur > 1
 Action: sortie := «1»
 compteur := compteur - 1
 état := ETAT(T1)

Condition: entrée = «1» ET compteur = 1
 Action: sortie := «0»
 compteur := t2
 état := ETAT(T2)

Etat (T2)

Condition: compteur > 1
 Action: sortie := «0»
 compteur := compteur - 1
 état := ETAT(T2)

Condition: entrée = «0» ET compteur = 1
 Action: sortie := bit transmis
 compteur := t3
 état := ETAT(T3)

Condition: entrée = «1» ET compteur = 1
 Action: sortie := «1»
 erreur de chronologie

Etat (T3)

Condition: compteur > 1
 Action: sortie := bit transmis
 compteur := compteur - 1
 état := ETAT(T3)

Condition: compteur = 1
 Action: sortie := «1»
 compteur := t4
 état := ETAT(T4)

8.2.4 Master to Slave bits (see figure 10)

- Parity of Master address, Slave address, parity of Slave address, control bits, parity of control bits.
- Data bits, "end of data" bit, parity of data bits for Master to Slave transfer.
- Acknowledgement bit when the Master has to acknowledge data bytes.

Clock frequencies depend upon the selected mode.

- For the Master

State (T1)

Condition: busin = "0"
 Action: busout:= "1"
 timing error

Condition: busin = "1" AND clcnt > 1
 Action: busout:= "1"
 clcnt:= clcnt - 1
 state:= STATE(T1)

Condition: busin = "1" AND clcnt = 1
 Action: busout:= "0"
 clcnt:= t2
 state:= STATE(T2)

State (T2)

Condition: clcnt > 1
 Action: busout:= "0"
 clcnt:= clcnt - 1
 state:= STATE(T2)

Condition: busin = "0" AND clcnt = 1
 Action: busout:= relevant bit
 clcnt:= t3
 state:= STATE(T3)

Condition: busin = "1" AND clcnt = 1
 Action: busout:= "1"
 timing error

State (T3)

Condition: clcnt > 1
 Action: busout:= relevant bit
 clcnt:= clcnt - 1
 state:= STATE(T3)

Condition: clcnt = 1
 Action: busout:= "1"
 clcnt:= t4
 state:= STATE(T4)

Etat (T4)

Condition: compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(T4)

Condition: entrée = «0» ET compteur = 1
Action: sortie := «1»
erreur de chronologie

Condition: entrée = «1» ET compteur = 1 ET non dernier bit de la trame
Action: sortie := «0»
compteur := t2'
état := ETAT(T2')

Condition: entrée = «1» ET compteur = 1 ET dernier bit de la trame
Action: sortie := «1»
état := ETAT(Ta du bit de départ)

**- Pour le Demandé
Etat (Ta)**

Condition: entrée = «0»
Action: sortie := «1»
compteur := tb
état := ETAT(Tb)

Condition: entrée = «1» ET compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(Ta)

Condition: entrée = «1» ET compteur = 1
Action: sortie := «1»
erreur de chronologie

Etat (Tb)

Condition: compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(Tb)

Condition: entrée = «0» ET compteur = 1
Action: sortie := «1»
compteur := tc
valeur bit := «0»
état := ETAT(Tc)

Condition: entrée = «1» ET compteur = 1 ET non dernier bit de la trame
Action: sortie := «1»
compteur := ta'
valeur bit := «1»
état := ETAT(Ta')

State (T4)

Condition: $clcnt > 1$
Action: $busout := "1"$
 $clcnt := clcnt - 1$
 $state := STATE(T4)$

Condition: $busin = "0" \text{ AND } clcnt = 1$
Action: $busout := "1"$
 timing error

Condition: $busin = "1" \text{ AND } clcnt = 1 \text{ AND not last bit in the frame}$
Action: $busout := "0"$
 $clcnt := t2'$
 $state := STATE(T2')$

Condition: $busin = "1" \text{ AND } clcnt = 1 \text{ AND last bit in the frame}$
Action: $busout := "1"$
 $state := STATE(Ta \text{ of the start bit})$

- For the Slave
State (Ta)

Condition: $busin = "0"$
Action: $busout := "1"$
 $clcnt := tb$
 $state := STATE(Tb)$

Condition: $busin = "1" \text{ AND } clcnt > 1$
Action: $busout := "1"$
 $clcnt := clcnt - 1$
 $state := STATE(Ta)$

Condition: $busin = "1" \text{ AND } clcnt = 1$
Action: $busout := "1"$
 timing error

State (Tb)

Condition: $clcnt > 1$
Action: $busout := "1"$
 $clcnt := clcnt - 1$
 $state := STATE(Tb)$

Condition: $busin = "0" \text{ AND } clcnt = 1$
Action: $busout := "1"$
 $clcnt := tc$
 $bit \text{ value} := "0"$
 $state := STATE(Tc)$

Condition: $busin = "1" \text{ AND } clcnt = 1 \text{ AND not last bit in the frame}$
Action: $busout := "1"$
 $clcnt := ta'$
 $bit \text{ value} := "1"$
 $state := STATE(Ta')$

Condition: entrée : «1» ET compteur = 1 ET dernier bit de la trame
 Action: sortie := «1»
 valeur bit := «1»
 état := ETAT(Ta du bit de départ)

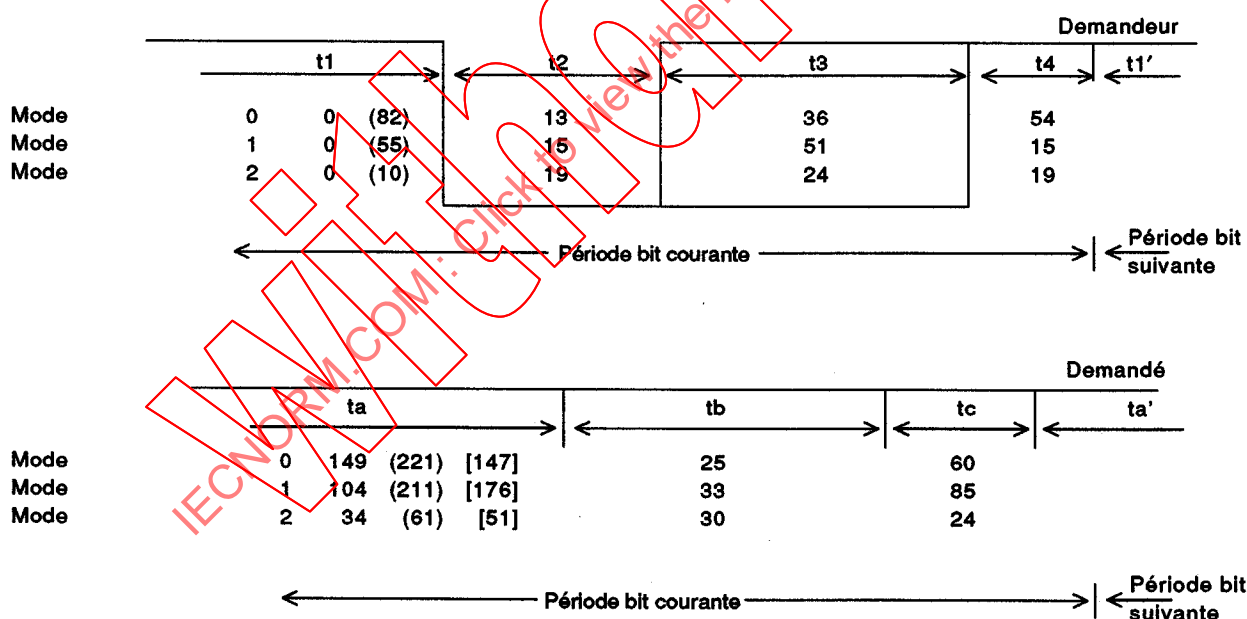
Etat (Tc)

Condition: entrée = «0» ET compteur > 1
 Action: sortie := «1»
 compteur := compteur - 1
 état := ETAT(Tc)

Condition: entrée = «0» ET compteur = 1
 Action: sortie := «1»
 erreur de chronologie

Condition: entrée = «1» ET non dernier bit de la trame
 Action: sortie := «1»
 compteur := ta'
 état := ETAT(Ta')

Condition: entrée = «1» ET dernier bit de la trame
 Action: sortie := «1»
 état := ETAT(Ta du bit de départ)



NOTES

- 1 Voir note de la figure 8.
- 2 Les valeurs entre parenthèses () se réfèrent au bit de parité d'adresse du Demandeur uniquement.
- 3 Les valeurs entre crochets [] se réfèrent:
 - au premier bit du champ de contrôle;
 - au premier bit de chaque octet de données dans le cas d'une écriture;
 - au bit d'accusé de réception des données dans le cas d'une lecture.

Figure 10 - Bit Demandeur vers Demandé

Condition: busin = "1" AND clcnt = 1 AND last bit in the frame
 Action: busout:= "1"
 bit value:= "1"
 state:= STATE(Ta of the start bit)

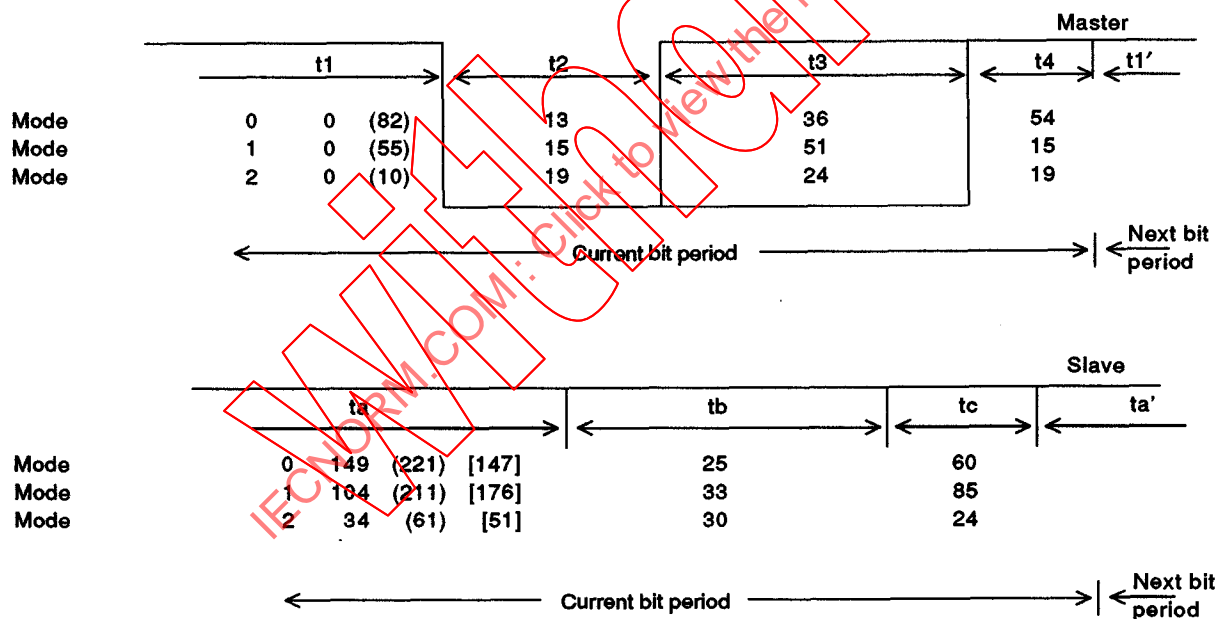
State (Tc)

Condition: busin = "0" AND clcnt > 1
 Action: busout:= "1"
 clcnt:= clcnt - 1
 state:= STATE(Tc)

Condition: busin = "0" AND clcnt = 1
 Action: busout:= "1"
 timing error

Condition: busin = "1" AND not last bit of the frame
 Action: busout:= "1"
 clcnt:= ta'
 state:= STATE(Ta')

Condition: busin = "1" AND last bit of the frame
 Action: busout:= "1"
 state:= STATE(Ta of the start bit)



NOTES

- 1 See note of figure 8.
- 2 Values in parentheses () refer to parity bit of Master address only.
- 3 Values in square brackets [] refer to:
 - first bit of control field;
 - first bit of each data byte in case of write action;
 - acknowledgement bit on data in case of read action.

Figure 10 - Master to Slave bit

8.2.5 Bits Demandé vers Demandeur (voir figure 11)

- Bit d'accusé de réception en cas de reconnaissance par le Demandé.
- Bits de données, bit de fin de données, bits de parité de données en cas d'échange Demandé vers Demandeur.

Les fréquences d'horloge dépendent du mode sélectionné.

- Pour le Demandeur

Etat (T2)

Condition: compteur > 1
 Action: sortie := «0»
 compteur := compteur - 1
 état := ETAT(T2)

Condition: entrée = «0» ET compteur = 1
 Action: sortie := «1»
 compteur := t3
 état := ETAT(T3)

Condition: entrée = «1» ET compteur = 1
 Action: sortie := «1»
 erreur de chronologie

Etat (T3)

Condition: compteur > 1
 Action: sortie := «1»
 compteur := compteur - 1
 état := ETAT(T3)

Condition: entrée = «0» ET compteur = 1
 Action: sortie := «1»
 compteur := t4
 valeur bit := «0»
 état := ETAT(T4)

Condition: entrée = «1» ET compteur = 1
 Action: sortie := «1»
 compteur := t4
 valeur bit := «1»
 état := ETAT(T4)

8.2.5 Slave to Master bits (see figure 11)

- Acknowledgement bit when the SLAVE has to acknowledge.
- Data bits, "end of data" bit, parity of data bits when there is a Slave to Master transfer.

Clock frequencies depend upon the selected mode.

- For the Master

State (T2)

Condition: $clcnt > 1$
 Action: $busout := "0"$
 $clcnt := clcnt - 1$
 $state := STATE(T2)$

Condition: $busin = "0"$ AND $clcnt = 1$
 Action: $busout := "1"$
 $clcnt := t3$
 $state := STATE(T3)$

Condition: $busin = "1"$ AND $clcnt = 1$
 Action: $busout := "1"$
 timing error

State (T3)

Condition: $clcnt > 1$
 Action: $busout := "1"$
 $clcnt := clcnt - 1$
 $state := STATE(T3)$

Condition: $busin = "0"$ $clcnt = 1$
 Action: $busout := "1"$
 $clcnt := t4$
 $bit\ value := "0"$
 $state := STATE(T4)$

Condition: $busin = "1"$ $clcnt = 1$
 Action: $busout := "1"$
 $clcnt := t4$
 $bit\ value := "1"$
 $state := STATE(T4)$

Etat (T4)

Condition: compteur > 1
 Action: sortie := «1»
 compteur := compteur - 1
 état := ETAT(T4)

Condition: entrée = «0» ET compteur = 1
 Action: sortie := «1»
 erreur de chronologie

Condition: entrée = «1» ET compteur = 1 ET non dernier bit de la trame
 Action: sortie := «0»
 compteur := t2'
 état := ETAT(T2')

Condition: entrée = «1» ET compteur = 1 ET dernier bit de la trame
 Action: sortie := «1»
 état := ETAT(Ta du bit de départ)

- Pour le Demandé

Etat (Ta)

Condition: entrée = «0»
 Action: sortie := bit transmis
 compteur := tb
 état := ETAT(Tb)

Condition: entrée = «1» ET compteur > 1
 Action: sortie := «1»
 compteur := compteur - 1
 état := ETAT(Ta)

Condition: entrée = «1» ET compteur = 1
 Action: sortie := «1»
 erreur de chronologie

Etat (Tb)

Condition: compteur > 1
 Action: sortie := bit transmis
 compteur := compteur - 1
 état := ETAT(Tb)

Condition: entrée = «0» ET compteur = 1
 Action: sortie := «1»
 compteur := tc
 état := ETAT(Tc)

Condition: entrée = «1» ET compteur = 1 ET non dernier bit de la trame
 Action: sortie := «1»
 compteur := ta'
 état := ETAT(Ta')

Condition: entrée : «1» ET compteur = 1 ET dernier bit de la trame
 Action: sortie := «1»
 état := ETAT(Ta du bit de départ)

State (T4)

Condition: $clcnt > 1$
Action: $busout := "1"$
 $clcnt := clcnt - 1$
 $state := STATE(T4)$

Condition: $busin = "0" \text{ AND } clcnt = 1$
Action: $busout := "1"$
 timing error

Condition: $busin = "1" \text{ AND } clcnt = 1 \text{ AND not last bit in the frame}$
Action: $busout := "0"$
 $clcnt := t2'$
 $state := STATE(T2')$

Condition: $busin = "1" \text{ AND } clcnt = 1 \text{ AND last bit in the frame}$
Action: $busout := "1"$
 $state := STATE(Ta \text{ of the start bit})$

- For the Slave**State (Ta)**

Condition: $busin = "0"$
Action: $busout := \text{relevant bit}$
 $clcnt := tb$
 $state := STATE(Tb)$

Condition: $busin = "1" \text{ AND } clcnt > 1$
Action: $busout := "1"$
 $clcnt := clcnt - 1$
 $state := STATE(Ta)$

Condition: $busin = "1" \text{ AND } clcnt = 1$
Action: $busout := "1"$
 timing error

State (Tb)

Condition: $clcnt > 1$
Action: $busout := \text{relevant bit}$
 $clcnt := clcnt - 1$
 $state := STATE(Tb)$

Condition: $busin = "0" \text{ AND } clcnt = 1$
Action: $busout := "1"$
 $clcnt := tc$
 $state := STATE(Tc)$

Condition: $busin = "1" \text{ AND } clcnt = 1 \text{ AND not last bit in the frame}$
Action: $busout := "1"$
 $clcnt := ta'$
 $state := STATE(Ta')$

Condition: $busin = "1" \text{ AND } clcnt = 1 \text{ AND last bit in the frame}$
Action: $busout := "1"$
 $state := STATE(Ta \text{ of the start bit})$

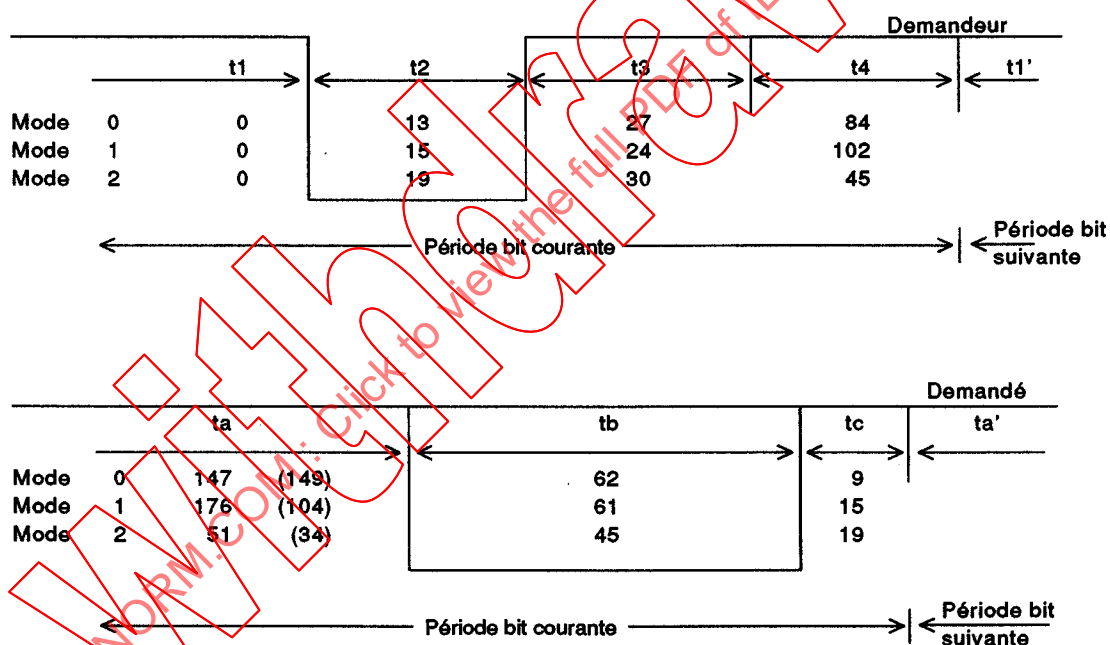
Etat (Tc)

Condition: entrée = «0» ET compteur > 1
Action: sortie := «1»
compteur := compteur - 1
état := ETAT(Tc)

Condition: entrée = «0» ET compteur = 1
Action: sortie := «1»
erreur de chronologie

Condition: entrée = «1» ET non dernier bit de la trame
Action: sortie := «1»
compteur := ta'
état := ETAT(Ta')

Condition: entrée = «1» ET dernier bit de la trame
Action: sortie := «1»
état := ETAT(Ta du bit de départ)



NOTES

- 1 Voir note de la figure 8.
- 2 Les valeurs entre parenthèses () se réfèrent:
 - au bit accusé de réception Demandé vers Demandeur;
 - au premier bit de chaque octet de donnée, autre que le premier octet d'une trame de données dans le cas d'une lecture.

Figure 11 - Bits Demandé vers Demandeur

State (Tc)

Condition: busin = "0" AND clcnt > 1

Action: busout:= "1"
clcnt:= clcnt - 1
state:= STATE(Tc)

Condition: busin = "0" AND clcnt = 1

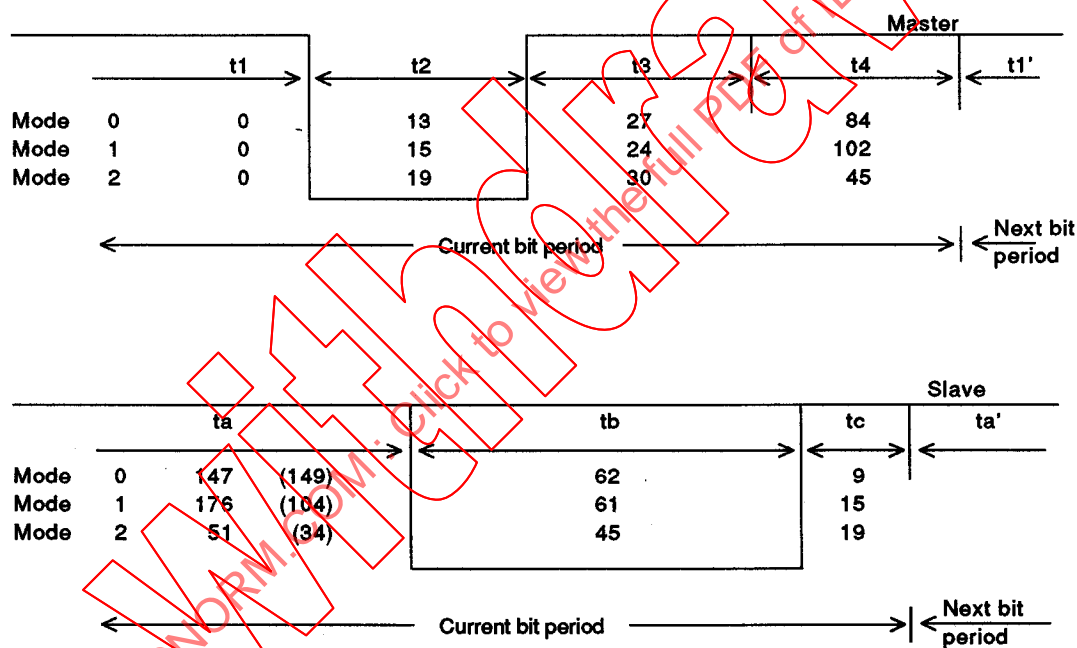
Action: busout:= "1"
timing error

Condition: busin = "1" AND not last bit of the frame

Action: busout:= "1"
clcnt:= ta'
state:= STATE(Ta')

Condition: busin = "1" AND last bit of the frame

Action: busout:= "1"
state:= STATE(Ta of the start bit)

**NOTES**

- 1 See note of figure 8.
- 2 Values in parentheses () refer to:
 - acknowledgement bit Slave to Master
 - first bit of every data byte that is not the first data byte in a frame in case of a read action.

Figure 11 - Slave to Master bit

9 Attribution des adresses

9.1 Définition de l'espace d'adresse

Il est défini par les 12 bits d'adresses donnant une suite de codes numérotés en hexadécimal 000H - FFFH. Les quatre bits de poids fort indiquent la classification des services. Dans chaque service ainsi défini, il est possible de définir 256 adresses.

- 000H - 0FFH réservé pour le service communications/téléphonie (CT)
- 100H - 1FFH réservé pour les équipements audio, vidéo et contrôleurs (AV/C)
- 200H - 2FFH réservé pour le service gestion domestique (HK)
- 300H - 317H réservé pour des écrans de contrôle supplémentaires
- 318H - 31FH réservé pour des magnétoscopes supplémentaires
- 320H - 32FH réservé pour des caméras supplémentaires
- 330H - FFFH réservé pour une normalisation ultérieure.

NOTE - L'espace d'adressage de 300H à 32FH est réservé aux écrans de contrôle, magnétoscopes et caméras venant en supplément de ceux prévus dans la zone d'adressage réservée aux équipements audio, vidéo et contrôleurs.

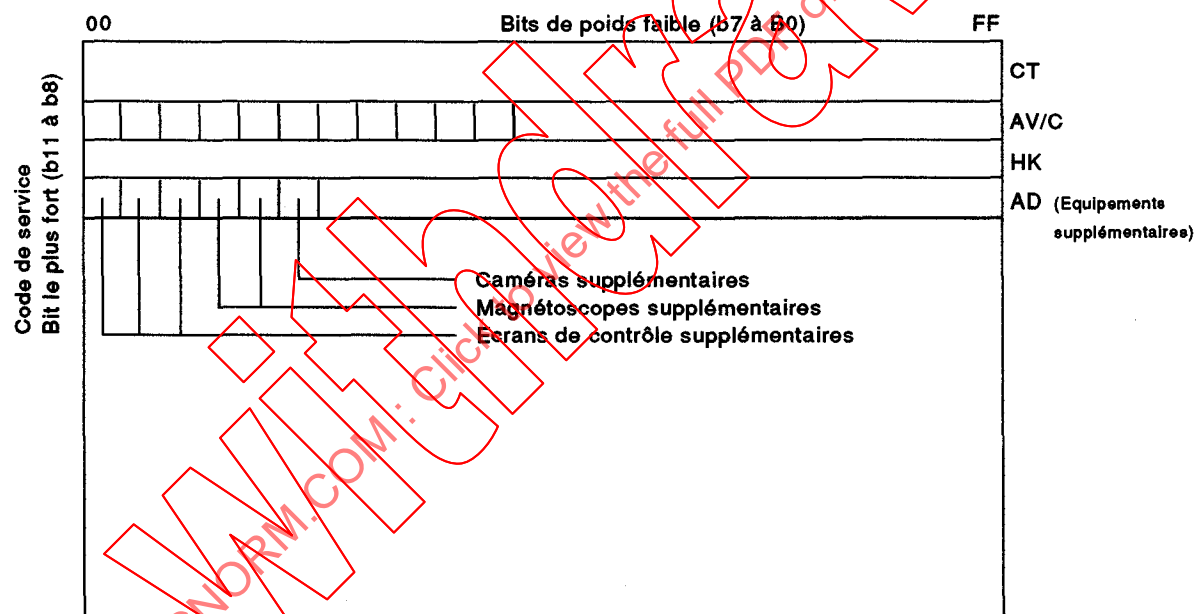


Figure 12 - Espace d'adresses du D2B

9.2 Attribution des codes d'adresse AV/C (Code de service 0001)

L'espace adresse 100H - 1FFH est divisé en 32 blocs, chaque bloc correspondant à un type d'équipement. Chaque bloc peut contenir 8 unités.

Le bit 11 est le bit de poids le plus fort de l'adresse et le bit 0 le bit de poids le plus faible. L'attribution suivante est définie:

- les 4 bits de poids le plus fort de l'adresse Demandeur et Demandé constituent le code de service et ont une valeur fixe pour chaque service:
Pour AV/C, bits 11...8 = 0001;

9 Address allocation

9.1 Address space definition

Addresses are defined by 12 address bits providing a sequence of hexadecimal codes 000H - FFFH. The four most significant bits are used for service classification. Within each defined service it is possible to define 256 addresses.

000H - 0FFH reserved for Communication Telephony (CT)
 100H - 1FFH reserved for Audio, Video and Control (AV/C)
 200H - 2FFH reserved for Housekeeping (HK)
 300H - 317H reserved for additional monitors
 318H - 31FH reserved for additional VCRs
 320H - 32FH reserved for additional cameras
 330H - FFFH reserved for future standardisation.

NOTE - The address space from 300H to 32FH is reserved for monitors, VCRs and cameras as an addition to that reserved for AV/C.

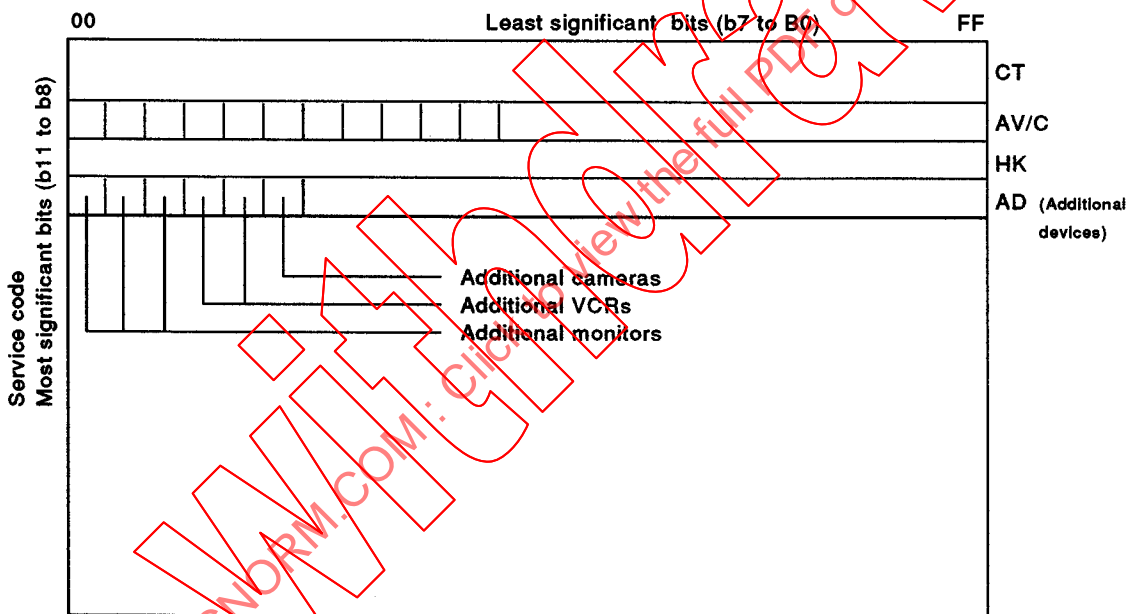


Figure 12 - D2B Address Space

9.2 Allocation of AV/C address codes (Service code 0001)

The address space 100H-1FFH is divided into 32 blocks, each block indicating a type of equipment. Each block can contain 8 devices.

Bit 11 is the MSB of the address and bit 0 the LSB. The following allocation is defined:

- the most significant 4 address bits of the Master and Slave address, the service code, have a fixed value for each service:
 For AV/C bits 11...8=0001

- le type d'équipement est indiqué par les bits 7, 6, 5, 4 et 3. L'attribution de ces noms est donnée dans le tableau d'attribution des noms d'unités (AV/C) (voir tableau 2);
- les adresses de deux unités ou plus (le maximum est de 8) portant le même nom, sont distinguées par le numéro de l'unité (bits 2, 1, 0 de l'adresse de l'unité).

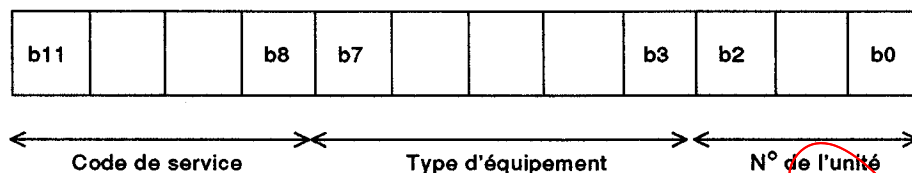


Figure 13 - Adresse D2B typique pour une unité AV/C

Les codes de types pour les (sous-) unités AV/C (code de service 0001) sont indiqués au tableau 4 et pour les (sous-) unités supplémentaires (code de service 0011) au tableau 5.

9.3 Sous-unités

Une unité peut être une combinaison de plusieurs sous-unités. Le type de la (sous-) unité d'une unité définit le nom de l'unité.

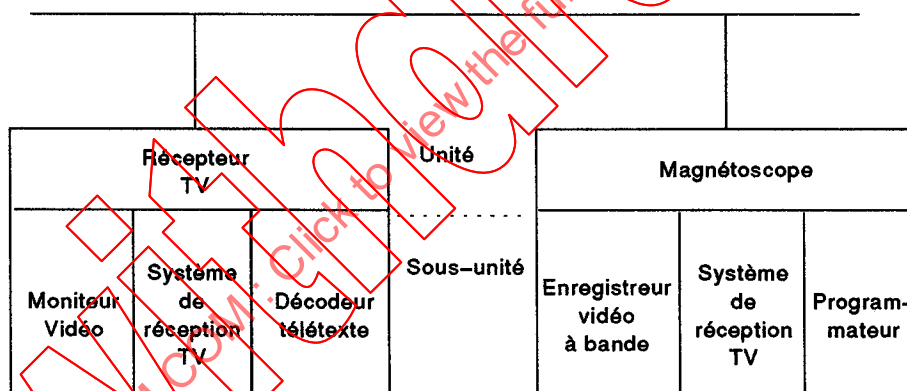


Figure 14 - Configuration comportant unités et sous-unités

Si une unité comprend plusieurs sous-unités, elle reçoit le code de type correspondant à celui de la sous-unité mis en oeuvre le plus prioritaire (adresse d'ordre le plus bas). Par exemple, un récepteur de télévision porte le code de type 0 0 0 0 0, car il comprend la sous-unité moniteur vidéo.

Dans chaque unité, on peut distinguer jusqu'à huit sous-unités du même type, (portant le même nom d'unité ou sous-unité). Par exemple, un récepteur de télévision peut contenir un moniteur, deux systèmes de réception (bloc d'accord) et un décodeur télétexte.

- the type of equipment is indicated by the bits 7, 6, 5, 4 and 3. The allocation of those names is shown in the allocation table of device names (AV/C) see table 2;
- the address of two or more (maximum is 8) devices with the same name are distinguished with the device number (bits 2, 1, 0 of the device address).

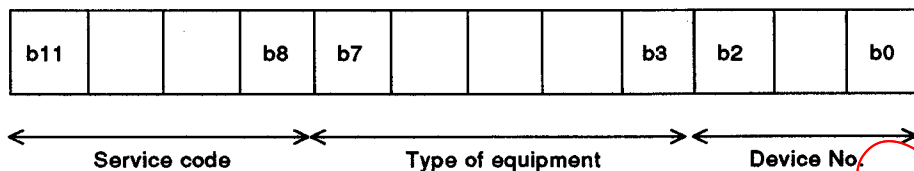


Figure 13 - Typical D2B address for an AV/C device.

The type codes are indicated in table 4 for the AV/C (sub-)devices and in table 5 for the additional (sub-)devices (service code 0011).

9.3 Sub-devices

A device may be a combination of several sub-devices. The type of (sub-)device within a device defines the name of the device.

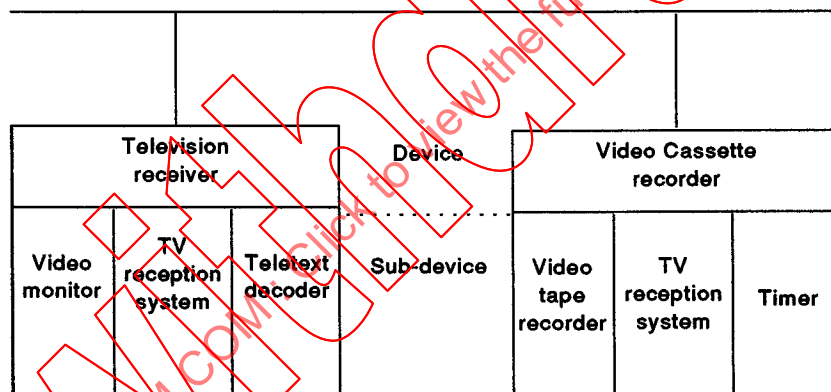


Figure 14 - Example of configuration with devices and sub-devices

If a device consists of several sub-devices, it is allocated the device type code that corresponds with the device type code of the sub-device with highest priority (lowest address). For example, a television receiver is allocated the type code 00000, because it includes the sub-device video monitor.

Within each device, up to eight sub-devices of the same type (same (sub)device name) can be distinguished. For example, a television receiver may contain one monitor, two tuners and one teletext-decoder.

Tableau 4 - Attribution des codes de types pour les unités ou sous-unités AV/C (Code de service 0001)

Code de l'unité					Types d'unités ou sous-unités AV/C
b7	b6	b5	b4	b3	
0	0	0	0	0	Moniteur vidéo
0	0	0	0	1	Amplificateur audio
0	0	0	1	0	Boîtier de commutation
0	0	0	1	1	Réservé pour normalisation ultérieure
0	0	1	0	0	Magnétoscope
0	0	1	0	1	Système de réception TV
0	0	1	1	0	Lecteur de disque vidéo
0	0	1	1	1	Caméra
0	1	0	0	0	Décodeur télétext
0	1	0	0	1	Décodeur vidéotext
0	1	0	1	0	Imprimante vidéo
0	1	0	1	1	Télécopieur radiodiffusion
0	1	1	0	0	Unité pour effets vidéo
0	1	1	0	1	Réservé pour normalisation ultérieure
0	1	1	1	0	Réservé pour normalisation ultérieure
0	1	1	1	1	Réservé pour normalisation ultérieure
1	0	0	0	0	Récepteur audio
1	0	0	0	1	Enregistreur audio (Cassette, DAT)
1	0	0	1	0	Lecteur de disque (Audioanalogique, CD)
1	0	0	1	1	Réservé pour normalisation ultérieure
1	0	1	0	0	Unité pour effets audio
1	0	1	0	1	Réservé pour normalisation ultérieure
1	0	1	1	0	Réservé pour normalisation ultérieure
1	0	1	1	1	Réservé pour normalisation ultérieure
1	1	0	0	0	Ordinateur personnel
1	1	0	0	1	Contrôleur audio ou vidéo
1	1	0	1	0	Mémoire à disque compact (CD-ROM, CD-I)
1	1	0	1	1	Réservé pour normalisation ultérieure
1	1	1	0	0	Programmeur
1	1	1	0	1	Réservé pour normalisation ultérieure
1	1	1	1	0	Réservé pour normalisation ultérieure
1	1	1	1	1	Réservé pour normalisation ultérieure

Tableau 5 - Attributions des codes de types pour les unités ou sous-unités supplémentaires (Code de service 0011)

Code de type					Type d'unités ou sous-unités supplémentaires
b7	b6	b5	b4	b3	
0	0	0	0	0	Ecran de contrôle supplémentaire groupe 1
0	0	0	0	1	Ecran de contrôle supplémentaire groupe 2
0	0	0	1	0	Ecran de contrôle supplémentaire groupe 3
0	0	0	1	1	Magnétoscope supplémentaire
0	0	1	0	0	Caméra supplémentaire groupe 1
0	0	1	0	1	Caméra supplémentaire groupe 2

Table 4 - Allocation of type codes for AV/C device or sub-device (Service code 0001)

Type code					Type of AV/C device or sub-device
b7	b6	b5	b4	b3	
0	0	0	0	0	Video monitor
0	0	0	0	1	Audio amplifier
0	0	0	1	0	Switch box
0	0	0	1	1	Reserved for future standardization
0	0	1	0	0	Video cassette recorder
0	0	1	0	1	TV reception system
0	0	1	1	0	Video disk player
0	0	1	1	1	Camera
0	1	0	0	0	Teletext decoder
0	1	0	0	1	Videotex decoder
0	1	0	1	0	Video printer
0	1	0	1	1	Broadcast fax
0	1	1	0	0	Video effects unit
0	1	1	0	1	Reserved for future standardization
0	1	1	1	0	Reserved for future standardization
0	1	1	1	1	Reserved for future standardization
1	0	0	0	0	Radio tuner
1	0	0	0	1	Audio tape recorder (Cassette Recorder, DAT)
1	0	0	1	0	Audio disk player (Phono, CD)
1	0	0	1	1	Reserved for future standardization
1	0	1	0	0	Audio effects unit
1	0	1	0	1	Reserved for future standardization
1	0	1	1	0	Reserved for future standardization
1	0	1	1	1	Reserved for future standardization
1	1	0	0	0	Personal computer
1	1	0	0	1	Control function for audio and/or video
1	1	0	1	0	CD memory (CD-ROM, CD-I)
1	1	0	1	1	Reserved for future standardization
1	1	1	0	0	Timer
1	1	1	0	1	Reserved for future standardization
1	1	1	1	0	Reserved for future standardization
1	1	1	1	1	Reserved for future standardization

Table 5 - Allocation of type codes for additional devices or sub-devices (Service code 0011)

Type code					Type of additional device or sub-device
b7	b6	b5	b4	b3	
0	0	0	0	0	Additional monitor group 1
0	0	0	0	1	Additional monitor group 2
0	0	0	1	0	Additional monitor group 3
0	0	0	1	1	Additional VCR
0	0	1	0	0	Additional camera group 1
0	0	1	0	1	Additional camera group 2

10 Interprétation des données

10.1 Etat Demandé

Lorsque les bits de contrôle précisent «lire l'état Demandé», l'interprétation des 8 bits de données (le bit n° 7 étant le bit de poids fort) est comme indiqué au tableau 6.

Tableau 6 - Attribution des bits d'état du Demandé

Numéro du bit		Valeur du bit	Signification
Propriétés statiques	7, 6	0, 0	Le mode 0 est le mode le plus élevé dans lequel le Demandé peut travailler
		0, 1	Le mode 1 est le mode le plus élevé dans lequel le Demandé peut travailler
		1, 0	Le mode 2 est le mode le plus élevé dans lequel le Demandé peut travailler
		1, 1	Réservé pour normalisation ultérieure
	5	0	Toujours 0
	4	0	L'émetteur du Demandé n'est pas mis en oeuvre
		1	L'émetteur du Demandé est mis en oeuvre
	3	0	La mémoire des propriétés n'est pas mise en oeuvre
		1	La mémoire des propriétés est mis en oeuvre
Propriétés dynamiques	2	0	L'unité n'est pas verrouillée
		1	L'unité est verrouillée
	1	0	Le tampon récepteur du Demandé est vide
		1	Le tampon récepteur du Demandé n'est pas vide
	0	0	Le tampon émetteur du Demandé est vide
		1	Le tampon émetteur du Demandé n'est pas vide

NOTES

- 1 Les bits 7 à 3 représentent les propriétés statiques du Demandé, les bits 2, 1 et 0 représentent les propriétés dynamiques du Demandé.
- 2 Le tampon émetteur (tampon de sortie du Demandé) est celui auquel on peut accéder par une «lecture» définie par les bits de contrôle.
- 3 Le tampon récepteur (tampon d'entrée du Demandé) est celui auquel on peut accéder par une «écriture» définie par les bits de contrôle.
- 4 Si l'émetteur du Demandé n'est pas mis en oeuvre (B4 = 0) il n'y a pas de données disponibles à partir du tampon émetteur (B0 = 0). Toutefois on peut lire l'état du Demandé et l'adresse de verrouillage.

10 Data Interpretation

10.1 Slave status

When the control bits specify "read Slave status" the interpretation of the 8 data bits (bit number 7 is the MSB) is as shown in table 6.

Table 6 - Slave status bit allocation

Bit number		Bit value	Meaning
Static properties	7, 6	0, 0	Mode 0 is the highest mode in which the slave can work
		0, 1	Mode 1 is the highest mode in which the slave can work
		1, 0	Mode 2 is the highest mode in which the slave can work
		1, 1	Reserved for future standardization
	5	0	Always zero
	4	0	Slave transmitter section not implemented
		1	Slave transmitter section present
	3	0	Property memory not implemented
		1	Property memory implemented
Dynamic properties	2	0	Device is not locked
		1	Device is locked
	1	0	Slave receiver buffer empty
		1	Slave receiver buffer not empty
	0	0	Slave transmitter buffer empty
		1	Slave transmitter buffer not empty

NOTES

- Bits 7 to 3 represent static properties of the Slave, bits 2, 1 and 0 represent dynamic properties of the Slave.
- The transmitter buffer (Slave output buffer) is accessed by a "read" action defined by the control bits.
- The receiver buffer (Slave input buffer) is accessed by a "write" action defined by the control bits.
- If the slave has no transmitter section ($B_4 = 0$), no data is available from the transmitter buffer ($B_0 = 0$). However the Slave status and the lock address may be read.

10.2 Adresse de verrouillage

L'adresse du Demandeur verrouillant contient 12 bits. Le bit n° 11 est le bit de poids le plus fort.

Lorsque les bits de contrôle précisent «lire l'adresse de verrouillage de poids moyen et de poids le plus faible», l'interprétation des 8 bits de données (le bit n° 7 est le bit de poids le plus fort) est comme indiqué au tableau 7.

Tableau 7 - Attribution des bits pour les quartets d'adresse de poids moyen et de poids le plus faible

Numéro du bit	Signification
7	Bit 7 de l'adresse du demandeur verrouillant
6	Bit 6 de l'adresse du demandeur verrouillant
5	Bit 5 de l'adresse du demandeur verrouillant
4	Bit 4 de l'adresse du demandeur verrouillant
3	Bit 3 de l'adresse du demandeur verrouillant
2	Bit 2 de l'adresse du demandeur verrouillant
1	Bit 1 de l'adresse du demandeur verrouillant
0	Bit 0 de l'adresse du demandeur verrouillant

Lorsque le bit de contrôle précise «lire l'adresse de verrouillage de poids fort», l'interprétation des 8 bits de données (le bit n° 7 est le bit de poids le plus fort) est comme indiqué au tableau 8.

Tableau 8 - Attribution des bits pour le quartet d'adresse de poids le plus fort

Numéro du bit	Signification
7 à 4	Non défini
3	Bit 11 de l'adresse du demandeur verrouillant
2	Bit 10 de l'adresse du demandeur verrouillant
1	Bit 9 de l'adresse du demandeur verrouillant
0	Bit 8 de l'adresse du demandeur verrouillant

10.2 Lock address

The address of the locking Master contains 12 bits. Bit number 11 is the most significant bit.

When the control bits specify "read mid and least significant lock address" the interpretation of the 8 data bits (bit 7 is the MSB) is as shown in table 7.

Table 7 - Bit allocation for mid and least significant lock address nibbles

Bit number	Meaning
7	Bit 7 of the address of the locking master
6	Bit 6 of the address of the locking master
5	Bit 5 of the address of the locking master
4	Bit 4 of the address of the locking master
3	Bit 3 of the address of the locking master
2	Bit 2 of the address of the locking master
1	Bit 1 of the address of the locking master
0	Bit 0 of the address of the locking master

When the control bits specify "read most significant lock address" the interpretation of the 8 data bits (bit number 7 is the MSB) is as shown in table 8.

Table 8 - Bit allocation for most significant lock address nibble.

Bit number	Meaning
7 to 4	Undefined
3	Bit 11 of the address of the locking master
2	Bit 10 of the address of the locking master
1	Bit 9 of the address of the locking master
0	Bit 8 of the address of the locking master

10.3 Mémoire de propriétés

Toute unité AV/C doit être mise en oeuvre avec une mémoire de propriétés à laquelle on peut accéder par la spécification du champ de contrôle «écriture adresse mémoire des propriétés».

Lorsqu'une unité reçoit un message et que le champ de contrôle indique «écriture adresse mémoire des propriétés», les octets de données des données reçues sont traitées de la manière suivante:

- le bit «tampon émetteur vide» de l'octet d'état Demandé est remis à zéro pour éviter la lecture de données vides de sens.

La propriété indiquée par le code «écriture adresse mémoire des propriétés» sera placée dans le tampon émetteur (le tampon émetteur est le tampon auquel on peut accéder par «lecture de données» définie par les bits de contrôle) et le bit «tampon émetteur vide» de l'octet d'état du Demandé est positionné à «1».

Le transfert du Demandé vers le Demandeur est terminé par le code de terminaison (1DH). Si on essaie d'accéder à une propriété non spécifiée, seul le code de terminaison sera placé dans le tampon émetteur.

10.4 Données

Quand les bits de contrôle spécifient «lire données», les données disponibles dans le tampon émetteur du Demandé sont reçues par le Demandeur.

L'interprétation des données reçues dépend des spécifications de l'unité. Si des données sont mises en mémoire dans le tampon émetteur en réponse à «écriture adresse mémoire des propriétés», la signification des données est précisée par le Demandeur.

Lorsque les bits de contrôle précisent «écrire données», l'interprétation des données reçues dépend des spécifications de l'unité demandée.

10.5 Commandes

10.5.1 Principes de la table de commande

Une commande se compose d'un code d'opération (OPC) et d'un opérande (OPR). Un OPC a une longueur d'un octet et est suivi par aucun ou plusieurs octets opérandes et même, si cela est spécifié dans la table de commande, par des codes ASCII compris seulement entre 20H et 5FH.

L'opérande précise l'opération qui est indiquée par le code d'opération.

L'opérande peut être:

soit l'un des 32 opérandes dédiés normalisés ou:

- des valeurs ASCII, ou
- des valeurs de commandes, ou
- des codes pseudonymes (en anglais «alias codes»).

NOTE - Les codes pseudonymes sont des codes ayant la même représentation binaire mais des significations différentes indiquées par les tables de commande.

10.3 *Property memory*

Each AV/C device shall be provided with a property memory that can be accessed via the control field specification "write property memory address".

When a device receives a message and the control field indicates "write property memory address" the data bytes of the received data are processed in the following way:

- the "transmitter buffer empty" bit of the Slave status byte is reset to zero to avoid irrelevant data being read.

The property, specified by the "write property memory address" is placed in the transmitter buffer (the transmitter buffer is the buffer which can be accessed by "read data", defined by the control bits) and the "transmitter buffer empty" bit of the Slave status byte is set to "1".

The data transfer from Slave to Master is terminated with the termination code (1DH). If an attempt is made to access a property which is not specified, only the termination code is put into the transmitter buffer.

10.4 *Data*

When the control bits specify "read data" the data available in the Slave transmitter buffer is received by the Master.

The interpretation of the received data depends on the specification of the device. If data is stored in the transmitter buffer in response to a "write property memory address", the meaning of the data is specified by the master.

When the control bits specify "write data" the interpretation of the received data depends on the relevant specification of the addressed device.

10.5 *Commands*

10.5.1 *Principles of the command table*

A command consists of an operation code (OPC) and an operand (OPR). An OPC has a length of one byte, and is followed by zero or more OPR bytes or, if specified in the command table, by ASCII codes restricted to codes 20H to 5FH.

The operand specifies the operation which is indicated by the operation code.

The operand can be:

either one out of 32 dedicated standard operands or:

- ASCII value, or
- controlling value, or
- alias code.

NOTE - Alias codes are codes having all the same binary representation but different meanings indicated in the command tables.

	Quartet de poids fort															
	Opérande										Code d'opération					
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0 Quartet de poids faible F	Réservé	ASCII ou valeur de paramètres ou codes pseudonymes					OPR normalisé		Réservé	Commandes générales	Commandes de fonction - groupe		Commandes de fonction - spécifiques			
	↔	↔					↔		↔	↔	↔		↔			

Figure 15 - Principes de la table de commandes

10.5.2 Commandes de classification des services

Les commandes de classification des services constituées par les OPC et leurs opérands de sélection de table de commandes font partie des commandes générales:

- L'OPR de l'OPC «sélection des tableaux SCC» sélectionne l'un des tableaux de commandes communes du système.
- L'OPR de l'OPC «sélection des tableaux CT» sélectionne l'un des tableaux communications/téléphonie.
- L'OPR de l'OPC «sélection des tableaux HK» sélectionne l'un des tableaux de gestion domestique.
- L'OPR de l'OPC «sélection des tableaux AV/C» sélectionne l'un des tableaux audio vidéo et contrôleurs.

Les tableaux du service AV/C sont sélectionnés par l'OPR utilisant des codes pseudonymes compris entre 20H et 3EH.

Le code d'extension de table 3FH est utilisé pour étendre la table de commande AV/C de la façon suivante:

- Sans extension: B9, XX ce code sélectionne une des tables existantes (voir annexe A)
- Avec extension: B9, 3F, YY ce code utilise le premier jeu de tables d'extensions (réservé pour une normalisation ultérieure).

Pour les «unités supplémentaires» (code de service 0011), il n'y a que des écrans de contrôle, des magnétoscopes et les caméras à considérer pour le moment. Les commandes correspondantes font partie de la table AV/C et donc, pour ces unités supplémentaires, on effectue la sélection de table avec l'OPC «B9» associé aux opérands appropriés.

	Most significant nibble															
	Operand										Operation code					
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0 . LS nibble . F	Reserved ↔		ASCII or controlling value or alias code ↔				Standard OPR ↔		Reserved ↔		General commands ↔		Function commands group ↔		Function commands specific ↔	

Figure 15 - Principles of the command table

10.5.2 The service classification commands

The Service Classification commands composed of the OPC and their OPRs for selecting command tables are a part of the general commands:

- The OPR of the OPC "SCC table selection" selects one of the System Common Command tables.
- The OPR of the OPC "CT table selection" selects one of the Communication Telephony tables.
- The OPR of the OPC "HK table selection" selects one of the HouseKeeping tables.
- The OPR of the OPC "AV/C table selection" selects one of the AV/C tables.

The tables of the AV/C service are selected by the OPR, using alias codes from 20H to 3EH.

The table extension code 3FH is used to expand the set of AV/C command tables as follows:

- Without extension: B9, XX this code selects one of the existing tables (see Annex A)
- With extension: B9, 3F, YY uses the first set of extension tables (reserved for future standardization)

In the case of the "additional devices" (Service code 0011), only monitors, VCR's and cameras are involved for the time being. The related commands belong to the AV/C table and thus, for these additional devices, the table selection is made with the OPC "B9" associated with the appropriate OPR.

10.5.3 Adressage des sous-unités

Le code OPC «Begin 2» est défini pour ajouter des informations de routage des messages pour des communications entre sous-unités.

Le code OPC «Begin 2» est un octet unique, suivi d'un octet OPR qui précise si des données d'Adresse de Sous-unité Source (SSDA) ou d'Adresse de Sous-unité de Destination (DSDA) suivent (voir figure 16).

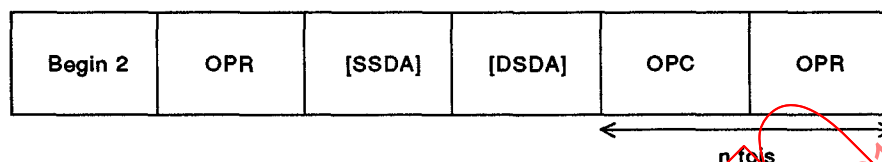


Figure 16 - Format des trames d'adresse de sous-unités

Le code OPC «Begin 2» est suivi par un OPR, défini au tableau 9.

Tableau 9 - Attribution des bits de l'OPR associé à l'OPC «Begin 2»

Numéro du bit	Signification
7	Toujours à 0
6	Réserve pour normalisation ultérieure «1»
5, 4	Code de service source 00; CT 10; HK 01; AV/C 11; réservé
3, 2	Code de service destination 00; CT 10; HK 01; AV/C 11; réservé
1	1/0 sans/avec SSDA
0	1/0 sans/avec DSDA
NOTE – SSDA désigne la sous-unité Source, et DSDA désigne la sous-unité de Destination.	

Le format de SSDA et DSDA est indiqué à la figure 17.

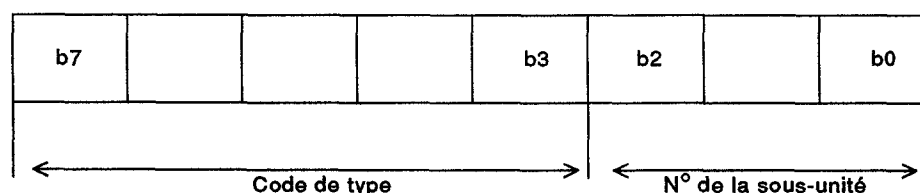


Figure 17 - Format des codes SSDA et DSDA

10.5.3 Addressing of sub-devices

OPC code "Begin 2" is defined to add routing information to the message for communication between sub-devices.

The OPC "Begin 2" is a single byte, which is followed by an OPR byte that specifies whether any Source Sub-Device Address (SSDA) or Destination Sub-Device Address (DSDA) data follows (see figure 16).

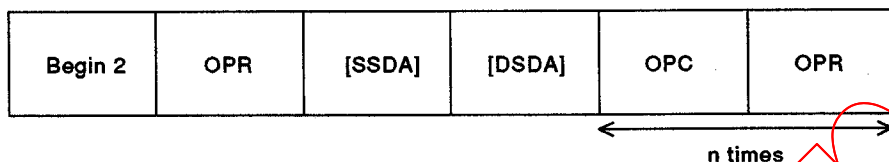


Figure 16 - Frame format of sub-device address

The OPC "Begin 2" is followed by an OPR, defined in table 9.

Table 9 - Bit allocation of the OPR associated with the OPC "Begin 2"

Bit number	Meaning
7	Always 0
6	Reserved for future standardization, "1"
5, 4	Source service code 00; CT 10; HK 01; AV/C 11; reserved
3, 2	Destination service code 00; CT 10; HK 01; AV/C 11; reserved
1	1/0 without/with SSDA
0	1/0 without/with DSDA
NOTE - SSDA indicates the Source Sub-Device, while DSDA indicates the Destination Sub-Device.	

The format of SSDA and DSDA is shown in figure 17:

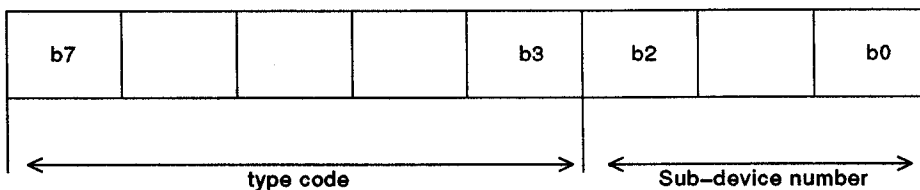


Figure 17 - Format of SSDA and DSDA

Le rôle de l'OPC «Begin 2» est d'indiquer sans ambiguïté un bloc de données qui doit être transmis d'un sous-unité ou ensemble à un autre sous-unité ou ensemble.

Le bloc de données commence par l'OPC «Begin 2», peut se délimiter par un autre «Begin 2» ou se termine par un OPC «END».

Begin 2, OPR, [SSDA], [DSDA], OPC, OPR, ... Begin 2, OPR, [SSDA], [DSDA], OPC, OPR, ... END.

10.5.4 Commande «END»

La commande «END» est un OPC non suivi d'un OPR. La commande «END» peut être utilisée pour terminer un message. Dans le cas où un message est transmis avec verrouillage du Demandé, l'OPC «END» peut être envoyé dans une trame séparée pour déverrouiller le Demandé avec le code «Ecrire les commandes-Déverrouillage» (voir tableau 3).

En raison du principe du D2B orienté sur l'octet, avec un bit d'accusé de réception dans chaque octet de donnée, la façon la plus sûre de déverrouiller le Demandé est d'envoyer une trame avec un octet.

11 Communication par passerelle

Le D2B peut être utilisé comme sous-système dans un système à bus électronique domestique (HEB). Des communications par passerelle peuvent être effectuées.

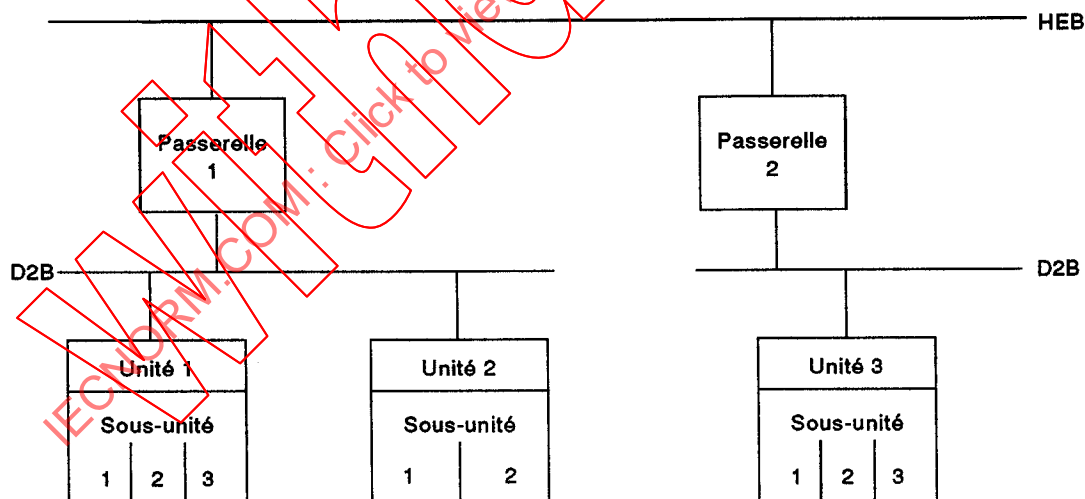


Figure 18 - D2B en sous-système, dans une configuration avec Bus électronique domestique

On peut ajouter des informations de routage dans le champ de données du message, en utilisant les codes OPC «Begin 1» ou «Begin 0» en association avec le code OPC «END» pour terminer le message.

Les codes OPC «Begin 1» et «Begin 0» précisent le format des informations de routage.

The role of the OPC "Begin 2" is to indicate unambiguously a block of data to be transmitted from sub-device or device to sub-device or device.

This block of data starts with the OPC "Begin 2", can be delimited by another "Begin 2" or is terminated by the OPC "END":

Begin 2, OPR, [SSDA], [DSDA], OPC, OPR, ... Begin 2, OPR, [SSDA], [DSDA], OPC, OPR, ... END.

10.5.4 The "END" command

The "END" command is an OPC which is not followed by an OPR. The "END" command can be used to terminate any message. If a message is transmitted which locks the Slave, the OPC "END" may be sent to unlock the slave in a separate frame, with the control code "Write Command and Unlock" (see table 3).

Due to the "byte oriented" principle of D2B, with an acknowledge bit in each data byte, the safe way to unlock the slave is to send a frame with one byte.

11 Gateway communication

The D2B can be used as a sub system within a home electronic bus (HEB) system. Communication via gateways can be implemented.

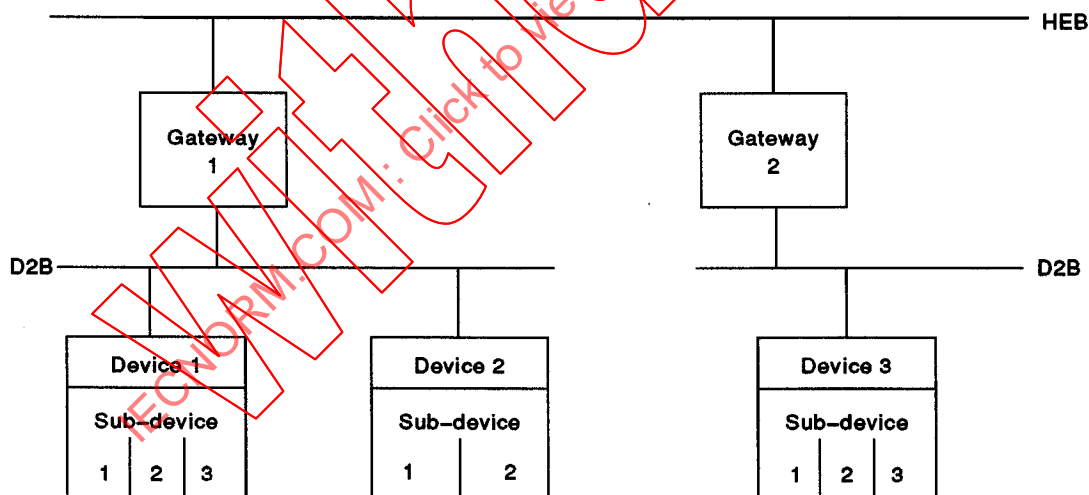


Figure 18 - D2B as sub system in a configuration with a Home Electronic Bus

Routing information can be added in the data field of the message, using the OPCs "Begin 1" or "Begin 0" together with the OPC "END" indicating the termination of the message.

The OPCs "Begin 1" and "Begin 0" specify the format of the routing information.

11.1 Communication par passerelle dans le format du système à bus domestique japonais (HBS)

«Begin 1» suivi d'un OPR est spécifié pour faciliter les communications avec HBS et les autres bus (HEB) utilisant le même format que HBS. Les adresses de routage, spécifiées avec «Begin 1» sont les adresses des unités, ou sous-unités sur le bus principal.

Avec «Begin 1», on peut adresser jusqu'à deux unités similaires connectées sur HBS.

La conversation logique de SA' et DA' sur 8 bits en adresses HBS est effectuée dans la passerelle.

Tableau 10 - Définition de SA' et DA'

	Format pendant la	
	session D2B	session HBS
Nom de l'unité (article 8)	b7 à b3	b2 à b6
Code de service	b2, b1	b1, b0
Numéro de l'unité	b0	b7

NOTE - Le code de service est spécifié comme suit:

Bit de poids le plus fort	Bit de poids le plus faible	0 0	Communications, téléphone
		0 1	Gestion domestique
		1 0	AV/C
		1 1	Unités supplémentaires

L'OPR pour «Begin 1» est défini comme suit dans le tableau 11.

Tableau 11 - Attribution des bits de l'OPR associé à l'OPC «Begin 1»

Numéro du bit	Signification
7	Toujours 0
6...4	Réservé pour normalisation ultérieure "1"
3	1/0 sans/avec SA'
2	1/0 sans/avec DA'
1	1/0 sans/avec SSDA
0	1/0 sans/avec DSDA

SA' et DA' sont des adresses supplémentaires utilisées pour indiquer des unités connectées à d'autres sous-systèmes. SSDA et DSDA sont des adresses supplémentaires pour des sous-unités.

Lorsque l'unité 1 transmet une commande à l'unité 3, les messages sur les bus sont définis comme suit:

11.1 Gateway communication in the Japanese home bus system (HBS) format

"Begin 1" followed by an OPR is specified for easy communication with HBS and other home electronic bus systems (HEB), using the same format as HBS. The routing addresses, specified with "Begin 1" are addresses of devices, or sub-devices on the main bus.

Using "Begin 1", up to two similar devices connected to HBS may be addressed.

Logic conversion from 8 bits SA' and DA' to HBS addresses is performed in the gateway.

Table 10 - SA' and DA' definition

	Format during	
	D2B session	HBS session
Device name (clause 8)	b7 to b3	b2 to b6
Service code	b2, b1	b1, b0
Device number	b0	b7

NOTE - The service code is specified as follows:

MSB, LSB = 0 0 Communication, Telephony
 0 1 Housekeeping
 1 0 AV/C
 1 1 For additional devices

The OPR associated with the OPC "Begin 1" is defined as shown in table 11:

Table 11 - Bit allocation of the OPR associated with the OPC "Begin 1"

Bit number	Meaning
7	Always 0
6...4	Reserved for future standardization, all "1"
3	1/0 without/with SA'
2	1/0 without/with DA'
1	1/0 without/with SSDA
0	1/0 without/with DSDA

SA' and DA' are additional addresses, used to address devices connected to other sub-systems. SSDA and DSDA are additional addresses for sub-devices.

If device 1 transmits a command to device 3, the messages on the buses are defined as follows:

Le contenu de la trame de l'unité Source 1 vers la passerelle 1 est le suivant (format D2B):

MA=D1	SA=GW1	Code de contrôle	Begin 1	OPR Begin 1	SA'=GW2	DA'=D3	
				OPC	OPR	END	

Le contenu de la trame de la passerelle 1 à la passerelle 2 peut être le suivant (format HBS):

SA=GW1	DA=GW2	Code de contrôle	BC	En-tête	SA'=D1	DA'=D3	
				OPC	OPR		

Le contenu de la trame de la passerelle 2 à l'unité de destination 3 est le suivant (format D2B):

MA=GW2	SA=D3	Code de contrôle	Begin 1	OPR Begin 1	SA'=D1	DA'=GW1	
				OPC	OPR	END	

Dans le cas, par exemple, d'une communication de (Unité 1, SD1) à (Unité 3, SD2) ces messages deviennent respectivement:

MA=D1, SA=GW1, CC, Begin 1, OPR, SA'=GW2, DA'=D3, Begin 2, OPR, SSDA=SD1, DSDA=SD2, OPC, OPR, END

SA=GW1, DA=GW2, CC, BC, H, SA'=D1, DA'=D3, Begin 2, OPR, SSDA=SD1, DSDA=SD2, OPC, OPR.

MA=GW2, SA=D3, CC, Begin 1, OPR, SA'=D1, DA'=GW1, Begin 2, OPR, SSDA=SD1, DSDA=SD2, OPC, OPR, END.

The content of the frame from Source device 1 to Gateway 1 is as follows (D2B format):

MA=D1	SA=GW1	Control code	Begin 1	OPR Begin 1	SA'=GW2	DA'=D3	
				OPC	OPR	END	

The content of the frame from Gateway 1 to Gateway 2 can be as follows (HBS format):

SA=GW1	DA=GW2	Control code	BC	Header	SA'=D1	DA'=D3	
					OPC	OPR	

The content of the frame from Gateway 2 to Destination device 3 is as follows (D2B format):

MA=GW2	SA=D3	Control code	Begin 1	OPR Begin 1	SA'=D1	DA'=GW1	
					OPC	OPR	END

In the case of a communication from, for example, (Device 1, SD1) to (Device 3, SD2) these messages become respectively:

MA=D1, SA=GW1, CC, Begin 1, OPR, SA'=GW2, DA'=D3, Begin 2, OPR, SSDA=SD1, DSDA=SD2, OPC, OPR, END.

SA=GW1, DA=GW2, CC, BC, H, SA'=D1, DA'=D3, Begin 2, OPR, SSDA=SD1, DSDA=SD2, OPC, OPR.

MA=GW2, SA=D3, CC, Begin 1, OPR, SA'=D1, DA'=GW1, Begin 2, OPR, SSDA=SD1, DSDA=SD2, OPC, OPR, END.

Le format de SA' et DA' utilisé dans les messages via D2B est le suivant:

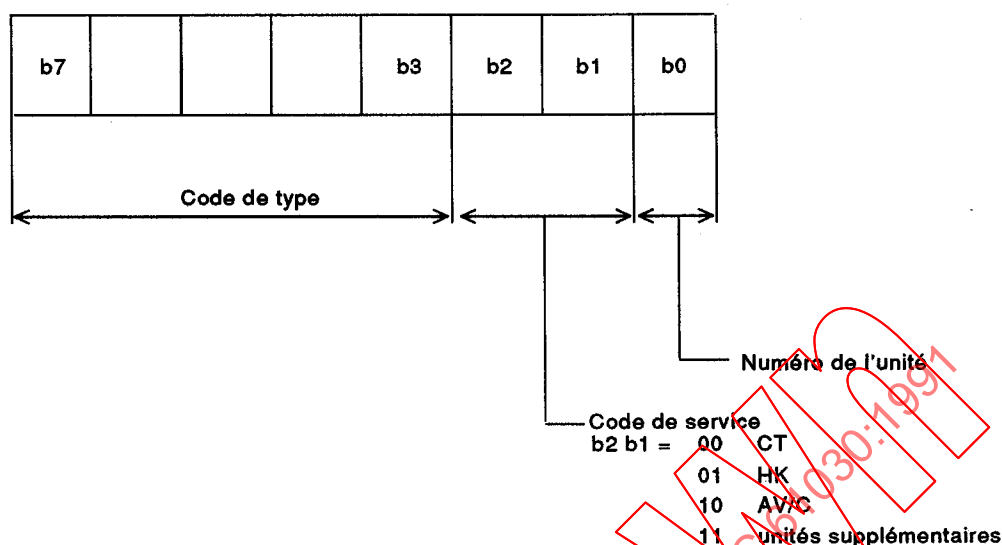


Figure 19 - Format de SA' et DA'

11.2 Communication par passerelle dans le format spécifié par l'OPR

«Begin 0» est suivi d'un OPR. Cet octet OPR précise le format de SA' et DA' qui suivent.

Avec «Begin 0» toutes les unités semblables sont adressables dans d'autres sous-systèmes. Ainsi 8 unités semblables connectées à un autre système D2B (les deux étant sous-systèmes d'un bus électronique domestique) peuvent être adressées, à l'aide du code OPR : 20H pour préciser le format D2B.

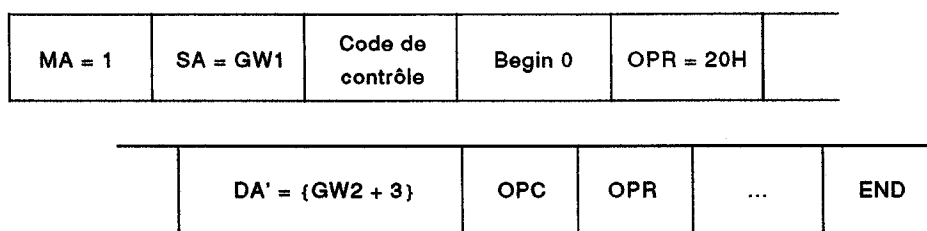
Format de SA' et DA' en format D2B:

b15 à b12 Numéro de la passerelle
b11 à b0 Adresse de D2B sur 12 bits

NOTE - En format D2B, SA' et DA' sont des mots de deux octets (numéro de passerelle + adresse d'unité).

Si le sous-unité 1.1 transmet une commande au sous-unité 3.2, les messages sur les bus sont définis comme suit:

Le contenu de la trame de l'unité Source 1 à la passerelle 1 est le suivant:



The format of SA' and DA', used in the messages via D2B is as follows:

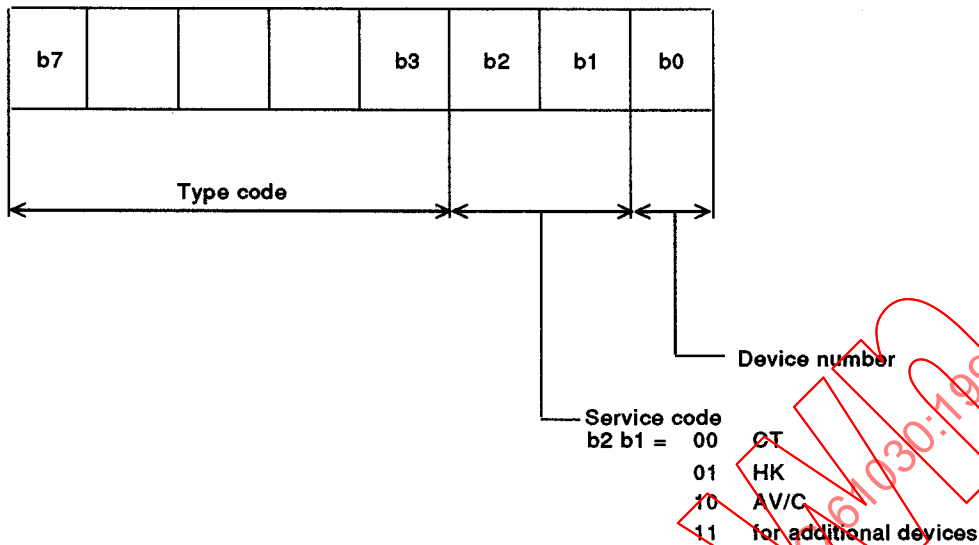


Figure 19 - Format of SA' and DA'

11.2 Gateway communication in the format specified with the OPR

"Begin 0" is followed by an OPR. This OPR byte specifies the format of SA' and DA' that follow.

Using "Begin 0", all similar devices are addressable in other sub-systems. So 8 similar devices connected to another D2B system (both being sub-systems of an HEB) can be addressed, using the OPR code 20H to specify the D2B format.

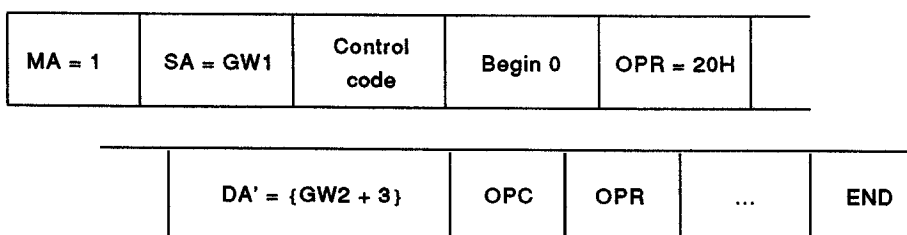
The format of SA' and DA' in the D2B format:

b15 to b12 Gateway number
b11 to b0 12-bit D2B address

NOTE - In D2B format SA' and DA' are 2 byte words, shown as {gateway number + device address}.

If sub-device 1.1 transmits a command to sub-device 3.2, the messages on the buses are defined as follows:

The content of the frame from Source device 1 to Gateway 1 is as follows:



Le contenu de la trame (bus principal) de la passerelle 1 à la passerelle 2 peut être le suivant:

SA=GW1	DA=GW2	Code de contrôle	BC	En-tête	Begin 0	OPR = 20H	
--------	--------	------------------	----	---------	---------	-----------	--

	SA' = {GW1 + 1}	DA' = {GW2 + 3}	OPC	OPR
--	-----------------	-----------------	-----	-----

Le contenu de la trame de la passerelle 2 à l'unité de destination 3 est le suivant:

MA = GW2	SA = 3	Code de contrôle	Begin 0	OPR = 20H1	SA' = {GW1 + 1}
----------	--------	------------------	---------	------------	-----------------

	OPC	OPR	...	END
--	-----	-----	-----	-----

11.3 Adresses des passerelles

Tableau 12 - Attribution des adresses de passerelles

Passerelle	Adresse D2B b11 ... b0		
Passerelle 1	0000	10110	000
2	0000	10110	001
3	0000	10111	000
4	0000	10111	001
5	0000	11110	000
6	0000	11110	001
7	0000	11111	000
8	0000	11111	001

The content of the frame (main bus) from Gateway 1 to Gateway 2 can be as follows:

SA=GW1	DA=GW2	Control code	BC	Header	Begin 0	OPR = 20H	
		SA' = {GW1 + 1}	DA' = {GW2 + 3}	OPC	OPR		

The content of the frame from Gateway 2 to Destination device 3 is as follows:

MA = GW2	SA = 3	Control code	Begin 0	OPR = 20H1	SA' = {GW1 + 1}	
			OPC	OPR		END

11.3 Gateway addresses

Table 12 - Address allocation of gateways

Gateway	D2B gateway address b11 ... b0
1	0000 10110 000
2	0000 10110 001
3	0000 10111 000
4	0000 10111 001
5	0000 11110 000
6	0000 11110 001
7	0000 11111 000
8	0000 11111 001

12 Extension de commande

Si un certain code OPC doit être interprété dans un sens non normalisé, le code OPC doit être précédé de la commande «extension de commande».

Par exemple, BF,20,(OPC, OPR, OPR, ...).

La chaîne d'OPC et d'OPR suivant les codes BF,20 est laissée à la libre disposition de l'utilisateur pourvu que la composition de cette chaîne d'OPC et d'OPR soit définie avec précision.

13 Format de message à trame multiple

Une trame D2B est définie par un champ d'en-tête, des champs d'adresse, un champ de contrôle et un champ de données.

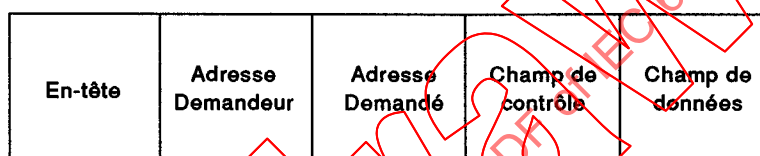


Figure 20 - Format de la trame

En général, un message complet nécessite plus d'une trame pour sa transmission. Un message transmis en plus d'une trame est appelé «message à trame multiple».

Le mécanisme de verrouillage de D2B est utilisé pour empêcher que plusieurs messages émanant de sources différentes et envoyés à une même destination n'arrivent à se mélanger.

Au moyen du code de contrôle, un Demandeur peut verrouiller ou déverrouiller le Demandé. En raison du principe du D2B basé sur l'octet, le moyen le plus sûr de déverrouiller le Demandé est d'utiliser la commande «END».

La structure d'un message multiple est la suivante:

- champ d'en-tête: chaque trame a son en-tête comportant le bit de départ et les bits de mode;
- champ d'adresse Demandeur: ce champ indique l'unité source de chaque message;
- champ d'adresse Demandé: chaque trame a son adresse Demandé D2B (la même adresse Demandé dans chaque trame pour un message multiple);
- champ de contrôle: chaque trame a son champ de contrôle, qui définit la direction et la signification des octets du message (commande ou données transparentes);
- champ de données: un message multiple est le total de tous les messages de chaque trame, adressés à un Demandé.

Un message multiple se termine toujours par la commande «END».

Pour transmettre un message multiple, un Demandeur verrouille le Demandé, envoie les trames et ensuite déverrouille le Demandé.

12 Command extension

If a certain OPC code is to be interpreted in a non-standardized way, the OPC code has to be preceded by the command "command extension".

For example, BF,20,(OPC, OPR, OPR, ...).

The string of OPC and OPR following the codes BF,20 is free for use by designers provided the composition of this string of OPC and OPR is precisely defined.

13 Multiple frame message format.

A D2B frame is defined with a header field, address fields, a control field and a data field.

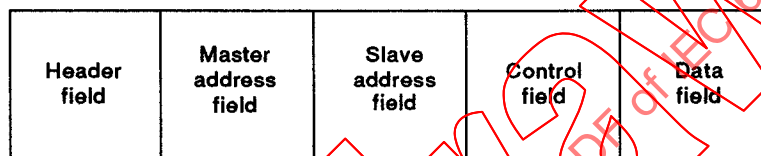


Figure 20 - Frame format

In general a complete message needs more than one frame for the transmission. A message transmitted in more than one frame is called "multiple frame message".

The lock mechanism of D2B is used to prevent messages from different sources to one destination becoming mixed up.

By means of the control code, a master can lock or unlock the slave. Due to the byte oriented principle of D2B, the safe way to unlock the slave is to use the "END" command.

The structure of a multiple message is as follows:

- header field: each frame has its header, containing the start bit and the mode bits;
- master address field: this field indicates the source device of each message;
- slave address field: each frame has its D2B slave address (same slave address in each frame of a multiple message);
- control field: each frame has its control field, which defines the direction and the meaning of the bytes in the message (command or transparent data);
- data field: a multiple frame message is the total of all messages of each frame, addressed to a slave.

A multiple message is always terminated with the command "END".

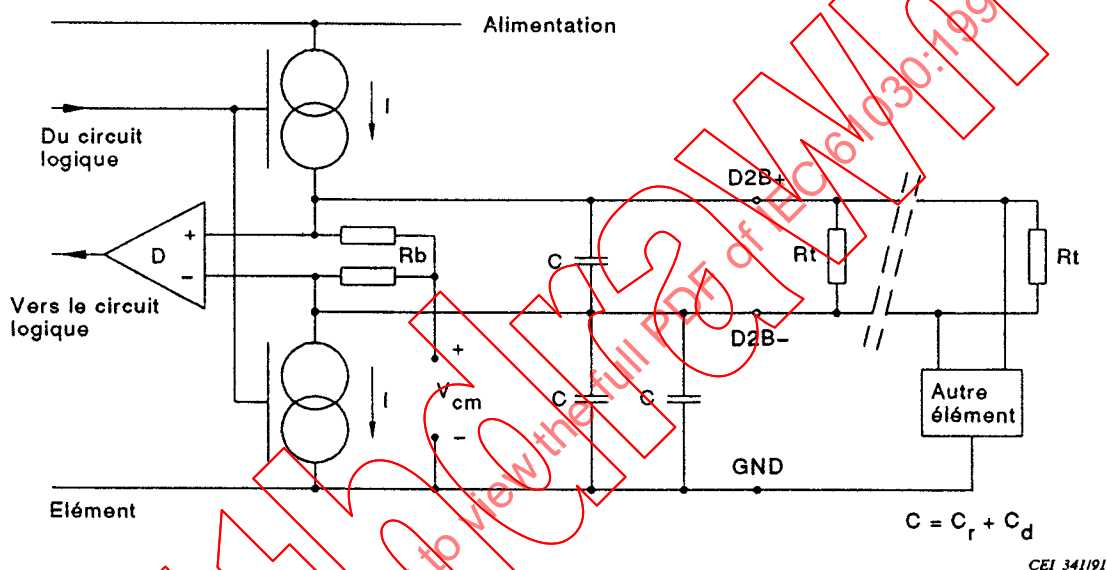
To transmit a multiple frame message a master locks the slave, sends the multiple frames and then unlocks the slave.

14 Spécification électrique d'un système D2B

Différents supports peuvent être utilisés pour le D2B à condition que les exigences de temps applicables au support utilisé soient respectées. De plus, le support utilisé doit permettre la mise en place d'un «ET câblé».

Cet article décrit les spécifications électriques et les exigences sur les temps de retard et les durées des transitoires dans les émetteurs et des récepteurs pour un système D2B utilisant un câble à paire équilibrée avec masse.

14.1 Représentation du circuit typique (voir figure 21)



C_r et C_d = capacités parasites
 D = comparateur de tension entre les bornes D2B+ et D2B-
 I = source de courant
 V_{cm} = tension de mode commun
 V_{cmd} = tension de mode commun de l'émetteur
 V_{cmr} = tension de mode commun du récepteur

Figure 21 - Circuit de référence

14.2 Relation entre les états électriques et logiques

Les niveaux électriques sur les lignes de données sont les suivants:

Etat logique de codage	Niveaux électriques
Etat haut : «0»	$V_{D2B+} - V_{D2B-} > + 0,12 \text{ V}$
Etat bas : «1»	$V_{D2B+} - V_{D2B-} < + 0,02 \text{ V}$

14 Electrical specification of a D2B system.

Various media may be used for D2B, provided that all timing requirements applying to the medium in use are met. In addition, the medium shall permit "wired AND" to be implemented.

For a balanced cable pair and return, the electrical specification of D2B and the timing requirements for the driver and detector are described as follows.

14.1 Typical circuit configuration (see figure 21).

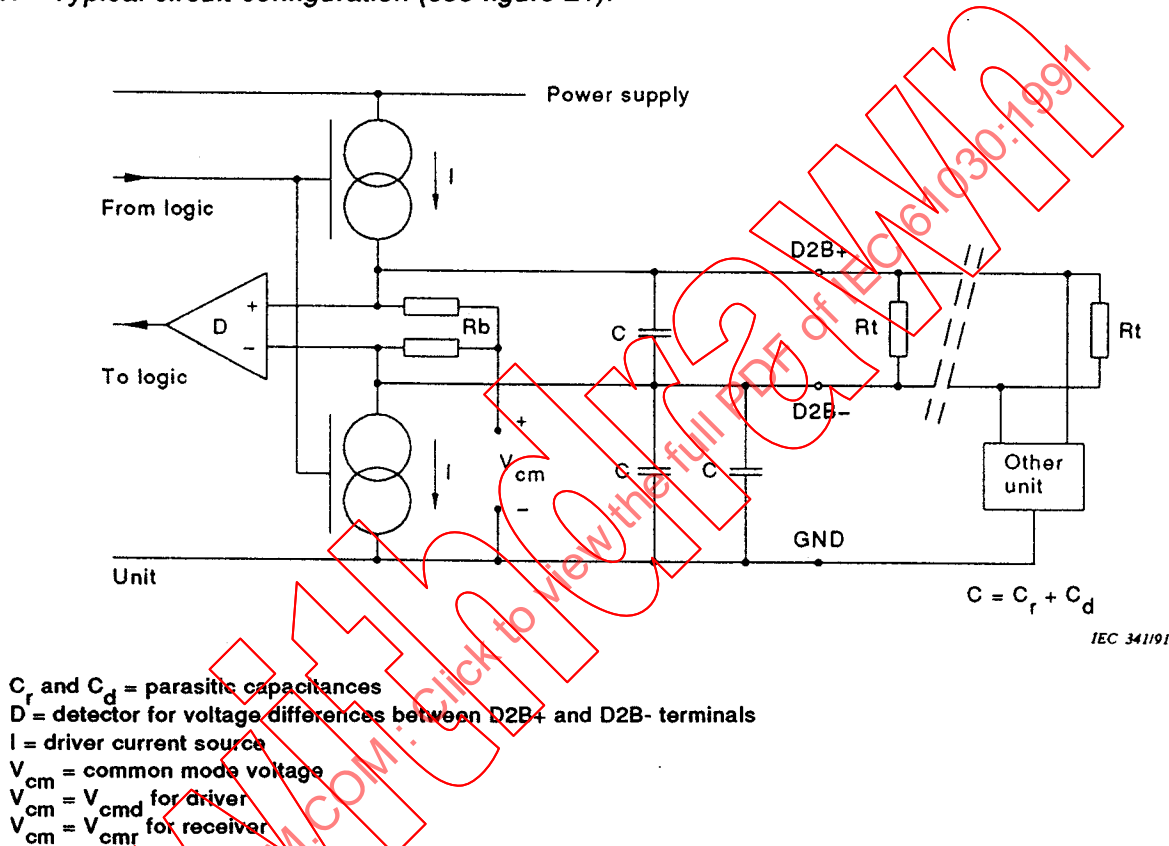


Figure 21 - Reference circuit

14.2 Logical and electrical state relationship

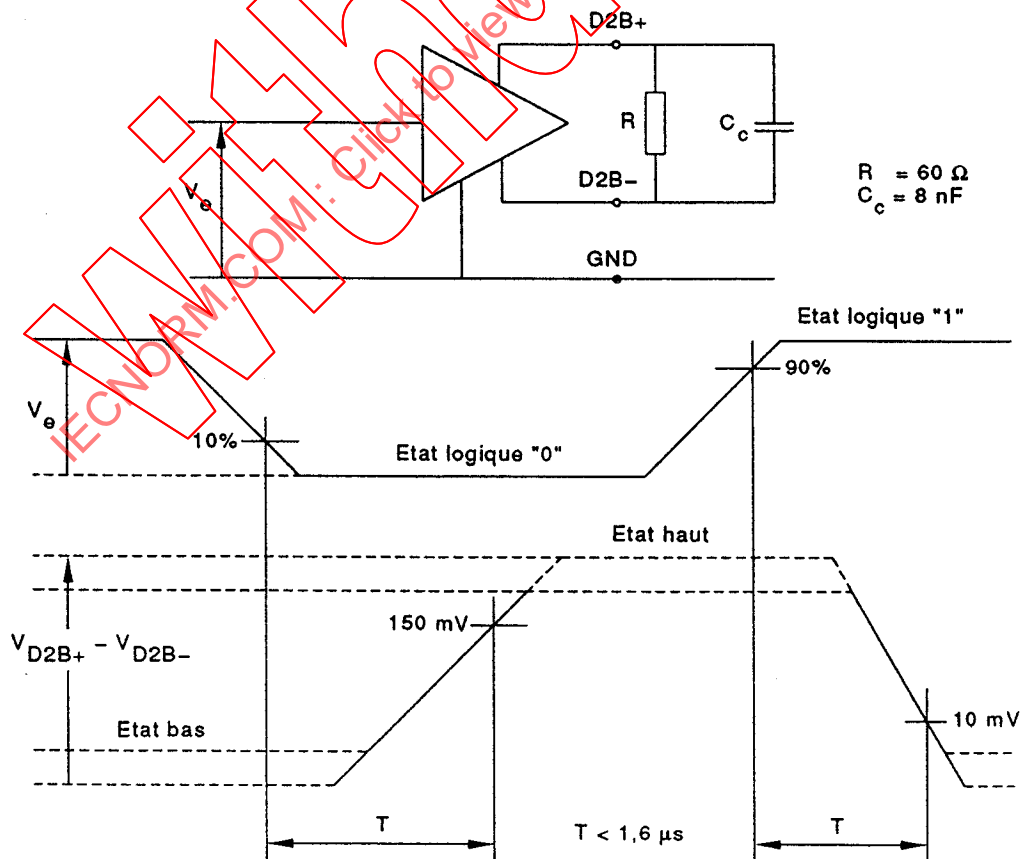
The voltages present on the data lines are as follows:

Coding logical state	Voltages
On state : "0"	$V_{D2B+} - V_{D2B-} > + 0,12 \text{ V}$
Off state : "1"	$V_{D2B+} - V_{D2B-} < + 0,02 \text{ V}$

14.3 Spécification du circuit émetteur

Les spécifications du circuit émetteur sont les suivantes:

- $V_{D2B-} > V_{GND}$ et $V_{D2B+} < +5 \text{ V}$ par rapport à la masse.
- La tension en mode commun ($V_{cmd} = \frac{V_{D2B+} + V_{D2B-}}{2}$ par rapport à la masse) doit être de $2,5 \text{ V} \pm 10 \%$ dans toutes les conditions de fonctionnement.
- Le courant délivré par le circuit émetteur (I) doit être:
 $2,75 \text{ mA} < I < 5 \text{ mA}$ pour l'état haut
 $0 < I < 1 \mu\text{A}$ pour l'état bas
- La résistance de sortie du circuit émetteur entre $D2B+$ et $D2B-$ doit être:
 $R > 100 \text{ k}\Omega$ ($R = 2R_b$) pour l'état bas.
- Les charges capacitives du circuit émetteur doivent être:
 $C_d < 25 \text{ pF}$ entre $D2B+$ et $D2B-$
 $C_d < 25 \text{ pF}$ entre $D2B+$ et la masse
 $C_d < 25 \text{ pF}$ entre $D2B-$ et la masse.
- Les durées des transitions doivent être comme indiqué dans la figure 22.



T = retard maximal du circuit émetteur ($0,1 \mu\text{s}$) + temps de montée maximal ($1,5 \mu\text{s}$)
 T = retard maximal du circuit émetteur ($0,1 \mu\text{s}$) + temps de descente maximal ($1,5 \mu\text{s}$)

Figure 22 - Temps de propagation du circuit émetteur

14.3 Driver specification

The specification for drivers shall be as follows:

- a) $V_{D2B-} > V_{GND}$ and $V_{D2B+} < +5\text{ V}$ with respect to GND.
- b) The common mode voltage ($V_{cmd} = \frac{V_{D2B+} + V_{D2B-}}{2}$ with respect to GND)

shall be $2,5\text{ V} \pm 10\%$ under all operating conditions.

- c) The driver current (I) shall be:

$$\begin{aligned} 2,75\text{ mA} < I < 5\text{ mA} & \text{ for the on state} \\ 0 < I < 1\text{ }\mu\text{A} & \text{ for the off state} \end{aligned}$$

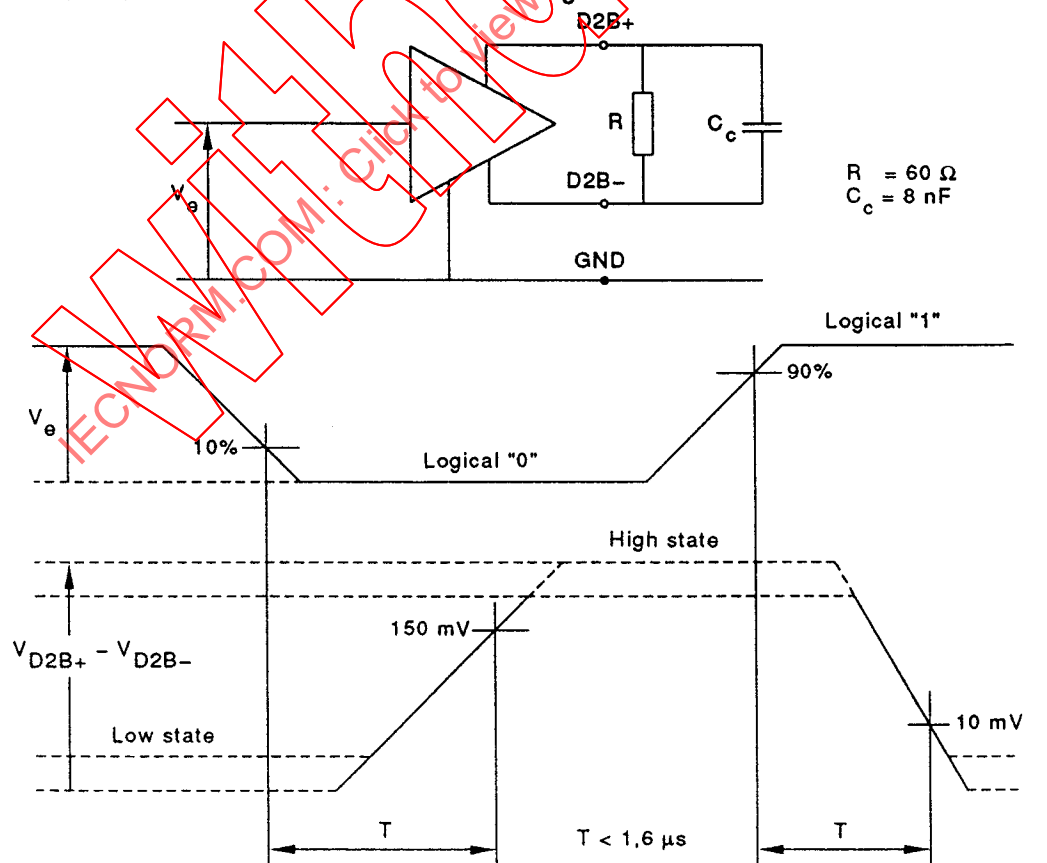
- d) The driver output source resistance between D2B+ and D2B- shall be:

$$R > 100\text{ k}\Omega \quad (R = 2R_b) \text{ for the off state.}$$

- e) The driver load capacitance shall be:

$$\begin{aligned} C_d < 25\text{ pF} & \text{ between D2B+ and D2B-} \\ C_d < 25\text{ pF} & \text{ between D2B+ and GND} \\ C_d < 25\text{ pF} & \text{ between D2B- and GND} \end{aligned}$$

- f) Transition time values shall be as shown in figure 22:



$T = \text{maximum driver delay (0,1 }\mu\text{s)} + \text{maximum rise time (1,5 }\mu\text{s)}$

$T = \text{maximum driver delay (0,1 }\mu\text{s)} + \text{maximum fall time (1,5 }\mu\text{s)}$

Figure 22 - Driver delay times

14.4 Spécification du récepteur

Les spécifications du récepteur sont les suivantes:

- a) La tension en mode commun ($V_{cmr} = \frac{V_{D2B+} + V_{D2B-}}{2}$ par rapport à la masse)

doit être:

$$\begin{aligned} 1 \text{ V} < V_{cmr} < 3,75 \text{ V} & \text{ pour l'état haut} \\ 0 \text{ V} < V_{cmr} < 5 \text{ V} & \text{ pour l'état bas.} \end{aligned}$$

- b) La tension d'entrée doit être:

$$\begin{aligned} V_{D2B+} - V_{D2B-} & \geq 120 \text{ mV} & \text{ pour l'état haut} \\ V_{D2B+} - V_{D2B-} & \leq 20 \text{ mV} & \text{ pour l'état bas.} \end{aligned}$$

- c) Le circuit d'entrée doit présenter une hystérésis d'au moins 20 mV.

- d) L'impédance d'entrée doit être équivalente à:

$$\begin{aligned} R & > 2,5 \text{ M}\Omega \text{ et } C_r < 25 \text{ pF} & \text{ entre D2B+ et D2B-} \\ R & > 2,5 \text{ M}\Omega \text{ et } C_r < 25 \text{ pF} & \text{ entre D2B+ et la masse} \\ R & > 1 \text{ M}\Omega \text{ et } C_r < 25 \text{ pF} & \text{ entre D2B- et la masse.} \end{aligned}$$

- e) Les temps de retard apportés par le récepteur doivent être comme indiqué dans la figure 23.

Les mesures doivent être effectuées dans la gamme complète de la tension en mode commun (voir point a) du 14.4).

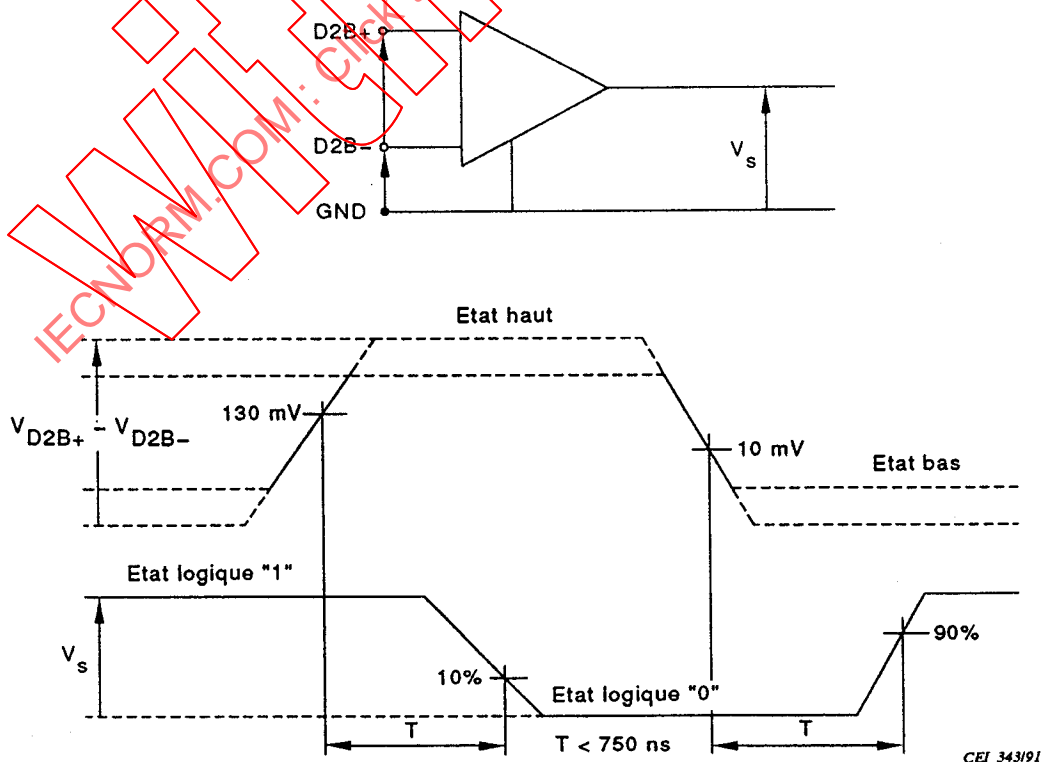


Figure 23 - Temps de retard apportés par le récepteur

14.4 Receiver specification

The specification for receivers shall be:

- a) The common mode voltage ($V_{\text{cmr}} = \frac{V_{\text{D2B+}} + V_{\text{D2B-}}}{2}$ with respect to GND)

shall be:

$$\begin{aligned} 1 \text{ V} < V_{\text{cmr}} &< 3,75 \text{ V for the on state} \\ 0 \text{ V} < V_{\text{cmr}} &< 5 \text{ V for the off state} \end{aligned}$$

- b) The input voltage shall be:

$$\begin{aligned} V_{\text{D2B+}} - V_{\text{D2B-}} &\geq 120 \text{ mV for the on state} \\ V_{\text{D2B+}} - V_{\text{D2B-}} &\leq 20 \text{ mV for the off state} \end{aligned}$$

- c) The input circuit shall exhibit hysteresis of at least 20 mV.

- d) The input impedance shall be equivalent to:

$$\begin{aligned} R &> 2,5 \text{ M}\Omega \text{ and } C_r < 25 \text{ pF between D2B+ and D2B-} \\ R &> 2,5 \text{ M}\Omega \text{ and } C_r < 25 \text{ pF between D2B+ and GND} \\ R &> 1 \text{ M}\Omega \text{ and } C_r < 25 \text{ pF between D2B- and GND} \end{aligned}$$

- e) The receiver delay times shall be as shown in figure 23.

Measurements shall be performed over the entire common mode voltage range (see 14.4a).

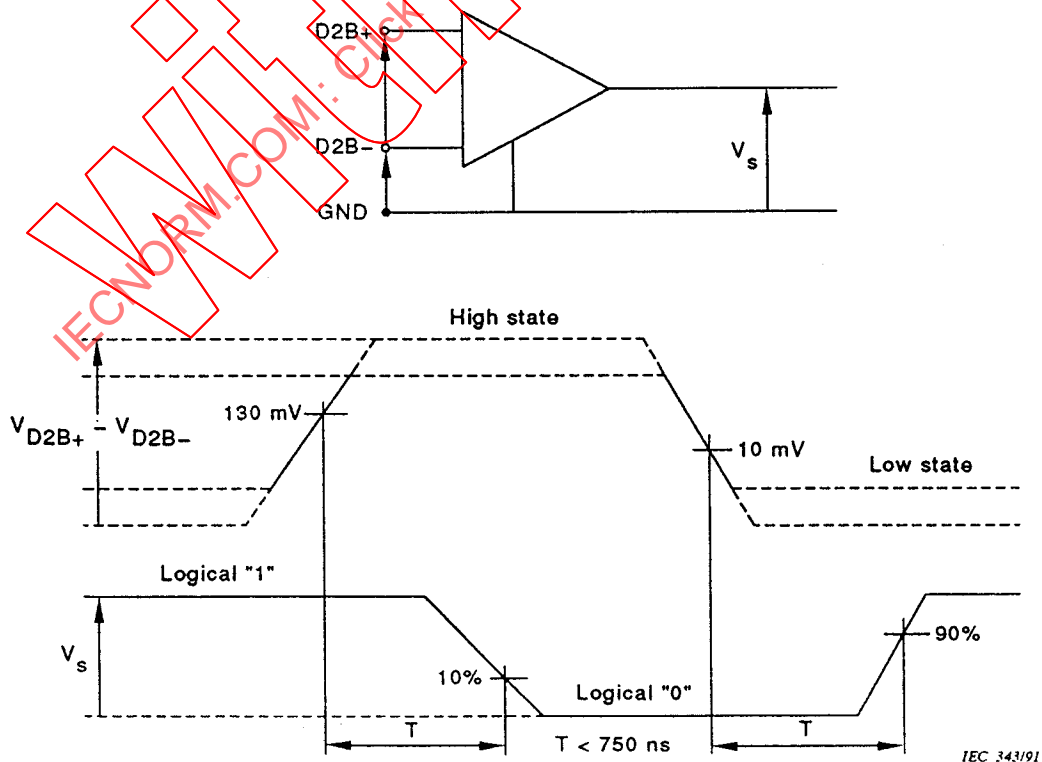


Figure 23 - Receiver delay times

14.5 Spécification du câble

a) La résistance électrique maximale d'un conducteur du câble doit être $0,1 \Omega/\text{m}$.

L'impédance caractéristique (Z_0) du câble doit être de $120 \Omega \pm 20 \%$.

Le temps de propagation dans le câble ne doit pas dépasser $0,9 \mu\text{s}$. En conséquence, la longueur maximale du câble est de 150 m si le temps de propagation par mètre dans le câble est de 6 ns.

La longueur de toute dérivation ne doit pas dépasser 2,5 m.

b) Le câble doit être bouclé à ses deux extrémités par une résistance de $120 \Omega \pm 5 \%$.

Withdrawing
IECNORM.COM: Click to view the full PDF of IEC 61030:1991