NORME INTERNATIONALE
INTERNATIONAL STANDARD

CEI
IEC
935

Deuxième édition
Second edition
1996-07

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Instrumentation nucléaire – Système modulaire d'acquisition rapide de données – FASTBUS

Nuclear instrumentation – Modular high speed data acquisition system – FASTBUS

Numéro de référence
Reference number
CEI/IEC 935: 1996

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- **«Site web» de la CEI***
- **Catalogue des publications de la CEI**
  Publié annuellement et mis à jour régulièrement
  (Catalogue en ligne)*
- **Bulletin de la CEI**
  Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas.*

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
  Published yearly with regular updates
  (On-line catalogue)*
- **IEC Bulletin**
  Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams.*

* See web site address on title page.

IECNORM.COM : Click to view the full PDF of IEC 60825-1:1996
Withdrawn

NORME INTERNATIONALE
INTERNATIONAL STANDARD

CEI
IEC
935

Deuxième édition
Second edition
1996-07

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Instrumentation nucléaire – Système modulaire d'acquisition rapide de données – FASTBUS

Nuclear instrumentation – Modular high speed data acquisition system – FASTBUS

© CEI 1996 Droits de reproduction réservés — Copyright – all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembé Genève, Suisse

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

SOMMAIRE

AVANT-PROPOS 1

Section 0. Références normatives 1

Section 1. Objet, domaine d'application et introduction générale 2
1.1 Objet et domaine d'application 2
1.2 Introduction générale 2
1.2.1 Fonctionnement du FASTBUS 5
1.2.2 Interconnexion de segments 8
1.2.3 Registres de contrôle et d'état 9
1.2.4 Adressage géographique 9
1.2.5 Transfert de blocs et en pipe-line 10
1.2.6 Opérations à verrouillage d'adresse et d'arbitrage 11
1.2.7 Scrutation des données éparses 12
1.2.8 Opérations de DIFFUSION 12
1.2.9 Arbitrage pour la maîtrise du bus 13
1.2.10 Interruptions 14
1.2.11 Cadencement 14
1.2.12 Initialisation 15
1.2.13 Outils de diagnostic 15

Section 2. Conventions, définitions, abréviations et symboles 16
2.1 Interprétation de cette norme 16
2.2 Notations et conventions des signaux logiques 16
2.3 Définitions (suivant l'ordre alphabétique français) 17
2.4 Abréviations 24
2.5 Symboles 26

Section 3. Signaux, lignes et contacts des signaux 27
3.1 Types des lignes des signaux 27
3.2 Nomenclature des signaux 27
3.3 Brève description des signaux, des lignes et des contacts 27
3.3.1 AS - Synchronisation Adresse (T, Maître) 28
3.3.2 AK - Acceptation d'une Adresse (T, Esclave ou Ancillaire) 28
3.3.3 EG - Mise en service géographique (CT, Maître ou Ancillaire) 28
3.3.4 MS - Sélection de Mode (C, Maître) 28
3.3.5 AD - Adresse/donnée (I, Maître ou Esclave) 28
3.3.6 SS - Etat de l'Esclave (I, Esclave) 28
3.3.7 DS - Synchronisation des données (T, Maître) 29
3.3.8 DK - Acceptation des données (T, Esclave ou Ancillaire) 29
3.3.9 RD - Lecture (C, Maître) 29
3.3.10 PE - Mise en service de la parité (I, Maître ou Esclave) 29
3.3.11 PA - Parité (I, Maître ou Esclave) 29
3.3.12 WT - Attente (A, tous les dispositifs) 29
3.3.13 AR - Demande d'arbitrage (A, Maître) 29
3.3.14 AG - Octroi de l'arbitrage (TA, Ancillaire) 29
3.3.15 AL - Niveau d'arbitrage (IA, Maître) 30
3.3.16 GK - Acceptation de l'octroi (TA, Maître) 30
3.3.17 AI - Inhibition de la demande d'arbitrage (CA, Ancillaire) 30
3.3.18 SR - Demande de service (A, Maître ou Esclave) 30
3.3.19 RB - Remise à zéro du bus (A, Maître ou Maître via les SI) 30
3.3.20 BH - Arrêt du bus (C, Ancillaire) 30
3.3.21 GA - Adressage géographique (F, câblé) 30
3.3.22 TP - Contact T (I, Esclave) 31
3.3.23 DL, DR - Guirlande (I, Maître ou Esclave) 31

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

CONTENTS

FOREWORD 1

Section 0. Normative References 1

Section 1. Object, scope and introductory overview 2
1.1 Object and scope 2
1.2 Introductory overview 2
1.2.1 FASTBUS Operations 5
1.2.2 Segment Interconnects 8
1.2.3 Control and Status Registers 9
1.2.4 Geographical Addressing 9
1.2.5 Block and Pipelined Transfers 10
1.2.6 Address Locked and Arbitration Locked Operations 11
1.2.7 Sparse Data Scan 12
1.2.8 BROADCAST Operations 12
1.2.9 Arbitration for Bus Mastership 13
1.2.10 Interrupts 14
1.2.11 Timing 14
1.2.12 Initialization 15
1.2.13 Diagnostic Tools 15

Section 2. Conventions, definitions, abbreviations and symbols 16
2.1 Interpretation of this standard 16
2.2 Notations and logic signal conventions 16
2.3 Definitions (according to English alphabetical order) 17
2.4 Acronyms 24
2.5 Symbols 26

Section 3. Signals, signal lines and pins 27
3.1 Types of signal lines 27
3.2 Signal nomenclature 27
3.3 Brief description of signals, lines and pins 27
3.3.1 AS - Address Sync (T, Master) 28
3.3.2 AK - Address Acknowledge (T, Slave or ANC) 28
3.3.3 EG - Enable Geographical (C, Master or ANC) 28
3.3.4 MS - Mode Select (C, Master) 28
3.3.5 AD - Address/Data (I, Master or Slave) 28
3.3.6 SS - Slave Status (I, Slave) 28
3.3.7 DS - Data Sync (T, Master) 29
3.3.8 DK - Data Acknowledge (T, Slave or ANC) 29
3.3.9 RD - Read (C, Master) 29
3.3.10 PE - Parity Enable (I, Master or Slave) 29
3.3.11 PA - Parity (I, Master or Slave) 29
3.3.12 WT - Wait (A, Any Device) 29
3.3.13 AR - Arbitration Request (A, Master) 29
3.3.14 AG - Arbitration Grant (TA, ANC) 29
3.3.15 AL - Arbitration Level (IA, Master) 30
3.3.16 GK - Grant Acknowledge (TA, Master) 30
3.3.17 AI - Arbitration Request Inhibit (CA, ANC) 30
3.3.18 SR - Service Request (A, Master or Slave) 30
3.3.19 RB - Reset Bus (A, Master or Master via SIs) 30
3.3.20 BH - Bus Halted (C, ANC) 30
3.3.21 GA - Geographical Address (F, Hardwired) 30
3.3.22 TP - T Pins (I, Slave) 31
3.3.23 DL, DR - Daisy Chain (I, Master or Slave) 31

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.24 TX, RX - Lignes du réseau série (A, Maître ou Esclave) . . . 31
3.3.25 TR - Lignes adaptées d'usage restreint . . . 31
3.3.26 UR - Lignes non adaptées d'usage restreint . . . 32
3.3.27 Autres lignes et contacts . . . 32
3.4 Charge du bus . . . 32
3.4.1 Limites en tension et en courant sur les lignes des signaux et les contacts F . . . 32

Section 4. Fonctionnement du FASTBUS: adressage . . . 33
4.1 Adressage logique . . . 33
4.2 Adressage géographique . . . 35
4.3 Adressage en diffusion . . . 36
4.3.1 Contrôle du Maître dans une diffusion . . . 37
4.3.2 Réponse des Esclaves à une opération de diffusion . . . 39
4.4 Adressage secondaire . . . 44
4.5 Fonctionnement en scrutation des données éparses et en sélection par configuration 44

Section 5. Fonctionnement du FASTBUS: chronogrammes, séquences et réponses . . . 46
5.1 Caractéristiques générales du cadencement Maître/Esclave . . . 46
5.1.1 Caractéristiques de cadencement des signaux du Maître . . . 47
5.1.2 Caractéristiques du cadencement de l'Esclave . . . 48
5.1.3 Utilisation de la ligne d'attente (WT) . . . 50
5.2 Cycles d'adresse primaire . . . 51
5.2.1 Séquence du Maître pour positionner AS . . . 53
5.2.2 Réponse de l'Esclave à AS(u) . . . 53
5.2.3 Réponse du Maître à AK(u) . . . 55
5.3 Fonctionnement . . . 55
5.3.1 Séquence du Maître pour positionner DS . . . 58
5.3.2 Réponse de l'Esclave à DS(t) . . . 59
5.3.3 Analyse des réponses d'état de l'Esclave . . . 60
5.3.4 Réponse du Maître à DK(t) . . . 62
5.4 Utilisation de la ligne de remise à zéro (RB) . . . 62
5.4.1 Positionnement de RB par le Maître . . . 63
5.4.2 Réponse du dispositif à RB . . . 63
5.5 Réponse des dispositifs à la mise sous tension . . . 63
5.6 Diagrammes d'état pour les opérations FASTBUS . . . 64

Section 6. Arbitrage du bus . . . 65
6.1 Utilisation des lignes du bus pour une procédure d'arbitrage . . . 66
6.2 La procédure d'arbitrage . . . 67
6.3 Règles d'arbitrage . . . 70
6.3.1 Positionnement de AR par le Maître et transmission de AR par le SI . . . 70
6.3.2 Positionnement et libération de AI par l'ATC . . . 71
6.3.3 Positionnement et libération de AG par l'ATC . . . 71
6.3.4 Positionnement et libération de AL par le Maître . . . 72
6.3.5 Positionnement et libération de GK par le Maître . . . 72
6.4 Arbitrage a travers le système . . . 73

Section 7. Logique ancillaire sur un segment . . . 75
7.1 Contrôle de la séquence d'arbitrage (ATC) . . . 75
7.1.1 Génération de AI par l'ATC . . . 75
7.1.2 Génération de AG par l'ATC . . . 75
7.2 Contrôle des adresses géographiques . . . 76
7.3 Génération du dialogue système (diffusion) . . . 77
7.4 Commande marche/arrêt et arrêt du bus . . . 78
7.5 Adaptation . . . 79
7.6 Logique ancillaire pour un segment-châssis . . . 80
7.7 Logique ancillaire pour un segment-câble . . . 81

Section 8. Espace des registres de contrôle et d'état . . . 82

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.24 TX, RX - Serial Network Lines (A, Master or Slave) . . . 31
3.3.25 TR - Terminated Restricted Use Lines . . . 31
3.3.26 UR - Unterminated Restricted Use Lines . . . 32
3.3.27 Other Lines and Pins . . . 32
3.4 Bus loading . . . 32
3.4.1 Voltage and Current Limits For Signal Lines and F Pins . . . 32

Section 4. FASTBUS Operations: Addressing . . . 33
4.1 Logical Addressing . . . 33
4.2 Geographical Addressing . . . 35
4.3 Broadcast Addressing . . . 36
4.3.1 Master's Control of a Broadcast . . . 37
4.3.2 Slave Response to Broadcast Operations . . . 39
4.4 Secondary Addressing . . . 44
4.5 Sparse Data Scan and Pattern Select Operation . . . 44

Section 5. FASTBUS Operations: Timing, Sequences and Responses . . . 46
5.1 General Master/Slave Timing Requirements . . . 46
5.1.1 Master Signal Timing Requirements . . . 47
5.1.2 Slave Signal Timing Requirements . . . 48
5.1.3 Use of Wait (WT) . . . 50
5.2 Primary Address Cycles . . . 51
5.2.1 Master Sequence for Asserting AS . . . 53
5.2.2 Slave Response to AS(u) . . . 53
5.2.3 Master Response to AK(u) . . . 55
5.3 Operations . . . 55
5.3.1 Master Sequence for Asserting DS . . . 58
5.3.2 Slave Response to DS(t) . . . 59
5.3.3 Discussion of Slave Status Responses . . . 60
5.3.4 Master Response to DK(t) . . . 62
5.4 Master Reset Bus (RB) . . . 62
5.4.1 Master Assertion of RB . . . 63
5.4.2 Device Response to RB . . . 63
5.5 Device Response to Power On . . . 63
5.6 State Diagrams for FASTBUS Operations. . . . 64

Section 6. Bus Arbitration . . . 65
6.1 Bus Line Usage for the Arbitration Process . . . 66
6.2 The Arbitration Process . . . 67
6.3 Arbitration Rules . . . 70
6.3.1 Master Assertion of AR and Segment Interconnect Passing of AR . . . 70
6.3.2 ATC Assertion and Release of AI . . . 71
6.3.3 ATC Assertion and Release of AG . . . 71
6.3.4 Master Assertion and Release of AL . . . 72
6.3.5 Master Assertion and Release of GK . . . 72
6.4 System Wide Arbitration . . . 73

Section 7. Ancillary Logic on a Segment . . . 75
7.1 Arbitration Timing Control (ATC) . . . 75
7.1.1 ATC Generation of AI . . . 75
7.1.2 ATC Generation of AG . . . 75
7.2 Geographical Address Control . . . 76
7.3 System Handshake Generation (Broadcast) . . . 77
7.4 Run/Halt Control and Bus Halted . . . 78
7.5 Terminators . . . 79
7.6 Ancillary Logic for Crate Segments . . . 80
7.7 Ancillary Logic for Cable Segments . . . 81

Section 8. Control and Status Register Space . . . 82

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

8.1 Fonctions de positionnement et d'effacement sélectifs . . . 83
8.2 Allocation de l'espace normal CSR . . . 84
8.3 Registre CSR 0 . . . 86
8.3.1 L'ID du dispositif et son attribution . . . 87
8.3.2 Attribution des bits de contrôle et d'état . . . 89
8.4 Registre CSR 1 . . . 89
8.5 Registre CSR 2 . . . 90
8.6 Registre CSR 3 . . . 92
8.7 Registre CSR 4 . . . 92
8.8 Registre CSR 5 . . . 93
8.9 Registre CSR 6 . . . 93
8.10 Registre CSR 7 . . . 93
8.11 Registre CSR 8 . . . 93
8.12 Registre CSR 9 et registres CSR 1Ch a 1Fh . . . 94
8.13 Registres CSR de Ah à Fh . . . 94
8.14 Registres CSR de 20h à 3Fh . . . 95
8.15 Registres CSR de 70h à 81h . . . 95
8.16 Registres CSR A0h à AFh, B0h à BFh et C0h à CFh . . . 96
8.17 Registres CSR de 8000 0000h à BFFF FFFFh, espace paramètres . . . 96
8.18 Remise a zéro des bits des CSR . . . 97
8.19 Registre CSR 18 . . . 98
8.20 Registre CSR 19 . . . 99

Section 9. Interruptions . . . 100
9.1 Opération d'interruption . . . 100
9.2 Lignes de demande de service . . . 101
9.3 Saturation de la ligne SR . . . 103

Section 10. Interconnexion de segments . . . 104
10.1 Types d'interconnexion de segments . . . 104
10.2 Transmission des opérations . . . 105
10.3 Règlement des conflits . . . 106
10.4 Tables de routage . . . 107
10.5 Registres de contrôle et d'état . . . 108
10.5.1 CSR#0 - ID, contrôle et état . . . 111
10.5.2 CSR#1 - Niveau d'arbitrage du côté lointain . . . 111
10.5.3 CSR#8 - Niveau d'arbitrage côté proche . . . 111
10.5.4 CSR#9 - Registre de contrôle du temporisateur . . . 111
10.5.5 CSR#40h - Registre d'adresse de la table de routage . . . 111
10.5.6 CSR#41h - Registre de données de la table de routage . . . 112
10.5.7 CSR#42h - Adresse géographique du côté proche . . . 112
10.5.8 CSR#43h - Adresse géographique du côté lointain . . . 112
10.5.9 Effets de différentes actions sur les bits des CSR d'un SI . . . 113
10.6 Tables de routage . . . 113
10.6.1 Informations de transmission, de destination et de base . . . 113
10.6.2 Règles de génération . . . 114
10.7 Actions des SI . . . 114
10.7.1 Reconnaissance des adresses . . . 114
10.7.2 Arbitrage du SI . . . 115
10.7.3 Règlement des conflits . . . 115
10.7.4 Réponse négative . . . 116
10.7.5 Modification des adresses géographiques et de diffusion . . . 117
10.7.6 Transmission des opérations . . . 117
10.7.7 Utilisation et génération de la parité par le SI . . . 120
10.7.8 Réponse de l'interconnexion de segment à RB . . . 120
10.7.9 Contraintes de séquencement . . . 120
10.8 Registre d'adresse de base . . . 121

Section 11. Transferts en bloc et en pipe-line . . . 122

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

8.1 Selective Set and Clear Functions . . . 83
8.2 Normal CSR Space Allocation . . . 84
8.3 CSR Register 0 . . . 86
8.3.1 Device IDs and their Allocation . . . 87
8.3.2 Control and Status Bit Allocation . . . 89
8.4 CSR Register 1 . . . 89
8.5 CSR Register 2 . . . 90
8.6 CSR Register 3 . . . 92
8.7 CSR Register 4 . . . 92
8.8 CSR Register 5 . . . 93
8.9 CSR Register 6 . . . 93
8.10 CSR Register 7 . . . 93
8.11 CSR Register 8 . . . 93
8.12 CSR Register 9 AND CSR Register 1Ch to 1Fh . . . 94
8.13 CSR Registers Ah to Fh . . . 94
8.14 CSR Registers 20h to 3Fh . . . 95
8.15 CSR Registers 70h to 81h . . . 95
8.16 CSR Registers A0h to AFh, B0h to BFh and C0h to CFh . . . 96
8.17 CSR Registers 8000 0000h to BFFF FFFFh, Parameter Space . . . 96
8.18 Clearing of CSR Bits . . . 97
8.19 CSR register 18 . . . 98
8.20 CSR Register 19 . . . 99

Section 9. Interrupts . . . 100
9.1 Interrupt Operation . . . 100
9.2 The Service Request Line . . . 101
9.3 SR line Saturation. . . . 103

Section 10. Interconnection of Segments . . . 104
10.1 Types of Segment Interconnects . . . 104
10.2 Operation Passing . . . 105
10.3 Contention Resolution . . . 106
10.4 Route Tables . . . 107
10.5 Control and Status Registers . . . 108
10.5.1 CSR#0 - ID, Status and Control . . . 111
10.5.2 CSR#1 Far-side Arbitration Level . . . 111
10.5.3 CSR#8 Near-side Arbitration Level . . . 111
10.5.4 CSR#9 Timer Control Register . . . 111
10.5.5 CSR#40h Route Table Address Register . . . 111
10.5.6 CSR#41h Route Table Data Register . . . 112
10.5.7 CSR#42h Near-side Geographical Address . . . 112
10.5.8 CSR#43h Far-side Geographical Address . . . 112
10.5.9 Effect of Various Actions on CSR Bits in SIs . . . 113
10.6 Route Tables . . . 113
10.6.1 Pass, Destination and Base Information . . . 113
10.6.2 Generation Rules . . . 114
10.7 SI Actions . . . 114
10.7.1 Address Recognition . . . 114
10.7.2 SI Arbitration . . . 115
10.7.3 Contention Resolution . . . 115
10.7.4 Negative Responses . . . 116
10.7.5 Modification of Geographical and Broadcast Addresses . . . 117
10.7.6 Operation Passing . . . 117
10.7.7 SI use and Generation of Parity . . . 120
10.7.8 Segment Interconnect Response to RB . . . 120
10.7.9 Timing Requirements . . . 120
10.8 Base Address Register . . . 121

Section 11. Block and Pipelined Transfers . . . 122

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

11.1 Terminaison des transferts de bloc et en pipe-line . . . 123
11.2 Incrémentation de l'adresse interne dans les transferts de bloc . . . 124
11.3 Les FIFO et les erreurs de transfert de données . . . 124
11.4 Transfert de données multi-module . . . 125

Section 12. Caractéristiques des signaux . . . 126
12.1 Niveaux des signaux . . . 126

Section 13. Les modules . . . 127
13.1 Carte circuit du module . . . 127
13.1.1 Zone de mise à la masse pour la décharge des charges statiques . . . 128
13.1.2 Raidisseurs . . . 128
13.2 Connecteurs . . . 128
13.2.1 Connecteur de segment . . . 128
13.2.2 Connecteur auxiliaire du module . . . 134
13.2.3 Autres connecteurs . . . 135
13.2.4 Désignations des contacts des connecteurs de segment et auxiliaires . . . 135
13.3 Considérations sur la température et la puissance dissipable . . . 135
13.3.1 Températures des puces et des modules . . . 136
13.3.2 Puissance dissipée . . . 137
13.3.3 Refroidissement . . . 137
13.4 Panneau avant . . . 137
13.5 Voyants indiquant l'activité du module . . . 138
13.6 Indication de la consommation . . . 138
13.7 Transitoires . . . 138

Section 14. Les châssis . . . 139
14.1 Construction des châssis . . . 139
14.2 Fond de panier du châssis . . . 140
14.2.1 Connecteur de segment du châssis et câblage associé . . . 140
14.2.2 Connecteur auxiliaire de châssis . . . 142
14.2.3 Guides des connecteurs . . . 142
14.2.4 Contraintes de courant sur le fond de panier . . . 144
14.2.5 Autres éléments du fond de panier . . . 144
14.3 Refroidissement . . . 145
14.4 Ensemble commutateur marche/arrêt . . . 145
14.5 Cartes de circuit montées a l'arrière du fond de panier . . . 145
14.6 Marquage des châssis . . . 146
14.7 Contacts de décharge des charges statiques . . . 147

Section 15. Alimentations . . . 148

Section 16. Segment-câble . . . 149
16.1 Signaux sur un segment-câble . . . 149
16.2 Connecteurs du segment-câble et affectation des contacts . . . 149

Annexe A. Prescriptions pour différentes réalisations . . . 153
A.1 Réalisation en ECL . . . 153
A.1.1 Détails des connexions et des niveaux des signaux ECL . . . 153
A.1.2 Détails du cadencement des signaux ECL . . . 155
A.1.3 Délai de réessai . . . 155
A.1.4 Temps de réponse . . . 155
A.1.5 Résistances d'adaptation . . . 155
A.1.6 Courant nécessaire pour le générateur de tension GA . . . 155
A.1.7 Différences de températures entre les puces . . . 155
A.1.8 Distribution des modules sur un segment-châssis . . . 155

Annexe B. Interconnexions en ECL sur la face avant . . . 158
B.1 Amplitude et niveaux des signaux . . . 158

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

11.1 Block and Pipelined Transfer Termination . . . 123
11.2 Block Transfer Internal Address Incrementation . . . 124
11.3 FIFOs and Errors in Data Transfer . . . 124
11.4 Multimodule Data Transfers . . . 125

Section 12. Signal Characteristics . . . 126
12.1 Signal Levels . . . 126

Section 13. Modules . . . 127
13.1 Module Circuit Board . . . 127
13.1.1 Grounding Area for Static Charge Discharge . . . 128
13.1.2 Stiffener Bars . . . 128
13.2 Connectors . . . 128
13.2.1 Segment Connector . . . 128
13.2.2 Module Auxiliary Connector . . . 134
13.2.3 Other Connectors . . . 135
13.2.4 Segment and Auxiliary Connector Contact Designations . . . 135
13.3 Temperature Considerations and Power Dissipation . . . 135
13.3.1 Die and Module Temperatures . . . 136
13.3.2 Power Dissipation . . . 137
13.3.3 Cooling . . . 137
13.4 Front Panel . . . 137
13.5 Module Activity Indicators . . . 138
13.6 Labeling of Power Requirements . . . 138
13.7 Transients . . . 138

Section 14. Crates . . . 139
14.1 Crate Construction . . . 139
14.2 Crate Backplane . . . 140
14.2.1 Crate Segment Connector and Associated Wiring . . . 140
14.2.2 Crate Auxiliary Connector . . . 142
14.2.3 Connector Guides . . . 142
14.2.4 Backplane Current Requirements . . . 144
14.2.5 Other Backplane Items . . . 144
14.3 Cooling . . . 145
14.4 Run/halt Switch Assembly . . . 145
14.5 Circuit Boards mounted at rear of Backplane . . . 145
14.6 Crate Markings . . . 146
14.7 Contacts for Static Charge discharge . . . 147

Section 15. Power . . . 148

Section 16. Cable Segment . . . 149
16.1 Signals on a Cable Segment . . . 149
16.2 Cable Segment Connectors and Contact Assignments . . . 149

Annex A. Requirements for various Implementations . . . 153
A.1 ECL Implementation . . . 153
A.1.1 ECL Connections and Signal Level Details . . . 153
A.1.2 ECL Timing Details . . . 155
A.1.3 Retry Period . . . 155
A.1.4 Response Times . . . 155
A.1.5 Terminators . . . 155
A.1.6 GA Logic Generating Circuit Requirements . . . 155
A.1.7 Differential Die Temperatures . . . 155
A.1.8 Module Distribution in Crate Segments . . . 155

Annex B. Front Panel Interconnections for ECL . . . 158
B.1 Signal Amplitude and Levels . . . 158

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

B.2 Câbles . . . 158
B.3 Connecteurs . . . 158
B.3.1 Connecteurs multicontact . . . 159
B.3.2 Signaux différentiels ECL sur les connecteurs multicontact . . . 159
B.3.3 Signaux différentiels ECL sur un connecteur à 2 contacts . . . 160
B.4 Emetteurs, récepteurs et résistances d'adaptation . . . 160

Annexe C. Réalisation du segment-câble . . . 162
C.1 Caractéristiques électriques d'un segment-câble . . . 163
C.2 Réalisation en ECL d'un segment-câble . . . 163

Annexe D. Exemples de réalisations d'éléments de maîtres . . . 166
D.1 Circuit d'arbitrage du maître . . . 166

Annexe E. Interconnexion de segments FASTBUS type S-1 . . . 167
E.1 Caractéristiques générales d'une interconnexion de segment type S-1 . . . 167
E.1.1 Type . . . 167
E.1.2 Format . . . 167
E.1.3 Segment-câble . . . 168
E.1.4 Champ d'adresse de groupe . . . 168
E.1.5 Réalisation des tables de routage . . . 168
E.1.6 CSR#0 - ID, état et contrôle . . . 169
E.1.7 Registre NTA . . . 169
E.2 Caractéristiques de la face avant . . . 169

Annexe F. Réalisation de modules . . . 170
F.1 Exemple de réalisation de modules . . . 170

Annexe G. Exemple de réalisation de châssis type A . . . 171
G.1 Châssis type A . . . 171
G.1.1 Construction de châssis type A . . . 171
G.1.2 Fond de panier du châssis type A . . . 171
G.2 Exemple de réalisation de châssis type A . . . 171
G.3 Possibilités pour monter des cartes a l'arrière . . . 176

Annexe H. Exemples de réalisation de châssis et de module type W . . . 177
H.1 Châssis type W . . . 177
H.1.1 Construction du châssis type W . . . 177
H.1.2 Exemple de réalisation de châssis type W . . . 177
H.2 Réalisation du module pour les châssis type W . . . 177

Annexe I. Alimentations standards . . . 180
I.1 Alimentation a efficacité élevée . . . 180
I.1.1 Généralités . . . 180
I.1.2 Efficacité . . . 180
I.1.3 Gamme de températures ambiantes . . . 180
I.1.4 Entrée . . . 180
I.1.5 Sorties . . . 181
I.1.6 Stabilisation à distance . . . 181
I.1.7 Régulation et stabilité . . . 181
I.1.8 Coefficient de température . . . 181
I.1.9 Bruit et oscillation résiduelle . . . 182
I.1.10 Temps de récupération et transitoires de marche et d'arrêt . . . 182
I.1.11 Bruit par transmission et rayonnement . . . 182
I.1.12 Contacts de sortie . . . 182
I.1.13 Commandes de réglage des tensions . . . 182
I.1.14 Protection . . . 183
I.1.15 Surveillance . . . 183
I.1.16 Essais aux limites . . . 183

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

B.2 Cables . . . 158
B.3 Connectors . . . 158
B.3.1 Multipin Connectors . . . 159
B.3.2 ECL Differential Signals on Multicontact Connectors . . . 159
B.3.3 ECL Differential Signals on Two-Contact Connectors . . . 160
B.4 Drivers, Receivers and Terminators . . . 160

Annex C. Cable Segment Implementation . . . 162
C.1 Electrical Specification for Cable Segment . . . 163
C.2 ECL Cable Segment Implementation . . . 163

Annex D. Implementation Examples of Master Requirements . . . 166
D.1 Master Arbitration Circuitry . . . 166

Annex E. FASTBUS Segment Interconnect type S-1 . . . 167
E.1 General Features of Segment Interconnect type S-1 . . . 167
E.1.1 Type . . . 167
E.1.2 Format . . . 167
E.1.3 Cable Segment . . . 168
E.1.4 Group Address Field . . . 168
E.1.5 Route Table Implementation . . . 168
E.1.6 CSR#0 - ID, Status and Control . . . 169
E.1.7 NTA Register . . . 169
E.2 Front Panel Features . . . 169

Annex F. Module Implementation . . . 170
F.1 Typical Module Implementations . . . 170

Annex G. Examples of type a Crate Implementation . . . 171
G.1 Type A Crate . . . 171
G.1.1 Type A Crate Construction . . . 171
G.1.2 Type A Crate Backplane . . . 171
G.2 Example of Type a Crate Implementation . . . 171
G.3 Mounting provision for Rear-mounted Circuit Boards . . . 176

Annex H. Examples of Type W Crate and Type W Module Assembly . . . 177
H.1 Type W Crate . . . 177
H.1.1 Type W Crate Construction . . . 177
H.1.2 Example of Type W Crate Implementation . . . 177
H.2 Module Implementation for Type W Crates . . . 177

Annex I. Typical Power Supplies . . . 180
I.1 High-efficiency Power Supply . . . 180
I.1.1 General . . . 180
I.1.2 Efficiency . . . 180
I.1.3 Ambient Temperature Range . . . 180
I.1.4 Input . . . 180
I.1.5 Output . . . 181
I.1.6 Remote Sense . . . 181
I.1.7 Regulation and Stability . . . 181
I.1.8 Temperature Coefficient . . . 181
I.1.9 Noise and Ripple . . . 182
I.1.10 Recovery Time and Turn-On and Turn-Off Transients . . . 182
I.1.11 Conducted and Radiated Noise . . . 182
I.1.12 Output Terminals . . . 182
I.1.13 Voltage Adjustment Controls . . . 182
I.1.14 Protection . . . 183
I.1.15 Monitoring . . . 183
I.1.16 Margining . . . 183

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

I.1.17 Contrôle extérieur du déclenchement du disjoncteur . . . 183
I.1.18 Sortie secteur commandée . . . 184
I.1.19 Panneau avant . . . 184
I.1.20 Montage en châssis . . . 184
I.1.21 Refroidissement . . . 184
I.2 Alimentation a faible bruit . . . 184
I.2.1 Généralités . . . 184
I.2.2 Efficacité . . . 184
I.2.3 Gamme de températures ambiantes . . . 185
I.2.4 Entrée . . . 185
I.2.5 Sorties . . . 185
I.2.6 Stabilisation à distance . . . 185
I.2.7 Régulation et stabilité . . . 185
I.2.8 Coefficient de température . . . 185
I.2.9 Bruit et oscillation résiduelle . . . 185
I.2.10 Temps de récupération et transitoires de marche et d'arrêt . . . 185
I.2.11 Bruit par transmission et rayonnement . . . 185
I.2.12 Contacts de sortie . . . 185
I.2.13 Commandes de réglage des tensions . . . 185
I.2.14 Protection . . . 185
I.2.15 Surveillance . . . 185
I.2.16 Essais aux limites . . . 186
I.2.17 Contrôle extérieur du déclenchement du disjoncteur . . . 186
I.2.18 Sortie secteur commandée . . . 186
I.2.19 Panneau avant . . . 186
I.2.20 Montage en châssis . . . 186
I.2.21 Refroidissement . . . 186

Annexe J. Procédures de prise en compte des états non nuls . . . 187
J.1 Erreurs au moment de l'adressage . . . 187
J.1.1 Déclenchement du temporisateur au moment de l'adressage . . . 187
J.1.2 Erreur de parité au moment de l'adressage . . . 187
J.1.3 SS = 1 au moment de l'adressage - Réseau occupé . . . 187
J.1.4 SS = 2 au moment de l'adressage - Panne de réseau . . . 187
J.1.5 SS = 3 au moment de l'adressage - Abandon du réseau . . . 187
J.1.6 Réponses d'un SI: SS = 1, SS = 2 ou SS = 3 - Généralités . . . 188
J.1.7 Pistage de la route prise par une opération . . . 188
J.1.8 SS = 4 au moment de l'adressage - Réservé . . . 188
J.1.9 SS = 5 au moment de l'adressage - Réservé . . . 188
J.1.10 SS = 6 au moment de l'adressage - Réservé . . . 188
J.1.11 SS = 7 au moment de l'adressage - IA non valable, accepté . . . 189
J.2 Déclenchement du temporisateur au moment des données . . . 189
J.3 Réponses d'état de l'esclave . . . 189
J.3.1 SS = 0 - Action valable . . . 189
J.3.2 SS = 1 - Occupé . . . 189
J.3.3 SS = 2 - Fin de bloc . . . 189
J.3.4 SS = 3 - Défini par l'utilisateur . . . 189
J.3.5 SS = 4 - Réservé . . . 190
J.3.6 SS = 5 - Réservé . . . 190
J.3.7 SS = 6 - Erreur de données (rejeté) . . . 190
J.3.8 SS = 7 - Erreur de données (accepté) . . . 190
J.4 Réponse du calculateur hôte a un message d'erreur . . . 190
J.5 Erreurs dans les transmissions de ou vers les FIFO et les ports E/S . . . 191
J.5.1 Introduction . . . 191
J.5.2 Erreurs pendant les opérations de lecture . . . 191
J.5.3 Erreurs pendant les opérations d'écriture . . . 192

Annexe K. Composants . . . 193
K.1 Connecteurs . . . 193

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

I.1.17 External Breaker Trip Control . . . 183
I.1.18 Switched ac Outlet . . . 184
I.1.19 Front Panel . . . 184
I.1.20 Rack Mounting . . . 184
I.1.21 Cooling . . . 184
I.2 Low noise Power Supply . . . 184
I.2.1 General . . . 184
I.2.2 Efficiency . . . 184
I.2.3 Ambient Temperature Range . . . 185
I.2.4 Input . . . 185
I.2.5 Output . . . 185
I.2.6 Remote Sense . . . 185
I.2.7 Regulation and Stability . . . 185
I.2.8 Temperature Coefficient . . . 185
I.2.9 Noise and Ripple . . . 185
I.2.10 Recovery Time and Turn-on and Turn-off Transients . . . 185
I.2.11 Conducted and Radiated Noise . . . 185
I.2.12 Output Terminals . . . 185
I.2.13 Voltage Adjustment Controls . . . 185
I.2.14 Protection . . . 185
I.2.15 Monitoring . . . 185
I.2.16 Margining . . . 186
I.2.17 External Breaker Trip Control . . . 186
I.2.18 Switched ac Outlet . . . 186
I.2.19 Front Panel . . . 186
I.2.20 Rack Mounting . . . 186
I.2.21 Cooling . . . 186

Annex J. Non-zero status handling Procedures . . . 187
J.1 Address-time Errors . . . 187
J.1.1 Timeout at Address Time . . . 187
J.1.2 Parity Error at Address Time . . . 187
J.1.3 SS = 1 at Address Time - Network Busy . . . 187
J.1.4 SS = 2 at Address Time - Network Failure . . . 187
J.1.5 SS = 3 at Address Time - Network Abort . . . 187
J.1.6 SS = 1, SS = 2 or SS = 3 SI responses - General . . . 188
J.1.7 Tracing the Route Taken by an Operation . . . 188
J.1.8 SS = 4 at Address Time - Reserved . . . 188
J.1.9 SS = 5 at Address Time - Reserved . . . 188
J.1.10 SS = 6 at Address Time - Reserved . . . 188
J.1.11 SS = 7 at Address Time - Invalid IA, Accepted . . . 189
J.2 Timeout at Data Time . . . 189
J.3 Slave Status Responses . . . 189
J.3.1 SS = 0 - Valid Action . . . 189
J.3.2 SS = 1 - Busy . . . 189
J.3.3 SS = 2 - End of Block . . . 189
J.3.4 SS = 3 - User Defined . . . 189
J.3.5 SS = 4 - Reserved . . . 190
J.3.6 SS = 5 - Reserved . . . 190
J.3.7 SS = 6 - Data Error (Reject) . . . 190
J.3.8 SS = 7 - Data Error (Accept) . . . 190
J.4 Host Response to Error Messages . . . 190
J.5 Errors in Transfers to or from Fifos and I/O Ports . . . 191
J.5.1 Introduction . . . 191
J.5.2 Errors during Read Operations . . . 191
J.5.3 Errors during Write Operations . . . 192

Annex K. Components . . . 193
K.1 Connectors . . . 193

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

K.1.1 Connecteurs du module . . . 193
K.1.2 Connecteurs de segment-châssis et connecteurs auxiliaires de châssis . . . 193
K.2 Récepteurs, émetteurs et transmetteurs pour les segments Câble . . . 194
K.2.1 Récepteurs classe 0.9 . . . 194
K.2.2 Récepteurs classe Z . . . 194
K.2.3 Transmetteurs (émetteur/récepteur) . . . 194
K.2.4 Emetteur . . . 194
K.3 Circuits d'interface . . . 195

Annexe L. Prescriptions pour la construction du système . . . 196
L.1 Connexion des alimentations . . . 196
L.2 Réalisation du circuit imprime . . . 196
L.2.1 Matière du circuit . . . 196
L.2.2 Procédure de soudage . . . 196
L.3 Construction de la carte de fond de panier . . . 196
L.3.1 Revêtement de protection de la carte de fond de panier . . . 196
L.3.2 Contacts du connecteur de segment . . . 196

Annexe M. Protection du système et des circuits . . . 198
M.1 Interconnexion des alimentations continues . . . 198
M.2 Protection contre les surcharges en courant . . . 198
M.2.1 Fusibles sur la carte . . . 198
M.2.2 Mesure du courants sur le châssis . . . 198
M.3 Protection du fond de panier . . . 199
M.4 Système de protection global des baies . . . 199
M.5 Protection des bancs de test . . . 199
M.6 Modules et cartes déformés . . . 200
M.7 Contacts tordus sur le connecteur de segment . . . 200
M.8 Danger des insertions sous tension . . . 200

Annexe N. Spécifications d'un transfert de données multi-modules (MDT-1) . . . 201
N.1 Préalables, recommandations et définitions . . . 201
N.2 Configuration d'un ensemble Multi-Module pour une opération MDT . . . 202
N.3 Caractéristiques MDT des modules maillons . . . 202
N.3.1 Le maillon primaire . . . 203
N.3.2 Le maillon intermédiaire . . . 203
N.3.3 Le maillon final . . . 203
N.4 Opérations MDT élémentaires incluant les signaux et le cadencement . . . 204
N.4.1 Les signaux MDT et le cadencement . . . 204
N.4.2 Détermination des frontières . . . 204
N.4.3 Etat initial du contrôle du jeton pour un balayage MDT . . . 204
N.5 Le balayage MDT . . . 204
N.5.1 Passage du jeton . . . 204
N.5.2 Transfert de données MDT . . . 206
N.5.3 Procédure de fin de balayage . . . 206
N.5.4 Conditions d'erreur . . . 207
N.6 Réalisations . . . 207

Index . . . 208

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

K.1.1 Module Connectors . . . 193
K.1.2 Crate Segment Connectors and Crate Auxiliary Connectors . . . 193
K.2 Cable Segment Receivers, Drivers, Transceivers . . . 194
K.2.1 Class 0.9 Receivers . . . 194
K.2.2 Class Z Receivers . . . 194
K.2.3 Transceivers (receiver/driver) . . . 194
K.2.4 Drivers . . . 194
K.3 Interface Chips . . . 195

Annex L. Construction and system requirements . . . 196
L.1 Power Interconnections . . . 196
L.2 Circuit Board Construction . . . 196
L.2.1 Board material . . . 196
L.2.2 Soldering procedure . . . 196
L.3 Crate Backplane Construction . . . 196
L.3.1 Backplane protective coating . . . 196
L.3.2 Segment connector pins . . . 196

Annex M. System and Circuit Protection . . . 198
M.1 DC Power Interconnections . . . 198
M.2 Overcurrent Protection . . . 198
M.2.1 Circuit Board Fuses . . . 198
M.2.2 Crate-based Current Monitors . . . 198
M.3 Backplane Protection . . . 199
M.4 Full-Rack System Protection . . . 199
M.5 Test Stand Protection . . . 199
M.6 Warped Modules and Cards . . . 200
M.7 Bent Pins on Segment Connector . . . 200
M.8 Hazards of live insertion . . . 200

Annex N. Multi-Module Data Transfer Specification (MDT-1) . . . 201
N.1 MDT prerequisites, recommendations and definitions . . . 201
N.2 Configuration of Multi-Module arrays for MDT operation . . . 202
N.3 The MDT features of the Link modules . . . 202
N.3.1 The Primary Link . . . 203
N.3.2 The Middle Link . . . 203
N.3.3 The End Link . . . 203
N.4 Basic MDT Operation including the signal and timing protocols . . . 204
N.4.1 The MDT Signal and Timing Protocols . . . 204
N.4.2 Boundary conditions . . . 204
N.4.3 Initial token control states of a MDT scan . . . 204
N.5 The MDT scan . . . 204
N.5.1 Token passing . . . 204
N.5.2 MDT data transfers . . . 206
N.5.3 MDT scan termination procedure . . . 206
N.5.4 Error conditions . . . 207
N.6 Implementations . . . 207

Index . . . 208

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Figures

1. Eléments de base du FASTBUS . . . 3
2. Topologie d'un système FASTBUS . . . 5
3. Dialogue de base d'une opération de lecture (vu du MAITRE) . . . 7
4. Transfert de bloc en écriture (vu du MAITRE) . . . 10
5. Opération à verrouillage d'adresse: lecture-modification-écriture (vue du MAITRE) 11
6. Format de l'adresse logique . . . 34
7. Formats de l'adresse géographique . . . 35
8. Sélection d'un esclave par adressage géographique . . . 36
9. Champs de l'adresse de diffusion . . . 38
10. Exemple de routage d'une diffusion . . . 38
11. Diagramme d'état pour une diffusion par contact T . . . 40
12. Diagramme d'état pour une diffusion générale . . . 41
13. Diagramme d'état pour une diffusion de classe N . . . 41
14. Cycle d'adressage logique . . . 49
15. Cycle d'adressage géographique, EG positionné par le Maître . . . 51
16. Cycle d'adressage géographique, EG positionné par la logique ancillaire . . . 52
17. Lecture-modification-écriture . . . 54
18. Lecture d'une donnée isolée . . . 56
19. Ecriture en transfert de bloc avec dialogue . . . 57
20. Diagramme d'état pour les dispositifs sans FIFO . . . 62
21. Diagramme d'état pour les dispositifs avec FIFO . . . 64
22. Logique de contrôle de l'arbitrage dans un Maître . . . 67
23. Logique d'arbitrage dans un Maître . . . 68
24. Arbitrage de deux Maîtres dans le cas des retards les plus défavorables . . . 69
25. Arbitrage de trois Maîtres dans le cas des retards les plus défavorables . . . 69
26. Notion de côté proche et de côté lointain dans un SI . . . 105
27. Conflit pour l'usage d'un SI . . . 106
28. Plan d'ensemble d'un module . . . 129
29. Plan du contour du circuit imprimé . . . 130
30. Détails de la carte du module . . . 131
31. Dimensions des connecteurs de segment et auxiliaire à deux rangs du module . . 132
32. Dimensions du connecteur auxiliaire à trois rangs du module . . . 135
33. Désignations des contacts des connecteurs de segment et auxiliaire et implantation sur le circuit . . . 136
34. Position relative du panneau avant et de la carte du module . . . 137
35. Détails des contacts du fond de panier . . . 139
36. Implantation des contacts sur le fond de panier du châssis . . . 141
37. Guides du connecteur . . . 143
38. Câblage de la guirlande du fond de panier . . . 143
39. Câblage des contacts d'adressage géographique du fond de panier . . . 144
40. Circuit imprimé à monter à l'arrière du fond de panier . . . 146
41. Schéma d'implantation d'un émetteur/récepteur de bus en ECL . . . 154
42. Circuits pour une liaison sur un câble. . . . 161
43. Etats logiques sur un Segment-câble . . . 164
44. Schéma d'un circuit d'attaque de Segment-câble . . . 165
45. Exemple d'un circuit hybride d'attaque d'un Segment-câble . . . 165
46. Exemple de logique d'arbitrage . . . 166
47. Modules FASTBUS . . . 170
48. Châssis Type A, vue de face . . . 172
49. Châssis Type A, vue de dessus . . . 173
50. Châssis Type A, vue de côté . . . 174
51. Exemple de Réalisation de Châssis Type A . . . 175
52. Exemple de réalisation de châssis type W . . . 178
53. Montage d'un module pour les châssis type W . . . 179
54. Transfert de données multimodules (MDT) . . . 205

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Figures

1. Basic FASTBUS Elements . . . 3
2. Example of FASTBUS System Topology . . . 5
3. Basic Handshake Read Operation (as seen by MASTER) . . . 7
4. Write Block Transfer (as seen by MASTER) . . . 10
5. Address Locked Operation: Read-Modify-Write (as seen by MASTER) . . . 11
6. Logical Address Format . . . 34
7. Geographical Address Formats . . . 35
8. Slave Selection via Geographical Addressing . . . 36
9. Broadcast Address Field . . . 38
10. Broadcast Routing Example . . . 38
11. State Diagram for T-pin Broadcast . . . 40
12. State Diagram for General Broadcast . . . 41
13. State Diagram for Class N Broadcast . . . 41
14. Logical Address Cycle . . . 49
15. Geographical Address Cycle, EG asserted by Master . . . 51
16. Geographical Address Cycle, EG asserted by Ancillary Logic . . . 52
17. Read-Modify-Write . . . 54
18. Random Data Read . . . 56
19. Block Transfer Handshake Write . . . 57
20. State Diagram for non-FIFO Devices . . . 62
21. State Diagram for FIFO Devices . . . 64
22. Arbitration Control Logic in a Master . . . 67
23. Arbitration Logic in a Master . . . 68
24. Arbitration for two Masters showing Worst-case Delays . . . 69
25. Arbitration for three Masters showing Worst-case Delays . . . 69
26. Near-Side and Far-Side concept for the SI . . . 105
27. Contention for use of an SI . . . 106
28. Module Outline . . . 129
29. Module Circuit Board Outline . . . 130
30. Module Circuit Board Details . . . 131
31. Dimensional Information for Module Segment and two-row Auxiliary connectors 132
32. Dimensional Information for Three-row Module Auxiliary Connector . . . 135
33. Segment and Auxiliary Connector Contact Designations and Corresponding circuit Board Footprints . . . 136
34. Module Front Panel in Relation to Module Circuit Board . . . 137
35. Backplane Pin Details . . . 139
36. Crate Backplane Pin Locations . . . 141
37. Connector Guides . . . 143
38. Backplane Daisy Chain Wiring . . . 143
39. Backplane Geographical Addressing Pin Wiring . . . 144
40. Circuit Board for Mounting at rear of Backplane . . . 146
41. Typical ECL Driver-Receiver Layout . . . 154
42. Cable Driving Circuit . . . 161
43. Cable Segment Logic States . . . 164
44. Schematic Diagram of Cable Segment Driver . . . 165
45. Example of Cable Segment Driver . . . 165
46. Example of Arbitration Logic . . . 166
47. FASTBUS Modules . . . 170
48. Crate, Type A, front view . . . 172
49. Crate, Type A, top view . . . 173
50. Crate, Type A, side view . . . 174
51. Typical Type A Crate Implementation . . . 175
52. Typical Type W Crate Implementation . . . 178
53. Module Assembly for Type W Crate . . . 179
54. Multimodule Data Transfer (MDT) . . . 205

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableaux

1. Signaux FASTBUS 6
2. Contrôle d'une diffusion par le MAITRE 39
3. Codage des fonctions pour une diffusion, réponse de l'esclave 42
4. Cadencement du dialogue d'un cycle 46
5. Spécification des types d'adresses 54
6. Réponse SS au moment de l'adressage avec AK(u) 55
7. Interprétation de MS dans les cycles de données 59
8. Réponse SS de l'esclave au moment des données avec DK(t) 60
9. Réponse SS et actions de l'esclave à DK(t) 60
10. Lignes d'arbitrage du FASTBUS 65
11. Fonctions de positionnement et d'effacement sélectifs des CSR 83
12. Registres de contrôle et d'état 84
13. Affectation des bits du registre CSR 0 86
14. Définition des bits de CSR#0 87
15. Affectation des bits du registre CSR 2 90
16. Définition des bits de CSR#2. 91
17. Registre de contrôle des temporisateurs 94
18. Attribution des adresses de l'espace CSR paramètres 96
19. Définition des termes utilisés dans le tableau 18 97
20. Effacement des bits des CSR 98
21. Affectation des bits dans CSR#0 d'un SI 108
22. Définition des bits de CSR#0 109
23. Effets de différentes actions sur les bits d'un SI 113
24. Réponse du SI aux adresses 119
25. Affectation des contacts du connecteur du segment-châssis 133
26. Signaux du segment-câble 149
27. Affectation des contacts du connecteur du segment-câble 150
28. Table 27 (suite) 151
29. Utilisation recommandée du connecteur auxiliaire pour une réalisation d'un segment-câble 152
30. Gammes de résistance pour des fils de cuivre divisés 154
31. Caractéristiques temporelles pour une réalisation en ECL 156
32. Niveaux logiques pour des interconnexions ECL en logique positive 158
33. Configuration MDT 202
34. Signaux MDT de contrôle du jeton 204

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Tables

1. FASTBUS Signals . . . 6
2. MASTER's Control of Broadcast . . . 39
3. Function Encoding for Broadcast, Slave Response . . . 42
4. Handshaked Cycle Timing Sequence . . . 46
5. Address Type Specification . . . 54
6. Address Time SS Response with AK(u) . . . 55
7. MS Interpretation for Data Cycles . . . 59
8. Slave Data Time SS Responses with DK(t) . . . 60
9. Slave SS Responses and Actions at DK(t) . . . 60
10. FASTBUS Arbitration Lines . . . 65
11. CSR Selective Set/Clear Function Implementation . . . 83
12. Control/Status Registers . . . 84
13. CSR Register 0 Bit Assignments . . . 86
14. Definition of CSR#0 Bits . . . 87
15. CSR Register 2 Bit Assignments . . . 90
16. Definition of CSR#2 Bits . . . 91
17. Timer Control Register . . . 94
18. CSR Parameter Space Address Allocation . . . 96
19. Definition of Terms used in table 18 . . . 97
20. Clearing of CSR Bits . . . 98
21. CSR#0 Bit Assignments in an SI . . . 108
22. Definition of CSR#0 Bits . . . 109
23. Effect of various actions on bits in SIs . . . 113
24. SI Response to Addresses . . . 119
25. Segment Connector Contact Assignments . . . 133
26. Cable Segment Signals . . . 149
27. Cable Segment Connector Contact Assignments . . . 150
28. Table 27 (Continued) . . . 151
29. Recommended utilization of Auxiliary Connector for Cable Segment Implementation . . . 152
30. Resistance Ranges for Stranded Copper Wire . . . 154
31. Characteristic Times for ECL Implementation . . . 156
32. Logic Levels for Interconnections for ECL Positive Logic . . . 158
33. MDT Configuration . . . 202
34. MDT Token Control Signals . . . 204

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

INSTRUMENTATION NUCLÉAIRE – SYSTÈME MODULAIRE D'ACQUISITION RAPIDE DE DONNÉES – FASTBUS

AVANT-PROPOS

1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes Internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.

2) Les décisions ou accords officiels de la CEI concernant les questions techniques, représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.

3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.

4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.

5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.

6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 935 a été établie par le comité d'études 45 de la CEI: Instrumentation nucléaire.

Cette deuxième édition annule et remplace la première édition parue en 1990 et constitue une révision technique.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
45/383/FDIS	45/392/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

INTERNATIONAL ELECTROTECHNICAL COMMISSION

NUCLEAR INSTRUMENTATION – MODULAR HIGH SPEED DATA ACQUISITION SYSTEM – FASTBUS

FOREWORD

1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.

2) The formal decisions or agreements of the IEC on technical matters, express as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.

3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.

4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.

5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.

6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 935 has been prepared by IEC technical committee 45: Nuclear instrumentation.

This second edition cancels and replaces the first edition published in 1990 and constitutes a technical revision.

The text of this standard is based on the following documents:

FDIS	Report on voting
45/383/FDIS	45/392/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

INSTRUMENTATION NUCLÉAIRE – SYSTÈME MODULAIRE D'ACQUISITION RAPIDE DE DONNÉES – FASTBUS

Section 0. Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente Norme internationale. Au moment de la publication, les éditions indiquées étaient en vigueur. Tout document normatif est sujet à révision et les parties prenantes aux accords fondés sur la présente Norme internationale sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 169-10: 1983, *Connecteurs pour fréquences radioélectriques – Partie 10: Connecteurs coaxiaux pour fréquences radioélectriques avec diamètre intérieur du conducteur extérieur de 3 mm (0,12 in) à accouplement par encliquetage – Impédance caractéristique 50 ohms (type SMB)*

CEI 297-1: 1986, *Dimensions des structures mécaniques de la série de 482,6 mm (19 in) – Première partie: Panneaux et bâtis*

CEI 516: 1975, *Système modulaire d'instrumentation pour le traitement de l'information: système CAMAC*
Modification 1 (1984)

CEI 547: 1976, *Tiroirs et châssis de 19 pouces basés sur le système NIM (pour appareils d'électronique nucléaire)*

CEI 1082-1: 1991, *Etablissement des documents utilisés en électrotechnique – Partie 1: Prescriptions générales*

CEI 1082-2: 1993, *Etablissement des documents utilisés en électrotechnique – Partie 2: Schémas adaptés à la fonction*

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

NUCLEAR INSTRUMENTATION – MODULAR HIGH SPEED DATA ACQUISITION SYSTEM – FASTBUS

Section 0. Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this International Standard. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this International Standard are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 169-10: 1983, *Radio-frequency connectors – Part 10: R.F. coaxial connectors with inner diameter of outer conductor 3 mm (0,12 in) with snap-on coupling – Characteristic impedance 50 ohms (Type SMB)*

IEC 297-1: 1986, *Dimensions of mechanical structures of the 482,6 mm (19 in) series – Part 1: Panels and racks*

IEC 516: 1975, *A modular instrumentation system for data handling: CAMAC system*
Amendment 1 (1984)

IEC 547: 1976, *Modular plug-in unit and standard 19-inch rack mounting unit based on NIM standard (for electronic nuclear instruments)*

IEC 1082-1: 1991, *Preparation of documents used in electrotechnology – Part 1: General requirements*

IEC 1082-2: 1993, *Preparation of documents used in electrotechnology – Part 2: Function-oriented diagrams*

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 1. Objet, domaine d'application et introduction générale

Cette section décrit l'objet et le domaine d'application de la présente norme ainsi qu'une introduction générale.

1.1 Objet et domaine d'application

Cette norme définit un système rapide et modulaire de bus de données, destiné à l'acquisition et au traitement des données, ainsi qu'aux contrôles. C'est une révision de la première édition (1990-06) qui inclue des modifications et des additions résultants d'une avance rapide de la technologie et de l'expérience acquise dans de nombreuses réalisations. Elle donne les spécifications mécaniques et électriques, celles des signaux et du protocole qui sont suffisantes pour assurer la compatibilité entre des éléments dont la conception et la production proviennent de différentes sources. Cette norme s'applique à des systèmes constitués d'appareils électroniques modulaires qui traitent ou transfèrent des données ou des signaux, normalement associés à des calculateurs ou d'autres processeurs automatiques de données. Cette norme s'applique à l'instrumentation et aux systèmes de contrôle nucléaires mais peut également être utilisée pour d'autres applications.

1.2 Introduction générale

Un système FASTBUS est constitué de multiples segments de bus qui peuvent fonctionner indépendamment mais sont reliés entre eux pour se transmettre des données et autres informations. FASTBUS peut fonctionner d'une manière asynchrone en utilisant un protocole relationnel pour accepter d'une manière fiable des appareils de vitesses différentes sans connaître au préalable leur vitesse. Il peut aussi fonctionner en mode synchrone sans dialogue d'échange pour transférer des blocs de données à la vitesse maximale.

Les systèmes complexes tels que FASTBUS sont plus facilement compris si les spécifications sont accompagnées d'une description plus générale qui présente en perspective les détails des différentes parties du système. Ainsi, cette section présente un survol des principales caractéristiques et des principaux modes de fonctionnement du FASTBUS. La plupart des sections suivantes contiennent, outre les parties obligatoires de la norme, des descriptions sur l'utilisation des caractéristiques définies. La section 2 contient les définitions des termes qui ont un sens particulier dans le système FASTBUS. On définit les symboles utilisés dans les schémas pour décrire les différents éléments d'un système FASTBUS et on donne une liste des abréviations couramment utilisées. Les sections restantes précisent les spécifications du système FASTBUS. Elles sont suivies par une série d'annexes qui donnent des informations descriptives concernant certaines caractéristiques du FASTBUS. Les mots en majuscules sont utilisés dans cette section pour indiquer des mots qui ont un sens particulier en FASTBUS.

La plupart des caractéristiques du FASTBUS résultent de considérations sur les besoins des systèmes actuels d'acquisition de données. Le besoin d'une grande vitesse est satisfait en permettant le fonctionnement en parallèle de nombreux processeurs qui peuvent communiquer aussi bien entre eux qu'avec les systèmes d'acquisition et de contrôle. Le protocole de communication utilisé par les processeurs et ces systèmes possède un large champ d'adresses et de données, et il est défini d'une manière indépendante de la réalisation pour qu'il soit possible de profiter des avantages des progrès technologiques. La souplesse nécessaire est obtenue par une structure modulaire qui permet facilement de nombreuses options dans la configuration du système.

Les systèmes d'instrumentation modulaire se distinguent par la méthode utilisée pour interconnecter les dispositifs qui forment le système. Les aspects mécaniques, électriques et logi-

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 1. Object, scope and introductory overview

This section includes the object and scope of this standard together with an introductory overview.

1.1 Object and scope

This standard defines a high speed modular data-bus system for data acquisition, data processing and control, that is in use in major laboratories worldwide. It is a revision of the first edition (1990-06) incorporating modifications and additions introduced as a result of the rapidly advancing technology and experience gained in numerous implementations. Mechanical, signal, electrical and protocol specifications are given that are sufficient to assure compatibility between units from different sources of design and production. This standard applies to systems consisting of modular electronic instrument units that process or transfer data or signals, normally in association with computers or other automatic data processors. This standard applies to nuclear instrumentation and control systems but can also be used for other applications.

1.2 Introductory overview

A FASTBUS system consists of multiple bus segments which can operate independently, but link together for passing data and other information. FASTBUS can operate asynchronously using a handshake protocol to reliably accommodate different speed devices without prior knowledge of their speed. It can also operate synchronously without handshake for transfer of data blocks at maximum speed.

Complex systems such as FASTBUS are more easily understood if the specifications are accompanied by general descriptive material which places the details of the various parts of the system in perspective. Hence, this section presents an overview of the principal characteristics and operations of FASTBUS. Most of the ensuing sections contain, in addition to the mandatory parts of the specification, descriptions of the usage of the features being specified. Section 2 contains the definitions of words that have a special meaning for FASTBUS systems. The symbols used in diagrams to designate various parts of a FASTBUS system are defined and a list of commonly used abbreviations is given. The remaining sections lay down the specifications for the FASTBUS system. This is followed by a series of annexes which give more descriptive information concerning some FASTBUS features. Capitalized words are used in this section to indicate words that have a special meaning for FASTBUS.

Most FASTBUS design features stem from a consideration of the requirements of contemporary data acquisition systems. The need for high speed is met by providing for parallel operation of many processors which can communicate with each other as well as with data acquisition and control devices. The communication protocol used by processors and devices has a large data and address field and is defined in an implementation-independent manner so as to be able to take advantage of advances in technology. The need for flexibility is met by a modular design which readily permits many options in system configuration.

Modular instrumentation systems are distinguished by the method used to interconnect the devices that form the system. Mechanical, electrical and logical aspects of the connection

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

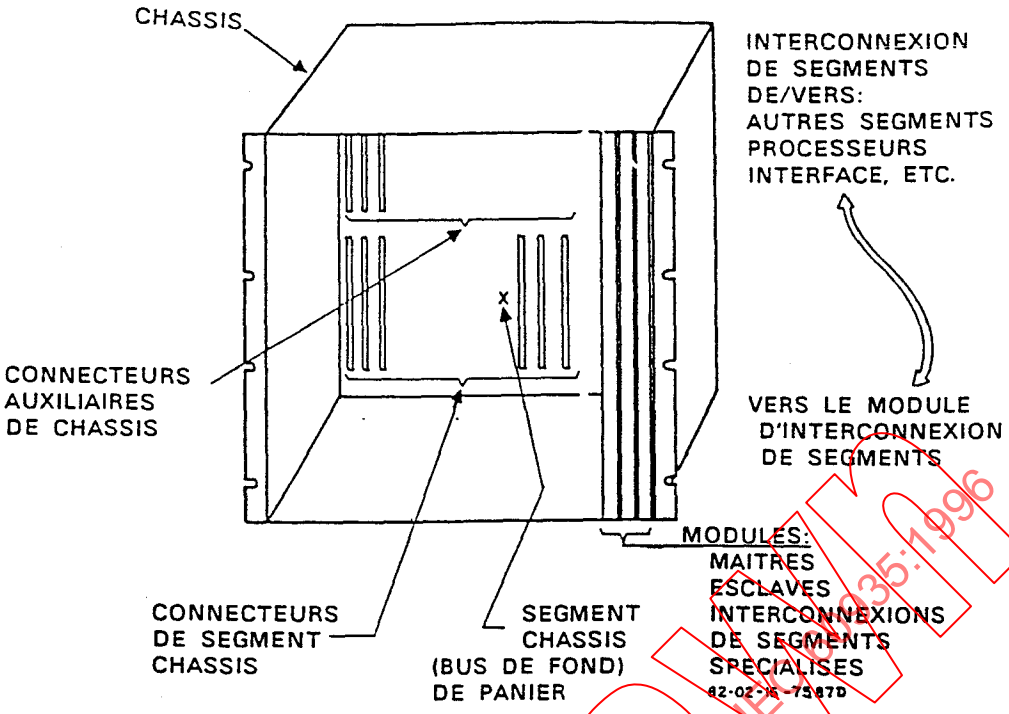


Figure 1. Eléments de base du FASTBUS

ques de la connexion doivent être spécifiés. Les connexions électriques sont réalisées par un ensemble de lignes de signaux appelé SEGMENT. Bien que les DISPOSITIFS FASTBUS puissent être simplement connectés par un SEGMENT-CABLE, une telle organisation peut pénaliser la vitesse. La situation la plus normale est que la fonction désirée en un certain endroit soit obtenue par un certain nombre de MODULES regroupés dans un CHASSIS pour pouvoir se partager un bus commun de fond de panier (figure 1). Ce bus appelé SEGMENT-CHASSIS ou SEGMENT forme, comme le SEGMENT-CABLE, un élément logique du système FASTBUS.

Utilisant le protocole FASTBUS, un SEGMENT fonctionne comme un bus autonome, interconnectant un ou plusieurs DISPOSITIFS MAITRES avec un certain nombre de DISPOSITIFS ESCLAVES. Toutes les opérations sur le bus impliquent des rapports MAITRE-ESCLAVE entre l'initiateur, qui doit être un MAITRE, et le répondeur qui doit être un ESCLAVE. Un MAITRE est capable de demander et d'obtenir le contrôle du SEGMENT auquel il est connecté pour pouvoir communiquer avec un ESCLAVE. Si la communication se fait avec un autre MAITRE, alors, pour la durée de l'opération, le MAITRE qui répond se comporte comme un ESCLAVE. Un ESCLAVE ne peut gagner la maîtrise du bus mais peut émettre une demande de service qu'un MAITRE sur le même SEGMENT peut utiliser pour initialiser une procédure qui servira la demande. Les MAITRES possèdent un mécanisme d'interruption plus souple car ils peuvent gagner la maîtrise du bus et écrire un message d'interruption dans un dispositif de gestion des interruptions. Avec plusieurs MAITRES sur un SEGMENT, on doit disposer de mécanismes pour régler les demandes concurrentes pour utiliser le bus. A chaque MAITRE est affecté un niveau d'arbitrage à utiliser pendant les cycles d'arbitrage. En réponse aux signaux de cadencement provenant du contrôleur de la séquence d'arbitrage du SEGMENT, les circuits de chaque MAITRE déterminent auquel des MAITRES candidats la prochaine maîtrise du bus sera accordée. Il n'y a pas habituellement de pénalisation en temps associée à cette procédure d'arbitrage puisque le prochain MAITRE peut être choisi avant que le MAITRE courant n'ait terminé son opération.

Plusieurs MAITRES sur un seul SEGMENT se partagent un bus commun. La concurrence pour l'utilisation de ce bus peut réduire le débit tel qu'il est vu par un MAITRE particulier à cause du temps qu'il perd en attendant d'obtenir la maîtrise d'un bus occupé. Puisque les SEGMENTS fonctionnent indépendamment, la dispersion des MAITRES dans différents

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

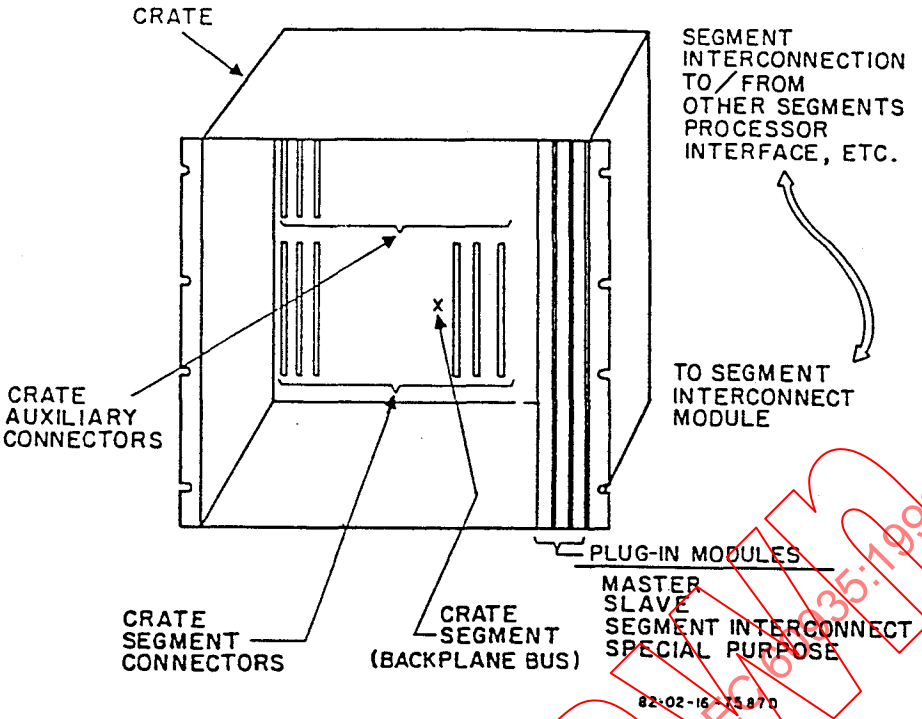


Figure 1. Basic FASTBUS Elements

need to be specified. The electrical connections are made by a set of signal lines called a SEGMENT. While FASTBUS DEVICES can be simply connected by CABLE SEGMENTS, such an arrangement may incur speed penalties. The more usual situation is that the required functionality at a given location is attained by a number of MODULES grouped together in a CRATE in order to share a common backplane bus (Figure 1). This bus, called a CRATE SEGMENT or SEGMENT, like the CABLE SEGMENT, forms a logical element of a FASTBUS system.

Using the FASTBUS protocol, a SEGMENT functions as an autonomous bus interconnecting one or more MASTER DEVICES with a number of SLAVE DEVICES. All bus operations involve a MASTER-SLAVE relationship between the initiator, which must be a MASTER, and the responder, which must be a SLAVE. A MASTER is capable of requesting and obtaining control of the SEGMENT to which it is connected in order to communicate with a SLAVE. If the communication is with another MASTER then, for the duration of the operation, the responding MASTER acts as a SLAVE. A SLAVE cannot gain bus Mastership but can make a Service Request that a MASTER on the same SEGMENT can use to initiate a procedure to service the request. MASTERS have a more versatile interrupt mechanism in that they can gain bus Mastership and write an interrupt message to an interrupt service device. With multiple MASTERS on a SEGMENT, techniques must be provided to resolve concurrent requests for use of the bus. Each MASTER is assigned an Arbitration Level to use during Arbitration Cycles. In response to timing signals from the SEGMENT Arbitration Timing Controller, circuitry in each MASTER determines which of the contending MASTERS will next be granted bus Mastership. No time penalty is usually associated with this arbitration procedure since the next MASTER can be selected before the current MASTER completes its operation.

Multiple MASTERS on a single SEGMENT share a common bus. Contention for use of this bus may reduce throughput as seen by a given MASTER because of the time it spends waiting to gain Mastership of a busy bus. Since SEGMENTS operate independently, distributing the MASTERS among several SEGMENTS can reduce the contention problem and

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

SEGMENTS peut réduire les problèmes de conflit et accroître le débit si l'information nécessaire à chaque MAITRE peut être localisée sur son SEGMENT.

Un MAITRE sur un SEGMENT doit être également capable de communiquer rapidement avec un ESCLAVE dans un autre SEGMENT. Cette possibilité est offerte par les INTERCONNEXIONS DE SEGMENTS (SI) qui réunissent temporairement des SEGMENTS indépendants (figure 2 page 5). Tous les SEGMENTS à travers lesquels passe l'opération doivent être disponibles en même temps pour pouvoir exécuter une opération intersegment. Les mécanismes d'arbitrage, ainsi que les circuits dans chaque SI, étendent la solution des problèmes de conflit de bus à l'extérieur, comme à l'intérieur, du SEGMENT du MAITRE. Puisqu'un SEGMENT peut être connecté à chaque SEGMENT d'un ensemble de SEGMENTS différents, la configuration du système peut être organisée pour optimiser les chemins de données critiques en temps.

Le moyen par lequel une paire de SI sur des SEGMENTS différents communiquent entre eux n'est pas spécifié, ce qui permet de choisir la technique la plus adaptée à une application donnée. Une solution puissante, qui est décrite dans l'annexe E, utilise un SEGMENT-CABLE pour cette connexion. Des DISPOSITIFS autres que des SI peuvent également être connectés au SEGMENT-CABLE. De tels DISPOSITIFS suivent également le protocole FASTBUS et nécessitent des interrupteurs pour l'ADRESSAGE GEOGRAPHIQUE qui dépend de la position et doivent posséder une alimentation.

D'autres techniques pour la connexion des SEGMENTS impliquent l'utilisation d'INTERCONNEXIONS TAMPONNEES et d'EXTENSIONS DE SEGMENTS. L'INTERCONNEXION TAMPONNEE est un dispositif qui mémorise l'opération FASTBUS et la traite ensuite, rompant ainsi le synchronisme entre le MAITRE et l'ESCLAVE. Le concept de SEGMENT D'EXTENSION permet à un certain nombre de SEGMENTS de partager la même ADRESSE DE GROUPE. Ce partage s'effectue en utilisant une EXTENSION DE SEGMENT dont la simplicité, comparée à l'INTERCONNEXION DE SEGMENT, est obtenue au prix d'une certaine réduction de la souplesse dans la topologie du système et dans le fonctionnement des membres des SEGMENTS D'EXTENSION.

Bien que la plupart des MAITRES, sinon tous, aient des possibilités de calculs, la conception du système FASTBUS permet également la connexion de gros ou de mini-calculateurs au système. Une telle connexion est faite par une INTERFACE-CALCULATEUR qui obtient l'accès au système FASTBUS soit par un SEGMENT-CABLE, soit par un SEGMENT-CHASSIS (figure 2 page 5). Les nécessités du système imposent que chaque système contienne un calculateur qui ait une connaissance complète de la structure du système. En particulier, il doit être capable d'accéder à tous les SEGMENTS du système et doit savoir comment les SEGMENTS sont interconnectés. Ce calculateur, appelé l'HOTE, initialise le système en indiquant à chaque face de chaque SI quelles sont les opérations qu'elle doit transmettre sur son autre SEGMENT. En utilisant l'ADRESSAGE GEOGRAPHIQUE, l'HOTE peut déterminer la situation physique et le type de chaque DISPOSITIF dans le système et, si nécessaire, affecter une ADRESSE LOGIQUE au DISPOSITIF. L'ADRESSE LOGIQUE permet à un DISPOSITIF d'utiliser un champ d'ADRESSE INTERNE adapté à ses besoins et qui est indépendant de sa position à l'intérieur d'un SEGMENT.

Les principales caractéristiques et possibilités du FASTBUS peuvent être résumées comme suit:

- Vitesse limitée seulement par les temps de propagation et les temps de transit dans la logique (nominalement meilleur que 10 MHz pour l'ECL)
- Large champ d'adresses et de données (32 bits)
- Bus segmenté pour permettre des traitements parallèles
- Possibilités de communication à travers tout le système
- Transfert de bloc avec ou sans dialogue
- Protocole uniforme à travers tout le système
- Dispositif d'interruption et d'arbitrage.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

increase throughput to the extent that the information needed by each MASTER can be localized on its SEGMENT.

A MASTER on one SEGMENT must also be able to quickly communicate with a SLAVE on another SEGMENT. This ability is provided by SEGMENT INTERCONNECTS (SIs) which temporarily link independent SEGMENTS (Figure 2 on page 5). All SEGMENTS through which the operation passes must be available at the same time in order to complete an intersegment operation. The arbitration mechanism, along with circuitry in each SI, extends the resolution of bus contention problems to off- as well as on-SEGMENT MASTERS. Since one SEGMENT can be linked to any of a number of different SEGMENTS, system configurations can be implemented that optimize time-critical data paths.

The means by which a pair of SIs on different SEGMENTS communicate with each other is not specified, thus allowing the technique most suitable for a given application to be chosen. A powerful technique, which is specified in annex E, makes use of a CABLE SEGMENT for this connection. DEVICES other than SIs may be connected to a CABLE SEGMENT. Such DEVICES also follow the FASTBUS protocol and require switches for position-dependent GEOGRAPHICAL ADDRESSING and must be provided with power.

Other techniques for linking SEGMENTS involve the use of BUFFERED INTERCONNECTS and SEGMENT EXTENDERS. The BUFFERED INTERCONNECT is a device which stores and forwards FASTBUS operations, thus breaking the synchronism between MASTER and SLAVE. The EXTENDED SEGMENT concept allows a number of SEGMENTS to share the same GROUP ADDRESS. This sharing is accomplished by the use of SEGMENT EXTENDERS whose simplicity, as compared to SEGMENT INTERCONNECTS, is obtained at the price of somewhat reduced flexibility in system topology and operations for members of the EXTENDED SEGMENT.

While most, if not all, MASTERS will have some processing ability, the FASTBUS system design also envisages the connection of large and small computers to the system. Such a connection is made by a PROCESSOR INTERFACE which gains entry to the FASTBUS system through either a CABLE SEGMENT or a CRATE SEGMENT (Figure 2 on page 5). System requirements dictate that each system contain one processor which has complete knowledge of the structure of the system. In particular, it must be able to access every SEGMENT of the system and know how the SEGMENTS are to be interconnected. This processor, called the HOST, initializes the system by telling each side of each SI what operations it is to pass on to its other SEGMENT. By using GEOGRAPHICAL ADDRESSING, the HOST can ascertain the physical location and type of each DEVICE in the system and, as needed, assign LOGICAL ADDRESSES to the DEVICES. LOGICAL ADDRESSES allow a DEVICE to use an INTERNAL ADDRESS field matched to its needs which is independent of position within a SEGMENT.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

The principal characteristics and capabilities of FASTBUS can be summarized as follows:

- Speed limited only by propagation and logic delays (typically better than 10 MHz for ECL)
- Large Address and Data Fields (32 bits)
- Segmented Bus to allow parallel processing
- System-wide communication capability
- Block transfers with or without handshake
- Uniform system-wide protocol
- Interrupt and arbitration features.

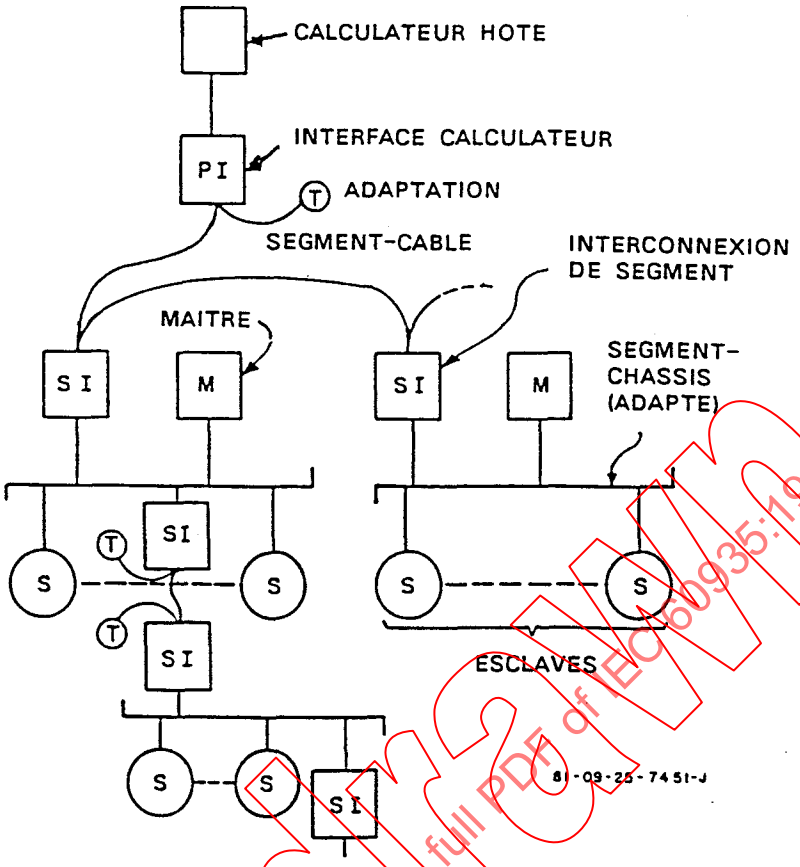


Figure 2. Topologie d'un système FASTBUS

1.2.1 Fonctionnement du FASTBUS

Les opérations FASTBUS définies dans la section 5 utilisent un bus multilignes dont l'affectation aux signaux est indiquée sur la tableau 1 page 6. Un SEGMENT-CABLE est constitué de l'ensemble des 60 premières lignes du tableau, tandis qu'un SEGMENT-CHASSIS inclut, en plus, les autres lignes indiquées aussi bien que des lignes d'alimentation. Les signaux sont classés suivant leur utilisation telle qu'elle est indiquée sur la tableau 1 page 6.

La plupart des opérations FASTBUS commencent par un MAITRE demandeur auquel on a octroyé la maîtrise du bus. Le MAITRE sélectionne alors un ESCLAVE par un cycle d'adresse primaire et continue par un certain nombre de cycles de transfert de données, après quoi il relâche le bus.

Un cycle d'adresse primaire est démarré par le MAITRE qui place l'adresse de l'ESCLAVE sur les 32 lignes Adresses/Données (AD) suivi par la synchro adresse (AS). Le positionnement du mot adresse organise un passage, à travers les INTERCONNEXIONS DE SEGMENTS si nécessaire, entre le MAITRE et l'ESCLAVE. Lorsque l'ESCLAVE reconnaît son adresse, il répond par le signal d'acceptation d'adresse (AK). Le protocole demande que AS et AK restent positionnés jusqu'à ce que l'opération soit terminée. Le verrouillage AS/AK sert à ce que les autres dispositifs ignorent l'activité du bus, ce qui permet au couple en communication d'utiliser n'importe quel protocole que tous deux comprennent aussi longtemps que le verrouillage AS/AK n'est pas rompu. Cependant, pour faciliter la construction de DISPOSITIFS compatibles, un protocole standard a été défini pour les opérations les plus utilisées.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

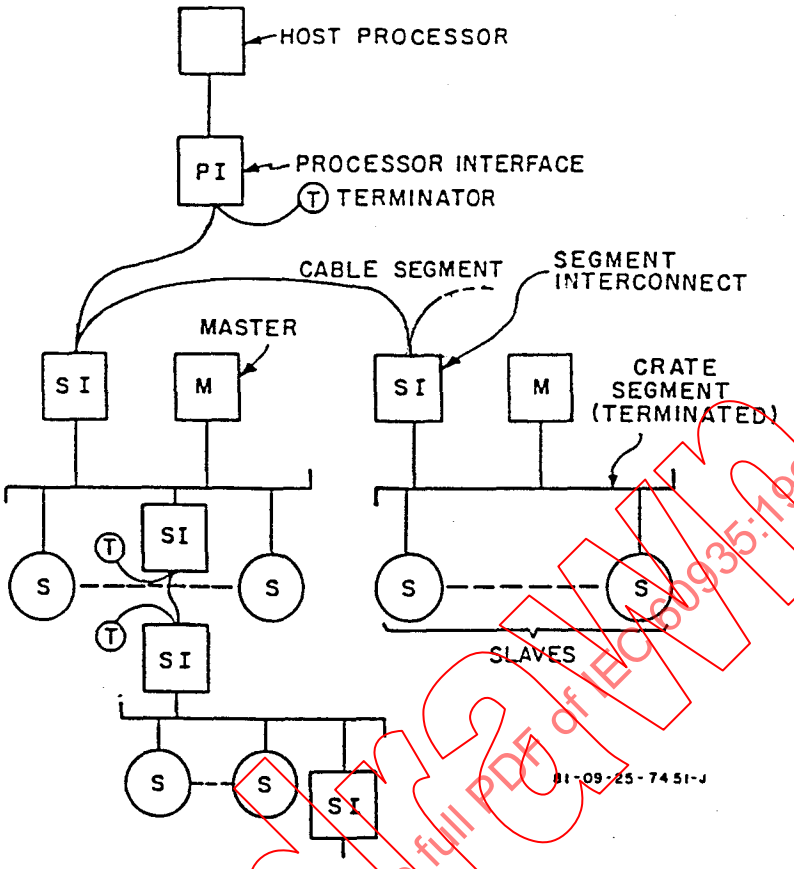


Figure 2. Example of FASTBUS System Topology

1.2.1 FASTBUS Operations

The FASTBUS Operations defined in Section 5 make use of a multiline bus whose signal assignments are as indicated in Table 1 on page 6. A CABLE SEGMENT consists of the group of 60 lines at the top of the list while a CRATE SEGMENT includes, in addition, the other listed lines as well as power lines. Signals are classified according to use as indicated in Table 1 on page 6.

Most FASTBUS operations begin with a MASTER requesting and being granted bus Mastership. The MASTER then selects a SLAVE by a primary address cycle and follows this by any number of data transfer cycles after which the bus is released.

A primary address cycle is started by the MASTER asserting the SLAVE's address on the 32 Address/Data (AD) lines followed by Address Sync (AS). This assertion of the address word sets up a path, through SEGMENT INTERCONNECTS if necessary, between MASTER and SLAVE. When the SLAVE recognizes its address, it responds with the Address Acknowledge signal (AK). The protocol requires that AS and AK remain asserted until the operation is completed. This AS/AK lock serves to cause all other devices to ignore bus activity thus allowing the communicating pair to employ any protocol they both understand as long as the AS/AK lock is not broken. In order to facilitate the construction of compatible DEVICES, however, standard protocols for most useful operations have been specified.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 1. Signaux FASTBUS

Sigle	Nom du signal	Usage	Nombre	Commentaires
AS	Synchro d'adresse	T	1	Pour l'adressage et le compte rendu de l'état de la connexion
AK	Acceptation d'adresse	T	1	
EG	Mise en service géographique	C	1	
MS	Sélection de mode	C	3	Pour les données et le contrôle des transferts de données
RD	Lecture	C	1	
AD	Adresses/données	I	32	
PA	Parité	I	1	
PE	Mise en service (ES) Parité	I	1	
SS	Etat de l'Esclave	I	3	
DS	Synchro de données	T	1	
DK	Acceptation de données	T	1	
WT	Attente	A	1	
SR	Demande de service	A	1	
RB	Remise à zéro (Raz) du bus	A	1	
BH	Arrêt du bus	C	1	
AG	Octroi d'arbitrage	TA	1	Pour l'arbitrage du bus
AL	Niveau d'arbitrage	IA	6	
AR	Demande d'arbitrage	A	1	
AI	Blocage des demandes d'arbitrage	CA	1	
GK	Acceptation de l'octroi	TA	1	
			60	
TX	Ligne de transfert série	S	1	Pour le protocole série du FASTBUS
RX	Ligne de réception série	S	1	
LX	Connexion du réseau local	S	1	
GA	Contacts d'adresse géographique (codés en position non en bus)[1]	F	5	Seulement sur le SEGMENT-CHASSIS
TP	Contact T (non en bus)[1]	X	1	
DL	Guirlande de gauche	X	3	
DR	Guirlande de droite	X	3	
TR	Lignes adaptées à usage restreint	X	8	
UR	Lignes ouvertes à usage restreint	X	2	
FP	Contacts F (libres, non en bus)		4	
R	Réservés		4	

[1] Sur les SEGMENTS-CABLES des commutateurs sont utilisés à la place des contacts GA et T.

Description des symboles utilisés:

T = horloge pour les cycles d'adresse et de données
C = contrôle pour les cycles d'adresse et de données
I = information pour les cycles d'adresse et de données
A = asynchrone, cadencement sans liaison directe avec les transferts de données
TA = cadencement du bus d'arbitrage
IA = informations pour le bus d'arbitrage
CA = contrôle pour le bus d'arbitrage
S = données séries, cadencement indépendant du bus parallèle
F = informations fixes, constantes
X = usage spécial

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 1. FASTBUS Signals

Mnemonic	Signal Name	Use	Number	Comments
AS	Address Sync	T	1	For address and reporting status of connection
AK	Address Acknowledge	T	1	
EG	Enable Geographical	C	1	
MS	Mode Select	C	3	For data and control of data transfers
RD	Read	C	1	
AD	Address/Data	I	32	
PA	Parity	I	1	
PE	Parity Enable	I	1	
SS	Slave Status	I	3	
DS	Data Sync	T	1	
DK	Data Acknowledge	T	1	
WT	Wait	A	1	
SR	Service Request	A	1	
RB	Reset Bus	A	1	
BH	Bus Halted	C	1	
AG	Arbitration Grant	TA	1	For bus arbitration
AL	Arbitration Level	IA	6	
AR	Arbitration Request	A	1	
AI	Arbitration Request Inhibit	CA	1	
GK	Grant Acknowledge	TA	1	
			60	
TX	Serial Line Transmit	S	1	For FASTBUS Serial Protocol
RX	Serial Line Receive	S	1	
LX	LAN Connection	S	1	
GA	Geographical Address Pins (position encoded, not bussed)[1]	F	5	CRATE SEGMENT only
TP	T Pin (not bussed)[1]	X	1	
DL	Daisy Chain Left	X	3	
DR	Daisy Chain Right	X	3	
TR	Terminated Restricted Use	X	8	
UR	Unterminated Restricted Use	X	2	
FP	F Pins (free use, not bussed)		4	
R	Reserved		4	

[1] On CABLE SEGMENTS switches are used instead of GA and T pins.

Description of used symbols

T = Timing for address and data cycles
C = Control for address and data cycles
I = Information for address and data cycles
A = Asynchronous - timing not directly related to data transfers
TA = Timing for Arbitration bus
IA = Information for Arbitration bus
CA = Control for Arbitration bus
S = Serial data, timing independent of parallel bus
F = Fixed information - constant
X = Special Purpose

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Dès la réception de la réponse AK provenant de l'ESCLAVE, le MAITRE enlève les informations d'adresse des lignes AD et utilise ces lignes pour des données pendant les cycles de transfert de données suivants. Après que le verrouillage AS/AK a été réalisé entre le MAITRE et l'ESCLAVE, une opération de lecture peut être initialisée par le MAITRE en positionnant les lignes de lecture (RD) et de synchro de données (DS) comme sur la figure 3. L'ESCLAVE répond en plaçant les données sur les lignes AD et envoie DK qui est utilisé par le MAITRE pour mémoriser les données. Pour une opération d'écriture, le MAITRE positionne les données sur les lignes AD et ce positionnement est suivi par la synchro de données (DS). L'ESCLAVE répond en envoyant l'acceptation de données (DK). L'opération est terminée par le MAITRE qui enlève tous ses signaux du bus, y compris AS. L'ESCLAVE percevant le retrait de AS retire tous ses signaux du bus, y compris AK.

Puisque les cycles adresses et données se distinguent facilement, les trois lignes de sélection de mode, MS, sont utilisées par le MAITRE pour modifier le sens des informations d'adresse et, indépendamment, pour spécifier le type des données transférées. Dans un cycle d'adresse primaire, l'espace données ou contrôle peut être spécifié aussi bien que les modes simple ou multiple destination (DIFFUSION). Dans un cycle de données on peut spécifier une donnée isolée, une adresse secondaire, ou un transfert de bloc avec ou sans dialogue (pipe-line) de synchro.

De même, les trois lignes d'information d'état de l'esclave, SS, sont utilisées pour indiquer le succès ou la raison de l'échec d'un cycle d'adresse ou de donnée. Des difficultés d'adressage peuvent se produire dans les INTERCONNEXIONS DE SEGMENTS car le SI peut lui-même ne pas répondre (panne de réseau), ne pas obtenir l'accès au SEGMENT côté lointain (réseau occupé) ou en être éliminé par une transaction de priorité supérieure (réseau perdu). Les blocages de bus, provoqués par une adresse inexistante dans le SEGMENT destination, sont évités par des temporisateurs dans le MAITRE et dans les SI qui positionnent l'adresse sur le SEGMENT destination.

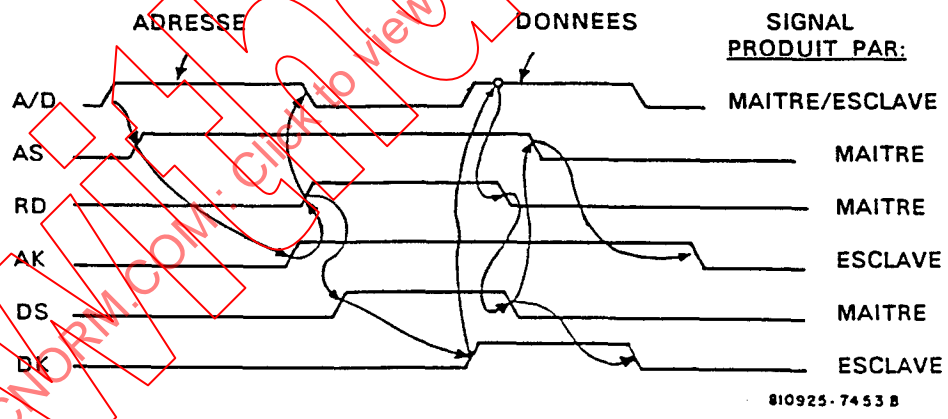


Figure 3. Dialogue de base d'une opération de lecture (vu du MAITRE)

Pendant un cycle de données, en plus de pouvoir indiquer soit qu'il ne peut pas accepter plus de données soit qu'il n'en a plus à envoyer, l'ESCLAVE peut également signaler qu'il est actuellement occupé ou qu'il a détecté l'une des différentes classes d'erreurs.

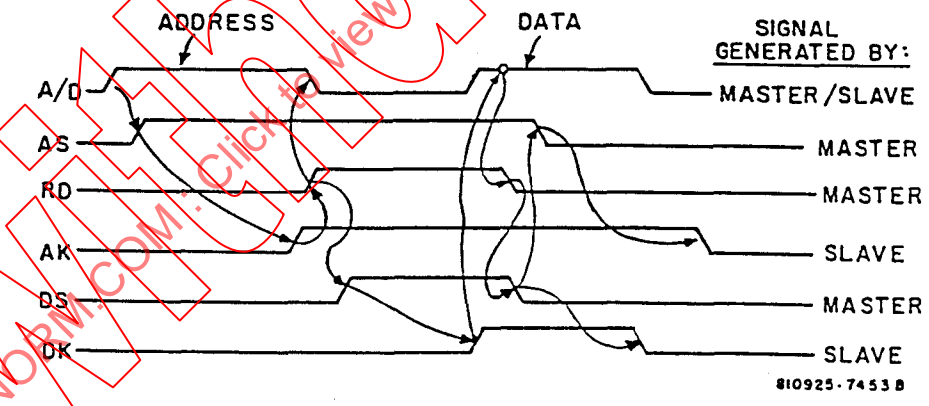
Les transferts de données FASTBUS peuvent utiliser un contrôle de parité et des systèmes recommandés sont disponibles pour récupérer les erreurs. Dans une opération d'écriture, un ESCLAVE répond normalement aux erreurs de transmission en ignorant les données erronées et en signalant au MAITRE qu'une erreur s'est produite. Le MAITRE peut alors réessayer l'opération. La récupération des erreurs dans les opérations de lecture est plus compliquée. Habituellement, l'ESCLAVE est inconscient de l'erreur et peut incrémenter son pointeur d'adresse interne, ou peut accéder à un FIFO ou un registre en lecture-effacement;

IECNORM.COM : Click to view the full PDF of iec60935-1:1996

On receipt of the AK response from the SLAVE, the MASTER removes the address information from the AD lines and uses these lines for data during the ensuing data transfer cycles. After the AS/AK lock between MASTER and SLAVE has thus been established, a Read operation can be initiated by the MASTER asserting the Read (RD) and Data Sync (DS) lines as in Figure 3. The SLAVE responds by placing data on the AD lines and issuing DK which is used by the MASTER to latch the data. For a Write operation, the MASTER asserts data on the AD lines and follows this assertion by the Data Sync (DS). The SLAVE responds by issuing a Data Acknowledge (DK). The operation is terminated by the MASTER removing all its signals, including AS, from the bus. The SLAVE, sensing the removal of AS, removes all its signals including AK.

Since Address and Data Cycles are easily distinguishable, the three Mode Select lines, MS, are used by the MASTER to modify the meaning of the address information and to independently specify the type of data transfer. In a primary address cycle, control or data space can be specified as well as single or multiple listener (BROADCAST) mode. In a data cycle, random data, secondary address, or handshake or pipelined (non-handshake) block transfer can be specified.

Similarly, the three Slave Status information lines, SS, are used to indicate the success or reason for failure of an Address or a Data Cycle. Addressing difficulties can occur at SEGMENT INTERCONNECTS because the SI does not respond (Network Failure) or cannot gain access to its Far-side SEGMENT (Network Busy) or gets preempted by a higher priority operation (Network Abort). Bus lockup caused by unused addresses on the destination SEGMENT are avoided by timers in the MASTER and in the SI which places the address on the destination SEGMENT.



IECNORM.COM : Click to view the full PDF of iec 60935:1996
Withdrawn

Figure 3. Basic Handshake Read Operation (as seen by MASTER)

During a Data Cycle, in addition to being able to indicate that it can either accept no more data or has no more data to send, a SLAVE can also signal that it is currently busy or that it has detected one of several classes of error.

FASTBUS data transfers may employ parity checking and recommended techniques are provided for recovering from errors. In Write operations SLAVES normally respond to transmission errors by ignoring bad data and signaling the MASTER that an error has occurred. The MASTER may then retry the operation. Error recovery in Read operations is more complex. The SLAVE is usually unaware of the error and may increment its internal address pointer, or may be accessing a FIFO or read-and-clear register; therefore, the data may not be available for a retry. In order to assist in read error recovery, a PROTECTIVE BUFFER

ainsi les données peuvent ne plus être disponibles pour un réessai. Pour aider à la récupération des erreurs en lecture, on peut réaliser un REGISTRE DE SAUVEGARDE. Le REGISTRE DE SAUVEGARDE contient toujours une copie de la dernière donnée transférée de ou vers l'ESCLAVE. Ainsi en accédant au REGISTRE DE SAUVEGARDE, un MAITRE peut réaccéder à une donnée après une erreur de lecture.

1.2.2 Interconnexion de segments

Une INTERCONNEXION de SEGMENTS surveille l'activité sur les deux SEGMENTS auxquels elle est connectée, attendant l'apparition d'une adresse qui soit dans l'ensemble des adresses qu'elle a été programmée à reconnaître. Elle répond à une adresse reconnue positionnée sur un des SEGMENTS (côté proche) en demandant l'usage de l'autre SEGMENT (côté lointain) et en positionnant l'adresse donnée sur ce SEGMENT lorsqu'elle en gagne le contrôle. Les deux SEGMENTS restent liés ensemble jusqu'à ce que l'opération soit terminée. L'adresse positionnée sur le côté lointain peut, à son tour, être reconnue par une autre INTERCONNEXION de SEGMENTS et peut être transmise à nouveau sur un autre SEGMENT. Un nombre arbitraire de SEGMENTS peuvent être ainsi reliés suivant les besoins pour une opération donnée. L'adresse contient toutes les informations nécessaires pour diriger les SI appropriés pour réaliser les connexions correctes.

Pour pouvoir utiliser l'adresse afin de fournir les informations de routage d'une manière pratique, la totalité de l'espace adresse disponible pour le système est divisée entre les SEGMENTS d'une manière telle que les bits les plus significatifs de l'adresse spécifient quel SEGMENT est adressé. Cette partie des poids forts de l'adresse est appelée le champ d'ADRESSE de GROUPE (GP). Plus d'une ADRESSE de GROUPE peut être affectée à un SEGMENT pour s'adapter aux SEGMENTS qui contiennent des DISPOSITIFS utilisant une grande quantité d'espace adresse. Les DISPOSITIFS sur un SEGMENT se distinguent par l'ADRESSE du MODULE qui est adjacente au champ GP et qui peut comprendre certains des bits de poids faible du champ GP. La combinaison des champs d'ADRESSE de GROUPE et de MODULE forme l'ADRESSE du DISPOSITIF qui sert à localiser un DISPOSITIF n'importe où dans le système. Les bits restant (de poids faible) de l'adresse, le CHAMP d'ADRESSE INTERNE, servent à spécifier un élément ou une fonction à l'intérieur d'un DISPOSITIF. Grâce à un type spécial de cycle de données appelé cycle d'adresse secondaire, le nombre des différents éléments ou fonctions qui sont accessibles à l'intérieur d'un DISPOSITIF n'est pas limité par le nombre autorisé par le CHAMP d'ADRESSE INTERNE.

Une réalisation simple d'un SI consiste à utiliser les bits de poids fort de l'adresse pour adresser une mémoire interne qui contient une liste indiquant les adresses qui doivent être transmises. Lorsque le système est initialisé, chaque mémoire de SI est chargée avec la configuration nécessaire pour acheminer correctement toutes les opérations permises.

Avec ce schéma il n'y a pas de restriction sur le type des interconnexions qui peuvent être réalisées entre les SEGMENTS. Par exemple, ils peuvent être connectés en structure arborescente avec un gros calculateur comme tronc et les DISPOSITIFS d'acquisition comme feuilles. Si un besoin de trafic important entre deux SEGMENTS intermédiaires éloignés cause une charge excessive sur les SEGMENTS intermédiaires, les deux SEGMENTS peuvent être reliés directement par une INTERCONNEXION de SEGMENTS qui court-circuite les SEGMENTS intermédiaires. Aucun changement d'adresse des DISPOSITIFS n'est nécessaire à cause de cette addition et une fois que les tables de routage dans les SI ont été réinitialisées pour utiliser la nouvelle route, les précédentes difficultés de trafic dans les SEGMENTS intermédiaires disparaîtront. Les structures en arbres, en étoiles ou en anneaux peuvent être réalisées par ce schéma.

Lorsqu'un MAITRE initialise une opération FASTBUS, il démarre toujours un temporisateur interne de réponse réglé sur une durée maximale appropriée au SEGMENT sur lequel il réside. Si l'opération doit passer à travers un ou plusieurs SI, on doit attirer l'attention du MAITRE sur le fait qu'un retard additionnel sera rencontré avant que la réponse ne soit

IECNORM.COM : Click to view the full PDF of iec 60935:1996

may be implemented. The PROTECTIVE BUFFER always contains a copy of the data last transferred to or from the SLAVE. Hence by accessing the optional PROTECTIVE BUFFER, a MASTER may reaccess data after a Read error.

1.2.2 Segment Interconnects

A SEGMENT INTERCONNECT monitors the activity on the two SEGMENTS it connects, waiting for an address to appear which is in the set of addresses it has been programmed to recognize. It responds to a recognized address asserted on one of the SEGMENTS (Near-side) by requesting use of the other SEGMENT (Far-side) and asserting the given address on that SEGMENT when it gains control. The two SEGMENTS remain locked together until the operation is complete. The address asserted on the Far-side may, in turn, be recognized by another SEGMENT INTERCONNECT and may be passed to yet another SEGMENT. An arbitrary number of SEGMENTS can be linked as needed for a given operation. The address contains all the information needed to direct the appropriate SIs to form the correct connections.

In order to use the address to provide the routing information in a practical way, the total address space available to the system is divided among the SEGMENTS in such a way that the most significant bits of the address specify which SEGMENT is addressed. This high-order part of the address is called the GROUP ADDRESS (GP) field. More than one GROUP ADDRESS may be assigned to a SEGMENT to accommodate SEGMENTS containing DEVICES using large amounts of address space. DEVICES on a SEGMENT are distinguished by the MODULE ADDRESS which is adjacent to the GP field and may include some of the low-order GP field bits. The combined GROUP and MODULE ADDRESS fields form the DEVICE ADDRESS which serves to locate a DEVICE anywhere in the system. The remaining (low-order) bits in the address, the INTERNAL ADDRESS FIELD, serve to specify a part or function within the DEVICE. Because of a special type of Data Cycle called the Secondary Address Cycle, the number of different parts or functions within a DEVICE that can be accessed is not limited to the number allowed by the INTERNAL ADDRESS FIELD.

One simple implementation of the SI uses the high-order address bits to address an internal memory which contains a pattern indicating which addresses are to be passed. When the system is initialized, each SI memory is loaded with the patterns needed to route all permitted operations correctly.

With this scheme, there are no restrictions on the kinds of interconnections which may be made between SEGMENTS. For example, they may be connected in a tree structure with a large computer at the trunk and data acquisition DEVICES as the leaves. If a high traffic demand between two widely separated SEGMENTS causes excessive tie-up of the intermediate SEGMENTS, the two SEGMENTS can be directly linked by a SEGMENT INTERCONNECT thus bypassing the intermediate SEGMENTS. No DEVICE address changes are required because of this addition, and once the route tables in the SIs are reinitialized to make use of the new route, the interfering traffic will disappear from the formerly intermediate SEGMENTS. Tree, star, and ring structures can all be accommodated by this scheme.

When a MASTER initiates a FASTBUS operation, it always starts an internal Response Timer set to time out at a time appropriate for the SEGMENT on which it resides. If the operation has to pass through one or more SIs, the MASTER must be made aware that additional delays will be encountered before a response is received. Any SI passing an opera-

IECNORM.COM : Click to view the full PDF of IEC 60935-1:1996
Withdrawn

reçue. Chaque SI qui transfère une opération positionne ATTENTE (WT) sur le SEGMENT d'où l'opération lui arrive et démarre un temporisateur adapté au SEGMENT sur lequel l'opération est transmise. Le signal WT provoque l'arrêt du temporisateur du MAITRE (et le SI se comporte comme un MAITRE sur le SEGMENT auquel il passe l'opération). Le temporisateur est réinitialisé lorsque le signal WT est supprimé. De cette manière une opération peut aller son chemin à travers un système sans que se produisent des dépassements de temps sauf si, bien sur, on atteint un SEGMENT qui ne donne ni réponse normale, ni ne positionne le signal WT. Un temporisateur long est utilisé dans chaque MAITRE pour détecter des situations bloquées qui arrivent, par exemple, lorsque des demandes concurrentes sont effectuées sur des ressources. A l'échéance d'un temporisateur long, le MAITRE doit attendre pendant une période aléatoire avant d'essayer à nouveau d'exécuter l'opération.

1.2.3 Registres de contrôle et d'état

Certains registres et certaines fonctions d'un DISPOSITIF ont besoin d'être séparés, dans l'espace adresse, des registres normaux des données pour fournir une protection contre un accès accidentel et ne pas interférer avec l'allocation d'adresse de la partie normale des données du DISPOSITIF. Par exemple, deux DISPOSITIFS mémoire doivent pouvoir avoir leurs adresses fixées de telle manière que les mémoires soient adjacentes dans l'espace adresse, permettant de les utiliser comme une grande mémoire. Cependant, ils peuvent contenir des registres de contrôle et d'état associés à la protection mémoire ou à une détection et correction d'erreur et ces registres doivent également être accessibles. En plus, il est souhaitable que les DISPOSITIFS possèdent des registres d'état et d'information élémentaire à des adresses standard pour qu'ils puissent être facilement accédés par des programmes standard communs.

La méthode choisie pour réaliser ceci est de sélectionner l'espace des registres de contrôle et d'état (CSR) dans un cycle d'adresse primaire par un codage particulier des lignes MS. Ce cycle est suivi par un cycle d'adresse secondaire pour sélectionner un registre dans l'espace CSR, et par un cycle de données pour écrire ou lire dans les registres. L'adressage secondaire fournit une adresse sur 32 bits à utiliser dans un DISPOSITIF, ce qui donne un espace adresse suffisant pour qu'il puisse être attribué d'une manière standard sans crainte d'en manquer. Des positions standard dans des registres CSR particuliers sont définies pour tous les contrôles courants et les bits d'états. Les DISPOSITIFS doivent contenir un identificateur unique pour ce type de DISPOSITIF qui est utilisé pendant l'initialisation du système. Cet identificateur est localisé dans le registre d'état CSR#0 pour qu'un DISPOSITIF simple, sans décodeur d'adresse, puisse répondre correctement pour un coût additionnel très faible.

1.2.4 Adressage géographique

La forme la plus générale d'adressage des DISPOSITIFS est l'ADRESSAGE LOGIQUE dans lequel l'adresse d'un DISPOSITIF est indépendante de sa position physique dans le système. Cependant, le FASTBUS n'a besoin que de l'ADRESSAGE GEOGRAPHIQUE dans lequel un DISPOSITIF est atteint en adressant sa position physique sur un SEGMENT. Ainsi, il est toujours possible de déterminer la position d'un DISPOSITIF pour son enregistrement ou pour un test. L'ADRESSAGE GEOGRAPHIQUE doit être utilisé pour initialiser un système dont les registres adresse sont chargés par le logiciel. Lorsqu'un tel système est mis sous tension, les registres qui doivent contenir l'ADRESSE du DISPOSITIF sont positionnés au hasard. L'ADRESSAGE GEOGRAPHIQUE est utilisé pour adresser les DISPOSITIFS de manière à charger leurs registres d'adresse avec la bonne valeur. Les 256 premières adresses de chaque SEGMENT sont réservées pour un usage particulier dont les 32 premières sont utilisées pour réaliser l'ADRESSAGE GEOGRAPHIQUE. Il y a cinq contacts codés (GA0-GA4) sur chaque position de DISPOSITIF d'un SEGMENT-CHASSIS. Ces contacts sont codés de telle manière que 0 identifie la position du DISPOSITIF le plus à droite quand le châssis est vu de l'avant et que les nombres codés croissent de une unité pour chaque position de MODULE en allant sur la gauche. Lorsqu'une ADRESSE GEOGRAPHIQUE est sur le bus (0 à 31), la ligne de contrôle de la mise en service de l'adressage géographique (EG) est positionnée soit par la logique ancillaire sur

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

tion asserts WAIT (WT) on the SEGMENT from which the operation arrived and starts a timer suitable for the SEGMENT to which the operation is passed. The WT signal causes a MASTER (and the SI acts as a MASTER on the SEGMENT to which it passes an operation) to stop its timer. The timer is reinitialized when the WT signal is removed. In this way an operation can work its way through a system without causing timeouts to occur unless, of course, a SEGMENT is reached which neither gives a normal response nor asserts the WT signal. A Long Timer in each MASTER is used to detect deadlock situations that arise, for example, when conflicting requests are placed upon resources. After a Long Timer timeout, a MASTER waits for a random Retry Period before again trying to complete the Operation.

1.2.3 Control and Status Registers

Certain registers and functions in DEVICES need to be separated in address space from the normal data registers in a way which provides some protection from accidental access and which does not interfere with the allocation of addresses to the normal data portions of the DEVICES. For example, two memory DEVICES should be able to have their addresses set so that the memories are adjacent in address space, allowing them to be used as one larger memory. However, they may contain control registers and status registers associated with memory protection or error detection and correction, and these registers must also be accessible. Furthermore, it is desirable that DEVICES have basic status and information registers in standard locations so that they can be readily accessed by standard shared programs.

The method chosen to accomplish this is to select control/status register (CSR) space in a primary address cycle by suitable coding of the MS lines. This is followed by a secondary address cycle to select a register in CSR space, and a data cycle to transfer to or from the registers. Secondary addressing provides a full 32-bit address for use within a DEVICE, which is enough address space so that it can easily be allocated in standard ways without fear of a shortage. Standard locations in dedicated CSR registers are specified for all the usual control and status bits. DEVICES are required to contain an identifier unique to the DEVICE type that is used during system initialization. This identifier is located in status register CSR#0 so that even simple DEVICES with no address decoders can respond correctly with little added cost.

1.2.4 Geographical Addressing

The most general form of DEVICE addressing is LOGICAL ADDRESSING in which the address of the DEVICE is independent of its physical location in the system. However, FASTBUS only requires that GEOGRAPHICAL ADDRESSING, in which a DEVICE is accessed by addressing its physical location on a SEGMENT, be implemented. Hence it is always possible to determine the location of DEVICES for use as a record or check. GEOGRAPHICAL ADDRESSING must be used to initialize a system having address registers set by software. When such a system is powered up, the registers that will contain the DEVICE ADDRESS information are randomly set. GEOGRAPHICAL ADDRESSING is used to address the DEVICES in order to load their address registers with the proper contents. The first 256 addresses on any SEGMENT are reserved for special purposes and the first 32 of these are used to implement GEOGRAPHICAL ADDRESSING. There are five coded pins (GA0-GA4) at each DEVICE position of a CRATE SEGMENT. These pins are coded so that 0 identifies the rightmost DEVICE position when the crate is viewed from the front and the number coded increases by one for each MODULE position moved to the left. When a GEOGRAPHICAL ADDRESS (0 to 31) is on the bus, the Enable Geographical Address (EG) control line is asserted either by ancillary logic on the segment or by the current MASTER. When EG is asserted during a Primary Address Cycle, DEVICES compare their coded pins with the five low-order address bits on the AD lines and respond if

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

le SEGMENT soit par le MAITRE courant. Lorsque EG est positionné pendant un cycle d'adressage primaire, les DISPOSITIFS comparent leurs contacts codés avec les cinq bits de plus faible poids de l'adresse sur les lignes AD et répondent s'ils trouvent une concordance. Tous les DISPOSITIFS doivent disposer de cette possibilité mais n'ont pas besoin de réaliser l'ADRESSAGE LOGIQUE.

Le mécanisme d'ADRESSAGE GEOGRAPHIQUE peut être utilisé pour accéder aux registres d'information et de contrôle d'un DISPOSITIF non initialisé, on peut ainsi utiliser une procédure automatique pour l'initialiser. La logique de reconnaissance de l'adresse logique normale d'un DISPOSITIF est hors service tant que le DISPOSITIF n'a pas été initialisé.

Les DISPOSITIFS sur un SEGMENT-CABLE utilisent des commutateurs pour réaliser l'ADRESSAGE GEOGRAPHIQUE.

1.2.5 Transfert de blocs et en pipe-line

Un transfert de bloc consiste en un cycle d'adresse suivi d'un nombre quelconque de cycles de données du même type c'est-à-dire tous en lecture ou tous en écriture. La connexion entre le MAITRE et l'ESCLAVE est obtenue comme décrit ci-dessus avec un dialogue de synchronisation complet au début et à la fin de l'opération. La vitesse est accélérée en utilisant les deux transitions de la paire de signaux synchro/acceptation des données (DS/DK) qui fournit toujours la protection due au dialogue complet pour le transfert des données si on le désire. La figure 4 représente un transfert de bloc en écriture.

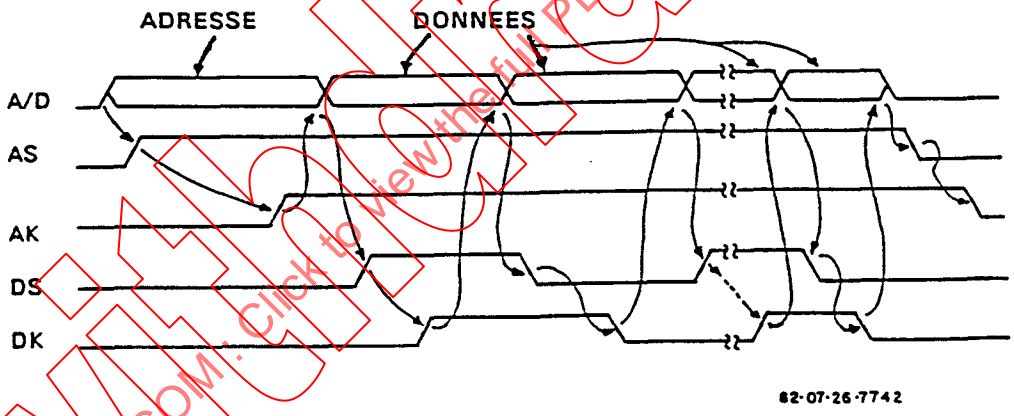


Figure 4. Transfert de bloc en écriture (vu du MAITRE)

Il est possible de réaliser un transfert de bloc sans dialogue dans les cycles de données, un transfert en pipe-line, entre des DISPOSITIFS qui peuvent suivre la même vitesse de transfert. Dans le cas d'une écriture, par exemple, après le dialogue initial du cycle d'adresse pour établir le verrouillage AS/AK, le MAITRE positionne seulement les mots d'information et les transitions de DS à la vitesse voulue. La réponse DK est ignorée pour le cadencement, mais sera utilisée pour compter le nombre de mots transférés et pour surveiller les réponses. En effet, DS devient un signal d'échantillonnage que l'ESCLAVE utilise pour trouver les mots de données dans une transmission synchrone. Dans le cas d'une lecture, le MAITRE fournit toujours DS en tant qu'horloge que l'ESCLAVE utilise pour régler sa vitesse de transfert mais les données sont accompagnées par DK que le MAITRE utilise comme signal d'échantillonnage.

Les opérations protégées par dialogue nécessitent que les mots de données soient présents sur le bus pendant au moins deux temps de propagation du bus, puisque les informations se propagent vers la destination et que l'acceptation revient vers la source. Cependant, lorsque la réponse de dialogue n'est pas utilisée, plusieurs mots de données peuvent se propager à

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

a match is found. All DEVICES must have this capability but need not implement LOGICAL ADDRESSING.

The GEOGRAPHICAL ADDRESSING mechanism can be used to access the control and information registers in uninitialized DEVICES so that an automatic procedure can be used to initialize them. The normal logical address recognition logic in a DEVICE is disabled until the DEVICE has been initialized.

DEVICES on CABLE SEGMENTS use switches to implement the GEOGRAPHICAL ADDRESS.

1.2.5 Block and Pipelined Transfers

A block transfer consists of an address cycle followed by any number of data cycles of the same type, that is, all read or all write. The connection between MASTER and SLAVE is handled as described above with full handshaking at the beginning and end of an operation. Speed is enhanced by making use of both transitions of the Data Sync and Data Acknowledge signal pair (DS/DK) while still providing full handshake protection for the data transfers if desired. Figure 4 shows a Write Block Transfer.

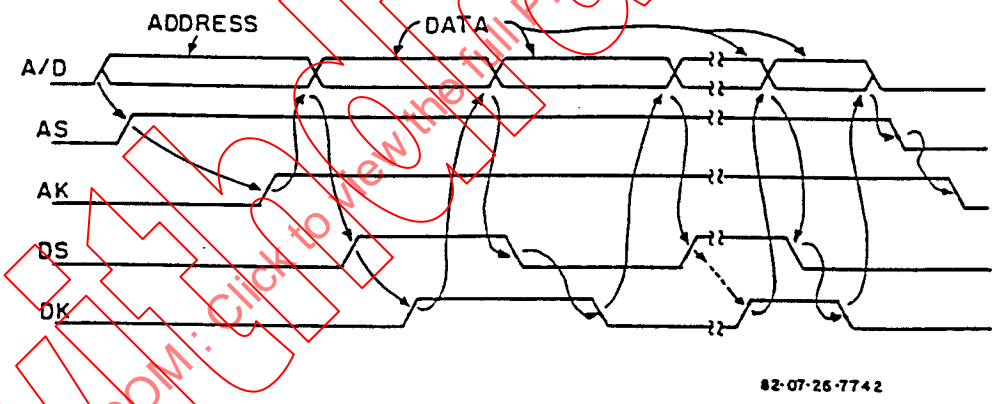


Figure 4. Write Block Transfer (as seen by MASTER)

It is possible to perform a block transfer without data cycle handshakes, a Pipelined Transfer, between DEVICES that can handle the same data rates. In the case of a write, for example, after the initial handshake address cycle to establish the AS/AK lock, the MASTER simply asserts data words and DS transitions at whatever rate is appropriate. DK responses are ignored for timing purposes, but should be used for counting the number of words transferred and for monitoring responses. In effect, DS becomes a strobe which the SLAVE uses to find the data words in a synchronous transmission. In the case of a read, the MASTER still provides DS as the clock which the SLAVE uses to determine the transfer rate but the data is accompanied by DK which the MASTER uses as the data strobe.

Handshake protected operations require each data word to be on the bus for at least two propagation delays, while the data flows to its destination and the acknowledge flows back to the source. When handshake response is not used, however, several data words could be

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

travers les lignes de transmission du bus en même temps et les données peuvent être transmises en profitant de la totalité de la bande passante du bus.

Dans la plupart des cas, les opérations utiliseront la protection du dialogue complet. Les cycles de données avec dialogue permettent aux deux partenaires de s'arrêter si nécessaire et permettent à chacun des partenaires de terminer une opération prématurément (dans le cas d'un tampon plein par exemple) avec les deux partenaires ayant une parfaite connaissance du nombre de mots qui furent transmis avec succès. Les opérations sans dialogue dans les cycles de données exigent que le MAITRE connaisse les capacités de l'ESCLAVE et la bande passante de la totalité de la liaison pour pouvoir choisir une vitesse d'horloge DS utilisable. Si cette opération ne pousse pas la vitesse près de sa limite, il est préférable d'utiliser le mode avec dialogue qui est plus fiable.

Si, pendant le cours d'un transfert de bloc, le MAITRE détecte (via la ligne de demande d'arbitrage) d'autres utilisateurs désirant le bus, il peut relâcher le bus et plus tard terminer le transfert du bloc.

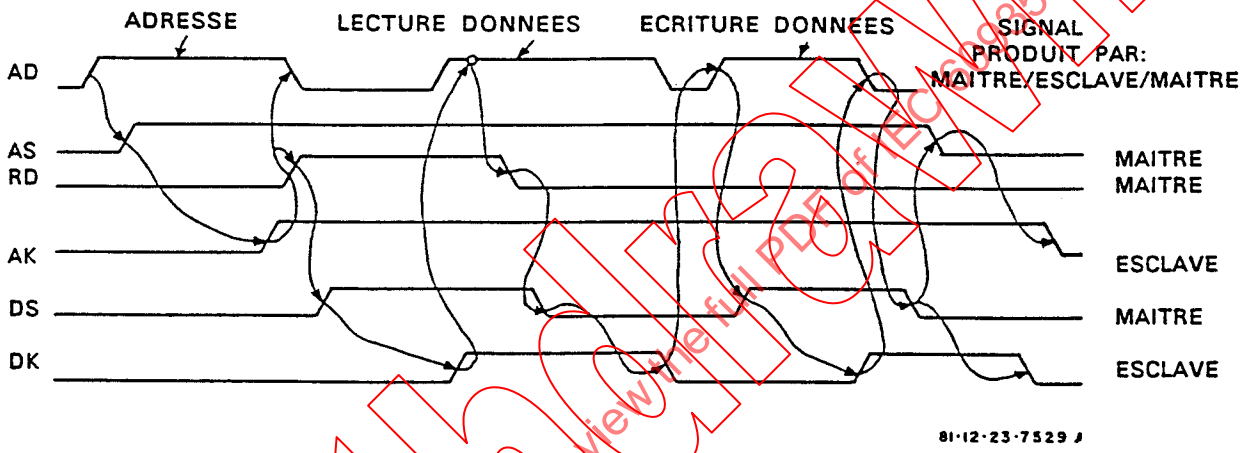


Figure 5. Opération a verrouillage d'adresse: lecture-modification-écriture (vue du MAITRE)

1.2.6 Opérations à verrouillage d'adresse et d'arbitrage

Les opérations décrites ci-dessus peuvent être généralisées pour permettre la propagation des données dans les deux sens. Une opération à verrouillage d'adresse consiste en un cycle d'adresse primaire suivi par un nombre quelconque de cycles d'adresse secondaire et/ou de cycles de données. Par exemple, pendant un cycle lecture-modification-écriture, le MAITRE positionne une adresse, lit les données, renverse le sens de propagation du signal sur les lignes AD en enlevant le signal RD et réécrit les données modifiées dans l'ESCLAVE (voir figure 5). Une telle opération est ininterruptible par un autre processeur puisqu'elle est verrouillée pendant la durée totale par le verrouillage AS/AK et aucun autre dispositif ne peut utiliser le bus. Elle forme ainsi une espèce d'opération indivisible requise dans les systèmes de processeurs multiples pour coordonner l'utilisation des ressources partagées.

Une opération ininterruptible peut être étendue encore plus loin aussi longtemps que le MAITRE et l'ESCLAVE sont d'accord sur la signification de chaque cycle du bus. Par exemple, le cycle d'adressage qui connecte le MAITRE et l'ESCLAVE peut être suivi par un cycle d'adresse secondaire suivi par un autre cycle de données.

Des opérations à verrouillage d'adresse peuvent inclure des transferts de bloc. Dans des opérations à verrouillage d'adresse, la direction du flux de données peut être changée entre des transferts de bloc ou entre des mots transférés individuellement.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

flowing through the bus transmission lines at the same time and data can be transmitted at the full bandwidth of the bus.

In most cases, operations will use full handshake protection. The data cycle Handshake permits either party to pause, if necessary, and allows either party to terminate an operation early (in case a buffer overflows, for example) with both parties having full knowledge of how many words were successfully transmitted. Operations without data cycle Handshake require the MASTER to know the capabilities of the SLAVE and the bandwidth of the entire path in order to choose a workable DS clock rate. If the operation does not push this rate near its limit, it is better to use the more reliable Handshake mode.

If during the course of a Block Transfer the MASTER detects (via the Arbitration Request line) other users requesting the bus, it may relinquish the bus and later resume the Block Transfer.

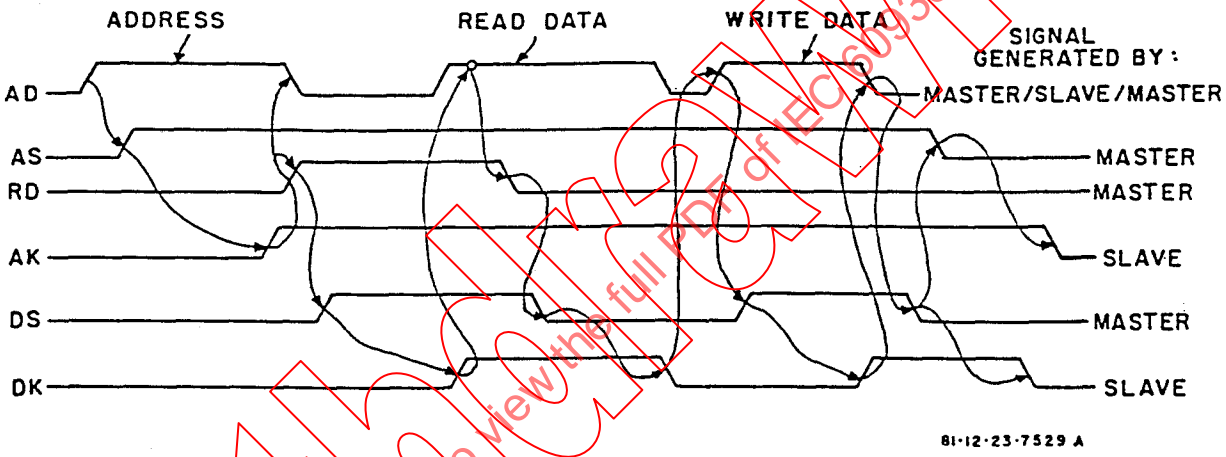


Figure 5. Address Locked Operation: Read-Modify-Write (as seen by MASTER)

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

1.2.6 Address Locked and Arbitration Locked Operations

The operations described above can be generalized to allow data flow to reverse direction. An Address Locked Operation consists of a primary address cycle followed by any number of secondary address and/or data cycles. For example, during a Read-Modify-Write cycle, the MASTER asserts address information, reads data, reverses the signal direction on the AD lines by removing the RD signal, and writes the modified data back to the SLAVE (see Figure 5). Such an operation is uninterruptable by any other processor, since it is locked the whole time by the AS/AK lock and no other device can use the bus. It thus forms the kind of indivisible operation needed in multiple processor systems for coordinating use of shared resources.

An uninterruptable operation can be extended even further as long as MASTER and SLAVE agree on the meaning of each bus cycle. For example, the address cycle that connects MASTER and SLAVE could be followed by a secondary address cycle followed by another data cycle.

Address Locked Operations may include Block Transfers. In Address Locked Operations, the direction of data flow may be changed between block transfers or between individual non-block transfer words.

Une opération verrouillée sur le bus encore plus générale est appelée une opération à verrouillage d'arbitrage; c'est une série d'opérations dirigées par un MAITRE vers différentes ADRESSES PRIMAIRES et qui ne peut pas être interrompue par un autre MAITRE car le MAITRE originel ne permet pas à un cycle d'arbitrage de prendre place. Cela peut être très utile pour synchroniser un ensemble d'ESCLAVES qui sont partagés entre différents processeurs, ainsi une séquence d'opérations peut être exécutée sans interférence avec les autres processeurs. Ce mécanisme marche même si les ESCLAVES sont sur différents SEGMENTS puisque l'INTERCONNEXION de SEGMENTS est conçue pour maintenir la connexion jusqu'à ce que le MAITRE relâche le bus pour un arbitrage.

1.2.7 Scrutation des données éparses

Dans de nombreux grands systèmes d'acquisition de données, tous les DISPOSITIFS n'acquièrent pas des données à chaque période intéressante. FASTBUS fournit un mécanisme - la scrutation des données éparses - qui permet la localisation rapide des DISPOSITIFS contenant des données valables. La fonction de scrutation des données éparses utilise le contact individuel T disponible sur chaque position de DISPOSITIF sur le fond de panier d'un SEGMENT-CHASSIS. Le contact T à la position n est connecté sur la ligne adresses/données n. Un MAITRE qui veut démarrer un cycle de scrutation des données éparses émet une commande de DIFFUSION vers tous les DISPOSITIFS voulus d'un SEGMENT en demandant à ceux qui ont des données de répondre sur leur contact T. Une lecture des lignes AD indique quels sont les DISPOSITIFS qui doivent être interrogés pour obtenir des données. Cette possibilité peut être disponible sur un SEGMENT-CABLE en utilisant des contacts amovibles ou des commutateurs.

1.2.8 Opérations de DIFFUSION

Dans une opération de DIFFUSION, un MAITRE peut se connecter à plus d'un ESCLAVE pendant un seul cycle d'ADRESSE PRIMAIRE. La DIFFUSION peut être utilisée pour différents objectifs tels que synchroniser des DISPOSITIFS ou remettre à zéro un ensemble de compteurs. Puisque plus d'un ESCLAVE peut être impliqué, aucun dialogue significatif n'est possible entre l'ESCLAVE et le MAITRE. Cependant, un DIALOGUE SYSTEME provenant de la logique ancillaire sur chaque SEGMENT de chaque route informe le MAITRE que sa commande s'est propagée vers tous les SEGMENTS auxquels elle était adressée. Le MAITRE positionne une adresse en même temps qu'un code MS pour indiquer qu'une adresse de DIFFUSION est appliquée. Le champ adresse est utilisé pour spécifier si la DIFFUSION doit être LOCALE sur un SEGMENT particulier ou GLOBALE soit sur tous les SEGMENTS d'une structure décrite par des informations dans les INTERCONNEXIONS de SEGMENTS, soit vers tous ceux qui suivent un SEGMENT particulier. En plus d'être capable de spécifier les SEGMENTS qui sont affectés par une DIFFUSION, le champ adresse peut être utilisé pour sélectionner soit une classe de DISPOSITIFS sur les SEGMENTS considérés ou une fonction à exécuter. Les fonctions définies incluent la scrutation des données éparses, le positionnement par le DISPOSITIF des contacts T (soit sans condition ou seulement si un DISPOSITIF envoie une demande de service) et l'adressage par le positionnement d'un contact T par le MAITRE pour le cycle suivant.

Dans une INTERCONNEXION de SEGMENTS la partie de la table de routage qui correspond à l'ADRESSE de GROUPE zéro est utilisée pour acheminer les DIFFUSIONS globales. Plus d'une INTERCONNEXION de SEGMENTS peut identifier et transmettre un message de DIFFUSION puisqu'aucun dialogue individuel n'est retourné. La structure formée par le message de DIFFUSION en se propageant doit être en arbre simple sans connexions croisées. Cette règle doit être contrôlée par le programme d'initialisation.

Lorsqu'une adresse de DIFFUSION s'est propagée avec succès à travers le système, le DIALOGUE SYSTEME est produit par la logique ancillaire en coopération avec les INTERCONNEXIONS de SEGMENTS. Les cycles de données successifs utilisent le DIALOGUE

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

A still more general locked operation on the bus is called an Arbitration Locked Operation; a sequence of operations by one MASTER directed to a number of different PRIMARY ADDRESSES which is not interruptable by any other MASTER because the originating MASTER does not allow bus arbitration to take place. This can be very useful for synchronizing a set of SLAVES which are shared by several processors, so that a sequence of operations can be performed without interference by other processors. This mechanism works even if the SLAVES are on different SEGMENTS, as the SEGMENT INTERCONNECT is designed to maintain any connection until the MASTER releases the bus for arbitration.

1.2.7 Sparse Data Scan

In many large data acquisition systems not all DEVICES acquire data in each period of interest. FASTBUS provides a mechanism - the Sparse Data Scan - that allows the rapid location of DEVICES containing valid data. The Sparse Data Scan feature makes use of the unbussed T pin located at each DEVICE position on the CRATE SEGMENT backplane. The T pin at position n is connected to Address/Data line n. A MASTER wishing to start a Sparse Data Scan issues a BROADCAST command to all appropriate DEVICES on a SEGMENT asking those with data to respond on their T pins. A read of the AD lines then indicates which DEVICES should be interrogated for data. This capability can be provided on a CABLE SEGMENT by using patch pins or switches.

1.2.8 BROADCAST Operations

In a BROADCAST Operation, a MASTER can connect to more than one SLAVE during a single PRIMARY ADDRESS cycle. BROADCASTS can be used for various purposes, such as synchronizing DEVICES or clearing a bank of counters. Since several SLAVEs may be involved, no meaningful handshake between SLAVE and MASTER is possible. However, a SYSTEM HANDSHAKE from ancillary logic on each SEGMENT of any route informs the MASTER that its command has propagated to every SEGMENT to which it was addressed. The MASTER asserts an address along with an MS code to indicate that a BROADCAST address is being asserted. The Address Field is used to specify whether the BROADCAST is to be a LOCAL one to a specific SEGMENT or a GLOBAL one either to all SEGMENTS in a pattern controlled by information in the SEGMENT INTERCONNECTS or to all SEGMENTS beyond a specified one. In addition to being able to specify the SEGMENTS to be affected by a BROADCAST, the Address Field can be used to select either a class of DEVICE on the affected segments or a function to be carried out. Defined functions include the Sparse Data Scan, DEVICE T pin assertion (either unconditionally or only if the DEVICE is asserting a Service Request) and addressing by MASTER T pin assertion on the next cycle.

IECNORM.COM : Click to view the full PDF of IEC 60935-1:1996
Withdrawn

In SEGMENT INTERCONNECTS the route table entries corresponding to a GROUP ADDRESS of zero are used for routing Global BROADCASTS. More than one SEGMENT INTERCONNECT may recognize and pass a BROADCAST message since no individual Handshakes are returned. The pattern formed by a propagating BROADCAST message must be a simple tree with no cross connections. This rule has to be enforced by the initialization program.

When the BROADCAST address has propagated successfully throughout the system, the SYSTEM HANDSHAKE is generated by the ancillary logic in cooperation with the SEGMENT INTERCONNECTS. The succeeding Data Cycles make use of the SYSTEM

SYSTEME. Ainsi n'importe quelle opération standard d'écriture ou de lecture peut être exécutée simultanément sur un ensemble de DISPOSITIFS par une DIFFUSION.

Une DIFFUSION peut prendre quelque temps pour démarrer puisqu'elle doit attendre le règlement de tous les conflits pour l'utilisation des SEGMENTS impliqués. Cependant, une fois que la connexion du système est réalisée la vitesse d'exécution des cycles de données est seulement limitée par les temps de propagation et le DIALOGUE SYSTEME.

1.2.9 Arbitrage pour la maîtrise du bus

L'un des points le plus important dans un système multiprocesseur est la méthode pour attribuer le contrôle d'un SEGMENT aux différents MAITRES qui peuvent être simultanément en compétition pour la maîtrise du bus. Une partie des circuits qui réalisent cet arbitrage réside sur chaque SEGMENT indépendant et est appelée le contrôleur de la séquence d'arbitrage (ATC).

Dix lignes du bus sont affectées à l'arbitrage de la priorité sur un SEGMENT. On affecte à chaque MAITRE un niveau d'arbitrage sur 6 bits. Le MAITRE qui désire gagner la maîtrise du bus positionne la ligne de demande d'arbitrage (AR). Si la ligne d'acceptation de l'octroi, GK, n'est pas positionnée, le contrôleur de séquence d'arbitrage démarre un cycle d'arbitrage en positionnant le signal d'octroi d'arbitrage AG. Les MAITRES demandeurs répondent en positionnant leurs niveaux d'arbitrage sur les six lignes de niveau d'arbitrage AL. Sur chaque ligne de niveau d'arbitrage un bit positionné surchargera un bit non positionné. Chaque demandeur compare en permanence son niveau d'arbitrage avec le code sur les lignes AL, bit par bit depuis les positions les plus significatives vers les moins significatives. Si un demandeur détecte un bit sur le bus qu'il ne positionne pas, il arrête de positionner tous ses bits de poids plus faible. Après une période déterminée par l'ATC, seul le niveau d'arbitrage le plus élevé reste positionné sur les lignes AL et chaque concurrent sait s'il a gagné ou perdu. Lorsque le contrôleur des séquences d'arbitrage a déterminé que le bus est complètement libre (AS = AK = WT = GK = 0), il arrête de positionner AG et le MAITRE gagnant répond en positionnant GK et assume la maîtrise du bus. Le MAITRE continu à positionner GK jusqu'à ce qu'il veuille permettre un autre cycle d'arbitrage. C'est habituellement après le dernier cycle d'adresse de sa séquence d'opérations, ce qui permet de choisir le MAITRE suivant avant que le MAITRE actuel n'ait fini ses cycles de données.

Deux protocoles compatibles sont possibles avec le schéma d'arbitrage décrit. Dans l'un de ces protocoles, les demandes d'arbitrage sont faites sans tenir compte des autres demandes en attente ce qui conduit à la possibilité qu'un MAITRE de faible priorité se voit refuser la maîtrise du bus pour des périodes d'une durée intolérable; dans l'autre, le protocole "aux accès assurés", les demandes d'arbitrage ne sont faites que si la ligne d'interdiction des demandes d'arbitrage est fausse. Cette ligne est positionnée par l'ATC au démarrage d'un cycle d'arbitrage et n'est remise à zéro que lorsqu'il ne reste plus de demandes d'arbitrage. Ainsi, toutes les demandes d'arbitrage existantes à un instant donné sont satisfaites avant qu'une nouvelle demande puisse être faite. Des MAITRES utilisant les deux protocoles peuvent partager le même SEGMENT puisque les protocoles ne diffèrent que dans les conditions de positionnement de AR.

Sur les 64 codes de priorité possibles, zéro n'est pas utilisé car il peut être facilement confondu avec un bus vide. Les codes 1 à 31 sont disponibles pour être utilisés à l'intérieur d'un SEGMENT, et 32 à 63 sont utilisés pour les priorités "systèmes" qui doivent être attribuées une seule fois parmi tous les éléments interconnectés d'un système. Les priorités locales 1 à 31 doivent être attribuées une seule fois aux DISPOSITIFS à l'intérieur d'un même SEGMENT, mais sont réutilisables dans chacun des SEGMENTS. Lorsqu'une INTERCONNEXION de SEGMENTS connecte un MAITRE à un autre SEGMENT, le niveau utilisé pour l'arbitrage sur le second SEGMENT sera normalement celui du SI plutôt que celui du MAITRE d'origine. Cependant, si l'une des priorités systèmes était utilisée par le MAITRE d'origine, le SI propagerait cette priorité sur le second SEGMENT, ce qu'il est libre de faire puisque les priorités systèmes sont uniques à travers tout le système. Les

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

HANDSHAKE. Thus, any kind of standard Write or Read Operation may be performed simultaneously on a set of DEVICES by a BROADCAST.

BROADCASTS may take some time to start, since they must wait for all conflicting use of the SEGMENTS involved to complete. Once the system connection is complete, however, speed of execution of the Data Cycles is limited only by SYSTEM HANDSHAKE and propagation delays.

1.2.9 Arbitration for Bus Mastership

One of the most important requirements of a multi-processor system is a method for allocating control of the SEGMENTS to the various MASTERS which may be contending for bus Mastership simultaneously. Part of the circuitry to accomplish this, which resides on each independent SEGMENT, is called the Arbitration Timing Controller (ATC).

Ten bus lines are dedicated to SEGMENT priority arbitration. Each master is assigned a 6-bit Arbitration Level. Masters wishing to gain bus Mastership assert the Arbitration Request line (AR). If the Grant Acknowledge, GK, line is not asserted, the Arbitration Timing Controller starts an Arbitration Cycle by asserting the Arbitration Grant, AG, signal. Requesting Masters respond by asserting their arbitration levels on to the six Arbitration Level lines, AL. On each Arbitration Level line an asserted bit will override any non-asserted bits. Each requester continually compares its Arbitration Level with the code on the AL lines bit-by-bit from most to least significant positions. If a requester detects a bit on the bus which it is not asserting, it removes from the bus all of its own bits of lesser significance. After a time determined by the ATC, only the highest Arbitration Level remains asserted on the AL lines and each competitor knows if it has won or lost. When the Arbitration Timing Controller has determined that the bus is completely free (AS = AK = WT = GK = 0), it stops asserting AG and the winning Master responds by asserting GK and assuming bus Mastership. The MASTER continues to assert GK until it is willing to allow another Arbitration Cycle. This is usually after the last Address Cycle of its sequence of operations thus allowing the next MASTER to be selected before the current MASTER has finished its Data Cycles.

Two compatible protocols are possible with the specified arbitration scheme. In one of these protocols, Arbitration Requests are made without regard to the presence of any other requests leading to the possibility of low priority MASTERS being denied bus mastership for intolerably long periods of time. In the other, the "assured access" protocol, Arbitration Requests are made only if the Arbitration Request Inhibit line is false. This line is set by the ATC at the start of an Arbitration Cycle and reset only when no Arbitration Requests are outstanding. Hence, all Arbitration Requests existing at a given instant of time are satisfied before any new ones can be made. MASTERS using either protocol can share the same SEGMENT since the protocols differ only in the conditions for asserting AR.

Of the 64 possible priority codes, zero is not used because it is easily confused with an idle bus. Codes 1 through 31 are available for use within the SEGMENT, and 32 through 63 are available for use as "system" priorities for unique assignment within communicating parts of a system. The Local priorities 1-31 must be assigned uniquely to DEVICES within a given SEGMENT, but can be reused on every SEGMENT. When a SEGMENT INTERCONNECT connects a MASTER to another SEGMENT, the Level used for arbitration on the second SEGMENT will normally be that of the SI rather than that of the originating MASTER. However, if one of the system priorities was used by the originating MASTER, the SI will propagate that priority onto the second SEGMENT, which it is free to do since the system priorities are unique along a route. The system priorities can be useful in preventing undue delay for important BROADCASTS, and can help expedite important mes-

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

priorités systèmes peuvent être utiles pour éviter des retards excessifs pour des DIFFUSIONS importantes et peuvent également aider à expédier des messages importants qui pourraient autrement souffrir des fluctuations de priorité dépendant de la formation des routes à travers le système.

Aucune interruption ou élimination de l'opération en cours n'est possible. Un MAITRE est libre de conserver le bus aussi longtemps qu'il le veut. S'il voit AR = 1 tandis que AS = AK = 1 il sait que d'autres MAITRES dans le système sont bloqués par l'opération courante. Le MAITRE contrôleur devrait normalement relâcher le bus dans un temps raisonnable pour pouvoir permettre aux autres MAITRES d'acquérir la maîtrise du bus. Il devrait permettre soit un cycle d'arbitrage soit qu'il s'écoule un temps aléatoire avant de redemander la maîtrise du bus. La solution générale au problème de concurrence et de blocage du FASTBUS est de laisser aller et de reprendre après un retard aléatoire.

1.2.10 Interruptions

Une interruption est une demande de la part d'un DISPOSITIF vers un processeur pour un service ou pour attirer l'attention. Puisque les interruptions peuvent avoir à traverser les frontières des SEGMENTS, et puisqu'elles doivent transporter de l'information, elles sont exécutées par des opérations normales du FASTBUS.

Le DISPOSITIF interrompant adresse une zone des registres de contrôle sensible aux interruptions dans l'interface du processeur et écrit sa propre adresse et éventuellement d'autres informations dans les registres. Le processeur possède alors toutes les informations nécessaires pour accéder au DISPOSITIF interrompant et le servir ultérieurement.

Dans certains systèmes, un grand nombre de DISPOSITIFS simples peuvent avoir besoin de faire des demandes de service sans avoir la possibilité d'acquérir la maîtrise du bus et d'effectuer une opération d'écriture d'interruption. De tels DISPOSITIFS peuvent positionner la ligne de demande de service (SR) qui peut être surveillée par un DISPOSITIF spécial de gestion des demandes de service. Ce DISPOSITIF peut prendre la maîtrise du bus et trouver le demandeur au moyen des contacts T, d'une scrutation ou d'autres moyens. Le DISPOSITIF de gestion des demandes de service peut alors exécuter les services nécessaires lui-même ou bien il peut envoyer un message d'interruption normal, au nom du demandeur simple, vers quelque autre processeur. Les INTERCONNEXIONS de SEGMENTS peuvent être programmées pour transmettre un SR d'un SEGMENT à un autre.

1.2.11 Cadencement

Les relations entre les transitions des signaux de cadencement dans le FASTBUS sont définies d'une manière indépendante de la réalisation et des informations supplémentaires sur le cadencement sont nécessaires pour garantir les opérations dans un environnement particulier. Ces informations se partagent en deux classes:

a) les retards des signaux pour assurer que les relations mutuelles de cadencement sont correctement réalisées et que les signaux du bus durent suffisamment longtemps pour être reconnus;

b) les temporisateurs dans les MAITRES qui reconnaissent qu'une réponse attendue n'est pas arrivée et qui initialisent des procédures de récupération.

Un signal associé, WT, lorsqu'il est positionné a pour effet de bloquer les signaux de cadencement suivants et également de remettre à zéro les temporisateurs des MAITRES. Ainsi, il peut être utilisé pour geler l'état du bus pour les diagnostics; en outre, néanmoins, il est utilisé comme un élément du protocole de cadencement intersegment, de manière que les limites de temps n'aient besoin d'être spécifiées qu'en local et non pas dans des conditions globales.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

sages which might otherwise suffer from fluctuating priorities as they form paths through the system.

No interruption or preemption of the current operation is possible. A MASTER is free to keep the bus as long as it wishes. If it sees AR = 1 while AS = AK = 1, it knows that other MASTERS in the system are being blocked by the current operation. The controlling MASTER should normally release the bus within a reasonable time in order to allow other MASTERS to acquire bus Mastership. It should allow either one Arbitration Cycle or a random Retry Delay to occur before again requesting bus Mastership. The general solution to the problem of contention and deadlock in FASTBUS is to give up and retry after a random delay.

1.2.10 Interrupts

An Interrupt is a request from a DEVICE to a processor for service or attention. Since Interrupts may have to cross SEGMENT boundaries, and since they must carry information, they are handled by normal FASTBUS operations.

The interrupting DEVICE addresses an interrupt-sensing control register region in a processor interface and writes its own address and possibly other information into the registers. The processor then has all the information needed to access the interrupting DEVICE and service it at some later time.

In some systems, large numbers of simple DEVICES may need to make requests for service without having the capability of gaining bus Mastership and performing an interrupt write operation. Such DEVICES may assert the Service Request (SR) line which can be monitored by a special Service Request handling DEVICE. This DEVICE can gain Mastership and find the requester by means of the T pins, polling, or other means. The Service Request handling DEVICE may then perform the necessary service itself or it may send a normal Interrupt message on behalf of the simple requester to some other processor. SEGMENT INTERCONNECTS can be instructed to pass SR from one SEGMENT to the other.

1.2.11 Timing

The relationships between the timing signal transitions in FASTBUS are defined in an implementation independent manner and supplementary timing information is required for guaranteed operation in a specific environment. This information falls into two classes:

a) signal delays to ensure that correct mutual timing relationships are met and that bus signals are of sufficient duration to be recognized;

b) timeouts in MASTERS that recognize that an expected response has failed to occur and to initiate a recovery procedure.

An associated signal, WT, when asserted, has the action of blocking subsequent bus timing signals and also resetting MASTER timeouts. Thus, it can be used to freeze the state of the bus for diagnostic purposes; in addition, however, it is used as part of the intersegment timing protocol so that timeouts need to be specified only for local rather than global conditions.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

1.2.12 Initialisation

A la mise sous tension, tous les DISPOSITIFS sont placés dans un état passif et ne répondent qu'à l'ADRESSAGE GEOGRAPHIQUE. Ils doivent donc être initialisés avant usage. L'initialisation consiste à exécuter un certain nombre d'opérations dont certaines telles que l'affectation de l'ADRESSE LOGIQUE correcte et le chargement des tables de routage des SI nécessitent une connaissance générale de la totalité du système et de sa structure, tandis que d'autres, telles que le réglage du gain d'un amplificateur ou la remise à zéro d'un compteur, sont particulières à un DISPOSITIF donné ou à un groupe de DISPOSITIFS.

Pour chaque système FASTBUS, un processeur, l'HOTE, contient une description complète du système auquel il est connecté. Le système FASTBUS doit être structuré de telle manière que l'HOTE puisse accéder à chaque DISPOSITIF. L'HOTE, par sa connaissance de la structure du système, peut, par des algorithmes standard, initialiser les tables de routage des SI en contrôlant que les règles concernant les routes et les arbres de DIFFUSION, aussi bien que toutes contraintes compatibles imposées par l'utilisateur, sont respectées. Le programme d'initialisation de l'HOTE assigne également les niveaux d'arbitrage aux MAITRES ainsi que les adresses logiques aux DISPOSITIFS qui le nécessitent et exécute les opérations spécifiques à certains DISPOSITIFS.

Le processus d'initialisation doit se dérouler méthodiquement. Premièrement tous les SI sont initialisés, en commençant par ceux qui sont sur le même SEGMENT que l'HOTE, et en s'en éloignant. Pour chaque SI, l'HOTE accède d'abord au côté proche et charge la table de routage et le niveau d'arbitrage pour les opérations vers son côté lointain. Les opérations vers le côté lointain sont alors mises en service et l'HOTE charge la table de routage côté lointain et le niveau d'arbitrage, et finalement, il met le SI en service pour les opérations dans la direction opposée, c'est-à-dire en revenant vers l'HOTE. Cela continue jusqu'à ce que tous les SI aient été initialisés. Les ESCLAVES et les MAITRES sont ensuite initialisés. La mise en service des MAITRES s'exécute en dernier pour éviter l'éventualité où un MAITRE essaie d'accéder à une partie du système non encore initialisée.

La meilleure manière de conserver toutes les informations sur la topologie d'un système FASTBUS, ainsi que les informations spécifiques à l'initialisation de chaque DISPOSITIF, est une base de données gérée par l'HOTE. Après l'initialisation du système, il peut être nécessaire de se référer à cette base de données s'il se produit un problème avec le système ou avec un DISPOSITIF. Par exemple, des DISPOSITIFS qui voient RB ont besoin normalement, à la fin, d'être remis en service; et le DISPOSITIF de remplacement nécessite une réinitialisation. La centralisation des informations et des actions nécessaires rend le système plus facile à gérer.

1.2.13 Outils de diagnostic

Puisque tous les signaux FASTBUS apparaissent sur chaque position d'un SEGMENT-CHASSIS, on peut placer un DISPOSITIF dans un châssis pour surveiller toutes les activités du FASTBUS. Il est possible de concevoir un tel DISPOSITIF pour qu'il puisse répondre seulement à certains types d'opérations. L'historique des cycles du bus peut être mémorisé dans le DISPOSITIF pour un rappel et une analyse ultérieure.

Un outil de diagnostic simple et puissant est constitué par un DISPOSITIF qui a la possibilité de positionner le signal WT. En plus de remettre à zéro et d'inhiber le temporisateur de réponse dans les MAITRES, ce signal empêche tout changement dans l'état des cinq signaux de cadencement AG, AS, AK, DS et DK, arrêtant effectivement toute l'activité sur le bus. Ainsi, l'état du bus peut être examiné après chaque transition de cadencement en utilisant un équipement de test simple qui enlève et applique WT.

IECNORM.COM : Click to view the full PDF of iec60935:1996

1.2.12 Initialization

Upon power-up all DEVICES are placed in a passive state and respond only to GEOGRAPHICAL ADDRESSING. They must therefore be initialized before use. Initialization consists of carrying out a number of operations some of which, such as the proper setting of LOGICAL ADDRESSES and loading of Route Tables in SIs, require a general knowledge of the entire system and its structure, while others, such as the setting of amplifier gains or zeroing counters, are peculiar to a given DEVICE or group of DEVICES.

For each FASTBUS system one processor, the HOST, contains a complete description of the system to which it is attached. The FASTBUS system must be so structured that every DEVICE in it can be accessed by the HOST. The HOST, with its knowledge of the system structure, can by standard algorithms initialize Route Tables in SIs ensuring that rules concerning routes and BROADCAST trees, as well as any compatible constraints imposed by the user, are followed. The HOST's initialization program also assigns Arbitration Levels to MASTERS and Logical Addresses to DEVICES requiring them and carries out DEVICE specific operations.

The initialization process proceeds in a methodical way. First all the SIs, starting with those on the same SEGMENT as the HOST and then working outward, are initialized. For each SI, the HOST first accesses the Near-side and loads the Route Table and Arbitration Level for Operations to its Far-side. Operations to the Far-side are then enabled and the HOST loads the Far-side Route Table and Arbitration Level and finally enables the SI for Operations in the opposite direction, that is, back towards the HOST. This continues until all SIs have been initialized. SLAVES and MASTERS are initialized next. Enabling of MASTERS is carried out last to avoid the possibility of a MASTER trying to access as yet uninitialized parts of the system.

All FASTBUS system topology information, as well as data specific to the initialization of each DEVICE, is best maintained in a data base managed by the HOST. After system initialization, it may be necessary to refer to this data base if problems arise with the system or a DEVICE. For example, DEVICES seeing RB normally require, at the least, being reenabled, and replacement DEVICES require initialization. The centralization of the required information and actions makes for a more easily managed system.

1.2.13 Diagnostic Tools

Because all FASTBUS signals appear at each position of a CRATE SEGMENT, a DEVICE can be placed in the crate to monitor all FASTBUS activity. It is possible to design such DEVICES so that they respond to only certain types of operations. The Bus Cycle history can be stored in the DEVICE for later recall and analysis.

A powerful yet simple diagnostic tool is provided by such a DEVICE that has the ability to assert the WT signal. Besides resetting and inhibiting the Response Timer in MASTERS, this signal inhibits any changes in the state of the five timing signals, AG, AS, AK, DS and DK, effectively stopping all activity on the bus. Hence, the state of the bus can be examined after each timing transition using simple test equipment, by removing and reapplying WT.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
WITHDRAWN

Section 2. Conventions, définitions, abréviations et symboles

Cette section comprend les notations, les conventions des signaux logiques, les définitions, les abréviations et les symboles utilisés dans le contexte de cette norme.

2.1 Interprétation de cette norme

Règle

Les clauses utilisant le mot doit sont obligatoires. Les clauses en italique, comme ici, sont obligatoires.

Les définitions de pratiques recommandées ou préférées (qui doivent être suivies sauf si de sérieuses raisons s'y opposent) utilisent le mot devrait.

Les exemples de pratiques permises utilisent généralement le mot peuvent et laissent la liberté de choix au concepteur ou à l'utilisateur.

La notation décimale est généralement utilisée dans le texte. Sauf lorsque le contexte l'indique clairement, les nombres binaires sont suivis de la lettre "b" (par exemple 01100b), et les nombres hexadécimaux par la lettre "h" (par exemple 1A3F5h).

Règle

Pour être conforme aux spécifications du système FASTBUS, un équipement ou un système doit satisfaire aux caractéristiques obligatoires de cette norme.

Des équipements non FASTBUS, qui n'interfèrent pas avec l'utilisation des caractéristiques du FASTBUS telle qu'elle est définie dans cette norme, sont considérés comme compatibles avec le système FASTBUS.

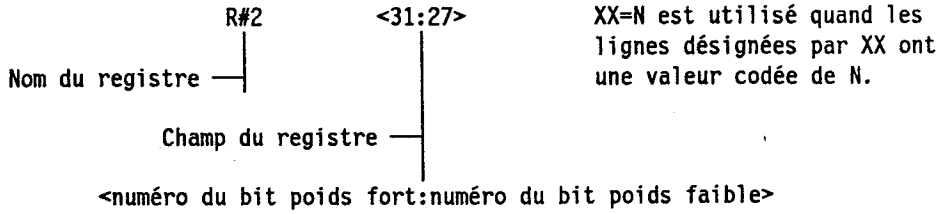
Aucune partie de cette norme n'est prévue pour exclure l'utilisation d'équipements qui sont compatibles dans le sens de ce qui précède, même s'ils ne se conforment pas complètement à la spécification.

Aucune licence ou autre autorisation n'est nécessaire pour pouvoir utiliser cette norme.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

2.2 Notations et conventions des signaux logiques

Les notations suivantes sont utilisées dans cette norme pour définir les registres et les bits dans les registres:



Section 2. Conventions, definitions, abbreviations and symbols

This section includes notations, logic signal conventions, definitions, abbreviations and symbols used in conjunction with this standard.

2.1 Interpretation of this standard

Rule

Clauses using the word shall are mandatory. Clauses in italic, as here, are mandatory.

Definitions of recommended or preferred practice (to be followed unless there are sound reasons to the contrary) include the word should.

Examples of permitted practice generally include the word may and leave freedom of choice to the designer or user.

Decimal notation is normally used in the text. Except where clear in the context, binary numbers are followed by the letter b (e.g. 01100b) and hexadecimal numbers by the letter h (e.g. 1A3F5h).

Rule

In order to conform with the specification of the FASTBUS system, an equipment or system shall satisfy the mandatory requirements in this standard.

Non-FASTBUS equipment that does not interfere with the operation of the FASTBUS features as defined in this standard is considered compatible with the FASTBUS system.

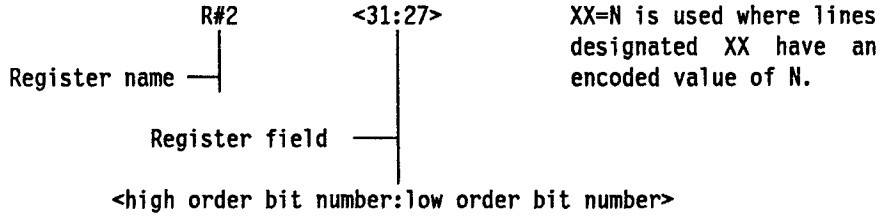
No part of this standard is intended to exclude the use of equipment that is compatible in the preceding sense, even if it does not conform fully to the specification.

No license or other permission is needed in order to use this standard.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

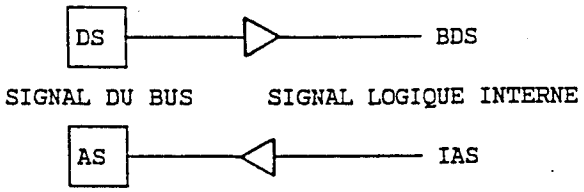
2.2 Notations and logic signal conventions

The following notation is used in this standard for defining registers and bits in registers:



On suppose une logique positive, c.-à-d. que l'état haut du signal est vrai, et l'état bas est faux. Le nom du signal rappelle ceci, c.-à-d.:

AK indique que l'état haut est vrai.
AK* indique que l'état haut est faux, c.-à-d. AK est actif à l'état bas.



Si le FASTBUS est réalisé en ECL, on étiquettera AK le signal d'acceptation d'adresse du bus, mais dans un système TTL l'étiquette sera AK*. Dans les circuits logiques, les signaux de bus sont généralement encadrés. Voir par exemple la figure adjacente.

Les symboles graphiques logiques généralement utilisés sont conformes à la Publication 1082-2 de la CEI. L'utilisation des symboles de logique positive est recommandée. L'utilisation de ces symboles pour interconnecter des lignes conduit habituellement à ce que des sorties non complémentées soient connectées à des entrées non complémentées.

Les exemples suivants montrent les notations utilisées pour les lignes et les signaux:

SS	Toutes les lignes et tous les signaux SS.
SS0	Ligne ou signal SS de poids 1.
SS1	Ligne ou signal SS de poids 2.
SS2	Ligne ou signal SS de poids 4.
SS = 2	Valeur codée d'un ensemble de lignes ou de signaux SS.
SS < 2:0 >	SS2, SS1 et SS0.
SS1 = 1	Etat logique "1" de SS1.

2.3 Définitions (suivant l'ordre alphabétique français)

ADRESSAGE GEOGRAPHIQUE (GA) (GEOGRAPHICAL ADDRESS)
L'adresse primaire d'un dispositif basée sur la position physique (géographique) du module, et déterminée par des contacts codés sur le fond de panier, ou par des commutateurs sur un segment-câble. Sur un segment-châssis, l'adresse géographique zéro est sur la position la plus à droite lorsque l'on regarde le châssis de l'avant et les adresses croissent de une unité à chaque position en se déplaçant vers la gauche.

ADRESSE (ADDRESS)
Synonyme d'adresse primaire.

ADRESSE DE DIFFUSION (BROADCAST ADDRESS)
Une adresse primaire positionnée par un Maître pendant une diffusion.

ADRESSE DE GROUPE (GP) (GROUP ADDRESS)
Les bits de poids fort (justifiés à gauche) attribués dans le champ adresse du dispositif d'une adresse FASTBUS et qui sont utilisés pour déterminer sur quel segment un dispositif est situé. Plus d'une adresse de groupe peut être attribuée à un segment donné. Voir adresse de groupe de base.

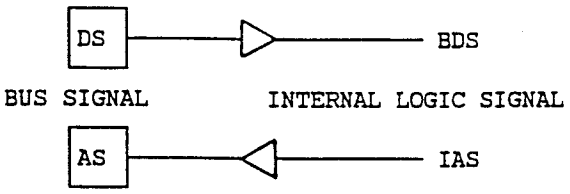
ADRESSE DE GROUPE DE BASE (BASE GROUP ADDRESS)
La valeur de l'adresse de groupe (GP) qui est utilisée pour l'adressage géographique sur un segment. Normalement, le GP le plus bas assigné à ce segment.

ADRESSE DE MODULE (MA) (MODULE ADDRESS)
Le groupe de bits affectés dans le champ adresse du dispositif d'une adresse FASTBUS qui identifie le module sur son segment. L'adresse de module peut partiellement recouvrir l'adresse de groupe.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Positive logic is assumed, i.e. the higher state of the signal is true; the lower state is false. Signal names reflect this, i.e.:

AK implies that if high it is true.
AK* implies that if high it is false, i.e. AK is active low.



If FASTBUS were implemented in ECL, one would label the bus signal Address Acknowledge AK, but in a TTL system the label would be AK*. Bus signals are usually boxed in logic circuits. For example, see adjacent figure.

Logic graphic symbols used generally conform with IEC Publication 1082-2. Use of positive logic symbols is recommended. Using these symbols to interconnect lines usually results in non-negated outputs being connected to non-negated inputs.

The following examples show the notation used for Lines and Signals:

SS	All SS Lines and Signals
SS0	SS Line or Signal with weight 1
SS1	SS Line or Signal with weight 2
SS2	SS Line or Signal with weight 4
SS = 2	Encoded value of the set of SS Lines or Signals
SS < 2:0 >	SS2, SS1 and SS0
SS1 = 1	Logic state of SS1

2.3 Definitions (according to English alphabetical order)

ADDRESS (ADRESSE)
Synonymous with Primary Address.

ADDRESS CYCLE (CYCLE D'ADRESSAGE)
Synonymous with Primary Address Cycle.

ADDRESS LOCKED OPERATION (OPERATION A ADRESSE VERROUILLEE)
An Operation directed to a single Primary Address containing a mixture of Read and Write Cycles, possibly including Block Transfers as well.

ANCILLARY LOGIC (ANC) (LOGIQUE ANCILLAIRE)
Logic required for each Segment but not part of any Device. Operations associated with Arbitration, Geographical Addressing, System Handshake and Run/Halt Control are carried out in the Ancillary Logic which may also contain Segment terminators.

ARBITRATION CYCLE (CYCLE D'ARBITRAGE)
The process by which the next Master to be granted bus Mastership is determined. It is initiated by the Arbitration Timing Controller and is complete when the winning Master assumes bus Mastership.

ARBITRATION LOCKED SEQUENCE (SEQUENCE A ARBITRAGE VERROUILLE)
A sequence of operations by one Master, directed to a number of different Primary Addresses, which is not interruptible by any other Master because the originating Master does not allow bus arbitration to take place.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

ADRESSE DU DISPOSITIF (DA) (DEVICE ADDRESS)
Un numéro d'identification sur (32-m) bits attribué à chaque dispositif FASTBUS qui est comparé aux signaux sur les lignes AD pendant le cycle d'adresse primaire logique d'une opération FASTBUS. L'adresse du dispositif est formée par les champs d'adresse de groupe et d'adresse de module. Les m bits de poids faible (restants) sont attribués au champ d'adresse interne.

ADRESSE DU TRANSFERT SUIVANT (NTA) (NEXT TRANSFER ADDRESS)
Un pointeur dans un Esclave vers un registre du module qui sera accédé pendant le transfert de données suivant. Le registre NTA peut être écrit pendant un cycle d'adresse primaire et peut être lu ou écrit pendant un cycle d'adresse secondaire. Pendant un transfert de bloc ou en pipe-line, le NTA peut être automatiquement modifié entre les cycles de données.

ADRESSE LOGIQUE (LOGICAL ADDRESS)
Une adresse primaire de 32 bits, constituée de l'adresse du dispositif et de l'adresse interne. Elle est indépendante de la position du dispositif sur un segment.

ADRESSE PRIMAIRE (PRIMARY ADDRESS)
Une adresse assignée à un dispositif au moyen de laquelle un Maître est capable d'établir un contact avec un dispositif ou un sous-ensemble du dispositif. Les adresses primaires sont les adresses logiques, géographiques et de diffusion.

ADRESSE SECONDAIRE (SECONDARY ADDRESS)
Une adresse utilisée à l'intérieur d'un dispositif. Elle est fournie par un cycle d'adresse secondaire qui suit un cycle d'adresse primaire ou un cycle de données et qui charge le registre NTA.

CAMAC (CAMAC)
Un système international normalisé d'instrumentation modulaire et d'interface numérique défini par la publication 516 de la CEI et les documents correspondants IEEE Std 583 et EUR 4100. (CAMAC est souvent considéré comme un sigle pour "Computer Automated Measurement And Control".)

CARTE DU MODULE (MODULE CIRCUIT BOARD)
La carte imprimée qui est le circuit d'un module FASTBUS.

CARTE SUPPLEMENTAIRE DE MODULE (MODULE SUPPLEMENTARY BOARD)
Toute carte dans un module FASTBUS qui ne réalise pas de connexion directe avec le segment-châssis.

CHAMP D'ADRESSE INTERNE (IA) (INTERNAL ADDRESS FIELD)
Le groupe de bits de poids faible (justifié à droite et contigu au champ adresse du dispositif sur la gauche) attribué dans l'adresse d'un dispositif FASTBUS qui est utilisé pour identifier les éléments internes dans un module FASTBUS. Les cycles d'adresse secondaire permettent d'accéder à un nombre d'éléments distincts plus grand que celui qui est permis par le champ d'adresse interne.

CHASSIS (CHASSIS FASTBUS) (CRATE)
Boîtier mécanique pour loger les modules FASTBUS sur le segment-châssis.

CLASSES DE DIFFUSION DES DISPOSITIFS (DEVICE CLASS-BROADCAST)
La classe de diffusion sélective est spécifiée par CSR#7. Les dispositifs contrôlés répondent aux cycles suivants de la diffusion.

COMMUTATEUR MARCHE/ARRET (RH) (RUN/HALT SWITCH)
Un commutateur commandé normalement par le commutateur marche/arrêt de la barre du segment-châssis et sur l'ATC d'un segment-câble qui arrête le trafic sur le bus pour que l'on puisse insérer ou ôter les modules sans affecter les autres modules sur le segment.

CONNECTEUR AUXILIAIRE DU MODULE (MODULE AUXILIARY CONNECTOR)
Le connecteur standard qui est placé au-dessus du connecteur de segment du module sur la carte du module.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

ARBITRATION TIMING CONTROL (ATC) (CONTROLEUR DE LA SEQUENCE D'ARBITRAGE)
Logic associated with each Segment for the purpose of supervising and generating the arbitration control signals, Run/Halt control and Broadcast System Handshake. (This is part of the Ancillary Logic.)

ASSURED ACCESS PROTOCOL (PROTOCOLE D'ACCES ASSURE)
A potential Master is operating in the Assured Access Protocol if, on detecting an AI assertion, it will not assert AR and thus will not participate in subsequent Arbitration Cycles until all Devices currently asserting AR have obtained bus Mastership and completed their operations.

BACKPLANE (FOND DE PANIER)
Circuit board (typically printed) at the rear of a Crate which, by means of its attached connectors, mates with the Modules and constitutes the Crate Segment.

BASE GROUP ADDRESS (ADRESSE DE GROUPE DE BASE)
The Group Address (GP) value which is used for Geographical Addressing on a Segment. Normally the lowest GP assigned to the Segment.

BLOCK TRANSFER (TRANSFERT DE BLOC)
The portion of a FASTBUS Operation in which a Master either sends data to or receives data from an Attached Slave on every transition of Data Sync. The Slave acknowledges receipt of or sends data with every transition of Data Acknowledge.

BROADCAST (BROADCAST OPERATION) (DIFFUSION)
An operation directed to one or more Slaves on one or more Segments.

BROADCAST ADDRESS (ADRESSE DE DIFFUSION)
A Primary Address asserted by a Master during a Broadcast.

BROADCAST, GLOBAL (DIFFUSION GLOBALE)
A Broadcast to Slaves on all Segments of a Multi-Segment system that can be reached from the originating Segment.

BROADCAST, LINEAR (DIFFUSION LINEAIRE)
A Broadcast to a subset of the Segments affected by a Global Broadcast. The subset can be either a specified Segment or up to a specified Segment or beyond a specified Segment.

BROADCAST, LOCAL (DIFFUSION LOCALE)
A Broadcast which is effective only on the originating Segment.

BUFFERED INTERCONNECT (BI) (INTERCONNEXION TAMPONNEE)
A Device which implements an inter-Segment connection such that the FASTBUS Protocol (FBP) on one Segment is not synchronized with that on the other.

CAMAC (CAMAC)
An internationally standardized modular instrumentation and digital interface system as defined in IEC Publication 516 and in the corresponding documents IEEE Std 583 and EUR 4100. (Often treated as an acronym for "Computer Automated Measurement and Control".)

CLEANUP DATA CYCLE (CYCLE DE NETTOYAGE DES DONNEES)
A Data Cycle that is not accompanied by data transfer but is for the purpose of turning off the Slave's AD, PA and PE drivers.

CONNECTED SYSTEM (SYSTEME CONNECTE)
All Segments of a Connected System are capable of communicating directly with one another through SIs. Note that because of the route map table implementation of message paths, Segments of a system that are connected electrically by SIs are not necessarily also logically connected in the sense used here.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

CONNECTEUR SEGMENT DU MODULE (MODULE SEGMENT CONNECTOR)
Le connecteur standard qui est monté sur un module FASTBUS et s'adapte au connecteur de segment-châssis pour connecter le module au segment.

CONTROLE D'ADRESSAGE GEOGRAPHIQUE (GAC) (GEOGRAPHICAL ADDRESS CONTROL)
Logique associée à chaque segment pour surveiller et produire les signaux d'adressage géographique.

CONTROLEUR DE LA SEQUENCE D'ARBITRAGE (ATC) (ARBITRATION TIMING CONTROL)
Logique associée à chaque segment, chargée de surveiller et de produire les signaux de contrôle de l'arbitrage, le contrôle marche/arrêt, et le dialogue système de diffusion. (C'est une partie de la logique ancillaire.)

COTE LOINTAIN (D'UN SI OU BI) (FAR-SIDE)
Le port d'un SI ou BI qui est électriquement le plus éloigné du Maître originel.

COTE PROCHE (D'UN SI OU BI) (NEAR-SIDE)
Le port d'un SI ou BI qui est électriquement le plus proche du Maître originel.

CYCLE D'ADRESSAGE (ADDRESS CYCLE)
Synonyme de cycle d'adresse primaire.

CYCLE D'ADRESSAGE PRIMAIRE (PRIMARY ADDRESS CYCLE)
La partie d'une opération FASTBUS dans laquelle un Maître adresse un Esclave sur les lignes adresses/données (AD). Le type d'adresse est spécifié par les lignes de contrôle EG et MS. Il commence par le Maître qui positionne la ligne de synchro adresse (AS) et se termine lorsque le Maître reçoit une acceptation d'adresse sur la ligne AK. Les adresses logiques, géographiques ou de diffusion sont positionnées pendant les cycles d'adresse primaire.

CYCLE D'ADRESSAGE SECONDAIRE (SECONDARY ADDRESS CYCLE)
Un cycle de données dans lequel un Maître utilise les lignes adresses/données (AD) pour charger une adresse secondaire dans le registre NTA d'un dispositif.

CYCLE D'ARBITRAGE (ARBITRATION CYCLE)
Le processus par lequel on détermine le prochain Maître à obtenir la maîtrise du bus. Il est initialisé par le contrôleur de séquence d'arbitrage et se termine lorsque le Maître gagnant assume la maîtrise du bus.

CYCLE D'ECRITURE (ECRITURE) (WRITE CYCLE)
Un cycle dans lequel la direction du flux de données va du MAITRE vers le ou les Esclaves.

CYCLE DE DONNEES (DATA CYCLE)
La partie d'une opération FASTBUS dans laquelle un Maître envoie ou reçoit des données provenant d'un Esclave connecté. Il commence par une transition sur la synchro de données provoquée par le Maître et se termine lorsque le Maître reçoit de l'Esclave la transition sur l'acceptation des données.

CYCLE DE LECTURE (LECTURE) (READ CYCLE)
Un cycle dans lequel la direction du flux de données va de ou des ESCLAVES vers le MAITRE.

CYCLE DE NETTOYAGE DES DONNEES (CLEANUP DATA CYCLE)
Un cycle de données qui n'est pas accompagné de transfert de données mais est destiné à rendre inactifs, dans l'Esclave, les circuits de sortie de AD, PA et PE.

DEPASSEMENT DE TEMPS (TIMEOUT)
Un dépassement de temps se produit lorsqu'un temporisateur de protection termine le temps prévu sans que l'événement attendu ne se soit produit. Les temporisateurs de protection évitent au système d'attendre indéfiniment en cas d'erreurs ou de défauts.

DEPASSEMENT DE TEMPS DE LA PERIODE D'ATTENTE (WAIT TIMEOUT PERIOD)
Le temps qu'un Maître attendra après avoir reconnu WT avant de terminer la connexion.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

CONTROL AND STATUS REGISTER (CSR) (REGISTRE DE CONTROLE ET D'ETAT)
A register used to control the operation of a Device and/or record the status of an Operation. It is accessible through a separate Address Space in a FASTBUS Device. CSR#0, mandatory for all Devices, contains the manufacturer's ID for the Device and a number of Device status bits as well as some user defined bits.

CSR SPACE (ESPACE CSR)
A FASTBUS Primary Address Cycle may specify with a code on the MS control lines one of two separate address spaces in a Device: CSR Space and Data Space. CSR Space contains registers for Device control and status reporting. Its allocation and usage is a part of the FASTBUS specification. See also Data Space.

CRATE (FASTBUS CRATE) (CHASSIS)
The mechanical housing for FASTBUS modules in a Crate Segment.

DAISY-CHAIN (GUIRLANDE)
A backplane connection between adjacent Module stations that allows information to flow between Modules independent of the FASTBUS protocol.

DATA CYCLE (CYCLE DE DONNEES)
The portion of a FASTBUS Operation in which a Master either sends data to or receives data from an attached Slave. It begins with the Master causing a Data Sync transition and terminates with the Master receiving a Data Acknowledge transition from the Slave.

DATA SPACE (ESPACE DONNEES)
That address space which Devices may have which is recommended for use in data operations. There are few constraints applied to Data Space uses. See also CSR Space.

DEVICE (FASTBUS DEVICE) (DISPOSITIF)
Any equipment capable of connecting to a Segment and responding to the mandatory features of the FASTBUS Protocol.

DEVICE ADDRESS (DA) (ADRESSE DU DISPOSITIF)
The (32-m)-bit identifying number (DA) assigned to a FASTBUS Device that is compared with the signals on the AD lines during a Logical Primary Address Cycle of a FASTBUS Operation. The Device Address is formed by the Group and Module Address Fields. The (remaining) low-order m bits are assigned to the Internal Address Field.

DEVICE CLASS-BROADCAST (CLASSES DE DIFFUSION DES DISPOSITIFS)
Selective Broadcast-Class specified by CSR#7. Controls Device response to subsequent cycles within the Broadcast.

ESONE (ESONE)
A multinational committee representing European nuclear laboratories. It produced the initial CAMAC specification and collaborates with NIM in the maintenance and extension of CAMAC and in the development of FASTBUS.

FAR-SIDE (of an SI or BI) (COTE LOINTAIN)
That port of an SI or BI electrically farther from the originating Master.

FASTBUS (FASTBUS)
The standard modular high-speed data acquisition and control system defined by this standard.

FASTBUS PROTOCOL (FBP) (PROTOCOLE FASTBUS)
The format and sequence of control and data messages in FASTBUS. Formats are specified by the FASTBUS signal line assignments. Sequences are specified by Operations.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

DIALOGUE (HANDSHAKE)
Un échange chaîné de signaux entre un Maître et un Esclave, contrôlant le transfert des données.

DIALOGUE SYSTEME (SYSTEM HANDSHAKE)
Un dialogue dans une opération de diffusion où le signal de dialogue provient du dernier segment du système adressé plutôt que des dispositifs individuels.

DIFFUSION (OPERATION DE DIFFUSION) (BROADCAST)
Une opération dirigée vers un ou plusieurs Esclaves sur un ou plusieurs segments.

DIFFUSION GLOBALE (BROADCAST, GLOBAL)
Une diffusion vers les Esclaves de tous les segments d'un système multi-segments qui peuvent être atteints à partir du segment d'origine.

DIFFUSION LINEAIRE (BROADCAST, LINEAR)
Une diffusion vers un sous-ensemble des segments affectés par une diffusion globale. Le sous-ensemble peut être, soit un segment particulier, soit jusqu'à un segment particulier, soit au-delà d'un segment particulier.

DIFFUSION LOCALE (BROADCAST, LOCAL)
Une diffusion qui est seulement effective sur le segment d'origine.

DISPOSITIF (DISPOSITIF FASTBUS) (DEVICE)
Un équipement quelconque capable d'être connecté à un segment et répondant aux caractéristiques obligatoires du protocole du FASTBUS.

DISPOSITIF DE SERVICE DES INTERRUPTIONS (IDS) (INTERRUPT SERVICE DEVICE)
Un processeur ou un autre dispositif qui peut répondre à des opérations d'interruption.

EMPLACEMENT (SLOT)
La position du connecteur d'un module sur le fond de panier d'un segment-châssis (voir position).

ESCLAVE (SLAVE)
Un dispositif qui répond aux autres Maîtres suivant le FBP.

ESCLAVE CONNECTE (SLAVE, ATTACHED)
Un Esclave connecté est celui qui a reconnu son adresse et son type d'adresse dans le cycle d'adresse primaire précédant et, en conséquence, participera aux cycles de données suivants.

ESONE (ESONE)
Un comité multinational représentant les laboratoires nucléaires européens. Il a produit les spécifications initiales du CAMAC et collabore avec le NIM pour la maintenance et l'extension du CAMAC, et dans le développement du FASTBUS.

ESPACE CSR (CSR SPACE)
Un cycle d'adresse primaire FASTBUS peut spécifier par un code sur les lignes de contrôle MS, l'un des deux espaces d'adresse distincts dans le dispositif: l'espace CSR et l'espace données. L'espace CSR contient des registres de contrôle du dispositif et des registres pour en indiquer l'état. Leur allocation et leur utilisation fait partie des spécifications FASTBUS. Voir également espace données.

ESPACE DONNEES (DATA SPACE)
Espace d'adressage que doit posséder un dispositif et qu'il est recommandé d'utiliser dans les opérations sur les données. Peu de contraintes s'appliquent sur l'espace des données. Voir également espace CSR.

EXTENSION DE SEGMENT (SE) (SEGMENT EXTENDER)
Dispositif pour connecter deux segments pour former un segment d'extension ou une partie d'un segment d'extension.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

GEOGRAPHICAL ADDRESS (GA) (ADRESSAGE GEOGRAPHIQUE)

The Primary Address of a Device based on the physical (Geographical) location of the Module, and determined by coded backplane pins, or (on a Cable Segment) by switches. For a Crate Segment, Geographical Address zero is for the rightmost position when the Crate is viewed from the front and the address increases by one for each Module position moved to the left.

GEOGRAPHICAL ADDRESS CONTROL (GAC) CONTROLE D'ADRESSAGE GEOGRAPHIQUE

Logic associated with each Segment for supervising and generating signals for Geographical Addressing.

GROUP ADDRESS (GP) (ADRESSE DE GROUPE)

The high order (left justified) bits assigned in the Device Address Field of a FASTBUS Address which are used to identify the Segment on which a Device is located; more than one Group Address may be assigned to a given Segment. See Base Group Address.

HANDSHAKE (DIALOGUE)

An interlocked exchange of signals between a Master and a Slave, controlling the transfer of data.

HOST PROCESSOR (PROCESSEUR HOTE)

The data processing and control processor assigned to exercise overall supervision over a FASTBUS system. Contains detailed knowledge of the system topology.

INTERCONNECT (INTERCONNEXION)

See Segment Interconnect and Buffered Interconnect

INTERNAL ADDRESS FIELD (IA) (CHAMP D'ADRESSE INTERNE)

The group of low-order bits (right justified and contiguous to the Device Address Field on the left) assigned in the Address of a FASTBUS Device which is used to identify internal locations within a FASTBUS Module. Secondary Address Cycles allow the number of different locations accessed to exceed that available in the Internal Address Field.

INTERRUPT OPERATION (OPERATION D'INTERRUPTION)

A FASTBUS Write Operation to an Interrupt Service Device, notifying it that the sender requires attention.

INTERRUPT SERVICE DEVICE (ISD) (DISPOSITIF DE SERVICE DES INTERRUPTIONS)

A Processor or other Device which can respond to Interrupt Operations.

LOGICAL ADDRESS (ADRESSE LOGIQUE)

A Primary Address of 32 bits consisting of the Device Address and Internal Address. It is independent of the location of the Device on a Segment.

MASTER (MAITRE)

A Device which is capable of asserting or controlling an Operation on a Segment according to the FASTBUS Protocol. A Master may, in addition, contain Slave logic.

MASTERSHIP (MAITRISE DU BUS)

A Master is asserting Mastership when it has control of the Segment to which it is attached and is asserting GK or AS.

MINIMUM PULSE DOWN TIME (TEMPS MINIMAL DES IMPULSIONS A L'ETAT BAS)

In order for all Devices to detect the zero state of a signal between the occurrence of two successive one states of the signal, the zero state must last for at least a bus dependent Minimum Pulse Down Time.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

FASTBUS (FASTBUS)
Le système modulaire normalisé pour le contrôle et l'acquisition rapide de données défini par cette norme.

FOND DE PANIER (BACKPLANE)
Carte de circuit (généralement imprimé) à l'arrière du châssis qui, au moyen des connecteurs qui lui sont fixés, s'adapte aux modules et constitue le segment-châssis.

GESTIONNAIRE DES DEMANDES DE SERVICE (SRH) (SERVICE REQUEST HANDLER)
Un Maître responsable de la surveillance de la ligne de demande de service, SR, sur un segment ou un groupe de segments. Quand SR = 1, le SRH demande la maîtrise du bus et, après l'avoir obtenue, détermine quels modules positionnent SR, soit par scrutation ou par une opération de diffusion. Le SRH peut ensuite servir la ou les demandes en attente lui-même, ou peut envoyer un message d'interruption vers d'autres dispositifs au nom des modules positionnant SR. SR est habituellement positionné seulement par les modules ne disposant pas de la possibilité de maîtrise du bus.

GUIRLANDE (DAISY-CHAIN)
Une connexion du fond de panier entre des positions adjacentes de modules qui permet à l'information de circuler entre les modules indépendamment du protocole FASTBUS.

INTERCONNEXION (INTERCONNECT)
Voir interconnexion de segments et interconnexion tamponnée.

INTERCONNEXION DE SEGMENTS (SI) (SEGMENT INTERCONNECT)
Un dispositif qui réalise la connexion inter-segments de telle manière que les FBP des deux segments soient synchronisés. Quand une opération est transmise par un SI, le SI se comporte comme un Esclave sur le côté proche, et comme un Maître sur le côté lointain.

INTERCONNEXION DE SEGMENTS ACTIVE (SEGMENT INTERCONNECT, ACTIVE)
Une interconnexion de segments est dite active si elle positionne AS = 1 sur le côté lointain.

INTERCONNEXION DE SEGMENTS RESERVEE (SEGMENT INTERCONNECT, RESERVED)
Une interconnexion de segment est dite réservée si elle a gagné la maîtrise du bus du segment côté lointain, et positionne GK = 1 sur ce segment.

INTERCONNEXION TAMPONNEE (BI) (BUFFERED INTERCONNECT)
Un dispositif qui réalise une connexion inter-segments de telle manière que le protocole FASTBUS (FBP) sur un segment n'est pas synchronisé avec le protocole sur l'autre segment.

INTERFACE CALCULATEUR (PI) (PROCESSOR INTERFACE)
Le dispositif d'interface entre un processeur et un segment FASTBUS.

LOGIQUE ANCILLAIRE (ANC) (ANCILLARY LOGIC)
Logique nécessaire sur chaque segment, mais ne faisant partie d'aucun dispositif. Les opérations associées à l'arbitrage, à l'adressage géographique, au dialogue système et au contrôle arrêt/marche sont exécutées dans la logique ancillaire qui peut aussi contenir les résistances d'adaptation du segment.

MAITRE (MASTER)
Un dispositif qui est capable de positionner ou de contrôler une opération sur un segment selon le protocole FASTBUS. Un Maître peut en plus contenir une logique Esclave.

MAITRE EN ATTENTE (PENDING MASTER)
Le Maître qui a participé et a gagné le plus récent cycle d'arbitrage. Il en résultera qu'il assumera la maîtrise du bus quand le Maître courant relâchera le bus.

MAITRISE DU BUS (MASTERSHIP)
Un Maître possède la maîtrise du bus lorsqu'il a le contrôle du segment sur lequel il se trouve et positionne GK ou AS.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

MODULE (FASTBUS Module) (MODULE)

Any FASTBUS Device that can be housed in a FASTBUS Crate, that can connect to a Crate Segment and that conforms with the mandatory specifications in this standard for a FASTBUS Module.

MODULE ADDRESS (MA) (ADRESSE DE MODULE)

The group of bits assigned in the Device Address Field of a FASTBUS Address which identifies the Module on its Segment. The Module Address may partially overlap the Group Address.

MODULE AUXILIARY CONNECTOR (CONNECTEUR AUXILIAIRE DU MODULE)

The standard connector that mounts above the Module Segment Connector on a Module Circuit Board.

MODULE CIRCUIT BOARD (CARTE DU MODULE)

The printed board that is the circuit part of a FASTBUS Module.

MODULE SEGMENT CONNECTOR (CONNECTEUR SEGMENT DU MODULE)

The standard connector that mounts on a FASTBUS Module and mates with the Crate Segment Connector for connection of the Module to the Segment.

MODULE SUPPLEMENTARY BOARD (CARTE SUPPLEMENTAIRE DE MODULE)

Any board in a FASTBUS Module that does not make direct connection with the Crate Segment.

NEAR-SIDE (of an SI or BI) (COTE PROCHE)

That port of an SI or BI that is electrically closer to the originating Master.

NEXT TRANSFER ADDRESS (NTA) (ADRESSE DU TRANSFERT SUIVANT)

A pointer in a Slave to the Module register which will be accessed during the next data transfer. The NTA Register may be written during a Primary Address Cycle and may be Read or Written during a Secondary Address cycle. During Block and Pipelined Transfers the NTA may be automatically modified between Data Cycles.

NIM (NIM)

(1) A committee sponsored by the U.S. Department of Energy and associated with the U.S. National Institute of Standards and Technology. It produced the NIM instrumentation system specifications, endorsed the use of CAMAC, and collaborates with ESONE in the maintenance and extension of CAMAC.

(2) A standardized modular instrumentation system consisting of NIM MODULES and NIM BINS as defined in IEC Publication 547.

NULL OPERATION (OPERATION NULLE)

A Primary Address Cycle followed by no Data Cycles. It determines if the system contains a Device capable of responding to the Primary Address used. It can be used to reserve Segment Interconnects for an Arbitration Locked Sequence.

OPERATION (OPERATION)

A Primary Address Cycle followed by zero or more Data Cycles and a Termination Sequence.

PARITY (for FASTBUS) (PARITE)

A bit, optionally appended to a FASTBUS word, whose value is chosen to make the total number of "1" bits (including the parity bit) odd. It is used for error checking since receipt of an even number of "1" bits implies a transmission error.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

MODE DE PISTAGE DES ROUTES (ROUTE TRACING MODE)
Un mode de fonctionnement des SI qui produit la réponse d'un diagnostic d'erreur au lieu de la transmission normale de l'opération.

MODULE (Module FASTBUS) (MODULE)
Tout dispositif FASTBUS qui peut être logé dans un châssis FASTBUS, qui peut se connecter à un segment-châssis et qui est conforme aux spécifications obligatoires pour un module FASTBUS dans cette norme.

NIM (NIM)
(1) Un comité supporté par "l'US Department of Energy" et associé à "l'US National Institut of Standards and Technology". Il a publié la norme de système d'instrumentation NIM, approuvé l'utilisation du CAMAC et collaboré avec ESONE pour la maintenance et les extensions du CAMAC.

(2) Un système d'instrumentation modulaire normalisé, constitué de modules NIM et de châssis NIM, tel qu'il est défini dans la Publication 547 de la CEI.

OPERATION (OPERATION)
Un cycle d'adresse primaire suivi par zéro ou plus de cycles de données et par une séquence de fin.

OPERATION A ADRESSE VERROUILLEE (ADDRESS LOCKED OPERATION)
Une opération contrôlée par une adresse primaire unique contenant un mélange de cycles de lecture et d'écriture, pouvant inclure également des transferts de blocs.

OPERATION D'INTERRUPTION (INTERRUPT OPERATION)
Une opération d'écriture FASTBUS dans un dispositif de service des interruptions lui indiquant que l'expéditeur demande de l'attention.

OPERATION NULLE (NULL OPERATION)
Un cycle d'adresse primaire non suivi d'un cycle de données. Il détermine si le système contient un dispositif capable de répondre à l'adresse primaire utilisée. Il peut être utilisé pour réserver des interconnexions de segments pour une séquence à verrouillage d'arbitrage.

PARITE (pour FASTBUS) (PARITY)
Un bit, ajouté optionnellement à un mot FASTBUS, dont la valeur est choisie pour rendre impair le nombre total de bits à "1" (en incluant le bit de parité). Elle est utilisée pour les contrôles d'erreur puisque la réception d'un nombre pair de bits à "1" implique une erreur de transmission.

PERIODE DE REESSAI (RETRY PERIOD)
Le temps pendant lequel un Maître attend après n'avoir pas reçu de réponse avant de réessayer l'opération. Ce temps devrait être aléatoire pour éviter le blocage du système.

POSITION (POSITION)
La localisation d'un module dans un châssis. Le numéro de la position correspond à l'adresse géographique.

PROCESSEUR HOTE (HOST PROCESSOR)
Le processeur de données ou l'équipement de contrôle exerçant une surveillance globale sur le système FASTBUS. Il possède une connaissance détaillée de la topologie du système.

PROTOCOLE D'ACCES ASSURE (ASSURED ACCESS PROTOCOL)
Un Maître potentiel fonctionne dans le protocole d'accès assuré si, quand il détecte le positionnement de AI, il ne positionne pas AR et ainsi ne participe pas aux cycles d'arbitrage suivants, jusqu'à ce que tous les dispositifs positionnant actuellement AR aient obtenu la maîtrise du bus et terminé leurs opérations.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

PATTERN SELECT (SELECTION PAR CONFIGURATION)
A Broadcast Address specifying that all Devices seeing the Broadcast remain attached to the Master only if their T pins are asserted during the immediately ensuing Write Data Cycle.

PENDING MASTER (MAITRE EN ATTENTE)
The Master which participated in and won the most recent Arbitration Cycle. As a result it will assume bus Mastership when the current Master releases the bus.

PIPELINED TRANSFER (TRANSFERT EN PIPE-LINE)
The portion of a FASTBUS Operation in which a Master either sends data to or causes data to be sent by an Attached Slave on every transition of Data Sync. The Slave acknowledges receipt of or sends data with every transition of Data Acknowledge. The Master does not wait for an acknowledge signal from the Slave before causing another Data Sync transition.

POSITION (POSITION)
The location of a Module in a Crate. The Position number corresponds to the Geographical Address.

PRIMARY ADDRESS (ADRESSE PRIMAIRE)
An address assigned to a Device by means of which a Master is able to establish contact with the Device or a subdivision of the Device. Primary Address types are Logical, Geographical and Broadcast Addresses.

PRIMARY ADDRESS CYCLE (CYCLE D'ADRESSAGE PRIMAIRE)
The portion of a FASTBUS Operation in which a Master addresses a Slave on the Address/Data (AD) lines. The address type is specified by the EG and MS control lines. It begins with the Master asserting the Address Sync (AS) line and terminates with the Master receiving an Address Acknowledgement on the AK line. Logical, Geographical or Broadcast Addresses are asserted during Primary Address Cycles.

PROCESSOR INTERFACE (PI) (INTERFACE CALCULATEUR)
The interface device between a Processor and a FASTBUS Segment.

PROTECTIVE BUFFER (REGISTRE DE SAUVEGARDE)
An optional single word buffer in a Slave that always contains a copy of the most recent data asserted or received by the Slave.

READ CYCLE (READ) (CYCLE DE LECTURE)
A cycle in which the direction of data flow is from Slave(s) toward a Master.

RESERVED (RESERVE)
Bus lines, connector pins, codes, bits, etc, held for future assignment by the NIM Committee. They are not to be used until and except as so assigned.

RESPONSE TIMER (TEMPORISATEUR DE REPONSE)
A timing device within a FASTBUS Master or Segment Interconnect used to terminate an Operation which has failed to complete within a given (excessive) period of time.

RETRY PERIOD (PERIODE DE REESSAI)
The time a Master waits after failing to receive a response before trying the Operation again. This time should be randomized to avoid system deadlocks.

ROUTE TABLE (TABLES DE ROUTAGE)
The list of Group Addresses recognized by an SI for passing Operations to its Far-Side Segment.

ROUTE TRACING MODE (MODE DE PISTAGE DES ROUTES)
A mode of SI operation which generates an error diagnostic response instead of the normal passing of an Operation.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

PROTOCOLE FASTBUS (FBP) (FASTBUS PROTOCOL)

Le format, les séquences de contrôle et les messages de données du FASTBUS. Le format est spécifié par l'affectation des lignes des signaux FASTBUS. Les séquences sont spécifiées par le fonctionnement du FASTBUS.

REGISTRE DE CONTROLE ET D'ETAT (CSR) (CONTROL AND STATUS REGISTER)

Un registre utilisé pour contrôler le fonctionnement d'un dispositif et/ou enregistrer l'état d'une opération. Il est accessible à travers un espace d'adresse séparé dans un dispositif FASTBUS. CSR#0, qui est obligatoire pour tous les dispositifs, contient l'identification du dispositif par le fabricant, un certain nombre de bits d'état et également des bits à la disposition de l'utilisateur.

REGISTRE DE SAUVEGARDE (PROTECTIVE BUFFER)

Un registre optionnel d'un mot dans un Esclave qui contient toujours la copie du dernier mot envoyé ou reçu par l'Esclave.

RESERVE (RESERVED)

Lignes du bus, contacts du connecteur, codes, bits, etc., conservés pour une future attribution par le comité NIM. Ils ne doivent pas être utilisés jusqu'à ce qu'ils soient assignés, s'ils le sont un jour.

SCRUTATION DES DONNEES EPARSES (SDS) (SPARSE DATA SCAN)

La technique par laquelle des ensembles de modules ayant une faible occupation en données peuvent être scrutés efficacement c.-à-d. sans accéder à chaque emplacement potentiel de données.

SEGMENT (SEGMENT)

Un moyen particulier de transmission qui supporte le protocole FASTBUS et auquel les dispositifs FASTBUS peuvent être connectés. Un segment est capable de supporter un fonctionnement autonome et de communiquer avec d'autres segments à travers les interconnexions de segments.

SEGMENT-CABLE (SEGMENT, CABLE)

Un segment FASTBUS constitué d'un câble et des connecteurs appropriés pour s'adapter aux dispositifs.

SEGMENT-CHASSIS (SEGMENT, CRATE)

Un segment FASTBUS constitué d'un fond de panier monté sur un châssis FASTBUS et possédant les connecteurs pour s'adapter à un certain nombre de modules FASTBUS.

SEGMENT D'EXTENSION (SEGMENT, EXTENDED)

Un ensemble de segments-châssis auquel on accède par la même adresse de groupe. Contrairement aux opérations sur des segments connectés par des interconnexions de segment, des opérations indépendantes sur chacun des segments, qui font partie de segments d'extension ne peuvent jamais se dérouler simultanément. Selon la méthode de réalisation, certaines restrictions peuvent exister sur le placement des MAITRES. Selon la disposition des modules sur les segments d'extension, certaines opérations de diffusion peuvent être inutilisables ou nécessiter une interprétation spéciale.

SELECTION PAR CONFIGURATION (PATTERN SELECT)

Une adresse de diffusion qui spécifie que tous les dispositif qui voient la diffusion resteront attachés au Maître seulement si leur contact "T" est positionné dans le cycle d'écriture de données suivant immédiatement.

SEQUENCE A ARBITRAGE VERROUILLE (ARBITRATION LOCKED SEQUENCE)

Une séquence d'opérations exécutée par un Maître vers un certain nombre d'adresses primaires différentes, qui n'est pas interruptible par un autre Maître car le Maître originel ne permet pas à un arbitrage de bus de prendre place.

SEQUENCE DE FIN (TERMINATION SEQUENCE)

Le processus par lequel le verrouillage AS/AK est rompu.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

RUN/HALT SWITCH (RH) (COMMUTATEUR MARCHE/ARRET)

A switch normally operated by the Run/Halt switch activator bar on Crate Segments and on the ATC on Cable Segments which stops bus traffic so that it may be possible to insert or remove Modules without affecting other Modules on the Segment.

SECONDARY ADDRESS (ADRESSE SECONDAIRE)

An Address for use within a Device. It is provided by a Secondary Address Cycle which loads the NTA register of the Device following a Primary Address Cycle or a Data Cycle.

SECONDARY ADDRESS CYCLE (CYCLE D'ADRESSAGE SECONDAIRE)

A Data Cycle in which a Master uses the Address/Data (AD) lines to load a Secondary Address into the NTA register of a Device.

SEGMENT (SEGMENT)

A specific transmission medium which supports the FASTBUS Protocol and to which FASTBUS Devices may attach. A Segment is capable of supporting autonomous operation and communicating with other Segments via Segment Interconnects.

SEGMENT, CABLE (SEGMENT CABLE)

A FASTBUS Segment consisting of a cable together with appropriate connectors for mating with Devices.

SEGMENT, CRATE (SEGMENT CHASSIS)

A FASTBUS Segment that consists of a backplane mounted on a FASTBUS Crate and having connectors to mate with a multiplicity of FASTBUS Modules.

SEGMENT, EXTENDED (SEGMENT D'EXTENSION)

A multiplicity of Crate Segments accessed by the same Group Address. Unlike Operations on Segments linked by Segment Interconnects, independent Operations on each of the Segments that are part of an Extended Segment never proceed concurrently. Depending on the method of implementation, some restrictions may exist as to the placement of Masters. Depending on the disposition of Modules on the Extended Segment, some Broadcast Operations may not be useable or may require special interpretation.

SEGMENT EXTENDER (SE) (EXTENSION DE SEGMENT)

A Device for connecting two Segments to form an Extended Segment or part of an Extended Segment.

SEGMENT INTERCONNECT (SI) (INTERCONNEXION DE SEGMENTS)

A Device which implements an inter-Segment connection such that the FBP on the two Segments is synchronized. When an Operation is passing through an SI, the SI acts as a Slave on the Near-side and as a Master on the Far-side.

SEGMENT INTERCONNECT, ACTIVE (INTERCONNEXION DE SEGMENTS ACTIVE)

A Segment Interconnect is said to be Active if it is asserting AS = 1 on the Far-side Segment.

SEGMENT INTERCONNECT, RESERVED (INTERCONNEXION DE SEGMENTS RESERVEE)

A Segment Interconnect is said to be Reserved if it has gained Mastership of the Far-side Segment and is asserting GK = 1 onto that Segment.

SERVICE REQUEST HANDLER (SRH) (GESTIONNAIRE DES DEMANDES DE SERVICE)

A Master responsible for monitoring the Service Request line, SR, on a Segment or a group of Segments. When SR = 1, the SRH requests bus Mastership and after obtaining Mastership determines which Module(s) is asserting SR, either by polling or by a Broadcast Operation. The SRH may subsequently service the pending request(s) itself, or may issue Interrupt Messages to other Devices on behalf of the Module(s) asserting SR. SR is usually asserted only by Modules which lack Mastership capability.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

STRUCTURE EN ARBRE (TREE STRUCTURE)
Un ensemble de segments interconnectés sans boucle (connexion croisée).

SYSTEME CONNECTE (CONNECTED SYSTEM)
Tous les segments d'un système connecté sont capables de communiquer directement entre eux à travers les SI. Remarquer que des segments d'un système qui sont connectés électriquement ne sont pas obligatoirement connectés logiquement dans le sens utilisé ici à cause de la réalisation de l'aiguillage des messages par les tables de routage.

TABLES DE ROUTAGE (ROUTE TABLE)
La liste des adresses de groupe reconnues par un SI pour transmettre une opération sur son segment côté lointain.

TEMPORISATEUR DE REPONSE (RESPONSE TIMER)
Un dispositif de mesure de temps à l'intérieur d'un Maître ou d'une interconnexion de segments FASTBUS utilisé pour terminer une opération qui ne s'est pas terminée dans une période de temps donnée (dépassement).

TEMPS D'ETABLISSEMENT (SKEW TIME)
Le temps minimal par lequel le positionnement des signaux de cadencement du FASTBUS doit être retardé après le positionnement des informations et/ou des signaux de contrôle pour autoriser des différences de temps de propagation des signaux sur un segment FASTBUS.

TEMPS MINIMAL DES IMPULSIONS A L'ETAT BAS (MINIMUM PULSE DOWN TIME)
Pour que tous les dispositifs puissent détecter l'état zéro d'un signal entre l'apparition de deux états "1" successifs de ce signal, l'état zéro doit durer au moins un temps minimal des impulsions à l'état bas qui dépend du bus.

TRANSFERT DE BLOC (BLOCK TRANSFER)
La portion d'une opération FASTBUS dans laquelle un Maître soit envoie des données, soit en reçoit d'un Esclave connecté, sur chaque transition de la synchro de données. L'Esclave accepte la réception des données ou envoie les données sur chaque transition de l'acceptation des données.

TRANSFERT EN PIPE-LINE (PIPELINED TRANSFER)
La partie d'une opération FASTBUS dans laquelle un Maître soit envoie des données, soit provoque l'envoi de données par un Esclave connecté sur chaque transition de la synchro de données. L'Esclave accepte la réception ou envoie des données sur chaque transition de l'acceptation de données. Le Maître n'attend pas l'acceptation de l'Esclave avant de provoquer une autre transition sur la synchro de données.

2.4 Abréviations

A	Asynchrone (type de ligne)
AD	Adresses/données
AG	Octroi de l'arbitrage
AI	Inhibition de la demande d'arbitrage
AK	Acceptation d'une adresse
AL	Niveau d'arbitrage
ANC	Logique ancillaire
AR	Demande d'arbitrage
AS	Synchronisation d'adresse
ATC	Contrôleur de la séquence d'arbitrage
BH	Arrêt du bus
BI	Interconnexion tamponnée
C	Bit d'effacement
C	Contrôle (type de ligne)

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

SKEW TIME (TEMPS D'ETABLISSEMENT)
The minimum time that the assertion of a FASTBUS timing signal must be delayed after the assertion of information and/or control signals to allow for differences in propagation time of signals on a FASTBUS Segment.

SLAVE (ESCLAVE)
A Device which responds to Masters according to the FBP.

SLAVE, ATTACHED (ESCLAVE CONNECTE)
An Attached Slave is one that in the previous Primary Address Cycle recognized its address and address type and as a result will participate in the ensuing Data Cycles.

SLOT (EMPLACEMENT)
A Module connector position on a Crate Segment backplane (see Position).

SPARSE DATA SCAN (SDS) (SCRUTATION DES DONNEES EPARSES)
A technique by which arrays of modules with low data occupancy may be scanned efficiently, i.e., without accessing every potential data site.

SYSTEM HANDSHAKE (DIALOGUE SYSTEME)
A Handshake in a Broadcast Operation where the Handshake signal is from the last Segment of the addressed system rather than from individual Devices.

TERMINATION SEQUENCE (SEQUENCE DE FIN)
The process by which the AS/AK lock is broken.

TIMEOUT (DEPASSEMENT DE TEMPS)
A Timeout occurs when a protective timer completes its assigned time without the expected event occurring. Timeouts prevent the system from waiting indefinitely in case of error or failure.

TREE STRUCTURE (STRUCTURE EN ARBRE)
A set of Connected Segments with no loops (cross connections).

WAIT TIMEOUT PERIOD (DEPASSEMENT DE TEMPS DE LA PERIODE D'ATTENTE)
The time a Master will wait after recognizing WT before terminating the Connection.

WRITE CYCLE (WRITE) (CYCLE D'ECRITURE)
A cycle in which the direction of data (Write) flow is from a Master to Slave(s).

2.4 Acronyms

A	Asynchronous (Type of line)
AD	Address/Data
AG	Arbitration Grant
AI	Arbitration Request Inhibit
AK	Address Acknowledge
AL	Arbitration Level
ANC	Ancillary Logic
AR	Arbitration Request
AS	Address Sync
ATC	Arbitration Timing Control
BH	Bus Halted
BI	Buffered Interconnect
C	Clear Bit
C	Control (Type of line)

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

CA	Contrôle pour le bus d'arbitrage (type de ligne)
CSR	Registres de contrôle et d'état
DA	Adresse du dispositif
DAR	Retour de la guirlande A
DBR	Retour de la guirlande B
DK	Acceptation des données
DL	Guirlande gauche
DLA	Sortie de la guirlande gauche
DLB	Entrée de la guirlande gauche
DRA	Entrée de la guirlande droite
DRB	Sortie de la guirlande droite
DS	Synchronisation des données
ECL	Logique à émetteurs couplés
EG	Mise en service géographique
F	Informations fixes (type de contact)
F (contacts)	Contacts libres
FBP	Protocole FASTBUS
FIFO	Premier entré, premier sorti
G	Bit global
GA	Adresse géographique
GAC	Contrôle de l'adresse géographique
GK	Acceptation de l'octroi
GP	Adresse de groupe
GP	Champ d'adresse de groupe
I	Information (type de ligne)
IA	Adresse interne
IA	Information pour le bus d'arbitrage (type de ligne)
ID	Identification du dispositif
IDC	Connecteur autodénudant
ISD	Dispositif de service des interruptions
L	Bit local
LED	Diode à émission lumineuse
LSB	Bit de poids le plus faible
LX	Connexion du réseau local (LAN)
M	Maître
MA	Adresse du module
MAC	Connecteur auxiliaire du module
MCB	Carte imprimée du module
MS	Sélection de mode
MSB	Bit de poids le plus fort
MSC	Connecteur de segment du module
NTA	Adresse du transfert suivant
PA	Parité
PE	Mise en service de la parité
PI	Interface calculateur
PROM	Mémoire programmable à lecture seule
R	Lecture
R	Ligne réservée
RB	Mise à zéro du bus
RD	Ligne de lecture
RH	Commutateur marche/arrêt
RX	Ligne de réception série
S	Esclave
S	Bit de positionnement
S	Donnée série, cadencement indépendant du bus parallèle (type de ligne)
SDS	Scrutation des données éparses
SE	Extension de segment
SHL	Logique de dialogue système
SI	Interconnexion de segments

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

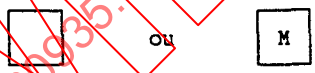
CA	Control for Arbitration Bus (Type of line)
CSR	Control and Status Register
DA	Device Address
DAR	Daisy Chain A Return
DBR	Daisy Chain B Return
DK	Data Acknowledge
DL	Daisy Chain Left
DLA	Daisy Chain Out Left
DLB	Daisy Chain In Left
DRA	Daisy Chain In Right
DRB	Daisy Chain Out Right
DS	Data Sync
ECL	Emitter-Coupled Logic
EG	Enable Geographical
F	Fixed Information (Type of pin)
F (pins)	Free Pins
FBP	FASTBUS Protocol
FIFO	First In, First Out
G	Global Bit
GA	Geographical Address
GAC	Geographical Address Control
GK	Grant Acknowledge
GP	Group Address
GP	Group Address Field
I	Information (Type of line)
IA	Internal Address
IA	Information for Arbitration Bus (Type of line)
ID	Device Identification
IDC	Insulation Displacement Connector
ISD	Interrupt Service Device
L	Local Bit
LED	Light Emitting Diode
LSB	Least Significant Bit
LX	LAN (Local Area Network) connection
M	Master
MA	Module Address
MAC	Module Auxiliary Connector
MCB	Module Circuit Board
MS	Mode Select
MSB	Most Significant Bit
MSC	Module Segment Connector
NTA	Next Transfer Address
PA	Parity
PE	Parity Enable
PI	Processor Interface
PROM	Programmable Read-Only Memory
R	Read
R	Reserved Line
RB	Reset Bus
RD	Read Line
RH	Run/Halt Switch
RX	Receive Serial Line
S	Slave
S	Set Bit
S	Serial Data, Timing Independent of Parallel Bus (Type of line)
SDS	Sparse Data Scan
SE	Segment Extender
SHL	System Handshake Logic
SI	Segment Interconnect

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

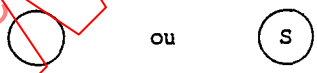
SR	Demande de service
SRH	Gestionnaire des demandes de service
SS	Etat de l'Esclave
T	Cadencement (type de ligne)
TA	Cadencement pour le bus d'arbitrage (type de ligne)
TP	Contacts T
TR	Lignes adaptées à usage restreint
TTL	Logique transistor/transistor
TX	Ligne d'émission série
UR	Lignes non adaptées à usage restreint
W	Ecriture
WT	Attente

2.5 Symboles

MAITRE

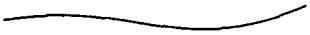


ESCLAVE



SEGMENT-CHASSIS (adapté)

SEGMENT-CABLE



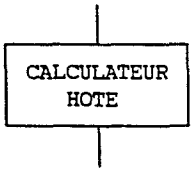
ADAPTATION

INTERCONNEXION DE SEGMENTS (SI)

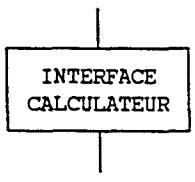
INTERCONNEXION TAMPONNEE (BI)

EXTENSION DE SEGMENT (SE)

CALCULATEUR HOTE



INTERFACE CALCULATEUR

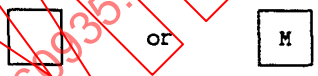


Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

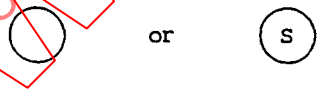
SR	Service Request
SRH	Service Request Handler
SS	Slave Status
T	Timing (Type of line)
TA	Timing for Arbitration Bus (Type of line)
TP	T Pin
TR	Terminated Restricted Use Line
TTL	Transistor-Transistor Logic
TX	Transmit Serial Line
UR	Unterminated Restricted Use Line
W	Write
WT	Wait

2.5 Symbols

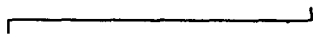
MASTER



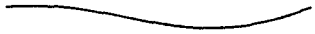
SLAVE



CRATE SEGMENT
(terminated)



CABLE SEGMENT



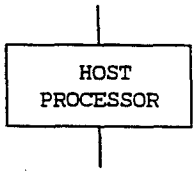
TERMINATOR

SEGMENT INTERCONNECT (SI)

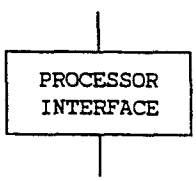
BUFFERED INTERCONNECT (BI)

SEGMENT EXTENDER (SE)

HOST PROCESSOR



PROCESSOR INTERFACE



Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 3. Signaux, lignes et contacts des signaux

Cette section contient une description de la terminologie utilisée pour les signaux, les lignes des signaux et les contacts, ainsi qu'une brève description de leur utilisation.

3.1 Types des lignes des signaux

Les signaux utilisés par FASTBUS peuvent être classés de la manière suivante:

Cadencement: Les transitions de ces signaux sont utilisées pour définir les cycles FASTBUS impliquant des informations soit d'adresse, soit de donnée ou d'arbitrage.

Contrôle: Le niveau de ces signaux est examiné lors de la transition d'un signal de cadencement pour définir plus précisément le type d'opération. L'interprétation des lignes de contrôle dépend de la transition de cadencement qui lui est associée.

Information: Le niveau de ces signaux lors d'une transition d'un signal de cadencement est associé à l'action spécifiée par les lignes de contrôle et la transition du signal de cadencement qui l'a initialisée.

Asynchrone: Un certain nombre de signaux FASTBUS peuvent être initialisés par des événements qui ne sont pas synchronisés avec le protocole FASTBUS. Par exemple les demandes de service et les demandes d'arbitrage.

Données séries: Un bus série indépendant qui réalise le protocole de réseau série du FASTBUS.

Fixe: Les informations indiquant la position physique d'un module dans un châssis ou sur un segment-câble sont fixes dans le sens où elles sont associées à la position physique et ne peuvent être changées par une opération FASTBUS.

3.2 Nomenclature des signaux

Les signaux sont désignés de la manière suivante: si XX est le signal du bus sur les schémas logiques, BXX est utilisé pour le signal de bus tamponné en entrée et IXX pour le signal interne produit sur le bus en sortie. L'état ou le changement d'état du signal XX est indiqué comme suit:

XX(u) indique une transition 0 vers 1 (up).

XX(d) indique une transition 1 vers 0 (down).

XX(t) indique la transition d'un niveau vers l'autre (transition).

XX = 1 indique que le signal est établi.

XX = 0 indique que le signal n'est pas établi.

3.3 Brève description des signaux, des lignes et des contacts

Outre le nom du signal décrit, chaque titre de cette section comprend entre parenthèses l'usage du signal tel qu'il est défini dans la tableau 1 page 6, suivi par les sources possibles de ce signal. Sauf indications contraires dans la description, chaque signal est réalisé sous forme d'une ligne du bus à la fois sur les segments-châssis et sur les segments-câbles.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 3. Signals, signal lines and pins

This section contains a description of the terminology used when referring to signals, signal lines and pins as well as a brief outline of their usage.

3.1 Types of signal lines

The signals used by FASTBUS may be classified in the following way:

Timing: Transitions of these signals are used to delimit FASTBUS cycles involving either address, data or arbitration information.

Control: The level of these signals is examined at the transition of a timing signal to further specify the type of operation. Interpretation of the Control Lines is dependent upon the associated timing transition.

Information: The level of these signals at a transition of a timing signal is associated with the action specified by the control lines and the initiating timing transition.

Asynchronous: A number of FASTBUS signals may be initiated by events which are not synchronized with the FASTBUS protocol. Examples are Service Request and Arbitration Request.

Serial Data: An independent Serial bus which implements the FASTBUS Serial Network Protocol.

Fixed: Information indicating a Module's physical position on a Crate or Cable Segment is Fixed in that this information is associated with physical position and cannot be changed by FASTBUS Operations.

3.2 Signal nomenclature

Signals are designated in the following way: if XX is the bus signal then on logic diagrams BXX is used to designate the Buffered (In) bus signal and IXX the internally generated (Out) bus signal. The state, or change of state, of the XX signal is indicated as follows.

XX(u) The 0 to 1 transition (up).

XX(d) The 1 to 0 transition (down).

XX(t) The transition from one level to the other (toggle).

XX = 1 Signal asserted.

XX = 0 Signal not asserted.

3.3 Brief description of signals, lines and pins

In addition to containing the name of the signal to be described each subheading in this section includes, in brackets, the Signal usage as defined in Table 1 on page 6, followed by the possible sources of the Signal. Unless otherwise stated in the description, each Signal is implemented as a bussed line in both Crate and Cable Segments.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle

Les contacts et les lignes des signaux du FASTBUS décrits dans l'article 3.3 doivent être disponibles sur les segments FASTBUS et doivent être utilisés conformément aux caractéristiques obligatoires détaillées dans cette norme.

3.3.1 AS - Synchronisation Adresse (T, Maître)

Le signal de cadencement AS est positionné un temps d'établissement après que les lignes adresses/données (AD) et les lignes de sélection de mode (MS) aient été positionnées par le Maître qui a acquis la maîtrise du bus. Dès la réception de ce signal les Esclaves comparent le type et la valeur de l'adresse avec ceux qu'ils reconnaissent par construction ou programmation. Les Esclaves qui ne reconnaissent pas une adresse n'exécutent aucune action ultérieure jusqu'à l'AS(u) suivant où ils font à nouveau une comparaison d'adresse.

3.3.2 AK - Acceptation d'une Adresse (T, Esclave ou Ancillaire)

Le signal de cadencement AK est établi par l'Esclave lors de la reconnaissance de son adresse soit géographique soit logique dans un cycle d'adressage primaire. La réception de AK par le Maître d'origine indique que, suivant l'état des lignes MS<2:0>, une connexion a été réalisée soit vers un Esclave unique, soit en diffusion. Pour la connexion d'un Esclave unique AK est produit par l'Esclave, tandis que pour une connexion de diffusion AK est engendré par la logique ancillaire.

3.3.3 EG - Mise en service géographique (CT, Maître ou Ancillaire)

Le signal de contrôle EG est positionné par un Maître ou par la logique ancillaire. Dès la réception de ce signal, les Esclaves commencent à comparer leurs adresses géographiques telles qu'elles sont codées par les contacts GA sur le segment-châssis ou par les commutateurs sur un appareil du segment-câble avec l'adresse codée sur les poids faibles des lignes AD.

3.3.4 MS - Sélection de Mode (C, Maître)

Les trois signaux de contrôle de sélection de mode sont positionnés par le Maître pendant un cycle adresse pour définir le type de connexion. Pendant les cycles de données, le Maître positionne ces lignes et RD pour définir le mode de transmission de donnée. Dans un cycle adresse, MS spécifie l'accès soit à l'espace donnée, soit à l'espace CSR d'un dispositif particulier ou de plusieurs dispositifs (diffusion). Dans un cycle de données, les signaux de contrôle MS spécifient des données aléatoires, une adresse secondaire, un transfert de bloc ou un transfert en pipe-line.

3.3.5 AD - Adresse/donnée (I, Maître ou Esclave)

Les 32 lignes des signaux d'information AD sont utilisées pour transférer l'information pendant les opérations FASTBUS. Les signaux AD sont positionnés par le Maître pour les cycles d'écriture et par l'Esclave pour les cycles de lecture. Les lignes sont désignées AD<31:00> où AD31 est le bit le plus significatif.

3.3.6 SS - Etat de l'Esclave (I, Esclave)

Dans un cycle d'adresse primaire, les trois lignes de signaux d'information SS sont positionnées par une interconnexion de segments ou par un Esclave pour indiquer respectivement l'état de la connexion du réseau ou du dispositif. Pendant un cycle de données, ces signaux sont positionnés par l'Esclave connecté pour indiquer l'état de l'Esclave. Dans les deux cas, une réponse SS = 0 indique que le cycle a été réussi.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Rule

The FASTBUS signal lines and pins described in Clause 3.3 shall be provided on FASTBUS Segments and shall be used in accordance with the mandatory requirements detailed in this standard.

3.3.1 AS - Address Sync (T, Master)

The AS timing signal is asserted a skew time after the Address/Data (AD) and Mode Select (MS) lines have been asserted by a Master that has acquired bus Mastership. On receipt of this signal, Slaves compare the address and its type with those that it has been designed or programmed to recognize. Slaves that do not recognize the address take no further action until the next AS(u) when they again make the address comparison.

3.3.2 AK - Address Acknowledge (T, Slave or ANC)

The AK timing signal is asserted by a Slave upon recognition of either its Geographical or Logical Address in a Primary Address Cycle. The receipt of AK by the originating Master indicates that, according to the state of MS < 2:0 >, either a single Slave or a Broadcast connection has been made. For a single Slave connection AK is generated by the Slave while for a Broadcast connection AK is generated by the Ancillary Logic.

3.3.3 EG - Enable Geographical (C, Master or ANC)

The EG control signal is asserted by a Master or by the Ancillary Logic. On receipt of this signal Slaves compare their Geographical Address as determined by the coded GA pins on a Crate Segment, or by switches on a Cable Segment Device, with the Address coded on the low-order AD lines.

3.3.4 MS - Mode Select (C, Master)

The three Mode Select control signals are asserted by a Master during an Address Cycle to specify the type of connection. During Data Cycles the Master asserts these lines and RD to specify the data transmission mode. For an Address Cycle MS indicates access to either Data Space or CSR Space of a specific Device or several Devices (Broadcast mode). For a Data Cycle the MS control signals specify Random Data, Secondary Address, Block Transfer or Pipelined Transfer.

3.3.5 AD - Address/Data (I, Master or Slave)

The 32 AD information lines are used to transfer information during FASTBUS Operations. The AD signals are asserted by the Master for Write Cycles and by the Slave for Read Cycles. The lines are designated AD < 31:00 > where AD31 is the most significant bit.

3.3.6 SS - Slave Status (I, Slave)

In a Primary Address cycle, the three SS information signals are asserted by a Segment Interconnect or a Slave to indicate the status of the Network or Device connection respectively. In a Data Cycle, these signals are asserted by an Attached Slave to indicate the Slave's status. In both cases an SS = 0 response indicates that the cycle was successful.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.7 DS - Synchronisation des données (T, Maître)

Le signal de cadencement DS est positionné par un Maître pour initialiser un cycle de données. Dès la réception de ce signal, l'Esclave connecté examine le signal RD pour déterminer s'il doit positionner des données sur les lignes AD (RD = 1 lecture) ou au contraire accepter des données (RD = 0 écriture). MS < 2:0 > sont également interprétés pour déterminer le mode d'opération. Le Maître doit attendre un temps d'établissement après le positionnement des contrôles et des informations avant de positionner DS.

3.3.8 DK - Acceptation des données (T, Esclave ou Ancillaire)

Un unique Esclave connecté positionne toujours le signal de cadencement DK en réponse à DS. Dans le mode diffusion, DK est émis par le dialogue système (voir section 7). L'état de MS pendant la période d'adressage primaire détermine la source de DK.

3.3.9 RD - Lecture (C, Maître)

Le Maître positionne RD pour indiquer à l'Esclave connecté la direction du flux de données sur les lignes AD, PE et PA. Pour les cycles d'adressage et d'écriture de données, RD = 0, et le Maître positionne AD, PE et PA. Pour la lecture de données, RD = 1, et l'Esclave positionne ces trois lignes.

3.3.10 PE - Mise en service de la parité (I, Maître ou Esclave)

Le signal d'information PE est positionné par un dispositif pour indiquer que la parité impaire est engendrée pour les lignes AD. La ligne sera positionnée par un Maître pour les cycles d'adresse et d'écriture et par un Esclave pour les cycles de lecture. Le positionnement de PE ne garantit pas que le contrôle de parité sera exécuté.

3.3.11 PA - Parité (I, Maître ou Esclave)

Le Maître ou l'Esclave produisant la parité positionne PA. PA est mis à l'état logique 1 si AD < 31:00 > a un nombre pair de bits à l'état logique 1.

3.3.12 WT - Attente (A, tous les dispositifs)

Le positionnement de WT remet à zéro et inhibe le temporisateur de réponse dans le Maître et bloque la commutation des signaux de cadencement du Maître et de l'Esclave. Ce signal est produit par les interconnexions de segments, les Esclaves et les modules de diagnostic pour indiquer au Maître originel qu'un retard plus long se produira avant que la réponse prévue n'ait été reçue. L'utilisation de WT pour les diagnostics permet de faire marcher le système en pas à pas.

3.3.13 AR - Demande d'arbitrage (A, Maître)

Le signal de contrôle AR est positionné par un Maître qui demande le contrôle de son segment. Dès la réception de AR, le contrôleur de la séquence d'arbitrage débutera un cycle d'arbitrage aussitôt que le Maître courant le permettra.

3.3.14 AG - Octroi de l'arbitrage (TA, Ancillaire)

La ligne d'octroi de l'arbitrage AG est positionnée par l'ATC pour synchroniser les cycles d'arbitrage durant lesquels les candidats Maîtres décident qui sera le prochain Maître du bus.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.7 DS - Data Sync (T, Master)

The DS timing signal is asserted by a Master to initiate a Data Cycle. On receipt of this signal, Attached Slaves examine the RD signal to determine whether to assert data on the AD lines (RD = 1, Read) or to accept data (RD = 0, Write). MS < 2:0 > are likewise interpreted to determine the mode of the operation. The Master must wait a skew time after settling of the control and information lines before asserting DS.

3.3.8 DK - Data Acknowledge (T, Slave or ANC)

A single Attached Slave always asserts the timing signal DK in response to DS. For the Broadcast mode, DK is issued by the System Handshake (see Section 7). The status of MS at Primary Address time determines the source of DK.

3.3.9 RD - Read (C, Master)

The Master asserts RD to specify to the Attached Slave the direction of data flow on the AD, PE and PA lines. For Address and Write data cycles RD = 0 and the Master asserts AD, PE and PA; for Read data cycles RD = 1 and the Slave asserts these lines.

3.3.10 PE - Parity Enable (I, Master or Slave)

The PE information signal is asserted by a Device to indicate that odd parity is being generated for the AD lines. The line may be asserted by a Master for Address and Write Cycles and by Slaves for Read Cycles. The assertion of PE does not guarantee that a parity check will occur.

3.3.11 PA - Parity (I, Master or Slave)

The Master or Slave generating parity asserts PA. PA is set to logic 1 if AD < 31:00 > has an even number of bits set to logic 1.

3.3.12 WT - Wait (A, Any Device)

The assertion of WT resets and inhibits response timeouts in a Master and inhibits a Master's or Slave's assertion of timing transitions. This signal is generated by Segment Interconnects, Slaves and Diagnostic Modules to indicate to the originating Master that an extended delay will occur before the expected response. Diagnostic use of WT allows the system to be single stepped.

3.3.13 AR - Arbitration Request (A, Master)

The AR control signal is asserted by a Master to request control of its Segment. The Arbitration Timing Controller, on receipt of AR, starts an Arbitration Cycle as soon as permitted by the current Master.

3.3.14 AG - Arbitration Grant (TA, ANC)

The Arbitration Grant line, AG, is asserted by the ATC to synchronize Arbitration Cycles during which contending Masters decide which will be the next bus Master.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.15 AL - Niveau d'arbitrage (IA, Maître)

Les lignes de niveau d'arbitrage AL<05:00> sont positionnées par les Maîtres qui participent à un cycle d'arbitrage. Les lignes positionnées représentent la priorité du Maître dans son segment local ou dans le système. Les règles de positionnement de AL sont décrites en détail dans la section_6.

3.3.16 GK - Acceptation de l'octroi (TA, Maître)

L'acceptation de l'octroi GK est positionnée par le Maître qui a participé à l'arbitrage le plus récent et l'a gagné. Jusqu'à ce que GK soit positionné le Maître est appelé le Maître en attente. Le Maître courant est celui qui positionne GK ou AS. Les règles pour le positionnement de GK sont décrites dans la section 6.

3.3.17 AI - Inhibition de la demande d'arbitrage (CA, Ancillaire)

L'ATC positionne AI pour indiquer la présence de demandes non satisfaites après un cycle d'arbitrage. Les Maîtres qui fonctionnent sous le protocole d'accès assuré ne positionneront pas AR et ainsi s'abstiendront de participer aux cycles d'arbitrage suivants jusqu'à ce que tous les Maîtres qui actuellement positionnent AR aient obtenu la maîtrise du bus et terminé leurs opérations.

3.3.18 SR - Demande de service (A, Maître ou Esclave)

Un dispositif qui nécessite un service peut positionner le signal SR à tout moment. Un Maître qui surveille SR peut, après avoir obtenu la maîtrise du bus, effectuer l'action appropriée.

3.3.19 RB - Remise à zéro du bus (A, Maître ou Maître via les SI)

Le signal RB est positionné par un Maître possédant suffisamment d'informations pour mettre un segment à zéro ou à l'état de repos. Ce signal asynchrone peut être utilisé pour prépositionner un segment avant son initialisation ou un diagnostic. Dans ce dernier cas, il est important de perturber au minimum le segment avant de commencer une procédure de diagnostic.

3.3.20 BH - Arrêt du bus (C, Ancillaire)

Le signal BH est positionné seulement par la logique marche/arrêt dans l'ATC lorsqu'elle perçoit une demande d'arrêt provenant du commutateur arrêt/marche. Ce signal, produit en même temps que AK, indique un état inactif et d'arrêt du segment permettant à tous les dispositifs résidant sur le segment de se protéger eux-mêmes des signaux parasites (transitoires) qui peuvent se produire pour n'importe quelle raison à ce moment sur le bus. Cela est prévu particulièrement pour se protéger contre de faux signaux RB.

3.3.21 GA - Adressage géographique (F, câblé)

Les contacts GA consistent en cinq contacts codés en binaire sur chaque position de module d'un segment-châssis qui codent la position sur le segment d'une manière unique. GA = 00 représente la position la plus à droite dans le châssis lorsqu'il est vu du devant. Lorsque EG est positionné, les dispositifs dans chaque position comparent leurs contacts codés avec les cinq lignes de plus bas poids de AD pour pouvoir déterminer s'ils sont adressés géographiquement. Chaque dispositif sur un segment-câble possède cinq commutateurs qui sont utilisés à la place des contacts GA pour l'adressage géographique.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.15 AL - Arbitration Level (IA, Master)

The Arbitration Level lines, AL<05:00>, are asserted by Masters participating in an Arbitration Cycle. The lines asserted represent the Master's priority on its local Segment or in the system. The rules for assertion of AL are given in detail in Section 6.

3.3.16 GK - Grant Acknowledge (TA, Master)

Grant Acknowledge, GK, is asserted by the Master which participated in and won the most recent Arbitration Cycle. Until GK is asserted the Master is called the Pending Master. The Current Master is the one asserting GK or AS. The rules for assertion of GK are given in Section 6.

3.3.17 AI - Arbitration Request Inhibit (CA, ANC)

The ATC asserts AI to indicate the presence of unsatisfied requests after an Arbitration Cycle. Masters which operate in the Assured Access Protocol will not assert AR and thus abstain from participating in subsequent Arbitration Cycles until all Masters currently asserting AR have obtained Mastership and completed their operations.

3.3.18 SR - Service Request (A, Master or Slave)

A Device which requires service may assert the signal SR at any time. A Master monitoring SR may after gaining bus Mastership take appropriate action.

3.3.19 RB - Reset Bus (A, Master or Master via SIs)

The RB signal is asserted by a Master with sufficient knowledge to force a Segment into its reset or quiescent state. This asynchronous signal may be used to precondition a Segment before initialization or diagnostics. In the latter case, it is important to minimally disturb a Segment prior to beginning diagnostic procedures.

3.3.20 BH - Bus Halted (C, ANC)

The BH signal is asserted only by the Run/Halt logic in the ATC when it senses a Halt request from the Run/Halt Switch. This signal, generated in conjunction with AK, indicates the inactive, halted status of the Segment allowing all Devices residing on the Segment to protect themselves from spurious (transient) signals that can be generated for any reason at this time on the bus. It is especially intended to protect against a false RB signal.

3.3.21 GA - Geographical Address (F, Hardwired)

The GA pins are five binary encoded pins at each Module position in a Crate Segment which uniquely encode the position on the Segment. GA=00 represents the rightmost position in the Crate as viewed from the front. When EG is asserted the Device in each Module location compares its coded pins with the five lowest AD lines in order to determine if it is being addressed Geographically. Each Device on a Cable Segment has five switches which are used in lieu of the GA pins for Geographical Addressing.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.22 TP - Contact T (I, Esclave)

Chaque emplacement de module possède un contact T connecté à une ligne unique de AD. Le contact T de la position de module 00 (position châssis 00) est connecté à AD00, etc. Ces contacts sont utilisés pour indiquer la présence de données en réponse au démarrage d'une scrutation des données éparses, ou pour représenter la configuration d'une réponse telle que celle indiquant les sources des SR sur un segment. Ces contacts peuvent également être utilisés pour la sélection d'un dispositif.

3.3.23 DL, DR - Guirlande (I, Maître ou Esclave)

Deux guirlandes indépendantes, A et B, sont disponibles dans les segments-châssis pour permettre la transmission entre deux modules adjacents. A chaque position de module, deux chaînes possèdent une connexion vers la position du module adjacent sur la gauche (DLA ou DLB), et sur la droite (DRA ou DRB). Chaque chaîne possède sa ligne de retour (DAR et DBR). La chaîne A est utilisée pour passer des informations de la droite vers la gauche; la chaîne B est utilisée de la gauche vers la droite. Voir la tableau 25 page 133, et la figure 38 page 143.

Règle

L'utilisation de la guirlande du FASTBUS ne doit pas interférer avec l'utilisation du protocole FASTBUS.

L'utilisation de la guirlande n'est pas spécifiée dans cette norme.

La guirlande n'est pas continue au passage des positions vides de module. Cela doit être pris en considération lorsque l'on configure un segment-châssis pour une application de la guirlande.

3.3.24 TX, RX - Lignes du réseau série (A, Maître ou Esclave)

Les lignes du réseau série sur le segment-châssis fournissent à chaque module un accès pratique au réseau série du FASTBUS. L'usage de ces lignes utilise le protocole du réseau série du FASTBUS. La connexion entre les lignes du réseau série sur un segment-châssis et le reste du réseau série FASTBUS peut être réalisée par une interface dans un module ou sur une carte à l'arrière du segment-châssis.

3.3.25 TR - Lignes adaptées d'usage restreint

L'utilisation des lignes TR est limitée aux systèmes spéciaux où l'on a besoin d'un fonctionnement asynchrone par rapport au fonctionnement standard du bus. Leur utilisation est limitée aux horloges différentielles à grande vitesse, aux portes sur les entrées des signaux des détecteurs, etc.

Règle

On ne doit pas utiliser les lignes TR au lieu d'utiliser une opération du protocole standard.

Les lignes TR doivent être adaptées comme il est spécifié dans l'article 7.5.

Attention: Etant donné que l'usage de ces lignes n'est pas spécifié, différents types de modules qui leurs sont connectés peuvent ne pas avoir un fonctionnement compatible.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.22 TP - T Pins (I, Slave)

Each Module location has a T pin connected to a unique AD line. The T pin for Module location 00 (Crate position 00) connects to AD00, etc. These pins are used to indicate data present in response to the beginning of a Sparse Data Scan, or to show a pattern response such as indicating the source of SRs on a Segment. These pins can also be used for Device selection.

3.3.23 DL, DR - Daisy Chain (I, Master or Slave)

Two independent daisy chains, A and B, are provided in Crate Segments to allow token passing between adjacent Modules. At each Module position both chains have connections to the adjacent Module position on the left (DLA and DLB) and on the right (DRA and DRB). Each chain has a return line (DAR and DBR). Chain A is used to pass information from right to left; chain B is used from left to right. See Table 25 on page 133, and Figure 38 on page 143.

Rule

Use of the FASTBUS daisy chain shall not interfere with the use of the FASTBUS protocol.

The use of the daisy chains is not specified in this standard.

The daisy chains are not continuous across empty Module positions. This must be taken into account when configuring a Crate Segment for daisy chain applications.

3.3.24 TX, RX - Serial Network Lines (A, Master or Slave)

The Serial Network lines on the Crate Segment provide any Module with convenient access to the FASTBUS Serial Network. Use of these lines follows the FASTBUS Serial Network Protocol. The connection between the Serial Network lines on a Crate Segment and the rest of the FASTBUS Serial Network can be made by an interface in a Module or on a circuit board on the rear of the Crate Segment.

3.3.25 TR - Terminated Restricted Use Lines

The use of the TR lines is restricted to special systems where functions asynchronous to the standard bus operations are required. These uses should be restricted to high-speed differential clocks, front-end detector gates, etc.

Rule

The TR lines shall not be used in lieu of using the standard protocol operations.

The TR lines shall be terminated as specified in Clause 7.5.

Warning: Since the use of these lines is not specified, different Module types which attach to them may not operate compatibly.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.26 UR - Lignes non adaptées d'usage restreint

L'utilisation des lignes UR est limitée aux signaux analogiques pour des systèmes spéciaux. Les limites des tensions et des courants sont spécifiées au paragraphe 3.4.1.

3.3.27 Autres lignes et contacts

Des lignes et des contacts sont également prévus pour l'alimentation et des réserves, et quatre contacts non en bus (FP) d'usage libre, sont disponibles. Ils sont décrits à la section 13. Les limites de tension pour ces contacts F sont définies au paragraphe 3.4.1.

3.4 Charge du bus

Règle

Un dispositif doit posséder des portes d'émission et de réception ou l'équivalent sur les quatre signaux de cadencement du bus AS, DS, AK et DK pour des problèmes de charge.

Pour des réalisations particulières, voir l'annexe A.

3.4.1 Limites en tension et en courant sur les lignes des signaux et les contacts F

Règle

La tension sur les lignes non adaptées d'usage restreint (UR) et sur les contacts F ne doit pas excéder 15 V. Le courant à travers les lignes bussées des signaux ne doit pas excéder 100 mA.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

3.3.26 UR - Unterminated Restricted Use Lines

The use of the UR lines is restricted to analog signals for special systems. Voltage and current limits are specified in Sub-clause 3.4.1.

3.3.27 Other Lines and Pins

Lines and pins are also included for power and reserved purposes and four unbussed free use pins (FP) are provided. They are specified in Section 13. Voltage limits for these F pins are specified in Sub-clause 3.4.1.

3.4 Bus loading

Rule

A Device shall have transmit and receive gates or equivalent for the four bus timing signals AS, DS, AK and DK for loading purposes.

For specific implementations, see Annex A.

3.4.1 Voltage and Current Limits For Signal Lines and F Pins

Rule

The voltage on the Unterminated Restricted Use (UR) lines and the F pins shall not exceed 15 V. The current through the signal line busses shall not exceed 100 mA.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 4. Fonctionnement du FASTBUS: adressage

Une opération sur le FASTBUS a trois phases distinctes. Pendant la première, le cycle d'adresse primaire, un Maître, après avoir obtenu la maîtrise du bus, établit une connexion vers un ou plusieurs Esclaves. L'état des lignes de sélection de mode pendant le cycle d'adresse primaire aussi bien que les informations sur les lignes AD sont utilisés par chaque Esclave pour déterminer si oui ou non il devra se connecter au Maître. Dans la phase suivante, les Esclaves connectés répondent aux cycles de données initialisés par le Maître. Pour les cycles de données, l'interprétation par l'Esclave des informations sur les lignes AD est déterminée par les lignes de sélection de mode. L'adresse secondaire est un type spécial de données qui est utilisé par un Esclave connecté pour sélectionner différents registres ou fonctions sans avoir besoin d'autres cycles d'adresse primaire. Les cycles de données continuent jusqu'à la séquence de fin dans laquelle le Maître signale aux Esclaves connectés que la connexion doit être rompue.

Le FASTBUS est constitué d'un certain nombre de segments autonomes qui peuvent être reliés pour la durée d'une opération intersegment. Les dispositifs sur un segment doivent être différenciés de ceux d'un autre segment. De même des dispositifs sur le même segment doivent pouvoir être différenciés les uns des autres. Le cycle d'adressage primaire effectue cette distinction grâce à trois modes d'adressage primaire différents mais compatibles: géographique, logique et diffusion. L'adressage géographique est un mode dépendant de la position qui doit être utilisé pendant l'initialisation du système. L'adressage logique est le mode d'adressage général dans lequel chaque dispositif est doté, pendant l'initialisation, d'une zone d'adresse sur 32 bits à laquelle il doit répondre pendant un cycle d'adresse primaire. A la fois pour l'adressage géographique et l'adressage logique, il ne doit y avoir qu'un seul Esclave connecté à un Maître. Pour un adressage de diffusion, de nombreux Esclaves peuvent être connectés à un seul Maître. La technique d'adressage utilisée permet de contrôler, dans une certaine mesure, quels segments du système verront la diffusion et également quels Esclaves sur les segments concernés seront connectés au Maître originel.

Les discussions et les spécifications de cette section concernent l'interprétation des adresses. La section suivante (section 5) décrit en détail la manière de produire les différents types de cycles d'adresse primaire et de cycles de données aussi bien que la réponse à de tels cycles. Dans le FASTBUS on utilise 32 bits pour l'adresse primaire. Les bits de poids fort de l'adresse primaire sont utilisés pour désigner le segment. Ce champ d'adresse de groupe (GP) a une largeur qui dépend de la réalisation. C'est ce champ GP qui est utilisé par chaque interconnexion de segments pour déterminer si l'adresse primaire vue sur l'un des deux segments auxquels elle est connectée sera transmise à l'autre. Ainsi, la largeur du champ GP (n bits sur la figure 6 page 34) est déterminée par le nombre de bits de poids fort de l'adresse primaire utilisés par un SI lorsqu'il prend la décision de transmettre ou non une adresse primaire. La largeur du champ GP peut varier d'un segment l'autre à l'intérieur d'un système interconnecté. Cependant il est recommandé que cette largeur soit fixe à l'intérieur d'un système.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

4.1 Adressage logique

Pour l'adressage logique les bits adjacents au champ GP sont utilisés pour sélectionner un dispositif particulier sur un segment. La combinaison du champ GP et du champ d'adresse du module (MA) est appelée le champ d'adresse du dispositif. La frontière entre les champs GP et MA n'est pas définie dans le sens où un certain nombre de valeurs différentes pour le champ GP peuvent toutes être transmises vers des dispositifs sur le même segment. Puisque les Esclaves examinent toujours les 32 bits d'AD pendant un cycle d'adresse primaire, le champ MA d'un dispositif particulier peut inclure quelques-uns des bits de faible poids du champ GP utilisés par le SI.

Section 4. FASTBUS Operations: Addressing

A FASTBUS Operation has three distinct phases. During the first, the Primary Address Cycle, a Master, after having been granted bus Mastership, establishes a connection to one or more Slaves. The state of the Mode Select lines during this Primary Address Cycle together with the information on the AD lines is used by each Slave to determine whether or not it should attach to the Master. In the next phase, Attached Slaves respond to Data Cycles initiated by the Master. For Data Cycles, the Slave's interpretation of the information on the AD lines is determined by the Mode Select lines. One special type of data is a Secondary Address which is used by Attached Slaves to select different registers or functions without the need for further Primary Address Cycles. Data Cycles continue until the Termination Sequence in which the Master signals to the Attached Slave(s) that the connection should be broken.

FASTBUS consists of a number of autonomous Segments which may be linked for the duration of intersegment operations. Devices on one Segment must be distinguishable from those on another Segment. Similarly Devices on the same Segment must be distinguishable from one another. These distinctions are made during a Primary Address Cycle by three different, but compatible, addressing schemes - Geographical, Logical and Broadcast. Geographical Addressing is a position dependent scheme which must be used during system initialization. Logical Addressing is a general addressing scheme in which each Device is, during initialization, assigned a range of 32-bit addresses to which it will respond during Primary Address Cycles. For both Geographical and Logical Addressing only a single Slave attaches to the Master. For Broadcast Addressing many Slaves may attach to a single Master. The addressing technique used allows a measure of control over which Segments in the system will see the Broadcast as well as which Slaves on the affected Segments attach to the originating Master.

The discussion and specifications in this section are related to the interpretation of addresses. The next section (Section 5) discusses in detail the manner in which the various types of Primary Address and Data Cycles are generated as well as the responses to such cycles. In FASTBUS 32 bits are used for the Primary Address. The high order bits of the Primary Address are used to specify the Segment. This Group Address (GP) Field has a width which is implementation dependent. It is the GP field that is used by each Segment Interconnect to determine if the Primary Address seen on one of the two Segments to which it is connected should be passed to the other. Hence the width of the GP Field (n bits in Figure 6 on page 34) is determined by the number of high order Primary Address bits used by the SI when making a decision as to whether or not to pass a Primary Address. The GP field width may vary from Segment to Segment within a connected system. It is, however, recommended that this width be fixed within a system.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

4.1 Logical Addressing

For Logical Addressing the bits contiguous to the GP Field are used to select a specific Device on a Segment. The combination of the GP Field and this Module Address (MA) Field is called the Device Address Field. The border between the GP and MA Fields is ill-defined in that a number of different GP Field values may all be passed to Devices on the same Segment. Since Slaves always examine all 32 AD bits during a Primary Address Cycle, the MA Field of particular Devices may include some of the low-order bits of the GP Field used by the SI.

Les numéros de groupe seront alloués d'une manière contiguë. pour chaque segment et ne doivent être utilisés qu'une fois à l'intérieur d'un système. Cela signifie que dans un système qui utilise une interconnexion de segments à conversion (voir article 10.1), si un segment utilise n groupes transformés GP(0) à GP(n-1), ces groupes ne peuvent alors être utilisés ailleurs dans le contexte de l'ensemble du système. Cependant, ils peuvent être utilisés localement sur d'autres segments.

Pendant un cycle d'adressage primaire dans l'espace des données un registre particulier dans un dispositif est sélectionné par le champ d'adresse interne (IA). Après que ce champ a été alloué au dispositif, tous les bits restants sur les 32 disponibles forment le champ DA. Les dispositifs ayant un large champ IA (m bits sur la figure 6) auront un champ DA plus étroit et vice versa. Le champ IA peut même avoir une largeur nulle. Le champ IA est examiné pendant la sélection de l'Esclave pour pouvoir signaler une IA non valide au moment de l'adressage. Il est recommandé que l'IA la plus basse d'un dispositif soit zéro. La combinaison de l'adresse du dispositif (constituée par l'adresse de groupe et par l'adresse du module) et de l'adresse interne constitue l'adresse logique.

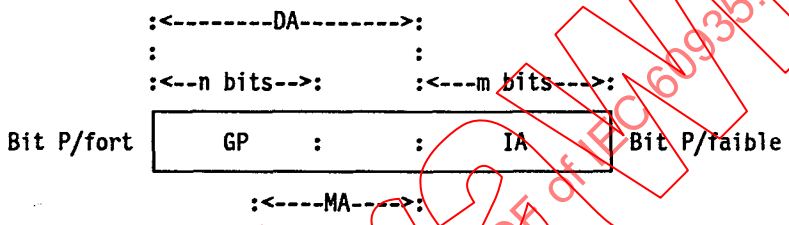


Figure 6. Format de l'adresse logique

Le nombre de registres de données identifiables dans un dispositif n'est pas limité à celui permis par le champ IA. Un cycle d'adresse secondaire fournit à chaque dispositif un large espace d'adresse. Pendant le cycle d'adresse primaire, les lignes de sélection de mode indiquent également si c'est l'espace des données ou l'espace des registres de contrôle et d'état (CSR) qui doit être utilisé. Etant donné que l'espace adresse est choisi pendant un cycle d'adresse primaire, le cycle d'adresse secondaire peut seulement changer l'adresse dans l'espace adresse précédemment choisi. Tandis que les registres de l'espace des données peuvent être affectés de n'importe quelle manière cohérente avec le champ IA choisi pour le dispositif, l'allocation et l'utilisation des registres dans l'espace CSR sont spécifiées (voir section 8).

Tous les registres que l'on peut écrire, que ce soit dans l'espace des données ou dans l'espace des registres de contrôle et d'état, doivent pouvoir être relus.

La normalisation des registres CSR et la disponibilité de cycle d'adresse secondaire signifient qu'une opération de diffusion dans l'espace CSR peut être utilisée par un Maître pour sélectionner un certain nombre d'Esclaves qui participeront tous à la même opération.

Un registre CSR est affecté à l'adresse logique du dispositif. Ce registre contient l'adresse du dispositif qui est utilisée pour la comparaison avec les lignes AD pendant le cycle d'adresse primaire qu'il soit adressé à l'espace des données ou à l'espace CSR. Si l'adresse du dispositif égale celle présente sur les lignes AD pendant un cycle d'adresse primaire, l'Esclave se connecte alors au Maître. La procédure d'initialisation du système doit assigner les adresses logiques aux dispositifs adressables logiquement.

Règle

Chaque dispositif adressable logiquement doit avoir son adresse logique spécifiée par le registre lecture/écriture CSR#3. Ce registre doit être accessible par adressage géographique et doit être chargé par la procédure d'initialisation du système avant la mise en service du circuit de reconnaissance d'adresse logique du dispositif. Un dispositif ne doit pas répondre à un adressage logique tant que ce circuit n'a pas été mis en service.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Group numbers should be allocated contiguously for any Segment and may be used only once within communicating parts of a system. This means in systems which use transforming Segment Interconnects (see Clause 10.1) that if a Segment uses n transformed groups GP(0) to GP(n-1) then these groups cannot be used elsewhere in any system-wide context. They may, however, be used locally on other Segments.

During a Primary Address Cycle to Data Space a register within a Device is selected by the Internal Address (IA) field. After this field has been allocated for a Device all bits remaining from the 32 available form the DA field. Devices with a wide IA Field (m bits in Figure 6) will have a correspondingly narrower DA Field and vice versa. The IA may even have zero width. The IA is examined during Slave selection in order to be able to signal invalid IAs at Address time. It is recommended that the lowest IA implemented in a Device be zero. The combination of Device Address (consisting of a Group Address and a Module Address) and Internal Address constitute a Logical Address.

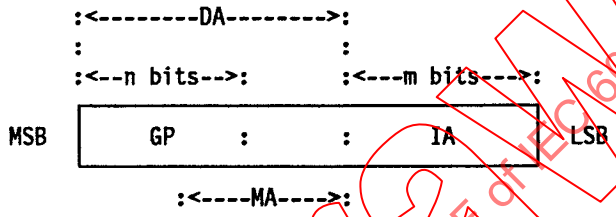


Figure 6. Logical Address Format

The number of identifiable data registers in a Device is not limited to that allowed by its IA Field. Secondary Address Cycles provide large amounts of address space for each Device. Also, during a Primary Address Cycle the Mode Select lines indicate whether Data Space or Control and Status Register (CSR) Space is to be accessed. Since the address space is selected during a Primary Address Cycle, Secondary Address Cycles can only change address within the previously selected address space. While registers in Data Space may be allocated in any way consistent with the IA Field chosen for the Device, the allocation and usage of registers in CSR space are specified (see Section 8).

All writable registers in either Data Space or Control and Status Register Space should be readable.

The standardization of CSR registers and the provision of Secondary Address Cycles mean that a Broadcast to CSR Space can be used by a Master to select a number of Slaves all of which can then participate in the same operation.

One CSR Register is allocated for a Device's Logical Address. This register contains the Device Address which is used for comparison with the AD lines during Primary Address Cycles addressed to either Data or CSR Space. If the Device Address matches that on the AD lines during a Primary Address Cycle then the Slave attaches to the Master. The system initialization procedure must assign Logical Addresses to Logically Addressable Devices.

Rule

Each Logically Addressable Device shall have its Logical Address specified by read/write register CSR#3. This register shall be accessible by Geographical Addressing and shall be loaded by the system initialization procedure prior to enabling the Device's logical address recognition circuitry. A Device shall not respond to Logical Addressing until this circuitry has been enabled.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle, suite

Le champ DA de l'adresse logique doit être placé immédiatement à gauche du champ IA de l'espace des données et doit s'étendre jusqu'au bit de poids le plus fort de l'adresse 32 bits.

Si un dispositif ne dispose que de l'espace CSR le champ DA doit avoir une largeur de 32 bits.

Pour les dispositifs qui disposent à la fois des espaces données et CSR, la largeur du champ DA doit être déterminée par les besoins de l'espace des données.

Le champ DA est constitué de deux parties: le champ GP qui doit occuper la partie la plus à gauche du champ et qui doit identifier le segment, et le champ MA, adjacent au champ GP, qui doit identifier un dispositif sur un segment. On doit affecter suffisamment de groupe d'adresses à un segment pour accommoder tous les dispositifs présents. La largeur maximale du champ GP doit être de 24 bits.

GP = 0 ne doit pas être globalement affecté à un quelconque segment pour l'adressage logique.

Pour la sélection d'un dispositif par adressage logique, un dispositif doit complètement décoder son champ DA (voir paragraphe 5.2.2).

Les adresses de 0 à 255 inclus du groupe de base de n'importe quel segment ne doivent pas être allouées pour l'adressage logique.

4.2 Adressage géographique

Sur chaque segment les 32 premières adresses logiques sont réservées pour l'adressage par position des dispositifs. Les 192 adresses logiques suivantes sont réservées pour l'adressage par position des dispositifs sur les segments d'extension et les 32 suivantes pour des utilisations spéciales. Ces premières 256 adresses logiques qui sont réservées sur chaque segment sont appelées Adresses Géographiques. Il y a deux formats possibles d'adresse géographique (figure 7). Dans le premier format, qui est limité à un segment, les 24 bits de poids fort de l'adresse sont tous à zéro et les 8 bits de poids faible contiennent ce que l'on appelle le champ d'adresse géographique (GA). Le second format, qui permet à une adresse géographique d'atteindre un dispositif sur un autre segment, a un champ GP qui n'est pas zéro et la région entre les champs GP et GA est à zéro. La logique ancillaire de chaque segment examine toutes les adresses primaires. Si elle trouve une adresse primaire qui a l'une des deux formes caractéristiques, où GP est celle assignée au segment sur lequel réside la logique ancillaire, elle positionne la mise en service géographique, EG, si EG n'a pas déjà été positionnée par le Maître ou le SI. Lorsqu'ils perçoivent EG = 1 et RD = 0, les Esclaves comparent AD<04:00> avec leurs positions physiques telles qu'elles sont codées sur leurs connecteurs et AD<07:05> avec zéro. Si une égalité est rencontrée, l'Esclave se connecte alors au Maître et un cycle normal de données, y compris un cycle d'adresse secondaire, peut suivre.

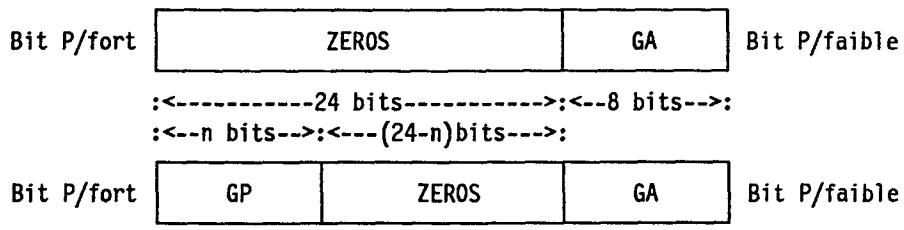


Figure 7. Formats de l'adresse géographique

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Rule continued

The DA field of a Logical Address shall be placed immediately to the left of the Data Space IA field and shall extend through to the most significant bit of the 32-bit address.

If a Device implements only CSR Space the DA Field shall be 32 bits wide.

For Devices that implement both Data and CSR Space the width of the DA field shall be determined by the Data Space requirements.

The DA Field consists of two parts: the GP Field which shall occupy the leftmost part of the field and which shall identify the Segment, and the MA Field, adjacent to the GP Field, which shall identify a Device on a Segment. A Segment shall be allocated sufficient Group Addresses to accommodate all Devices present. The maximum width of the GP field shall be 24 bits.

GP = 0 shall not be globally allocated to any Segment for Logical Addressing.

For Device selection by Logical Addressing, a Device shall fully decode its DA Field (see Sub-clause 5.2.2).

Addresses 0 to 255 inclusive in the Base Group of any Segment shall not be allocated for Logical Addressing.

4.2 Geographical Addressing

On each Segment the first 32 Logical Addresses are reserved for positional addressing of Devices. The next 192 Logical Addresses are reserved for positional addressing of Devices on Extended Segments and the next 32 are reserved for special purposes. These reserved first 256 Logical Addresses on each Segment are called Geographical Addresses. There are two possible Geographical Address formats (Figure 7). In the first format, which is confined to a Segment, the high-order 24 bits of the address are all zero and the low-order 8 bits contain what is called the Geographical Address (GA) Field. The second format, which allows a Geographical Address to reach a Device on another Segment, has a non-zero GP Field and the region between the GP and GA Fields is all zero. The Ancillary Logic on each Segment examines all Primary Addresses. If a Primary Address is found having one of the two specified forms, where GP is that assigned to the Segment on which the Ancillary Logic resides, then, if Enable Geographic, EG, has not already been asserted by the Master or SI, the Ancillary Logic asserts EG. On sensing EG = 1 and RD = 0, Slaves compare AD < 04:00 > with their physical position as encoded at their connectors and AD < 07:05 > with zero. If a match is found then the Slave attaches to the Master and regular Data Cycles, including Secondary Address Cycles, can follow.

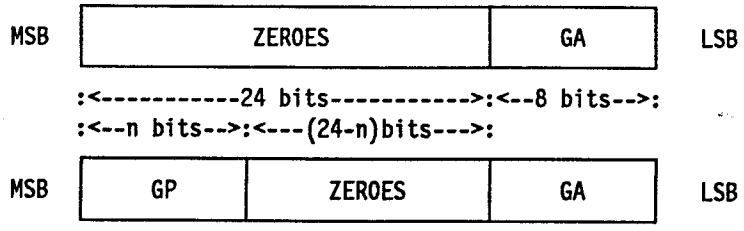


Figure 7. Geographical Address Formats

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

L'adressage géographique permet à un Esclave de décoder un nombre réduit de lignes car le décodage de l'adresse est toujours effectué dans la partie de la logique ancillaire qui produit EG, par le Maître ou le SI.

Règle

Sur chaque segment, les adresses 0 à 223 du groupe de base seront affectées à l'adressage par position. Les adressages géographiques 0 à 31 spécifient une position physique sur un segment. Pour les segments d'extension, les bits 5, 6 et 7 sont utilisés pour indiquer lequel des segments d'extension est spécifié par l'adresse géographique. Les adresses 224 à 254 doivent être réservées. L'adresse 255 doit être l'adresse du générateur de EG (voir article 7.2).

Il doit y avoir cinq contacts codés en position GA<4:0> à chaque position de module sur le segment-châssis. Ces contacts doivent être utilisés par les Esclaves pendant un adressage géographique pour déterminer s'ils sont adressés. Sur un segment-châssis, le code zéro des contacts doit spécifier la position de module la plus à droite telle qu'elle est vue de la face avant du châssis et doit croître d'une unité pour chaque position en allant vers la gauche.

Sur un segment-câble, la "position" doit être spécifiée par des commutateurs sur chaque dispositif connecté.

Chaque dispositif doit en tout temps répondre à un adressage géographique dans l'espace CSR.

Si un module occupe plus d'une position sur un segment-châssis, le ou les GA auxquels il répond doivent être clairement indiqués sur le devant du module.

Si un module répond à plus d'un GA, chaque GA doit correspondre à une entité logiquement indépendante.

La figure 8 montre une réalisation de la sélection d'un Esclave par adressage géographique. Des modules de largeur multiple qui répondent à plus d'un GA ne devraient pas avoir des éléments accessibles par plus d'une voie.

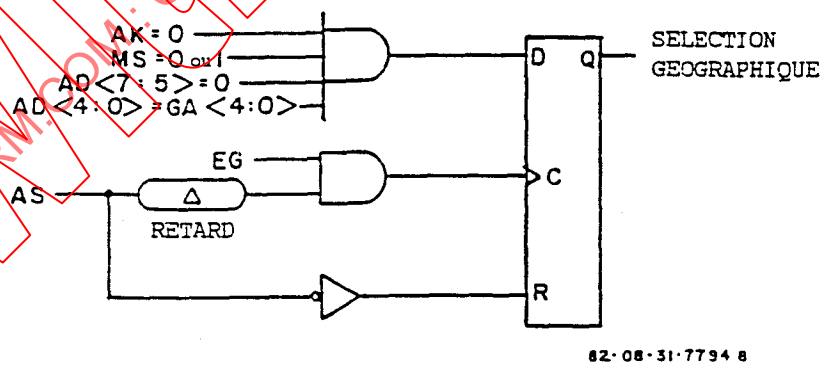


Figure 8. Sélection d'un esclave par adressage géographique

4.3 Adressage en diffusion

Pendant un cycle d'adressage primaire en diffusion, plus d'un Esclave peut être connecté au Maître originel. Chaque Esclave qui se connecte répond en interne mais ne produit pas de signaux de dialogue. Pendant les opérations de diffusion, les signaux de dialogue sont pro-

Geographical Addressing allows a Slave to decode a reduced number of lines because of the address decoding that is done in the EG generator part of the Ancillary Logic or by the Master or SI.

Rule

On each Segment, addresses 0 through 223 of the Base Group shall be allocated for positional addressing. The Geographical Addresses 0 through 31 specify physical position on a Segment. For Extended Segments, bits 5, 6 and 7 are used to identify which Segment of the extension the Geographical Address is specifying. Addresses 224 to 254 shall be reserved. Address 255 shall be the EG generator address (see Clause 7.2).

Five position-coded pins GA<4:0> shall be at each Module position on the Crate Segment. These pins shall be used by Slaves during Geographical Addressing to determine if they are being addressed. On a Crate Segment the pin code zero shall specify the rightmost Module position as seen from the front of the Crate and shall increase by one for each position moved to the left.

On a Cable Segment, the "position" shall be specified by switches on each connected Device.

All Devices shall respond to Geographical Addressing in CSR space at all times.

If a Module occupies more than one Crate Segment position, the GA or GAs to which it responds shall be clearly indicated on the front of the Module.

If a Module responds to more than one GA, each GA shall correspond to a logically independent entity.

Figure 8 shows one implementation of Slave selection via Geographical Addressing. Multiple width Modules that respond to more than one GA should not have any feature accessible by more than one path.

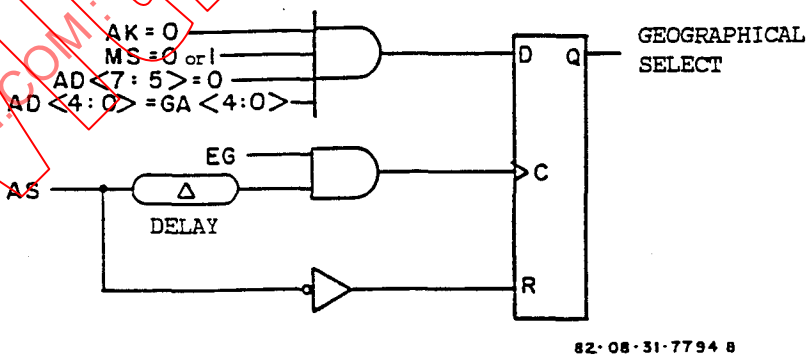


Figure 8. Slave Selection via Geographical Addressing

4.3 Broadcast Addressing

During a Broadcast Primary Address Cycle more than one Slave can become attached to the originating Master. Each Slave that attaches responds internally but does not generate handshake signals. During Broadcast Operations handshake response signals are generated only by

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

duits uniquement par la logique ancillaire. Tous les Esclaves qui se connectent pendant un cycle d'adresse primaire répondent aux cycles de données suivants qui peuvent inclure des cycles d'adresse secondaire. L'utilisation type des diffusions inclut la synchronisation des dispositifs et la remise à zéro d'ensemble de registres.

L'adresse de diffusion a deux fonctions. L'une est d'indiquer si la diffusion est destinée à un segment particulier, à tous les segments dans une structure définie par des informations dans les interconnexions de segments, ou pour tous les segments au-delà d'un segment particulier y compris celui-ci. L'autre utilisation est de sélectionner dans les segments impliqués une classe de dispositifs ou une fonction à exécuter. Les fonctions définies comprennent la scrutation des données éparses, le positionnement inconditionnel des contacts TP, le positionnement des contacts TP dans le cas de demandes de service et l'adressage des dispositifs par le positionnement des contacts TP par un Maître. Un dispositif sur un segment-câble utilise directement les lignes AD correspondant à la position des commutateurs d'adressage géographique du dispositif au lieu de TP. Huit codes de fonction sont disponibles pour le concepteur de dispositifs pour des fonctions spéciales. Suivant la réalisation, la classe du dispositif est soit câblée à l'intérieur du dispositif, soit définie au moment de l'initialisation.

4.3.1 Contrôle du Maître dans une diffusion

Dans un système les SI jouent un rôle important dans la propagation de la diffusion. La section 10 contient les spécifications exactes de ce rôle. On donnera ici une brève description pour permettre une meilleure compréhension de l'interprétation des adresses de diffusion par les SI et les Esclaves.

Une diffusion par contact T est une méthode utilisant une configuration de "1" sur les lignes A/D pour sélectionner les dispositifs qui participent à ce type de diffusion. Chaque adresse géographique d'un dispositif sur un segment est définie par un nombre compris entre 00 et 31. Pour une diffusion par contact T, ces adresses géographiques sont distribué sur les lignes adresse/données correspondantes AD00 à AD31. Lorsqu'un "1" est positionné sur la ligne A/D correspondante (pendant le premier cycle d'écriture MS = 0 après le cycle d'adresse de diffusion) qui correspond à la valeur GA du dispositif, le dispositif se connecte pour l'opération de données suivante. Si un "0" correspondant est positionné durant ce cycle d'écriture, le dispositif cesse toute opération ultérieure dans cette diffusion. Pour un segment-châssis le décodage des contacts T est câblé sur le fond de panier pour simplifier l'électronique (voir article 14.2.1). Pour un segment-câble, le contact T est simulé par une logique supplémentaire utilisant l'adresse géographique du segment-câble.

La figure 9 page 38 représente le format d'une adresse de diffusion. Si les 24 bits de poids fort sont nuls et que le bit Global G(AD < 01 >) est positionné, l'adresse de diffusion est dite Globale et l'opération affecte tous les segments que l'adresse de diffusion atteint. Le bit de transmission de la table de routage dans chaque SI correspondant à un champ GP nul est réservé pour le routage des diffusions globales. La structure formée par la propagation d'une adresse de diffusion doit être un arbre simple sans connexions croisées (voir paragraphe 10.6.2). Cette règle doit être vérifiée au moment de l'initialisation. Si à la fois le champ GP et le bit global sont à zéro, la diffusion est alors limitée au segment contenant le Maître d'origine. Chaque SI transmettant une adresse de diffusion globale avec le champ GP nul s'assure que le bit local L (AD < 00 >) est positionné lorsqu'il applique l'adresse de diffusion sur son segment côté lointain quel que soit l'état de L sur le segment côté proche. Les Esclaves sur un segment qui a une adresse de diffusion positionnée ne sont sensibles à la diffusion que si le bit local est positionné. Le SI ne doit pas examiner le bit local lorsqu'il détermine si oui ou non il doit transmettre une adresse de diffusion.

Si le champ GP n'est pas nul, la diffusion n'est pas globale et on suit le routage utilisé pour une opération qui n'est pas une diffusion vers le segment indiqué. Les bits global et local, tels qu'ils sont positionnés par le Maître originel, déterminent les segments sur lesquels l'opération de diffusion est effective. Si G = L = 0, seul un segment particulier défini par GP sera sensible à la diffusion, tandis que si G = 0 et L = 1 tous les segments voyant passer

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

the Ancillary Logic. All Slaves that attach during the Primary Address Cycle respond to subsequent Data Cycles which may include Secondary Address Cycles. Typical uses of Broadcasts include the synchronization of Devices and the clearing of banks of registers.

The Broadcast Address has two uses. One is to specify whether the Broadcast is to a specific Segment, to all Segments in a pattern controlled by information in Segment Interconnects or to all Segments beyond and including the specified one. The other use is to select on the affected Segments either a function to be executed or a Device class. Defined functions include the Sparse Data Scan, unconditional TP assertion, TP assertion if asserting Service Request and Device addressing by the Master's assertion of TP. A Device on a Cable Segment makes direct use of the AD line corresponding to the setting of the Device's Geographical Address switches instead of TP. Eight functions are available to the Device designer for special applications. Depending on implementation, the Device class is either built into a Device or specified at initialization time.

4.3.1 Master's Control of a Broadcast

The SIs in a system play an important role in the propagation of Broadcasts. Section 10 contains an exact specification of this role. Here a brief description is given in order to provide a better understanding of the interpretation of a Broadcast Address by SIs and Slaves.

A T-Pin Broadcast is a method of using the pattern of ones on the A/D Lines to select Devices which should participate in this type of Broadcast. Each Device's Geographical Addresses on a Segment specifies a number between 00 and 31. For T-Pin broadcasts these Geographical Addresses are mapped to their corresponding Address/Data Line AD00 to AD31. When a "1" is asserted on the corresponding A/D Line (during the first MS = 0 Write Data Cycle after the Broadcast Address Cycle) which matches the Device's GA value, the Device attaches for further Data Operations. If a corresponding zero is asserted during this Write Cycle, the Device ceases further operations for that broadcast. For Crate segments the T-Pin 'decoding' is wired into the backplane to simplify the electronics (see Subclause 14.2.1). For Cable segments the T-Pin is synthesized with extra electronics using the Cable Segment Geographical Address.

Figure 9 on page 38 shows the format of a Broadcast Address. If the high order 24 bits of the address are zero and the Global bit, G (AD < 01 >), is set the Broadcast Address is said to be Global and the operation affects all Segments that the Broadcast Address reaches. The Route Table Pass bit in each SI corresponding to a zero GP Field is reserved for the routing of Global Broadcasts. The pattern formed by a propagating Broadcast Address must be a simple tree with no cross connections (see Sub-clause 10.6.2). This rule has to be enforced at initialization time. If both the GP Field and the Global bit are zero, then the Broadcast is confined to the Segment containing the originating Master. Any SI passing a Global Broadcast Address with zero GP field ensures that the Local bit, L (AD < 00 >), is set when asserting the Broadcast Address on its Far-side Segment regardless of the state of L on the Near-side Segment. Slaves on a Segment that has a Broadcast Address asserted are only sensitive to the Broadcast if the Local bit is asserted. SIs do not examine the Local bit when determining whether or not to pass a Broadcast Address.

If the GP Field is non-zero, the Broadcast is not Global and the routing used by a non-Broadcast Operation is followed to the specified Segment. The Global and Local bits as asserted by the originating Master determine the Segments on which the Broadcast Operation is effective. If G = L = 0 only the Segment specified by GP is sensitive to the Broadcast while if G = 0 and L = 1 all Segments seeing the Broadcast Address on its way to the specified

IECNORM.COM : Click to view the full PDF of iec60935:1996
Withdrawn

l'adresse de diffusion jusqu'au segment indiqué sont également concernés. Si G = 1, la diffusion s'exécute exactement comme pour G = 0, affectant exactement les mêmes segments (tel que déterminé par L), jusqu'à ce qu'elle atteigne le SI qui passe l'adresse de diffusion au segment indiqué. Dans ces conditions, ce SI positionne un champ GP nul sur son segment côté lointain en même temps qu'il positionne L = 1. Ainsi, à partir du segment indiqué, la diffusion exécute une routine de diffusion globale.

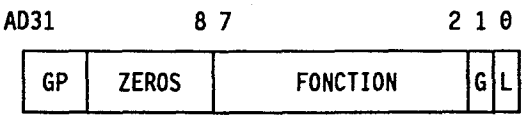
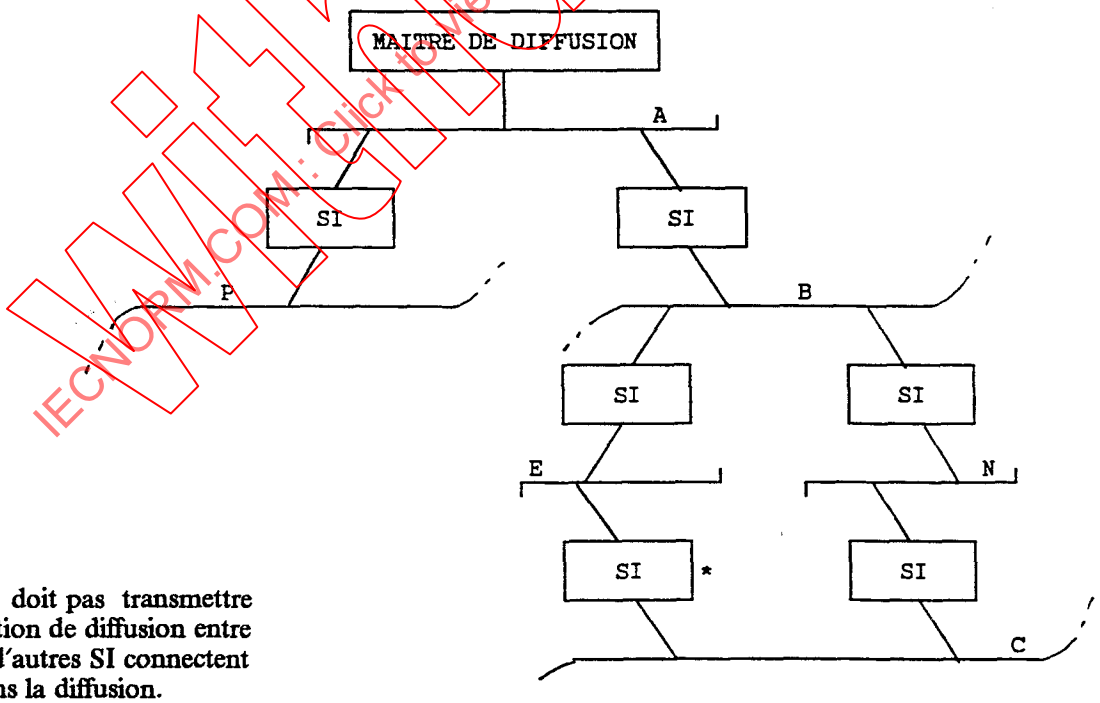


Figure 9. Champs de l'adresse de diffusion

Le tableau 2 page 39, représente ces règles sous forme de tableau et fait partie des obligations définies au paragraphe 10.7.1. Cette table utilise la figure 10, comme exemple pour mieux éclaircir la routine de diffusion.

Puisqu'aucun dialogue individuel n'est renvoyé, plus d'un SI connecté à un segment peut reconnaître et transmettre une adresse de diffusion globale. Chaque SI qui a détecté une adresse de diffusion qu'il doit transmettre positionne WT = 1 sur son segment côté proche et essaie d'obtenir la maîtrise du bus sur son segment côté lointain. Si une erreur apparaît dans cet essai, le SI émet la réponse voulue d'état de l'Esclave (SS) et WT = 0 sur son segment côté proche. Il ne fournit pas AK = 1. Si l'essai a été réussi, le SI continue à maintenir WT = 1 sur son segment côté proche jusqu'à ce que sur son segment côté lointain WT = 0 et que l'on reçoive soit AK(u) ou DK(t). Le SI positionne alors WT = 0 sur son segment côté proche mais ne transmet pas AK(u) ou DK(t). A la place, l'un de ces signaux, suivant le cas, est produit par la logique ancillaire. Pour un segment-châssis, la logique ancillaire doit avoir détecté que WT = 0 pendant au moins deux temps de transit du bus. C'est de cette manière que le dialogue système est réalisé et est retourné vers le Maître originel.



* Ce SI ne doit pas transmettre une opération de diffusion entre E et C si d'autres SI connectent C et E dans la diffusion.

Figure 10. Exemple de routage d'une diffusion

IECNORM.COM : Click to view the full PDF of iec 60935:1996

Segment are also affected. If G = 1 the Broadcast proceeds exactly as for G = 0 affecting exactly the same Segments (as determined by L) until it reaches the SI that passes the Broadcast Address to the specified Segment. Under these conditions this SI asserts a zero GP Field on its Far-side Segment as well as asserting L = 1. Hence from the specified Segment on, the Broadcast follows the Global Broadcast routing.

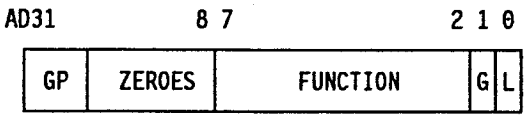
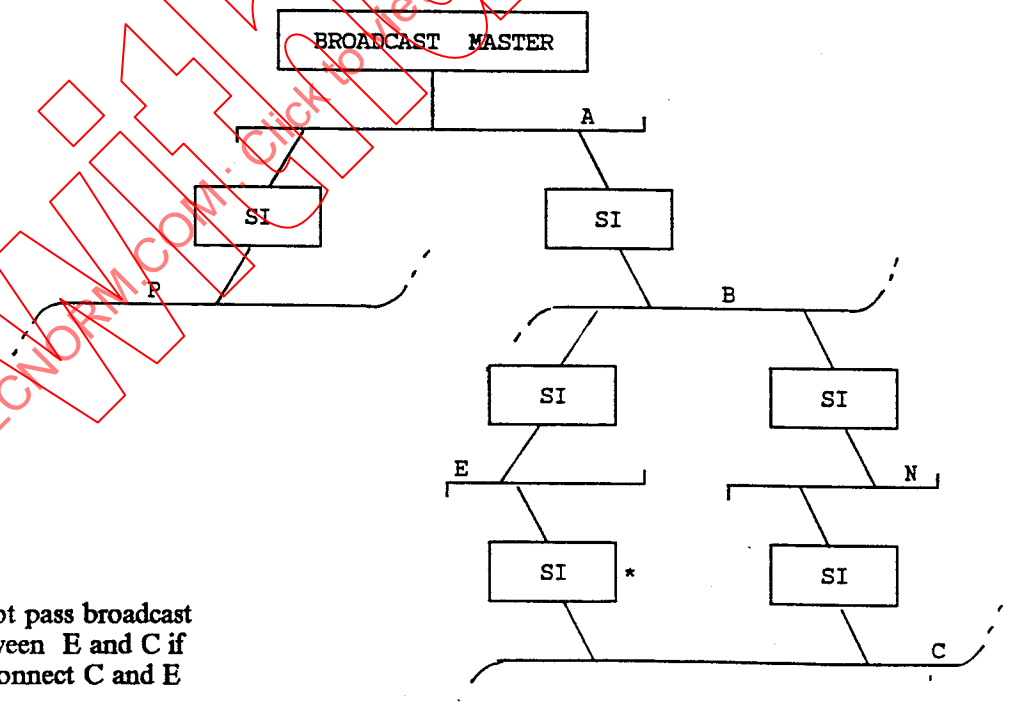


Figure 9. Broadcast Address Field

Table 2 on page 39, displays these rules in tabular form and is made a mandatory part of the specification in Sub-clause 10.7.1. This table uses Figure 10, as an example to further clarify the routing of Broadcasts.

Since no individual handshakes are returned, more than one SI connected to a given Segment may recognize and pass a Global Broadcast Address. Each SI that has detected a Broadcast Address that it is to pass asserts WT = 1 on its Near-side Segment and proceeds to attempt to obtain Mastership of its Far-side Segment. If any error occurs in this attempt, the SI generates the appropriate Slave Status (SS) response and WT = 0 on its Near-side Segment. It does not generate AK = 1. If the attempt was successful, the SI continues to maintain WT = 1 on its Near-side until on its Far-side WT = 0 and either AK(u) or DK(t) is received. The SI then sets WT = 0 on the Near-side Segment but does not pass either AK(u) or DK(t). Rather, one of these signals, as appropriate, is generated by the Ancillary Logic. For a Crate Segment, the Ancillary Logic must have sensed that WT = 0 for at least two bus delays. It is in this way that the System Handshake is formed and returned to the originating Master.



* This SI must not pass broadcast operations between E and C if any other SIs connect C and E in the broadcast.

Figure 10. Broadcast Routing Example

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

La structure en arbre, imposée par les besoins d'une diffusion globale, signifie qu'il ne peut y avoir dans chaque système qu'un seul arbre de diffusion et un seul segment, le segment Maître de diffusion, qui est capable de diffuser dans la totalité du système. Les diffusions globales d'un segment quelconque vers les segments en aval de l'arbre peuvent être émises sans difficulté. Cependant, une diffusion avec le bit global positionné vers un segment en amont du segment d'origine peut rencontrer des difficultés car il est possible qu'une telle diffusion se bloque elle-même. Cela arrive lorsqu'un SI attend qu'un segment devienne libre et qu'il ne peut le devenir car il est occupé par une autre partie de la diffusion. Par exemple, dans le système représenté sur la figure 10 page 38, une diffusion globale vers le segment B et ses sous-arbres peut seulement provenir des segments A, B ou P. Une diffusion semblable vers le segment N (dont les ramifications sont constituées par le seul segment C) pourrait provenir de n'importe quel segment à l'exception de C.

Si éventuellement un blocage se produit le Maître doit relâcher au bout d'un certain temps. Aucun dispositif n'a été affecté par cette opération mais le système aura été paralysé pendant un certain temps.

Tableau 2. Contrôle d'une diffusion par le MAITRE

Champ GP	Bit G	Bit L	Action du système	Segment sur la figure 10 page 38
0	0	0	Pas d'opération	—
0	0	1	Diffusion effective seulement sur le segment local	A
0	1	0	Diffusion effective sur les ramifications de diffusion en dessous du segment local	Tous sauf A
0	1	1	Diffusion effective sur le segment local, et sur les ramifications de diffusion en dessous du segment local	Tous
N*	0	0	Diffusion effective seulement sur le segment N	N
N*	0	1	Diffusion effective sur le segment local, sur les segments traversés pour atteindre N et sur N	A, B, N
N*	1	0	Diffusion effective sur le segment N et sur les ramifications de diffusion en dessous du segment N	N, C
N*	1	1	Diffusion effective sur le segment local, sur les segments traversés pour atteindre N, sur N et sur les ramifications de diffusion en dessous du segment N	A, B, C, N

* N non nul.

Une diffusion peut prendre un temps notable pour démarrer puisqu'elle doit attendre à chaque utilisation concurrentielle des segments impliqués pour s'exécuter. Les applications qui nécessitent une action très rapide doivent avoir recours à un système de câbles indépendants point à point puisqu'il n'y a pas d'autre solution pour garantir une connexion rapide dans un système de segments multiples. Une fois la connexion du système réalisée, la vitesse des cycles de données n'est limitée que par les retards de propagation du signal dans le système. Le dialogue système (voir article 7.3) garantit que tous les dispositifs adressés ont vu le cycle courant avant que l'opération suivante ne s'exécute sur le bus.

4.3.2 Réponse des Esclaves à une opération de diffusion

Comme cela est indiqué sur la figure 9 page 38, les bits AD<07:02> de l'adresse de diffusion sont utilisés comme champ de fonction de l'Esclave. Durant la partie adresse de l'opération de diffusion, l'Esclave examine seulement AD<00> et AD<07:02>. Tous les autres bits de AD sont ignorés. AD<00>, le bit local L doit être positionné si l'Esclave doit obéir à l'opération. Si L est positionné, l'Esclave examine le champ fonction pour déterminer quelle action, s'il y en a une, il doit exécuter sur les cycles de données suivants. La tableau 3

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

The tree structure imposed by the requirements of a Global Broadcast means that in any one system there can be only one Broadcast tree and one Segment, the Broadcast Master Segment, which is capable of Broadcasting to the entire system. Global Broadcasts from any Segment to Segments further down the tree can be issued without difficulty. However, a Broadcast with the Global bit set to a Segment above the originating Segment can lead to difficulty because it is possible for such a Broadcast to block itself. This occurs when an SI waits for a Segment to become idle which it cannot do because it is busy with another part of the Broadcast. For example, in the system shown in Figure 10 on page 38, a Global Broadcast to Segment B and its sub-tree can only originate from Segments A, B or P. A similar Broadcast to Segment N (whose sub-tree consists only of Segment C) could originate from any Segment except C.

If blocking does occur eventually the Master times out. No Devices will have been affected by the operation but the system will have been paralyzed for some time.

Table 2. MASTER's Control of Broadcast

GP Field	G Bit	L Bit	System action	Segments in Figure 10 on page 38
0	0	0	No Operation	—
0	0	1	Broadcast effective on Local Segment only	A
0	1	0	Broadcast effective on Broadcast (sub)tree below Local Segment	All except A
0	1	1	Broadcast effective on Local Segment and on Broadcast (sub)tree below Local Segment	ALL
N*	0	0	Broadcast effective on Segment N only	N
N*	0	1	Broadcast effective on Local Segment, on Segments traversed in reaching N and on N	A, B, N
N*	1	0	Broadcast effective on Segment N and on Broadcast (sub)tree below N	N, C
N*	1	1	Broadcast effective on Local Segment, on Segments traversed in reaching N, on N and on Broadcast (sub)tree below N	A, B, C, N

* N not zero.

Broadcasts may take an appreciable time to start since they must wait for all conflicting use of the Segments involved to complete. Applications requiring very fast action may have to resort to independent point-to-point cables since there is no other way to guarantee rapid connection in a multiple-Segment system. Once the system connection is complete, the speed of Data Cycles is limited only by system signal propagation delays. The System Handshake (see Clause 7.3) assures that all the addressed Devices will see the current cycle before the next cycle occurs.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

4.3.2 Slave Response to Broadcast Operations

As indicated in Figure 9 on page 38, bits AD<07:02> of the Broadcast Address are used as a Slave Function Field. During the address portion of a Broadcast Operation, Slaves examine only AD<00> and AD<07:02>. All other AD bits are ignored. AD<00>, the Local bit L, must be set if the Slave is to obey the operation. If L is set, the Slave examines the Function Field to determine what, if any, action it should take on subsequent Data

page 42, et le texte suivant définissent ces actions. Les Esclaves qui doivent répondre à une diffusion ne renvoient pas de signaux de dialogue (AK(u) ou DK(t)). Remarquer que dans tous les cas de la table, G (AD < 01 >) est ignoré par l'Esclave et L (AD < 00 >) doit être à un.

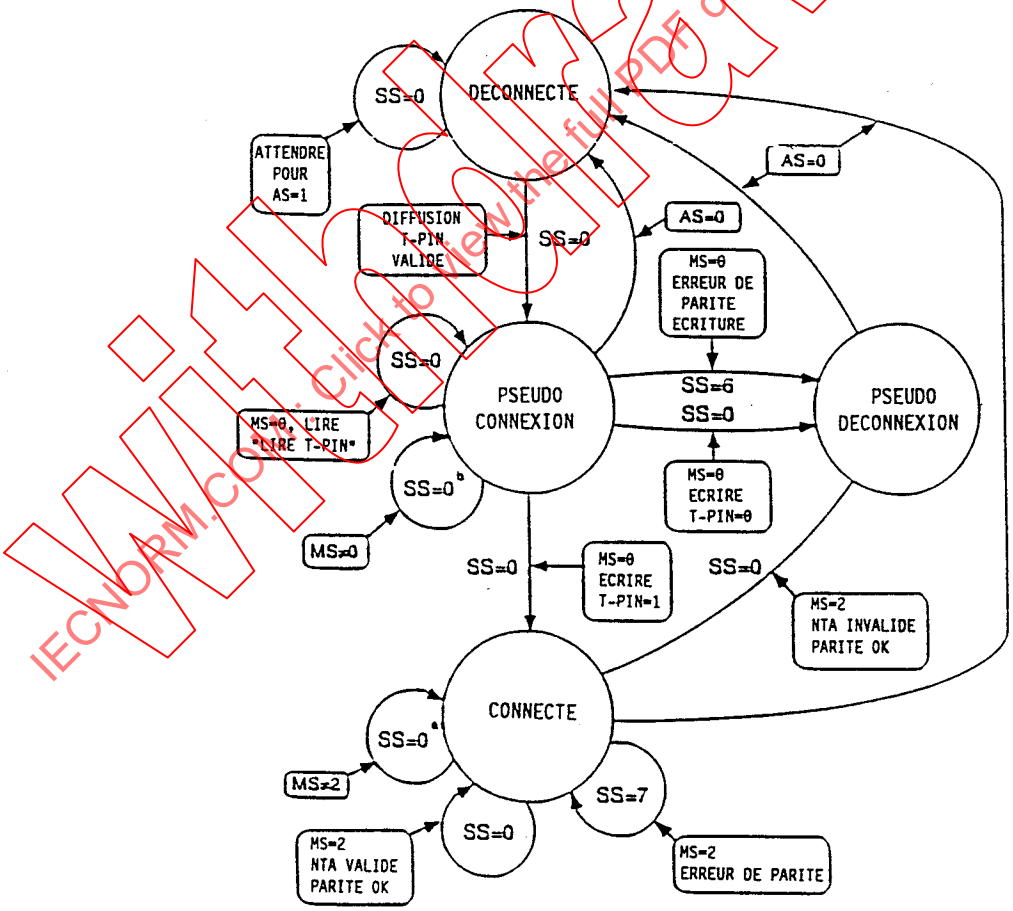
Règle

Une adresse de diffusion doit être indiquée par MS1 = 1 durant le cycle d'adresse primaire et doit avoir le format représenté sur la figure 9 page 38.

Pour pouvoir répondre aux différents cas d'adressage de diffusion définis dans la tableau 3 page 42, un Esclave doit exiger que AD < 00 > = 1.

Les Esclaves doivent ignorer AD < 31:08 > et AD < 01 > lorsqu'ils interprètent une adresse de diffusion.

Le diagramme d'état de la figure 11 s'appliquera pour définir les Esclaves qui obéissent aux diffusion par contact T. Le diagramme d'état de la figure 12 page 41 sera utilisé comme référence pour définir les Esclaves qui obéissent aux diffusions générales. Le diagramme d'état de la figure 13 page 41 sera utilisé comme référence pour définir les Esclaves qui obéissent aux diffusions de classe N.



Note a: Voir article 4.3.2 pour une réponse SS = 0
Note b: Devient SS = 7 pour MS = 2 et erreur de parité

Figure 11. Diagramme d'état pour une diffusion par contact T

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Cycles. Table 3 on page 42, and the text following outline these actions. Slaves that do respond to the Broadcast do not issue handshake signals (AK(u) or DK(t)). Note that for all cases in the table, G (AD<01>) is ignored by the Slave and L (AD<00>) must be 1.

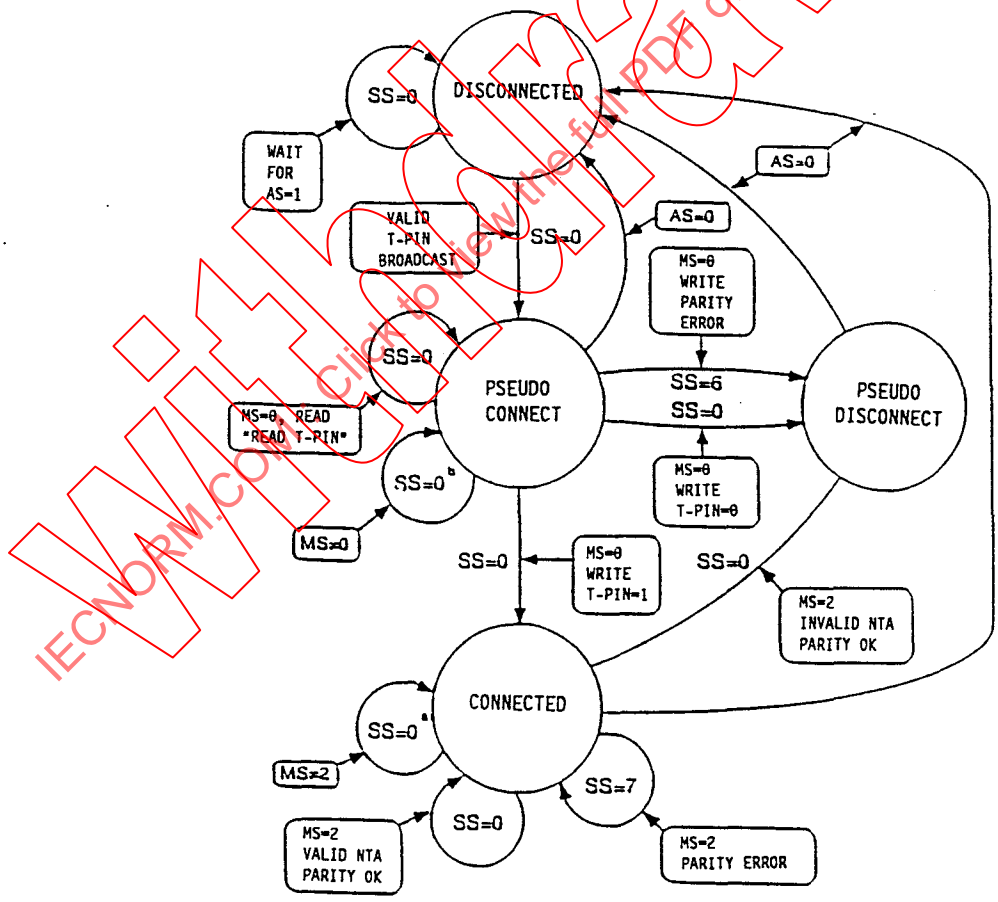
Rule

A Broadcast Address shall be specified by MS1 = 1 during a Primary Address Cycle and shall have the format shown in Figure 9 on page 38.

In order to respond to any Broadcast Address case specified in Table 3 on page 42, a Slave shall require that AD<00> = 1.

Slaves shall ignore AD<31:08> and AD<01> when interpreting a Broadcast Address.

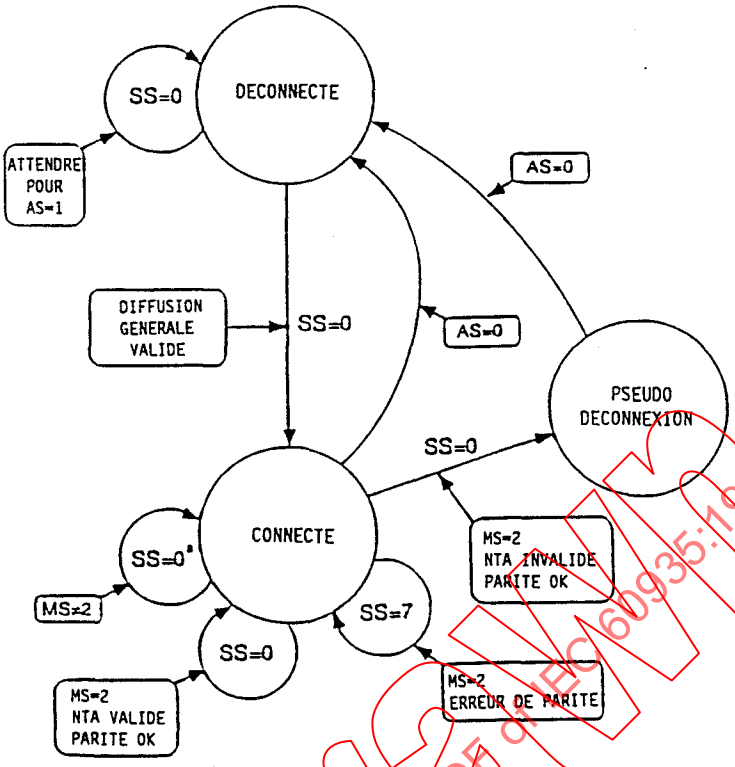
The state diagram in Figure 11, shall apply for designing those Slave Devices that obey T-Pin Broadcasts. The state diagram in Figure 12 on page 41, shall be used as a reference for designing those Slave Devices that obey General Broadcasts. The state diagram in Figure 13 on page 41, shall be used as a reference for designing those Slave Devices that obey Class N Broadcasts.



Note a: See Subclause 4.3.2 for SS = 0 responses
Note b: Becomes SS = 7 for MS = 2 and Parity Error

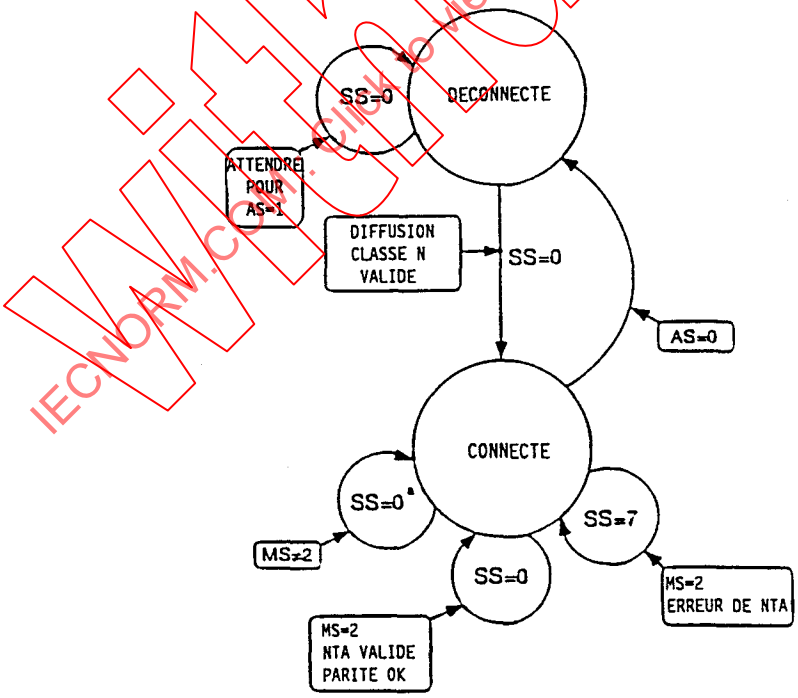
Figure 11. State Diagram for T-pin Broadcast

IECNORM.COM : Click to view the full PDF of IEC 60935:1996



Note a: Voir article 4.3.2 pour les réponses SS≠0

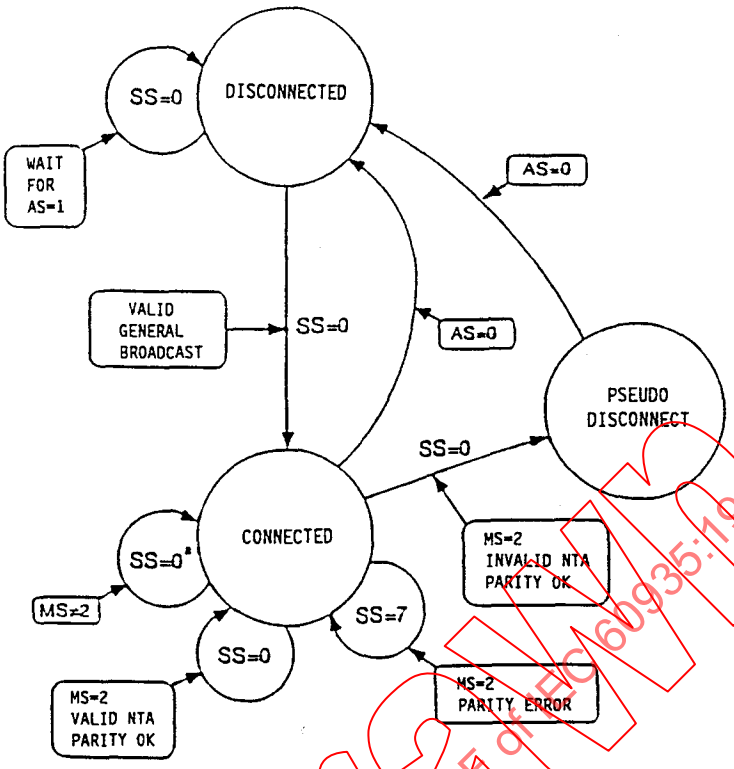
Figure 12. Diagramme d'état pour une diffusion générale



Note a: Voir article 4.3.2 pour les réponses SS≠0

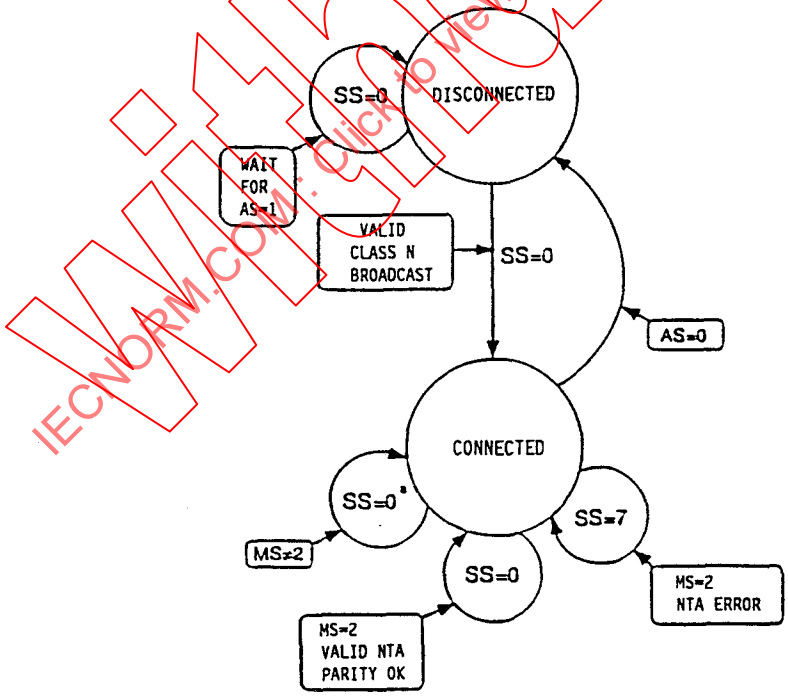
Figure 13. Diagramme d'état pour une diffusion de classe N

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn



Note a: See Subclause 4.3.2 for SS≠0 responses

Figure 12. State Diagram for General Broadcast



Note a: See Subclause 4.3.2 for SS≠0 responses

Figure 13. State Diagram for Class N Broadcast

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Tableau 3. Codage des fonctions pour une diffusion, réponse de l'esclave

Bits AD Cas	7 6 5 4 Fonction	3	2	Description
1	Ignorés	0	0	Diffusion générale. Tous les dispositifs répondent aux cycles de données suivants
2	N	0	1	Seuls les dispositifs de la classe N (voir article 8.10, CSR#7) répondent aux cycles de données suivants
3	X[1] 0	1	0	Scrutation des données éparses: les dispositifs répondent en positionnant TP[2] pendant le cycle de lecture suivant si des données sont présentes
				Sélection par configuration: les dispositifs qui perçoivent TP[2] pendant le cycle d'écriture suivant immédiatement sont sélectionnés et répondront aux cycles suivants de lecture ou d'écriture
3a	X[1] 1	1	0	Scrutation des dispositifs disponibles: les dispositifs répondent en positionnant TP[2] s'ils ne contiennent pas de données ou s'ils sont disponibles pour une utilisation
				Sélection par configuration: comme dans le cas 3
4	0	1	1	Les dispositifs répondent en positionnant TP[2] pendant le cycle de lecture suivant
5	1	1	1	Positionnent TP[2] pendant le cycle de lecture suivant s'ils positionnent la demande de service SR
6	2	1	1	Les dispositifs positionnent TP[2] pendant le cycle de lecture suivant si CSR#0 < 05 > = 1 (voir tableau 14 page 87)
7	3-7	1	1	Réservés
8	8-F	1	1	Définis par le fabricant

[1] Les bits 5, 6 et 7 sont utilisés pour adresser un segment particulier parmi des segments d'extension. Pour pouvoir répondre, les Esclaves exigent que ces bits soient nuls. Les modules construits antérieurement au 1er juillet 1986, qui répondent au cas 3, n'ont pas besoin de décoder les bits 4 à 7 et ainsi ne répondent pas différemment au cas 3 et au cas 3a.

[2] Un dispositif qui se trouve sur un segment-câble au lieu d'un châssis utilise les lignes AD correspondant au réglage du commutateur d'adresse géographique du dispositif à la place de TP.

Le diagramme d'état de la figure 11 page 40 pour une diffusion utilisant les contacts T montrent comment un module doit réagir aux différentes séquences d'opération d'un cycle de données. Le dispositif attend dans l'état déconnecté jusqu'à ce qu'il voit une diffusion par contact T à laquelle il obéit. Le dispositif passe ensuite dans l'état pseudo-connecté attendant l'opération suivante de données. Dans cet état la seule ligne d'information qui est examinée est la ligne TP. Si le dispositif pseudo-connecté reçoit une écriture en contact T avec TP = 1, il passe dans l'état connecté et obéit à l'opération de données. Cependant dans cet état connecté le dispositif ne délivre généralement aucune réponse SS (voir le dernier paragraphe de l'article 4.3.2). Si le dispositif pseudo-connecté reçoit une écriture en contact T avec TP = 0, il passe dans l'état pseudo-déconnecté et arrête toute réponse aux opérations sur le bus jusqu'à ce que AS = 0 où il passe dans l'état déconnecté. Si le dispositif est dans l'état pseudo-connecté et reçoit une opération de données avec MS≠0, le dispositif ignore l'opération et reste dans le même état. Chaque opération avec une adresse secondaire non valide fait passer le dispositif dans l'état pseudo-déconnecté. Une erreur de parité dans une opération d'adresse secondaire provoque l'envoie de SS = 7 par le dispositif.

Le diagramme d'état de la figure 12 page 41 pour une diffusion générale est semblable à figure 11 page 40 sauf que la transition vers l'état connecté ne passe pas par l'état pseudo-connecté. Un NTA invalide permet d'éliminer les dispositifs non désirés dans une diffusion générale.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 3. Function Encoding for Broadcast, Slave Response

AD Bits Case	7 6 5 4 3 2 Function	Description
1	Ignored 0 0	General Broadcast. All Devices respond to subsequent Data Cycles
2	N 0 1	Only Devices of Class N (see Clause 8.10, CSR#7) respond to subsequent Data Cycles
3	X[1] 0 1 0	Sparse Data Scan: Devices respond by asserting TP[2] during following Read Cycle if data present Pattern Select: Devices sensing TP[2] during the immediately following Write Data Cycle are selected and respond to subsequent Read or Write Cycles
3a	X[1] 1 1 0	Device Available Scan: Devices respond by asserting TP[2] if they contain no data or are available for use Pattern Select: same as for Case 3
4	0 1 1	Devices respond by asserting TP[2] during following Read Cycle
5	1 1 1	Assert TP[2] during following Read Cycle if asserting Service Request (SR)
6	2 1 1	Devices respond by asserting TP[2] during the following Read Cycleif CSR#0 < 05 > = 1 (see Table 14 on page 87)
7	3-7 1 1	Reserved
8	8-F 1 1	Defined by Manufacturer

[1] Bits 5, 6 and 7 are used for addressing a specific Segment on an Extended Segment. In order to respond, Slaves require that these bits be zero. Modules constructed prior to July 1 1986, which respond to Case 3 need not decode bits 4 through 7 and hence need not respond differently for Case 3 and Case 3a.

[2] A Device on a Cable rather than a Crate Segment uses the AD line corresponding to the Device's Geographical Address switch setting in place of TP.

The state diagram in Figure 11 on page 40, for a T-Pin Broadcast shows how a Module shall react to various sequences of Data Cycle Operations. The device waits in the DISCONNECTED state until it sees a T-Pin Broadcast which it obeys. The device next moves to the PSEUDO CONNECT states awaiting the next data operation. In this state the only information line which is sensed is TP line. If the PSEUDO CONNECTED Device receives a T-Pin Write with TP = 1, it moves into the CONNECT state and obeys data operations. In the CONNECT state, however, the Device generally does not deliver any SS responses (see last paragraph of Subclause 4.3.2). If the PSEUDO CONNECTED device receives a T-Pin Write with TP = 0, it moves into the PSEUDO DISCONNECT state and ceases all responses to bus operations until AS = 0 at which time it returns to the DISCONNECTED state. If the device is in the PSEUDO CONNECT state and receives a data operation with MS not equal zero, the Device ignores the operation and remains in the same state. Any invalid Secondary Address operation causes the device to enter the PSEUDO DISCONNECT state. A parity error on a Secondary Address operation cause the Device to send SS = 7.

The state diagram in Figure 12 on page 41, for a General Broadcast is similar to that in Figure 11 on page 40 except that the transition to the CONNECT state does not pass through the PSEUDO CONNECT state. The invalid NTA is used to shed unwanted Devices from the General Broadcast.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Le diagramme d'état de la figure 13 page 41 pour une diffusion de classe N est semblable à une opération normale avec dialogue sauf que la transition vers l'état connecté au moment de l'adresse dépend de la validité de la classe N qui a été perçue par le module.

Après avoir envoyé l'un des cycles d'adresse primaire en diffusion défini dans la tableau 3 page 42, un Maître doit procéder comme suit pendant le verrouillage AS/AK suivant:

Cas 1 et 2 Toutes les séquences d'adresses secondaires et de cycles de données sont permises. Les réponses d'état sont les mêmes que dans les opérations qui ne sont pas des diffusions.

Cas 3 à 6 Etant donné qu'une opération de diffusion a AD<03> = 1 au moment de l'adressage, le cycle suivant doit être un cycle de données avec MS = 0. Si le premier cycle est un cycle de lecture de données, il peut être suivi par un cycle d'écriture de données MS = 0 qui a également une signification spéciale. Si le premier cycle est un cycle d'écriture de données, il a alors la même signification spéciale. Les dispositifs qui devient connectés au Maître après que ce cycle d'écriture de données se soit produit répondent aux cycles de données suivants de la manière habituelle. Si le cycle d'écriture de données, qui suit immédiatement le premier cycle de lecture de données, ne doit pas avoir de signification spéciale, il doit avoir MS différent de zéro.

La diffusion utilise le cycle d'adresse pour établir les connexions et les conditions de sélection. Aucune autre action ne prend place jusqu'aux cycles de données suivants. Un Maître de diffusion, qui voit une réponse SS non nulle au moment de l'adressage, sait qu'il n'en résultera aucun dommage, bien que quelque chose soit allé de travers, car les Esclaves connectés n'exécutent rien jusqu'au moment des données.

Les Esclaves connectés à un Maître par un cycle d'adresse de diffusion peuvent émettre SS en réponse à un cycle de données de la même manière et pour les mêmes raisons qu'ils le font dans un cycle de données qui n'est pas de diffusion. Le dialogue système garantit que lorsque le Maître de diffusion voit la transition DK (aussi bien que AK(u)), la condition des lignes SS est valide excepté pour les transferts de bloc en pipe-line. Pour la diffusion en lecture, la lecture des données RD est également valable à la transition de DK. Il n'existe aucun mécanisme pour garantir la parité des données lues pendant une diffusion.

Si un Maître de diffusion voit une réponse SS non nulle à DK(t), le Maître n'a aucun moyen pour déterminer lesquels des Esclaves connectés exécutent le cycle de données correctement et lesquels ne le font pas. La seule certitude est que certains ne l'ont pas fait. Pour continuer, on peut, si cela est faisable, ignorer l'erreur, ou bien, si cela est possible, renouveler la diffusion, ou, en dernier ressort, le système sera redémarré.

A cause de ces problèmes, les Esclaves dans le FASTBUS ne devraient pas envoyer de réponse SS pendant une diffusion excepté dans des situations de commandes critiques. Il est recommandé que de telles opérations soient coupées en deux étapes. La première est un cycle d'armement ou de test et, si une réponse non nulle doit être envoyée, elle l'est à cet instant. La seconde étape est l'exécution réelle de la commande. En cas de difficulté, le Maître peut arrêter après la première étape et faire une action corrective avant qu'aucune action ne soit exécutée par les Esclaves connectés.

Contrôler l'intégrité d'une opération de diffusion est difficile. On ne peut pas facilement être certain que tous les dispositifs qui devaient participer à la diffusion ont véritablement participé. Cependant des contrôles peuvent être réalisés sur les dispositifs qui ont été connectés. Par exemple, les bits de CSR#2<10:08> peuvent être positionnés par certaines conditions d'erreur. D'autres bits d'erreur peuvent être définis par l'utilisateur. Ces conditions d'erreur sont toutes regroupées dans le CSR#0<00>. Une lecture en diffusion du CSR#0 à la fin de l'opération donnera le "OU" de tous les bits. Si le bit <00> est à "1", alors une erreur s'est produite. Pour que cette méthode marche il est nécessaire que tous les bits d'erreur soient remis à zéro dans les modules qui participent à la diffusion avant qu'elle ne commence.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

The state diagram in Figure 13 on page 41, for class N Broadcast is similar to a normal handshake operation except that the transition to the CONNECT state at address time is dependent on a valid Class N Broadcast being sensed by the Module.

After having issued one of the Broadcast Primary Address Cycles specified in Table 3 on page 42, a Master may proceed as follows during the ensuing AS/AK lock:

Cases 1 and 2: Any sequence of Secondary Address and Data Cycles is allowed. Status responses are the same as for non-Broadcast Operations.

Cases 3 through 6: Since the Broadcast Operation had AD<03> = 1 at address time, the next cycle must be a data cycle with MS = 0. If the first cycle is a Read Data Cycle, it may be followed by an MS = 0 Write Data Cycle which also has special meaning. If the first cycle is a Write Data Cycle, then it has the same special meaning. The devices that become attached to the Master after this Write Data Cycle has taken place respond to ensuing Data Cycles in the usual way. If the Write Data Cycle that immediately follows the first Read Data Cycle is not to have special meaning, it must have MS not equal to zero.

Broadcasts use the Address Cycle to establish connections and conditions for selection. No other actions take place until the subsequent Data Cycles. A Broadcast Master seeing a non-zero SS response at Address time knows that, while something has gone wrong, no damage has been done since Attached Slaves do not execute until Data time.

Slaves attached to a Master by a Broadcast Address Cycle may generate SS in response to Data Cycles in the same way and for the same reasons as they do for non-Broadcast Data Cycles. The System Handshake ensures that when the Broadcast Master sees the DK transition (as well as AK(u)), the condition of the SS lines is valid except for Pipelined Transfers. For a Read Broadcast, the Read Data is also valid at the DK transition. No mechanism exists to guarantee Read Data parity during a Broadcast.

If a Broadcast Master sees a non-zero SS response at DK(t), the Master has no way of determining which of the Attached Slaves executed the Data Cycle correctly and which did not. The only certainty is that some did not. To proceed the error can, if feasible, be ignored or, if possible, the Broadcast retried or, as a last resort, the system restarted.

Because of these problems, Slaves in FASTBUS should not issue SS responses during Broadcasts except in critical control situations. It is recommended that such operations be broken into a two step process. The first is an arming or testing cycle and, if a non-zero response is to be given, it is given here. The second step is the actual execution of the command. In case of difficulty, the Master can stop after the first step and take corrective action before any action is taken by the Attached Slaves.

Checking the integrity of a Broadcast Operation is difficult. One cannot easily ascertain that all Devices which should have participated in the Broadcast actually did participate. Some checking, however, can be done on Devices which did attach. For example, bits in CSR#2<10:08> can be set for certain error conditions. Other CSR error bits may be defined by the user. These error conditions are all ORed into CSR#0 = <00>. A broadcast read of CSR#0 at the end of an Operation will give the OR of all bits. If bit <00> is a one then an error has occurred. For this technique to work it is necessary to have all error bits reset in participating Modules before the Broadcast begins.

IECNORM.COM : Click to view the full PDF of iec60935:1996

4.4 Adressage secondaire

Comme décrit précédemment (voir article 4.1), un cycle d'adresse secondaire est un cycle de données dans lequel une nouvelle adresse dans l'espace adresse courant est définie pour le ou les dispositifs qui ont été connectés pendant le cycle d'adresse primaire précédent quelque en soit le type: logique, géographique ou diffusion. Pour pouvoir réaliser un adressage secondaire et puisque les adresses et les données sont multiplexées sur le bus, de nombreux dispositifs auront besoin de conserver l'information de l'adresse dans le registre d'adresse du prochain transfert (NTA).

Règle

Tous les dispositifs, qui disposent de plus d'un registre CSR et de plus d'un registre dans l'espace des données, doivent disposer d'un NTA et doivent décoder tous les 32 bits de AD pendant un cycle d'écriture d'adresse secondaire pour déterminer la réponse SS qui doit être envoyée et pour déterminer le fonctionnement ultérieur du dispositif.

Si un NTA est réalisé, il doit:

Etre chargé avec l'information IA dans les bits de poids faible et mis à zéro ailleurs lorsque le dispositif reconnaît son adresse de dispositif et MS = 0 (voir tableau 5 page 54).

Etre chargé avec l'information AD appropriée pendant un cycle d'écriture d'adresse secondaire (voir paragraphe 5.3.1).

Etre transféré sur les lignes AD durant un cycle de lecture d'adresse secondaire (voir paragraphe 5.3.1).

Modifié seulement par les opérations FASTBUS. Après chaque transfert de données d'un transfert donné de bloc ou en pipe-line, le NTA doit être soit inchangé, soit incrémenté de un.

Ces règles permettent au Maître d'adresser géographiquement un Esclave et de relire le précédent contenu du registre NTA. Remarquer également que le NTA n'a pas besoin de faire 32 bits de large. Le NTA peut inclure des bits individuels indiquant la validité des champs de bits multiples à l'intérieur des 32 bits de l'adresse secondaire. Le NTA est toujours chargé sans considération sur la validité de l'information de l'adresse secondaire. Si l'adresse secondaire n'est pas valable, SS = 7 est renvoyé.

Les transferts de blocs ou en pipe-line peuvent ne pas modifier NTA si d'autres moyens tels que des FIFO ou des pointeurs incrémentaux (CSR#40 dans les SI par exemple) sont disponibles pour surveiller l'accès aux données.

4.5 Fonctionnement en scrutation des données éparses et en sélection par configuration

L'opération de scrutation des données éparses (SDS), troisième cas de la tableau 3 page 42, permet à un Maître de déterminer rapidement qui, parmi un grand nombre de dispositifs, contient des données valides et de limiter en conséquence ses interrogations à ces dispositifs lorsqu'il acquiert les données. Une scrutation des données éparses pourrait être réalisée de la manière suivante. L'opération pourrait démarrer par un cycle d'adresse de diffusion avec AD<04:02> = 2. Le cycle de lecture suivant obligera les modules contenant des données à positionner leurs contacts TP sur les lignes AD. Le Maître terminera alors l'opération de diffusion en retirant AS, et continuera en adressant géographiquement les modules qui contiennent des données chacun à leur tour. Les données pourraient être lues en utilisant un transfert de bloc. Si les modules ont besoin d'être remis à zéro et redémarrés, le Maître pour-

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

4.4 Secondary Addressing

As described earlier (see Clause 4.1), a Secondary Address Cycle is a Data Cycle in which a new address within the current address space is specified for the Device(s) that attached during the previous Primary Address Cycle regardless of its type - Logical, Geographical or Broadcast. In order to implement Secondary Addressing and since Address and Data are multiplexed on the bus, many Devices will need to save the address information in a Next Transfer Address register (NTA).

Rule

All Devices that implement more than one CSR register or more than one register in Data Space shall implement an NTA and shall decode all 32 AD bits during a Secondary Address Write Cycle to determine the SS response to be issued and to determine subsequent Device operation.

If an NTA is implemented it shall be:

Loaded with the IA field in the least significant bits and zeroes elsewhere when the Device recognizes its Device Address and MS = 0 (see Table 5 on page 54).

Loaded with the appropriate AD information during a Secondary Address Write Cycle (see Sub-clause 5.3.1).

Transferred to the AD lines during a Secondary Address Read Cycle (see Sub-clause 5.3.1).

Modified only by FASTBUS Operations. After each data transfer of a given Block or Pipelined Transfer, the NTA shall be either unchanged or incremented by one.

These rules allow Masters to Geographically Address a Slave and read back the previous contents of the NTA register. Also note that the NTA need not be 32 bits wide. The NTA may include single bits indicating the validity of multi-bit fields within the 32-bit Secondary Address. The NTA is always loaded regardless of the validity of the Secondary Address. If the Secondary Address is not valid, SS = 7 is returned.

Block or Pipelined Transfers do not have to modify the NTA if other means such as FIFOs and incrementing pointers (CSR#40 in SIs for example) are available for supervising data accesses.

4.5 Sparse Data Scan and Pattern Select Operation

The Sparse Data Scan (SDS) operation, case 3 of Table 3 on page 42, enables a Master to rapidly determine which of a large number of Devices contain valid data and to consequently restrict its interrogation to those Devices when extracting the data. A Sparse Data Scan could be implemented in the following way. The operation could start with a Broadcast Address Cycle with AD<04:02> = 2. The following Read Cycle would cause those Modules containing data to assert TP onto the AD lines. The Master would then end the Broadcast Operation by removing AS, and proceed to Geographically Address in turn those Modules containing data. The data could be read using Block Transfers. If the Modules need to be cleared and restarted, the Master could initiate another Broadcast, this time to CSR space. A Write Data Cycle with the previously obtained pattern then selects the original set of

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

rait initialiser une autre diffusion, cette fois-ci dans l'espace CSR. Un cycle de données en écriture avec la configuration précédemment obtenue sélectionne l'ensemble originel des modules. Un cycle d'adresse secondaire suivi par un cycle d'écriture de données sélectionne et modifie les registres voulus.

La sélection par configuration s'effectue pendant le premier cycle d'écriture de données après le cycle d'adresse de diffusion avec AD<03> = 1 et AD<02> = 0. Il peut également s'interposer un cycle de lecture de données avec MS = 0. Le cycle de lecture suivant le choix de la configuration ne provoquera pas la lecture de la configuration de la scrutation des données éparses (SDS), mais se comportera comme une lecture ordinaire en diffusion. La sélection des modules ne peut être modifiée sans exécuter un nouveau cycle d'adresse de diffusion.

Le premier cycle de lecture, celui qui obtient la configuration SDS, n'empêche pas le cycle de données suivant immédiatement d'effectuer une sélection par configuration. Ainsi il est possible, par exemple, de diffuser l'adresse AD<04:02> = 2 et MS = 3, de lire une configuration de modules SDS, éventuellement de masquer le bit correspondant à certains modules, d'écrire la configuration (exécutant une sélection par configuration), d'écrire une adresse secondaire pour sélectionner un registre CSR dans tous les modules sélectionnés et, ensuite, d'écrire des données pour provoquer une certaine action dans ces modules.

Remarquer que le procédé de se connecter à un Maître pendant un cycle d'adresse de diffusion n'affecte aucun des pointeurs internes de l'Esclave. Il est ainsi possible de construire un dispositif qui positionne conditionnellement son contact TP suivant le contenu d'un registre pointé par le registre NTA. Pour ce faire, on exécute un cycle d'adresse de diffusion, cas 1 ou 2, pour sélectionner le dispositif intéressant, suivi par un cycle d'écriture à une adresse secondaire pour placer le pointeur dans le NTA de chaque Esclave. Le Maître envoie un cycle d'adresse de diffusion, cas 3, (en maintenant GK = 1) pour sélectionner à nouveau les dispositifs, suivi par un cycle de lecture de données avec MS = 0 pour les interroger.

Les opérations de diffusion sont notablement plus lentes que les opérations ordinaires à cause des garanties du cadencement nécessaire pour le dialogue système. La diffusion devrait être habituellement limitée à quelques cycles ou utilisée dans les cas où un parallélisme significatif est possible.

IECNORM.COM : Click to view the full PDF of iec60935-1:1996

Modules. Secondary Address Cycles followed by Write Data Cycles then select and modify the appropriate registers.

Pattern Select takes effect during the Write Data Cycle immediately following the Broadcast Address Cycle with AD<03> = 1 and AD<02> = 0. There may also be an intervening Read Data Cycle with MS = 0. A Read Cycle following Pattern Select does not cause a Sparse Data Scan (SDS) pattern to be read, but acts like an ordinary Broadcast Read. Device selection cannot be changed without performing a new Broadcast Address Cycle.

The first Read Cycle, the one which gets the SDS pattern, does not prevent an immediately following Write Data Cycle from performing Pattern Select. Thus it is possible, for example, to Broadcast Address AD<04:02> = 2 and MS = 3, read a Module SDS pattern, perhaps mask off certain Modules' bits, write the pattern (performing Pattern Select), Secondary Address Write to select a CSR register in all of the selected Modules, and then write Data to cause some action in these Modules.

Note that the process of attaching to a Master during a Broadcast Address Cycle does not affect any of the internal pointers in a Slave. Hence, it is possible to construct Devices that assert TP conditionally upon the contents of a register pointed to by the NTA register. To do this, a Case 1 or 2 Broadcast Address Cycle is performed to select the Devices of interest, followed by a Secondary Address Write Data Cycle to place the pointer in each Slave's NTA. The Master issues a Case 3 Broadcast Address Cycle (maintaining GK = 1) to again select the Devices, followed by an MS = 0 Read Data Cycle to interrogate them.

Broadcast Operations are significantly slower than ordinary operations because of the conservative timing required of the System Handshake. Broadcasts should usually be limited to a few cycles or to cases where significant parallelism is possible.

IECNORM.COM : Click to view the full PDF of iec60935-1:1996

Section 5. Fonctionnement du FASTBUS: chronogrammes, séquences et réponses

Une opération FASTBUS implique l'échange d'information entre un Maître et un ou plusieurs Esclaves. Le Maître contrôle complètement l'opération. L'Esclave répond seulement aux demandes du Maître. Un Maître initialise un cycle de bus (c.-à-d. fait une demande) en positionnant en premier les lignes de contrôle (choix du mode et lecture) et les lignes d'information (adresses/données, parité et mise en service de la parité) ensuite, après un retard approprié, il positionne un signal de synchronisation. Suivant le type de demande, l'Esclave sélectionné ou la logique ancillaire répondent en positionnant un signal d'acceptation et, si nécessaire, l'Esclave place des données sur les lignes adresses/données. L'état du cycle est rapporté sur les lignes d'état de l'Esclave qui sont positionnées par l'interconnexion de segments ou par l'Esclave pour les cycles d'adresse primaire, et par l'Esclave pour les cycles de données. Le tableau 4 représente le cadencement du dialogue des cycles d'adresses et de données. Les transferts de bloc de données peuvent utiliser ou non la synchronisation par dialogue Maître/Esclave.

Tableau 4. Cadencement du dialogue d'un cycle

SEQUENCE AU MAITRE	SEQUENCE A L'ESCLAVE
1 - Positionne les lignes de contrôle (et d'information)	
2 - Attend le temps d'établissement du segment	
3 - Emet les signaux de synchronisation	
	1 - Reçoit le signal de synchronisation
	2 - Tient compte des retards internes
	3 - Echantillonne les lignes de contrôle (et d'information)
	4 - Répond en interne
	5 - Positionne les lignes d'état (et d'information), et envoie le signal d'acceptation
4 - Reçoit le signal d'acceptation	
5 - Attend le temps d'établissement du bus	
6 - Tient compte des retards internes	Remarque - L'état du bus peut changer à ce moment mais l'Esclave ne doit pas en tenir compte jusqu'au prochain signal approprié du cadencement.
7 - Echantillonne les lignes d'état (et d'information)	
8 - Répond en interne	
9 - Fin de la séquence	

Cette section commence par les caractéristiques générales du cadencement pour les signaux produits par le Maître et les Esclaves. Ensuite, les cycles d'adresse primaire et les cycles de données sont définis. Finalement, on définit l'utilisation de certaines lignes particulières qui peuvent affecter les opérations FASTBUS.

5.1 Caractéristiques générales du cadencement Maître/Esclave

La conséquence des caractéristiques de cadencement décrites ci-dessous est qu'un Esclave doit pouvoir se passer de la connaissance des caractéristiques temporelles du segment sur lequel il est connecté et qu'un Maître ne doit pas faire de différence entre une opération à l'intérieur ou à l'extérieur du segment. Les Maîtres et la logique ancillaire connectés à un segment gèrent le cadencement requis associé seulement à ce segment. Les interconnexions de segments gèrent le cadencement nécessaire associé à des opérations intersegments.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 5. FASTBUS Operations: Timing, Sequences and Responses

A FASTBUS Operation involves the exchange of information between a Master and one or more Slaves. The Master is in full control of the operation. Slaves only respond to requests from Masters. A Master initiates a bus cycle (i.e. makes a request) by first asserting control lines (Mode Select and Read) and information lines (Address/Data, Parity and Parity Enable) then, after a suitable delay, asserting a synchronizing signal. Depending on the type of request, the selected Slave or the Ancillary Logic responds by asserting an acknowledging signal and, if requested, the Slave places data on the Address/Data lines. The status of the cycle is reported on the Slave Status lines which are asserted by Segment Interconnects or Slaves for Primary Address Cycles and by Slaves for Data Cycles. Table 4 shows the timing sequence for a handshaked Address or Data Cycle. Block Transfers of data may or may not make use of the Master/Slave handshake.

Table 4. Handshaked Cycle Timing Sequence

SEQUENCE AT MASTER	SEQUENCE AT SLAVE
1 - Assert Control (and Information) lines	
2 - Wait Segment skew time	
3 - Issue Sync timing signal	
	1 - Sense Sync timing signal
	2 - Compensate for internal delays
	3 - Sample Control (and Information) lines
	4 - Respond internally
	5 - Assert Status (and Information) lines and issue Acknowledge timing signal
4 - Sense Acknowledge timing signal	
5 - Wait Segment skew time	
6 - Compensate for internal delays	Note - Bus state may change at this time but Slave does not react until next appropriate timing signal.
7 - Sense Status (and Information) lines	
8 - Respond internally	
9 - End of sequence	

This section starts with the general timing requirements for signals generated by Masters and Slaves. Then Primary Address Cycles and Data Cycles are specified. Finally, the usage of some special lines that can affect FASTBUS operations is specified.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

5.1 General Master/Slave Timing Requirements

A consequence of the timing requirements specified below is that a Slave need have no knowledge of the timing characteristics of the Segment to which it is connected and a Master need not differentiate between on-Segment and off-Segment operations. Masters and the Ancillary Logic connected to a Segment handle the timing requirements associated with that Segment only. Segment Interconnects handle the timing requirements associated with inter-segment operations.

Aucun temps spécifique n'est mentionné dans cette section. En fait, les caractéristiques sont données en termes de temps d'établissement, de temps de réponse, etc. Les valeurs recommandées pour ces temps pour une réalisation particulière sont données à l'annexe A.

5.1.1 Caractéristiques de cadencement des signaux du Maître

Règle

Le Maître doit laisser un temps d'établissement entre le positionnement de l'information ou des signaux de contrôle et l'envoi des signaux de cadencement. Le Maître doit offrir les caractéristiques suivantes pour le cadencement du bus.

1. *Les informations doivent être appliquées par un Maître sur les lignes AD, PE, PA, RD et MS seulement après AK = EG = 0 pendant une durée plus longue que la largeur minimale de l'état bas d'une impulsion sur le segment (article 2.3 et Annexe A).*
2. *Les informations de contrôle sur les lignes RD et MS et, s'il y a lieu, les lignes AD, PA et PE doivent être positionnées un temps d'établissement avant le positionnement de AS(u) ou DS(t).*
3. *Le positionnement de EG par le Maître doit se faire au moment du positionnement des informations d'adresse.*
4. *Pendant un cycle d'adressage primaire ou d'écriture de données, le Maître doit maintenir les signaux sur les lignes MS, RD, AD, PA et PE jusqu'à ce qu'il reçoive respectivement AK(u) ou DK(t) et qu'il ait accepté les informations sur les lignes SS ou bien jusqu'à la fin de son temporisateur.*
5. *Pendant un cycle de lecture, le Maître doit maintenir les signaux sur les lignes MS et RD jusqu'à ce qu'il reçoive DK(t) et qu'il ait accepté les informations sur les lignes SS, AD, PA et PE ou bien jusqu'à la fin de son temporisateur.*
6. *Le Maître après avoir reçu le signal d'acceptation de l'Esclave AK(u) ou DK(t) doit, lorsque WT = 0, laisser un temps d'établissement avant d'accepter les données des lignes SS ou, si RD = 1, également des lignes AD, PA et PE.*
7. *Un Maître doit produire AS(d) lorsque l'opération FASTBUS initialisée par AS(u) est terminée. Un Maître doit cesser d'appliquer tous les signaux sur le bus au moins un temps d'établissement avant AS(d) (sauf pour DS qui peut être retiré aussi tard que AS(d)).*
8. *Le Maître doit maintenir AS(d) pendant une durée suffisante (temps minimal de l'état bas des impulsions, voir annexe A) pour que l'Esclave suivant à être adressé puisse voir AS(d) avant l'AS(u) suivant.*
9. *Si un Maître ne reçoit pas AK(u) dans la durée du temporisateur de réponse de l'adresse (voir paragraphe 5.1.3 et annexe A) après avoir positionné AS(u), le Maître doit positionner AS(d) pour au moins un temps minimal de l'état bas des impulsions avant de démarrer une nouvelle opération.*
10. *Si la réponse AK(d) à AS(d) n'est pas reçue à l'intérieur de la durée du temporisateur de réponse d'adresse du Maître, le Maître doit considérer cela comme une erreur.*
11. *Si la réponse DK(t) à DS(t) n'est pas reçue à l'intérieur de la durée du temporisateur de réponse du Maître pour les données (voir annexe A), le Maître doit considérer cela comme une erreur.*

Des considérations système exigent que le Maître démarre un temporisateur de réponse au démarrage de chaque cycle de bus excepté pour les transferts de bloc en pipe-line. Si une réponse n'est pas reçue dans le temps prévu, le cycle devra être terminé et on devra initialiser une procédure de reprise ou de diagnostic. Les durées des temporisateurs de réponse des cycles d'adresses et de données peuvent être, si on le désire, programmées pour différentes

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

No specific times are mentioned in this section. Rather the specifications are given in terms of skew times, response times, etc. Recommended values for these times for specific implementations are given in Annex A.

5.1.1 Master Signal Timing Requirements

Rule

The Master shall provide skew time between the assertion of information or control signals and the assertion of timing signals. The Master shall allow for bus timing characteristics as follows.

1. *Information shall be asserted on the AD, PE, PA, RD and MS lines by a Master only after AK=EG=0 for a time greater than the Minimum Pulse Down Time for the Segment. (Clause 2.3 and Annex A.)*
2. *The control information on the RD and MS lines and, if appropriate, the AD, PA and PE lines shall be asserted a skew time before the assertion of AS(u) or DS(t).*
3. *Assertion of EG by the Master shall occur at the same time as the assertion of the address information.*
4. *During a Primary Address or Write Data Cycle, the Master shall maintain signals on the MS, RD, AD, PA and PE lines until it receives AK(u) or DK(t) respectively and has accepted the information on the SS lines or until it times out.*
5. *During a Read Data Cycle the Master shall maintain signals on the MS and RD lines until it receives DK(t) and has accepted the information on the SS, AD, PA and PE lines or until it times out.*
6. *The Master, after receiving the Slave's acknowledge signal AK(u) or DK(t), shall, when WT=0, provide a skew time before accepting the data from the SS lines or, for RD=1, from the AD, PA and PE lines as well.*
7. *A Master shall generate AS(d) when the FASTBUS Operation initiated by AS(u) is to be terminated. A Master shall cease asserting all signals on the bus at least a skew time before AS(d) (except for DS which may be removed as late as AS(d)).*
8. *The Master shall maintain AS(d) for a sufficient time (Minimum Pulse Down Time, see Annex A) that the next Slave to be addressed will see AS(d) before the next AS(u).*
9. *If a Master does not receive AK(u) within the Address Response Timeout period (see Sub-clause 5.1.3 and Annex A) after issuing AS(u), the Master shall assert AS(d) for at least the Minimum Pulse Down Time before starting a new operation.*
10. *If the AK(d) response to AS(d) is not received within the Master Address Response Timeout period the Master shall consider it to be an error.*
11. *If the DK(t) response to DS(t) is not received within the Master Response Timeout period for data (see Annex A) the Master shall consider it to be an error.*

System considerations require that Masters start a Response Timer at the start of every bus cycle except for Pipelined Transfers. If a response is not received in the time expected, the cycle should be terminated and recovery or diagnostic procedures initiated. The Address and Data Cycle Response Timer periods may be set for different values if desired. Only the properties of the Local Segment need be considered when choosing Response Timer periods.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

valeurs. Seules les caractéristiques du segment local ont besoin d'être prises en compte lorsque l'on choisit la durée du temporisateur de réponse.

Règle

Sauf pour les transferts de bloc en pipe-line, un Maître doit espérer une réponse pour chaque transition de signal de cadencement qu'il envoie. Au démarrage de chaque transition d'un signal de cadencement un Maître doit démarrer un temporisateur de réponse (voir annexe A). Le temporisateur doit être remis à zéro lors de la réception de l'acceptation de la transition d'origine ou lorsque le Maître perçoit le positionnement de WT. Les temporisateurs doivent être contrôlés par CSR#9, comme spécifié dans la section 8.

Les temps de déclenchement des temporisateurs de réponse du Maître sont basés sur les temps de réponse de l'Esclave aux transitions des signaux de cadencement, et sur le temps de propagation maximal du signal sur le bus auquel le Maître est directement connecté.

Un autre temporisateur, appelé temporisateur long, est nécessaire aux Maîtres pour éviter les blocages. Ce temporisateur est contrôlé par CSR#9 < 04 > (voir article 8.12) et ignore WT. Il peut être remis à zéro et redémarré à n'importe quel moment; par exemple, chaque fois qu'un Maître positionne AR ou AS. La période du temporisateur peut être modifiée n'importe quand pour faire face à un changement de circonstances. La fin ne devra pas affecter les cycles du bus sauf si AS = 1 et AK = 0 (déclenchement d à un blocage pendant un cycle d'adressage). La durée du temporisateur devra être assez longue pour permettre aux opérations normales de se terminer sans interruption, et assez courte pour que des blocages ne fassent pas perdre inutilement des ressources au système. Remarquer que des blocages peuvent se produire lors d'échecs répétés pour obtenir le contrôle des ressources nécessaires, et ainsi la détection des blocages demande plus que la détection d'un manque d'activité du bus. Le temporisateur long peut être utile comme outil pour aider à déterminer si l'on progresse d'une manière satisfaisante vers les buts spécifiques d'une application particulière.

Les Esclaves et les SI envoient tous les deux WT(u) lorsqu'ils ne sont pas capables de répondre immédiatement mais espèrent pouvoir le faire rapidement. Le Maître devra contenir un temporisateur d'attente qui est démarré dès la réception de WT(u) et remis à zéro et inhibé quand WT = 0. Le temporisateur d'attente évite au Maître d'attendre indéfiniment WT(d) qui est nécessaire pour que le cycle puisse continuer. Si le temporisateur d'attente déclenche, le Maître termine l'opération en enlevant tous les signaux.

Règle

Un Maître doit posséder un temporisateur long. Le temporisateur long et, s'il existe, le temporisateur d'attente doivent être contrôlés par le CSR#9, tel que cela est décrit dans la section 8.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

5.1.2 Caractéristiques du cadencement de l'Esclave

Règle

Un Esclave doit, dès la réception de AS(u), considérer que les données sur les lignes AD, PE, PA, RD et MS sont valables pour un cycle d'adresse primaire. Les données doivent cesser d'être considérées comme valables au moment ou l'Esclave produit AK(u) ou reçoit AK(u) ou AS(d).

Un Esclave connecté (voir paragraphe 5.2.2) doit répondre à AS(u) avec AK(u) à l'intérieur du temps de réponse d'adresse de l'Esclave (voir annexe A). Un Esclave doit répondre à DS(t) à l'intérieur du temps de réponse de données de l'Esclave (voir annexe A) ou positionner WT = 1 jusqu'à ce qu'il produise DK(t).

Rule

Except for Pipelined Transfers, a Master shall expect a response to each timing transition it issues. At the start of each such timing transition a Master shall start a Response Timer (see Annex A). The timer shall be reset when the Acknowledge for the initiating timing transition is received or when the Master senses the assertion of the WT line. The timers shall be controlled by CSR#9 as specified in Section 8.

Master Response Timeout periods are based on the Slave response time to the timing transition and the maximum signal propagation time for the bus to which the Master is directly connected.

Another timer, called the Long Timer, is required by Masters in order to prevent deadlocks. This timer is controlled by CSR#9 < 04 > (see Clause 8.12) and ignores WT. It may be reset and restarted at any time; for example, whenever the Master asserts AR or AS. The timeout period may be changed at any time in response to changing circumstances. Expiration should not affect bus cycles unless AS = 1 and AK = 0 (deadlock timeout during Address Cycle). The timeout period should be long enough to allow normal operations to complete without interruption, and short enough that deadlock conditions are not allowed to waste system resources needlessly. Note that deadlocks may occur as repeated failures to gain control of needed resources, and therefore detecting deadlocks requires more than detecting a lack of bus activity. The Long Timer may be useful as one tool which may help determine whether satisfactory progress is being made toward the specific goals of a particular application.

Both Slaves and SIs issue WT(u) when they are unable to respond immediately but expect to do so shortly. The Master should contain a Wait Timer which is started on receipt of WT(u) and reset and inhibited when WT = 0. The Wait Timer prevents a Master from waiting indefinitely for WT(d) which is required for the cycle to continue. If the Wait Timer times out the Master terminates the operation by removing all signals.

Rule

A Master shall include a Long Timer. The Long Timer and, if implemented, the Wait Timer shall be controlled by CSR#9 as specified in Section 8.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

5.1.2 Slave Signal Timing Requirements

Rule

A Slave shall, on receipt of AS(u), assume that the data on the AD, PE, PA, RD and MS lines are valid for a Primary Address Cycle. The data shall cease to be considered valid at the time the Slave generates AK(u) or receives AK(u) or AS(d).

An Attached Slave (see Sub-clause 5.2.2) shall respond to AS(u) with AK(u) within the Slave Address Response Time (see Annex A). A Slave shall respond to DS(t) within the Slave Data Response Time (see Annex A) or assert WT = 1 until it generates DK(t).

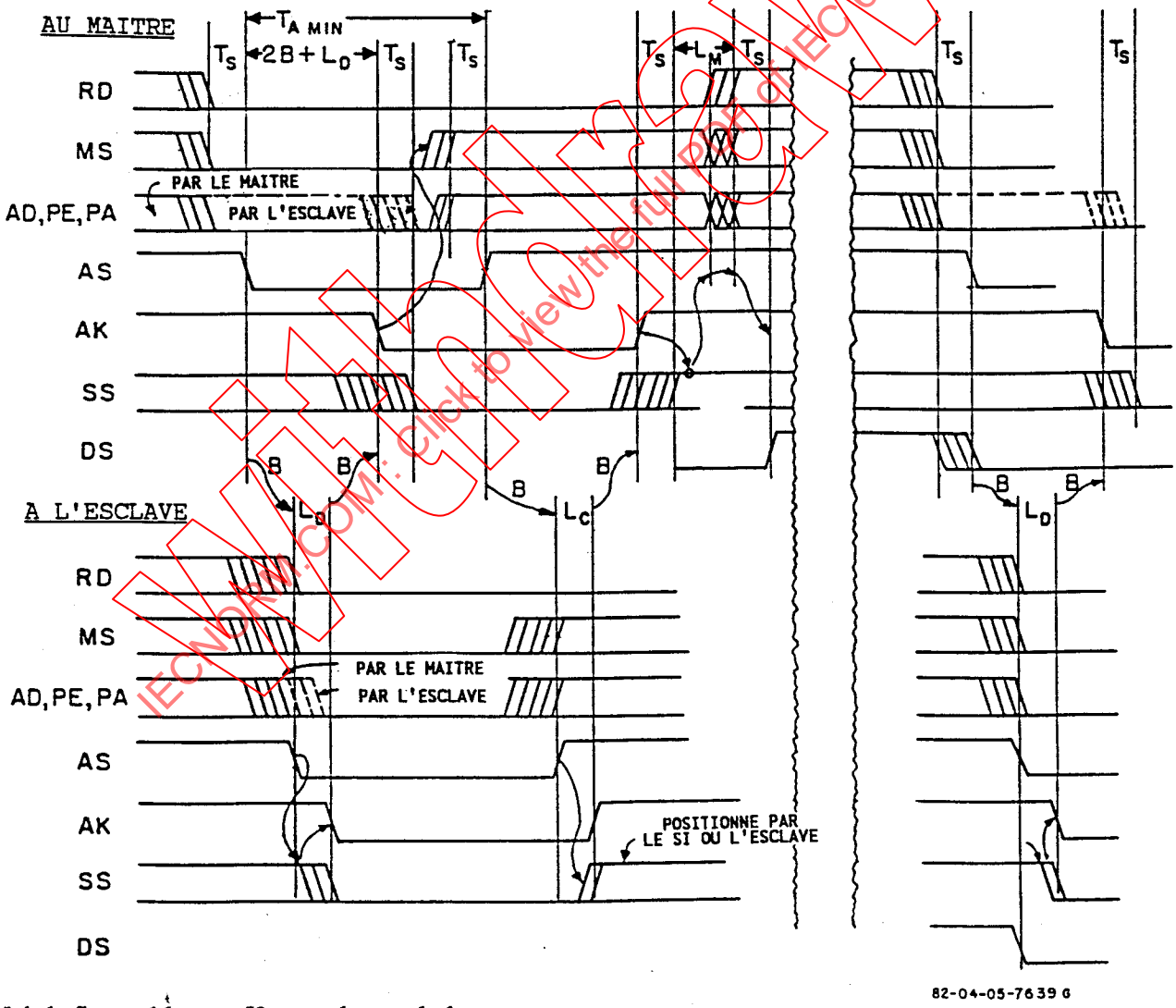
Règle, suite

Si un Esclave connecté positionne SS pendant un cycle d'adresse primaire, SS doit être positionné pas plus tard que AK(u) et doit être maintenu jusqu'à ce que l'état des lignes MS ou RD soit modifié ou jusqu'à ce que DS(u) ou AS(d) soient reçus.

Un Esclave connecté qui maintient AK = 1 doit positionner WT = 0, en réponse à AS(d), s'il ne le fait pas déjà. Lorsqu'il perçoit la réception de WT = 0, il doit retirer tous les signaux du bus dans le temps de réponse d'adresse de l'Esclave et alors émettre AK(d).

Un Esclave connecté doit, à la réception de DS(t), présumer que des données valables sont sur les lignes MS et RD et éventuellement sur les lignes AD, PA et PE. Les données sur ces lignes doivent être considérées valables jusqu'à ce que l'Esclave émette DK(t) ou reçoive DS(t) ou AS(d) (voir les points (4) et (5) du paragraphe 5.1.1).

Un Esclave connecté doit positionner SS et, si RD = 1, soit AD et éventuellement PA et PE, soit TP pas plus tard que DK(t) et doit maintenir ces signaux jusqu'à ce que l'état des lignes MS ou RD soit modifié ou jusqu'à ce qu'il reçoive DS(t) ou AS(d).



Voir la figure 16 page 52, pour les symboles.

Figure 14. Cycle d'adressage logique

IECNORM.COM: Click to view the full PDF of IEC 60935:1996

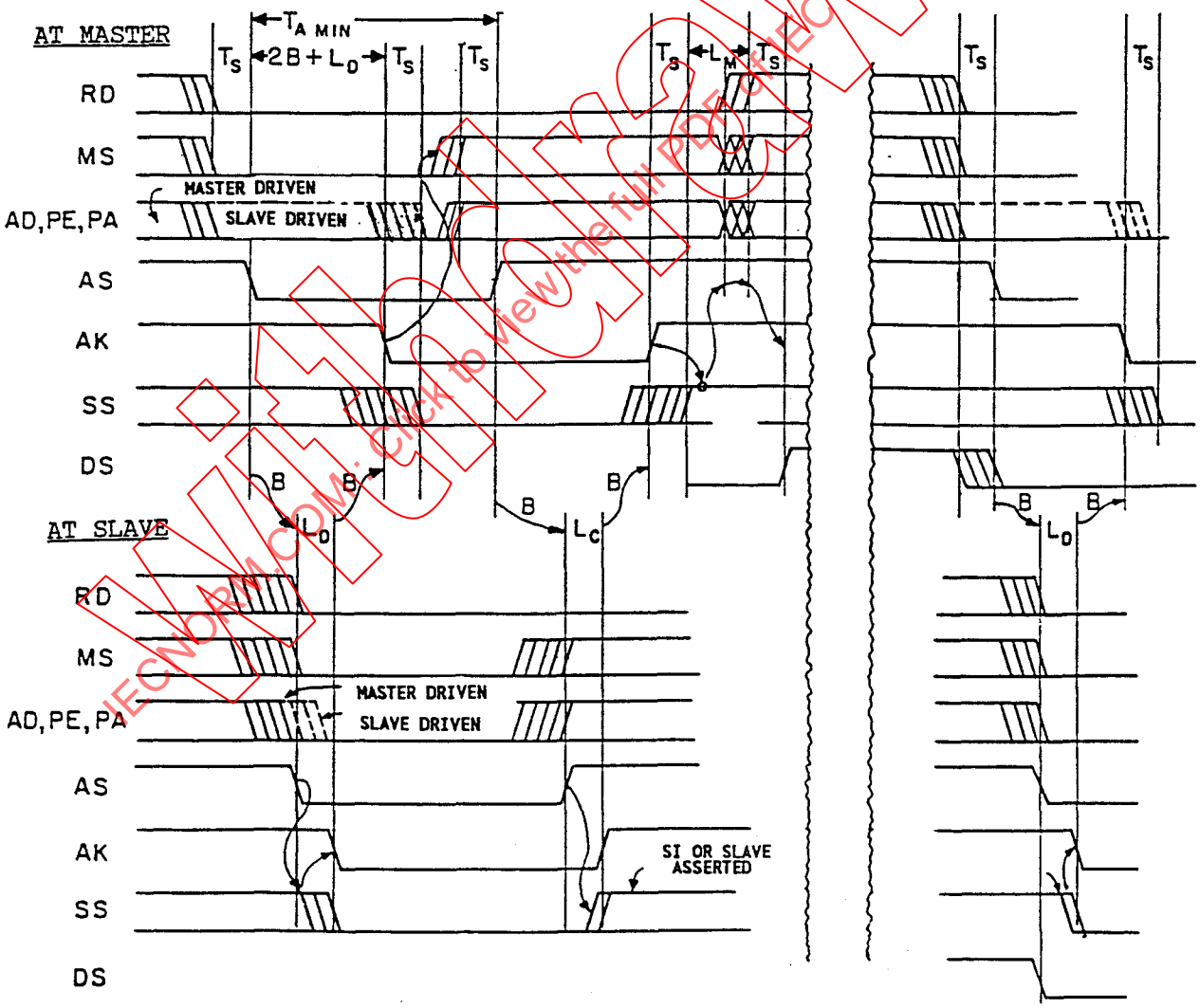
Rule continued

If an Attached Slave asserts SS during a Primary Address Cycle, SS shall be asserted no later than AK(u) and shall be maintained until the state of the MS and RD lines is modified or until DS(u) or AS(d) is received.

An Attached Slave that is maintaining AK = 1 shall, in response to AS(d), assert WT = 0 if it is already not so doing. When the Slave senses WT = 0, it shall remove all signals from the bus within the Slave Address Response Time and then generate AK(d).

An Attached Slave shall, on receipt of DS(t), assume that valid data are on the MS and RD lines and, if appropriate, the AD, PA and PE lines as well. The data on these lines shall be considered valid until the Slave generates DK(t) or receives DS(t) or AS(d) (see items (4) and (5) of Sub-clause 5.1.1).

An Attached Slave shall assert SS and, if RD = 1, either AD and optionally PA and PE or TP no later than DK(t) and shall maintain these signals until the state of the MS and RD lines is modified or until DS(t) or AS(d) is received.



IECNORM.COM: Click to view the full PDF of IEC 60935:1996

See Figure 16 on page 52, for symbols.

Figure 14. Logical Address Cycle

Règle

Les réponses AK(u) ou DK(t) de l'Esclave doivent indiquer que l'Esclave répondra au DS(t) suivant immédiatement. La réponse AK(d) de l'Esclave doit indiquer qu'il se trouve dans un état où il réagira correctement à AS(u).

Un Esclave doit, sur DS(t), émettre SS = 6 pour toute opération qu'il ne peut exécuter. Un Esclave doit émettre une réponse SS sur AS(u) selon le tableau 6 page 55. Sur AS(d) un Esclave doit émettre SS = 0. (Par exemple, si un code MS non exécutable accompagne DS(d) après un transfert unique, le dispositif doit renvoyer une réponse SS = 6.)

Si un Esclave doit maintenir AK = 1 plus longtemps que le temps de réponse d'adresse de l'Esclave après AS(d), l'Esclave devra positionner WT = 1. Un Maître qui voit AK = 1, WT = 0 après le temps de déclenchement de la réponse d'adresse du Maître considère que c'est une erreur.

5.1.3 Utilisation de la ligne d'attente (WT)

Sauf pour les transferts en pipe-line, toutes les opérations FASTBUS sont asynchrones. Si nécessaire, les signaux de cadencement peuvent être bloqués par la ligne WT. La ligne WT est utilisée lorsqu'une transaction Maître/Esclave passe par un SI.

Règle

Pendant un transfert en pipe-line un Esclave doit ignorer WT = 1.

Le signal WT doit être utilisé comme suit pour retarder les réponses au cadencement sur un segment FASTBUS:

1. *Dès la réception d'un signal de contrôle WT = 1, le Maître du bus doit remettre à zéro et inhiber son temporisateur actif de réponse (adresse ou données). Le Maître peut répondre en interne aux signaux de cadencement AG, AK et DK mais ne doit pas changer l'état des signaux de cadencement AS ou DS sauf dans le 8 ci-dessous.*
2. *S'il existe dans le Maître un temporisateur d'attente contrôlé par le CSR#9, il doit être démarré dès la réception de WT(u).*
3. *Dès la réception du signal de contrôle WT = 1, un Esclave peut répondre en interne aux signaux de cadencement AS et DS mais ne doit pas changer l'état des signaux de cadencement AK ou DK.*
4. *A la fois pour les dispositifs Maîtres ou Esclaves et pour la logique ancillaire, les opérations FASTBUS doivent reprendre quand le signal de contrôle WT = 0 est reçu. Pendant les opérations de diffusion, un Esclave qui a positionné WT = 1 pour inhiber des transferts de données doit avoir ses lignes de données positionnées (en cas d'opération de lecture) ou doit être capable d'accepter des données (en cas d'opération d'écriture) lorsqu'il positionne WT = 0.*
5. *Dès la réception du signal WT(d), le Maître du bus doit redémarrer son temporisateur de réponse approprié (adresse ou données).*
6. *Dès la réception du signal de contrôle WT = 1, le contrôleur de cadencement de l'arbitrage (voir article 7.1) doit inhiber son temporisateur de réponse à GK(u).*
7. *Dès la réception du signal WT(d), l'ATC doit redémarrer son temporisateur de réponse à GK(u).*
8. *Si un temporisateur contrôlé par CSR#9 déclenche ou que le Maître détecte une condition d'erreur qui nécessite l'arrêt de l'opération en cours, le Maître doit retirer AS et DS en suivant les règles de retrait de l'article 5.1.1.*

IECNORM.COM : Click to view the full PDF of iec60935:1996

Rule

The Slave response AK(u) or DK(t) shall indicate that the Slave will respond to an immediately following DS(t). The Slave response AK(d) shall indicate that it is in a state which will react correctly to AS(u).

A Slave shall on DS(t) issue an SS = 6 for any operation that it is unable to perform. A Slave shall issue an SS response on AS(u) in accordance with Table 6 on page 55. On AS(d) a Slave shall issue SS = 0. (For example, if an unimplemented MS code accompanies DS(d) after a Single Transfer, the Device shall return an SS = 6 response.)

If a Slave must maintain AK = 1 longer than the Slave Address Response Time after AS(d), the Slave should assert WT = 1. A Master seeing AK = 1, WT = 0 after a Master Address Response Timeout period considers it to be an error.

5.1.3 Use of Wait (WT)

Except for Pipelined Transfers all FASTBUS Operations are asynchronous. If required, timing signals may be inhibited by the WT line. The WT line is used when a Master/Slave transaction passes through an SI.

Rule

During a Pipelined Transfer a Slave shall ignore WT = 1.

The WT signal shall be used to delay timing responses on FASTBUS Segments as follows:

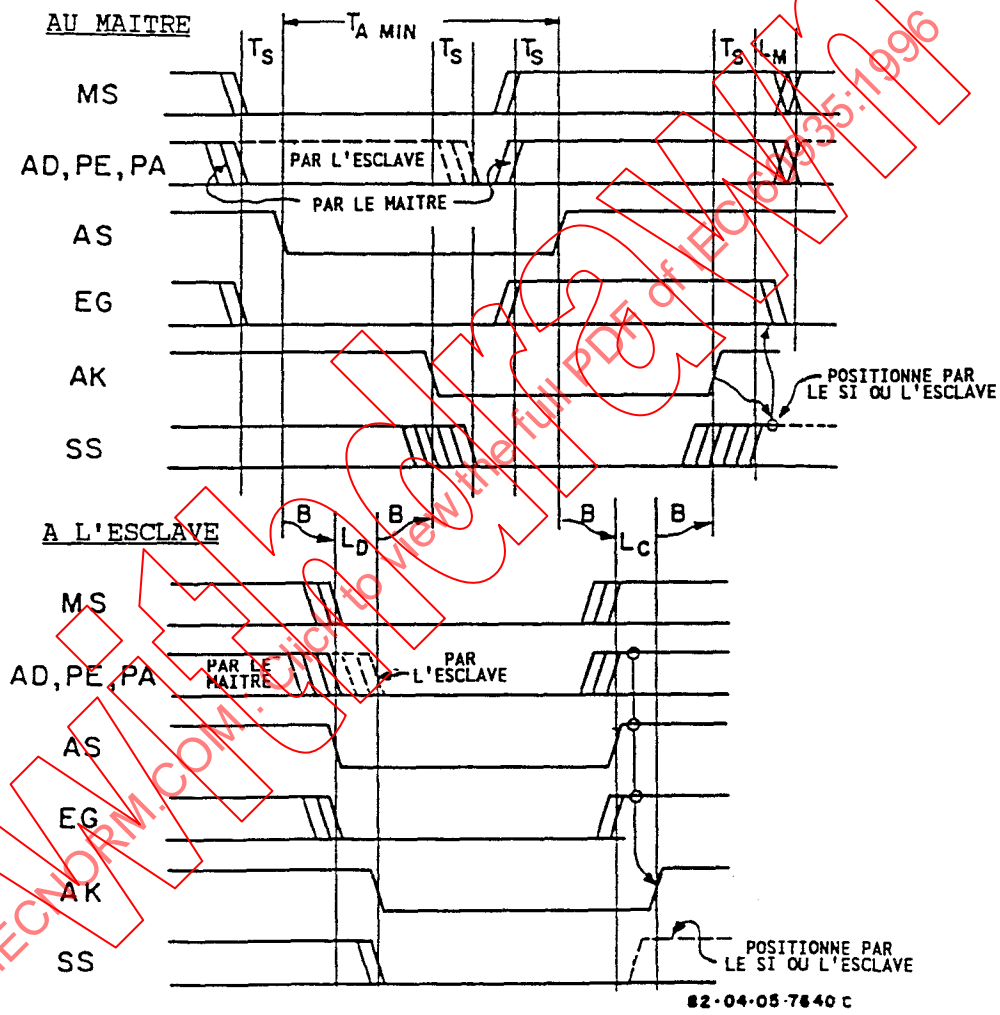
1. *Upon receipt of the control signal WT = 1, the bus Master shall reset and inhibit its active (Address or Data) Response Timer. The Master may respond internally to the timing signals AG, AK and DK but shall not change the state of the timing signals AS or DS except as in 8 below.*
2. *If implemented in the Master the Wait Timer controlled by CSR#9 shall be started on receipt of WT(u).*
3. *Upon receipt of the control signal WT = 1, a Slave may respond internally to the timing signals AS and DS but shall not change the state of the timing signals AK or DK.*
4. *For both Master and Slave Devices and the Ancillary Logic, the FASTBUS Operation shall resume when the control signal WT = 0 is received. During Broadcast Operations a Slave which has asserted WT = 1 to inhibit data transfers shall have its data lines asserted (in the case of a Read Operation) or be able to accept data (in the case of a Write Operation) when it sets WT = 0.*
5. *Upon receipt of the signal WT(d), the bus Master shall restart the appropriate (Address or Data) Response Timer.*
6. *Upon receipt of the control signal WT = 1, the Arbitration Timing Controller (see Clause 7.1) shall inhibit its GK(u) Response Timer.*
7. *Upon receipt of the signal WT(d) the ATC shall restart its GK(u) Response Timer.*
8. *If a timer controlled by CSR#9 times out or the Master detects some error condition which necessitates termination of the current operation, the Master shall remove AS and DS following the rules for removal in Subclause 5.1.1.*

IECNORM.COM : Click to view the full PDF of iec60935:1996

Quel que soit l'état de WT, un Maître peut terminer une opération lorsqu'un temporisateur d'attente ou long déclenche. Un Esclave peut positionner WT en réponse à DS(t) s'il a besoin de plus de temps que ce que lui permet le temporisateur de réponse aux données du Maître, mais cette pratique n'est pas recommandée, car elle accroît le risque de genre de défauts non récupérables. On peut faire fonctionner le bus pas à pas pour des besoins de diagnostic en pulsant la ligne WT.

5.2 Cycles d'adresse primaire

Le cycle d'adresse primaire d'une opération FASTBUS établit une connexion entre un Maître et un ou plusieurs Esclaves. Le ou les Esclaves restent connectés au Maître et répondent aux cycles de données jusqu'à ce que le Maître interrompe la connexion.



Voir la figure 16 page 52, pour les symboles.

Figure 15. Cycle d'adressage géographique, EG positionné par le Maître

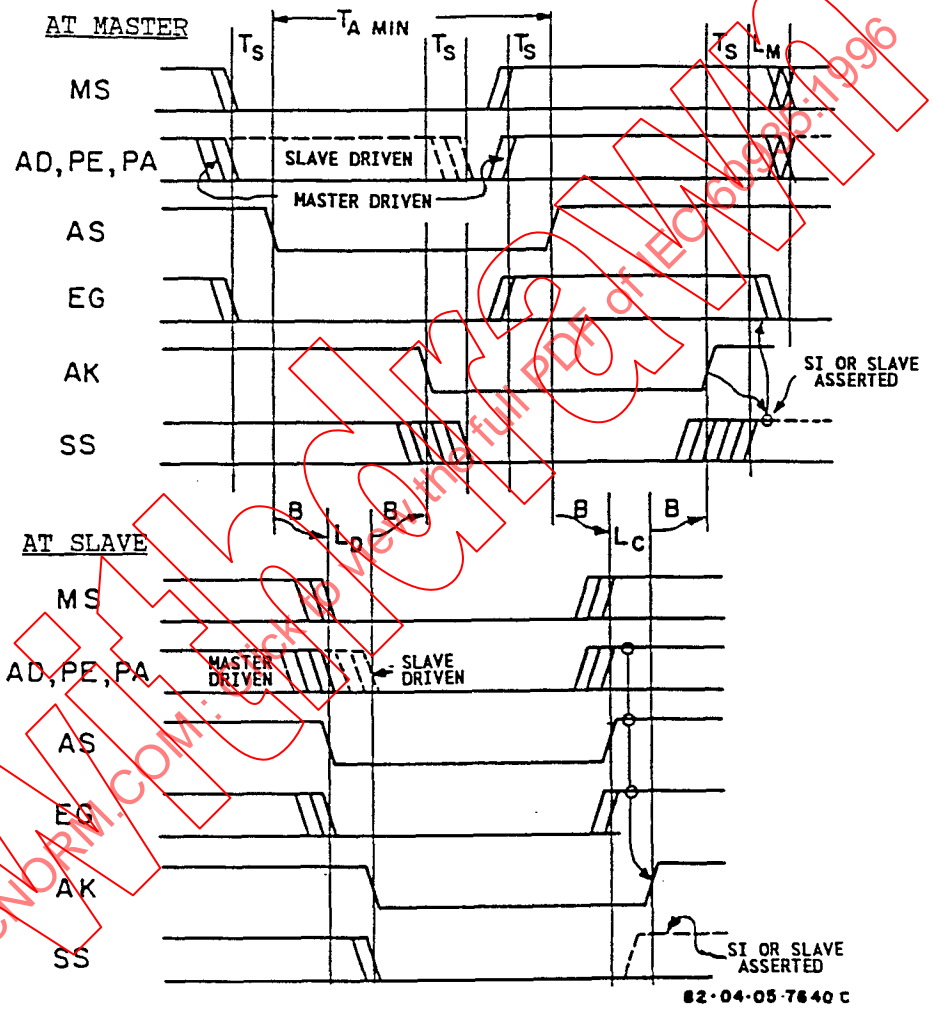
Un cycle d'adresse primaire débute après que le Maître a gagné la maîtrise du bus et a positionné GK = 1 sur le bus. Le Maître positionne alors RD = 0, les lignes MS, les lignes AD et éventuellement PA, PE et EG. La synchro d'adresse, AS, est alors envoyée et les Esclaves recevant AK = 0, AS = 1, EG = 0 comparent, suivant l'état des lignes MS, soit leur adresse logique, soit l'adresse de diffusion avec l'adresse sur les lignes AD. Les Esclaves recevant AK = 0, AS = 1, EG = 1 comparent l'adresse sur les lignes AD avec leur adresse géographique. Si la connexion d'un unique Esclave a été demandée, l'Esclave qui reconnaît

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Regardless of the state of WT, a Master may terminate an Operation when a Long or Wait Timer times out. A Slave may assert WT in response to DS(t) if it needs more time than the Data Response Timer in the Master would permit, but this practice is not recommended since it increases the risk of unrecoverable failure modes. The bus can be single stepped for diagnostic purposes by pulsing the WT line.

5.2 Primary Address Cycles

The Primary Address Cycle of a FASTBUS Operation establishes a connection between a Master and one or more Slaves. The Slave(s) remains attached to the Master and responds to Data Cycles until the Master breaks the connection.



IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

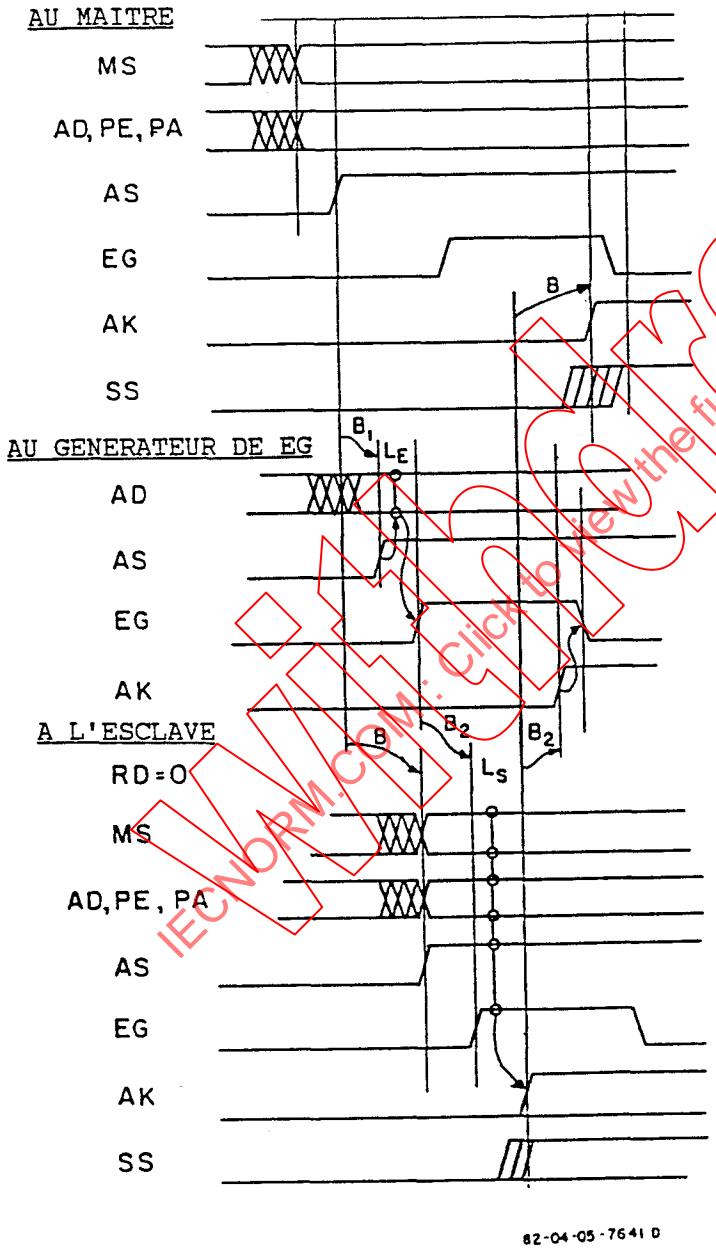
See Figure 16 on page 52, for symbols.

Figure 15. Geographical Address Cycle, EG asserted by Master

A Primary Address Cycle starts after a Master has gained bus Mastership and is asserting GK = 1 on the bus. The Master then asserts RD = 0, the MS lines, the AD lines and, optionally, PA, PE and EG. Address Sync, AS, is issued and Slaves receiving AK = 0, AS = 1, EG = 0 compare according to the state of the MS lines either their Logical or Broadcast Addresses with the Address on the AD lines. Slaves receiving AK = 0, AS = 1, EG = 1 compare the address on the AD lines with their Geographical Address. If a single Slave connection has been requested the Slave that recognizes the address returns AK(u) to the origi-

son adresse renvoie AK(u) vers le Maître originel pour indiquer qu'il est maintenant connecté au Maître. Si une adresse de diffusion a été spécifiée, la réponse AK(u) est produite par la logique ancillaire qui, lorsqu'elle est reçue par le Maître originel, signifie que la diffusion s'est étendue à toute la partie spécifiée du système. Pour la suite de l'opération, le Maître maintient AS = 1 et l'Esclave (ou la logique ancillaire) maintient AK = 1. Le Maître termine l'opération en positionnant AS = 0 et l'Esclave ou la logique ancillaire répond avec AK = 0. Lorsque AS = AK = 0 pour un temps suffisant, le Maître peut initialiser un nouveau cycle d'adresse primaire s'il a conservé la maîtrise du bus en continuant à positionner GK = 1.

Les séquences des cycles d'adresse primaire telles qu'elles sont vues du Maître et de l'Esclave sont représentées sur la figure 14 page 49, la figure 15 page 51, et la figure 16.



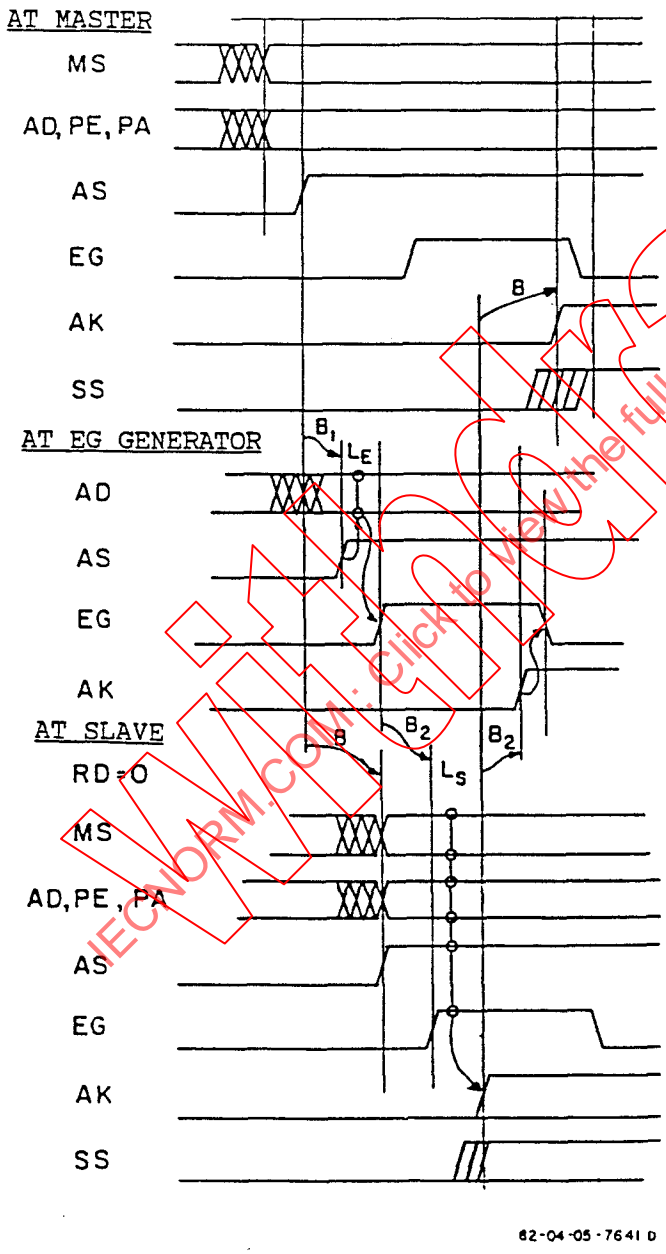
Symboles utilisés dans les figures 14 à 19		
B	=	retard du bus entre le Maître et l'Esclave
B_1	=	retard du bus entre le Maître et le générateur de EG
B_2	=	retard du bus entre le générateur de EG et l'Esclave
L_C	=	temps d'établissement et de transit dans la logique nécessaire pour connecter l'Esclave
L_D	=	temps de déconnexion de l'Esclave
L_E	=	temps de transit dans la logique de EG
L_M	=	temps de positionnement et de transit dans la logique du Maître
L_S	=	temps de transit de la logique de l'Esclave
$T_{A_{min}}$	=	temps minimal à l'état bas. Voir paragr. 2.2 et annexe A, Table 31
T_S	=	temps d'établissement introduit par le Maître

IECNORM.COM: Click to view the full PDF of IEC 60935:1996
Withdrawn

Figure 16. Cycle d'adressage géographique, EG positionné par la logique ancillaire

nating Master indicating that it is now attached to the Master. If a Broadcast address has been specified the AK(u) response is generated by the Ancillary Logic which, when received by the originating Master, signifies that the Broadcast has spread throughout the specified parts of the system. For the remainder of the operation the Master maintains AS = 1 and the Slave (or the Ancillary Logic) maintains AK = 1. The Master terminates the Operation by asserting AS = 0 and the Slave or the Ancillary Logic responds with AK = 0. When AS = AK = 0 for a sufficient time the Master may initiate a new Primary Address Cycle if it has maintained bus Mastership by continuing to assert GK = 1.

The timing of Primary Address Cycles as seen at the Master and at the Slave is shown in Figure 14 on page 49, Figure 15 on page 51, and Figure 16.



SYMBOLS for Figures 14 through 19		
B	=	bus delay Master to Slave
B_1	=	bus delay Master to EG generator
B_2	=	bus delay EG generator to Slave
L_C	=	logic and setup time required by Slave to connect
L_D	=	Slave disconnect time
L_E	=	EG generator logic time
L_M	=	logic and setup time for Master
L_S	=	Slave logic time
$T_{A_{min}}$	=	minimum pulse down time See Sub-clause 2.2 and Annex A, Table 31
T_S	=	skew time introduced by Master

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Figure 16. Geographical Address Cycle, EG asserted by Ancillary Logic

5.2.1 Séquence du Maître pour positionner AS

Règle

Un Maître peut initialiser un cycle d'adresse primaire seulement si AK = WT = EG = 0 et que le Maître positionne GK = 1.

Pour un cycle d'adresse primaire un Maître doit:

Positionner RD = 0

Positionner les lignes AD avec les informations d'adresse

Positionner EG, si nécessaire, seulement si MS = 0 ou 1

Positionner PE s'il y a génération optionnelle de parité, et positionner la parité impaire des lignes AD sur PA

Positionner les lignes MS conformément à le tableau 5 page 54, pour spécifier le mode d'adressage

Emettre AS(u) conformément aux caractéristiques de cadencement du paragraphe 5.1.1 et maintenir AS = 1 pour la durée totale de l'opération FASTBUS.

5.2.2 Réponse de l'Esclave à AS(u)

Règle

Pendant un cycle d'adresse primaire, un Esclave doit devenir un Esclave connecté et doit en conséquence participer aux cycles de données seulement si AK = 0 et RD = 0, et son type d'adresse tel qu'il est défini dans le tableau 5 page 54.

Un Esclave adressé logiquement doit en plus avoir CSR#0<01> = 1 (mise en service de la reconnaissance d'adresse) et ne doit pas utiliser le champ IA pour déterminer s'il doit se connecter (voir article 4.1).

Un Esclave connecté doit, lorsque WT = 0, répondre à AS(u) et MS1 = 0 par AK(u) et, lorsque WT = 0, répondre à AS(d) par AK(d). Ces deux réponses doivent apparaître dans le temps de réponse d'adresse de l'Esclave (voir annexe A).

Pendant un cycle d'adresse primaire, un Esclave ne doit pas positionner SS = 1, 2 ou 3 (voir paragraphe 10.7.4) et doit positionner SS = 7 seulement s'il a détecté un IA de l'espace donnée invalide (voir article 4.4).

Si MS1 = 1 pendant un cycle d'adresse primaire, un Esclave connecté ne doit pas envoyer AK = 1. (C'est une opération de diffusion, voir paragraphe 4.3.2 et article 7.3.)

Un Esclave sur un segment-châssis qui détecte EG = 1 et AS = 1 quand AK = 0 doit comparer AD<04:00> avec GA<04:00>. Un Esclave sur un segment-câble qui détecte EG = 1 et AS = 1 lorsque AK = 0 doit comparer AD<04:00> avec la position de son commutateur d'adresse géographique. Si dans chaque cas l'égalité est détectée et que AD<07:05> = 0, l'Esclave doit alors devenir un Esclave connecté et envoyer AK(u) quand WT = 0 et maintenir AK = 1 aussi longtemps que AS = 1.

Si un Esclave détecte une erreur de parité pendant un cycle d'adresse primaire avec PE = 1, il ne doit pas envoyer AK(u) et ne doit pas devenir un Esclave connecté.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

5.2.1 Master Sequence for Asserting AS

Rule

A Master shall initiate a Primary Address Cycle only if AK = WT = EG = 0 and the Master is asserting GK = 1.

For a Primary Address Cycle a Master shall:

Assert RD = 0

Assert the AD lines with address information

Assert, if required, EG only if MS = 0 or 1

Assert, if optionally generating parity, PE and assert odd parity for the AD lines on PA

Assert the MS lines in accordance with Table 5 on page 54 to specify the addressing mode

Generate AS(u) in accordance with the timing specifications in Sub-clause 5.1.1 and maintain AS = 1 during the FASTBUS Operation.

5.2.2 Slave Response to AS(u)

Rule

During a Primary Address Cycle, a Slave shall become an Attached Slave and shall subsequently participate in Data Cycles only if AK = 0 and RD = 0 and if it recognizes its address type as defined in Table 5 on page 54.

A Logically Addressed Slave shall in addition have CSR#0<01> = 1 (Address Recognition Enabled) and shall not use the IA Field to determine if it attaches (see Clause 4.1).

An Attached Slave shall when WT = 0 respond to AS(u) and MS1 = 0 with AK(u) and, when WT = 0, respond to AS(d) with AK(d). Both of these responses shall occur within a Slave Address Response Time (see Annex A).

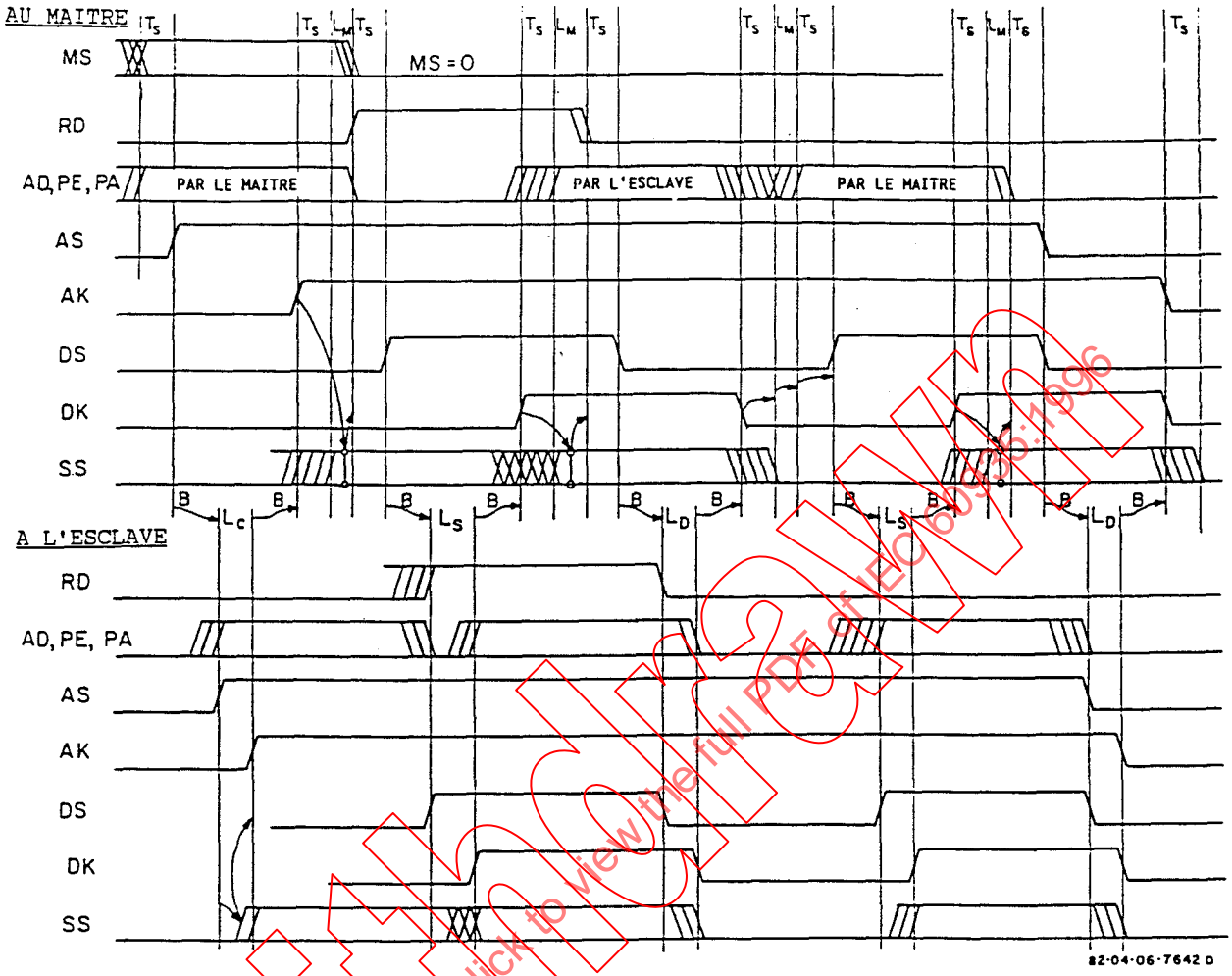
During a Primary Address Cycle, a Slave shall not assert SS = 1, 2 or 3 (see Sub-clause 10.7.4) and shall assert SS = 7 only if an invalid Data Space IA is detected (see Clause 4.4).

If MS1 = 1 during the Primary Address Cycle, an Attached Slave shall not generate AK = 1. (This is a Broadcast operation, see Sub-clause 4.3.2 and Clause 7.3.)

A Slave on a Crate Segment that detects EG = 1 and AS = 1 when AK = 0 shall compare AD<04:00> with GA<04:00>. A Slave on a Cable Segment that detects EG = 1 and AS = 1 when AK = 0 shall compare AD<04:00> with its Geographical Address switch setting. If a match is found in either case and AD<07:05> = 0 then the Slave shall become an Attached Slave and generate AK(u) when WT = 0 and then maintain AK = 1 as long as AS = 1.

If a Slave detects a parity error during a Primary Address Cycle with PE = 1, it shall not generate AK(u) nor shall it become an Attached Slave.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn



Voir la figure 16 page 52, pour les symboles.

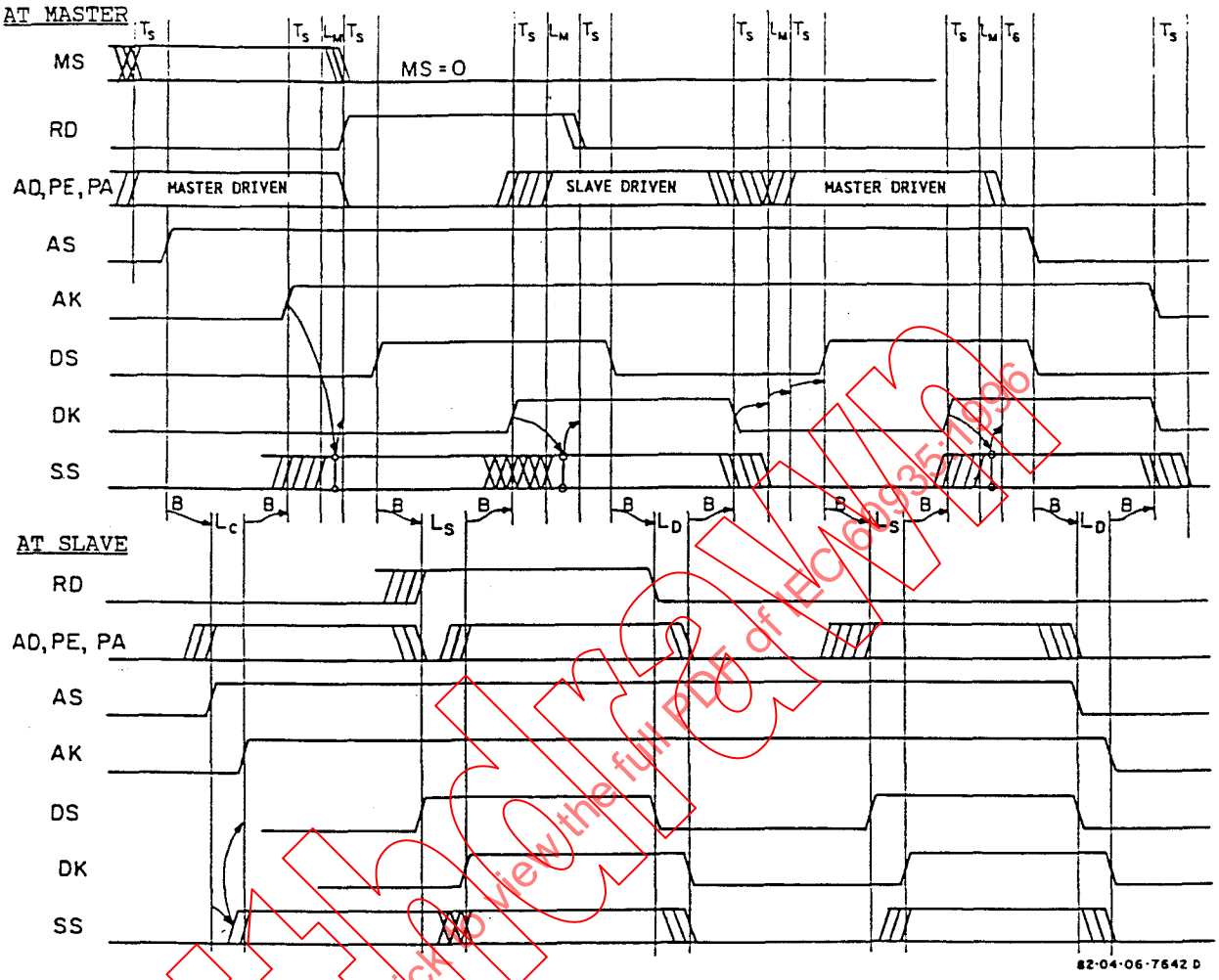
Figure 17. Lecture-modification-écriture

Tableau 5. Spécification des types d'adresses

MS <2:0>	Type de l'adresse
0	Dispositif particulier - Espace données
1	Dispositif particulier - Espace CSR
2	Diffusion - Espace données
3	Diffusion - Espace CSR
4-5	Réservé - Dispositif particulier
6-7	Réservé - Diffusion

Ces règles ne nécessitent pas qu'un Esclave réponde à tous les modes d'adressage. Seul l'adressage géographique est obligatoire (voir article 4.2). La participation d'un Esclave à un cycle d'adressage logique peut être mise en ou hors service en manipulant les bits correspon-

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn



See Figure 16 on page 52, for symbols.

Figure 17. Read-Modify-Write

Table 5. Address Type Specification

MS <2:0>	Address Type
0	Specific Device - Data Space
1	Specific Device - CSR Space
2	Broadcast - Data Space
3	Broadcast - CSR Space
4-5	Reserved - Specific Device
6-7	Reserved - Broadcast

These rules do not require that a Slave respond to all addressing modes. Only Geographical Addressing is mandatory (see Clause 4.2). A Slave's participation in Logical Address Cycles

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

dants de CSR#0. Aucun mécanisme n'est défini pour mettre en ou hors service la réponse d'un Esclave aux cycles d'adressage en diffusion.

Si un cycle d'adresse primaire spécifie une adresse logique (dans l'espace données), la partie IA du champ adresse est chargée dans les bits de poids faible du registre NTA et les bits de poids fort du NTA sont remis à zéro (voir article 4.4).

Pendant la phase de décodage d'un cycle d'adresse primaire, l'obligation d'émettre AK = 0 empêche un décodage erroné par un Esclave très lent et éloigné lorsqu'un Esclave rapide et proche a émis AK(u) et que le Maître est en train de changer l'état des lignes de contrôle et de données pour le cycle de données suivant (voir figure 8 page 36).

5.2.3 Réponse du Maître à AK(u)

Règle

Un temps d'établissement après la réception de AK(u), un Maître doit interpréter la réponse SS reçue pendant un cycle d'adresse primaire tel que le représente le tableau 6.

Une réponse SS = 1, 2 ou 3 doit indiquer au Maître que la connexion spécifiée n'a pas été réalisée et qu'un SI est connecté au Maître. Toutes autres réponses SS indiquent qu'un Esclave est connecté au Maître.

Si AK(u) n'est pas reçu avant que le temps de réponse de l'adresse ne soit écoulé, le Maître doit positionner AS = 0.

Un Maître positionnant EG doit produire EG(d) dès la réception de AK(u).

Tableau 6. Réponse SS au moment de l'adressage avec AK(u)

SS <2:0>	Interprétation (voir annexe J)
0	Adresse reconnue
1	Réseau occupé
2	Erreur de réseau
3	Abandon du réseau
4	Réservé
5	Réservé
6	Réservé
7	IA invalide - Adresse acceptée

Remarquer que pendant les cycles d'adresse primaire un Esclave peut envoyer des réponses SS non nulles, si on le demande, seulement dans le cas d'un adressage logique dans l'espace données. Un Maître devra interpréter une réponse SS de 4, 5 ou 6 comme une erreur.

Le Maître peut changer les signaux sur AD, RD, PA, PE et MS dès la réception de AK(u).

5.3 Fonctionnement

Les Esclaves connectés répondent aux cycles de données qui ont été initialisés par le Maître courant du bus. Un dialogue Maître-Esclave est utilisé pour tous les cycles de données à l'exception des transferts en pipe-line. Le dialogue est formé par le Maître envoyant la synchro

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

may be enabled and disabled by manipulating specified bits in CSR#0. No feature is specified for enabling and disabling a Slave's response to Broadcast Address Cycles.

If a Primary Address Cycle specifies a Logical Address (to Data Space) the IA part of the address field is loaded into the low-order bits of the NTA register and the high-order NTA bits set to zero (see Clause 4.4).

During the decoding phase of a Primary Address Cycle, the AK = 0 requirement stops a very slow, distant Slave from false decoding when a fast, nearby Slave has generated AK(u) and the Master is proceeding to change the state of the data and control lines for the subsequent Data Cycle (see Figure 8 on page 36).

5.2.3 Master Response to AK(u)

Rule

A skew time after the receipt of AK(u), a Master shall interpret the SS response received during a Primary Address Cycle as shown in Table 6.

An SS = 1, 2 or 3 response shall indicate to the Master that the specified connection has not been made and an SI is attached to the Master. All other SS responses indicate that a Slave is attached to the Master.

If AK(u) is not received before the Master Address Response Timeout period, the Master shall set AS = 0.

A Master asserting EG shall generate EG(d) upon receipt of AK(u).

Table 6. Address Time SS Response with AK(u)

SS<2:0>	Interpretation (see Annex J)
0	Address Recognized
1	Network Busy
2	Network Failure
3	Network Abort
4	Reserved
5	Reserved
6	Reserved
7	Invalid IA - Address Accepted

Note that during Primary Address Cycles a Slave issues non-zero SS responses, if warranted, only to Logical Addresses in Data Space. A Master should interpret an SS response of 4, 5 or 6 as an error.

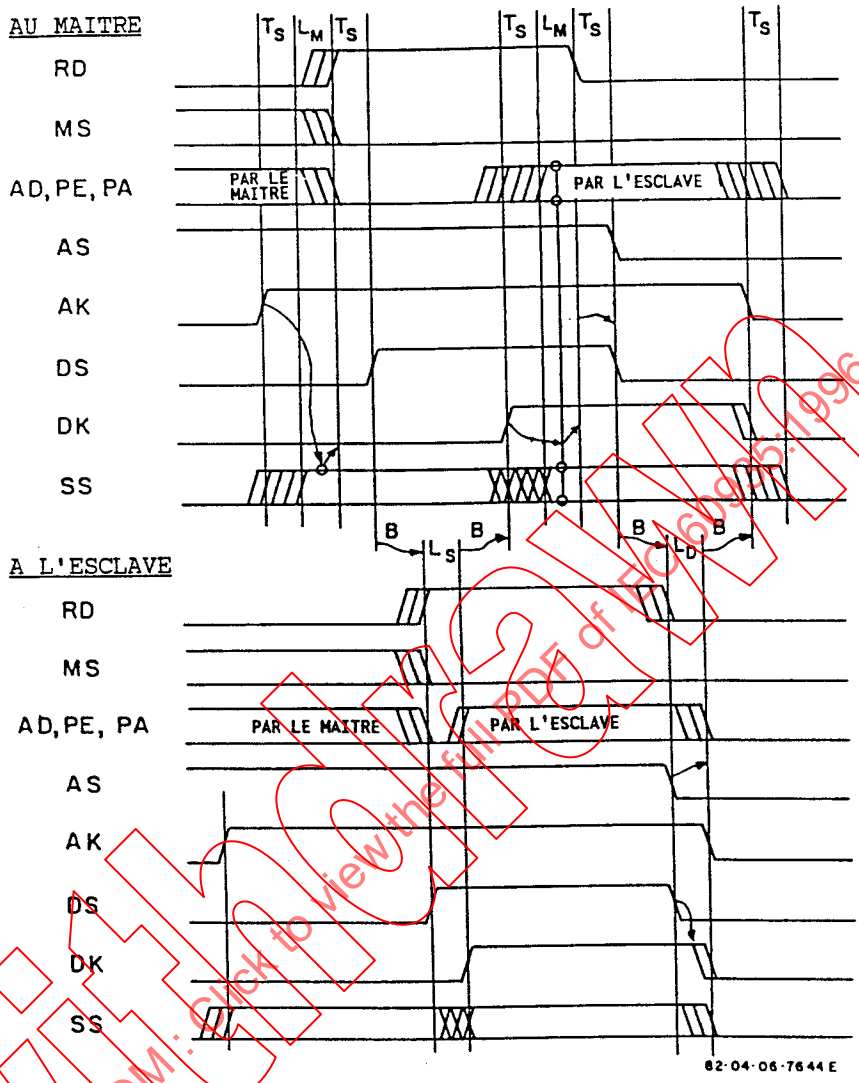
The Master may change the signals on AD, RD, PA, PE and MS upon receipt of AK(u).

5.3 Operations

Attached Slaves respond to Data Cycles which must be initiated by the current bus Master. Master-Slave handshakes are used for all Data Cycles except Pipelined Transfers. The hand-

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

de données DS et l'Esclave ou la logique ancillaire répondant par l'acceptation des données DK. Voir article 5.6 pour les diagrammes d'état applicables



Voir la figure 16 page 52, pour les symboles.

Figure 18. Lecture d'une donnée isolée

La terminologie utilisée pour spécifier les différents fonctionnements possibles est la suivante:

NUL: Une connexion d'adresse est réalisée mais aucun transfert de données ne s'exécute. Cela peut être utile pour tester la présence d'un dispositif ou pour mettre en service les connexions système pour pouvoir garantir leur disponibilité avant le début du transfert actuel.

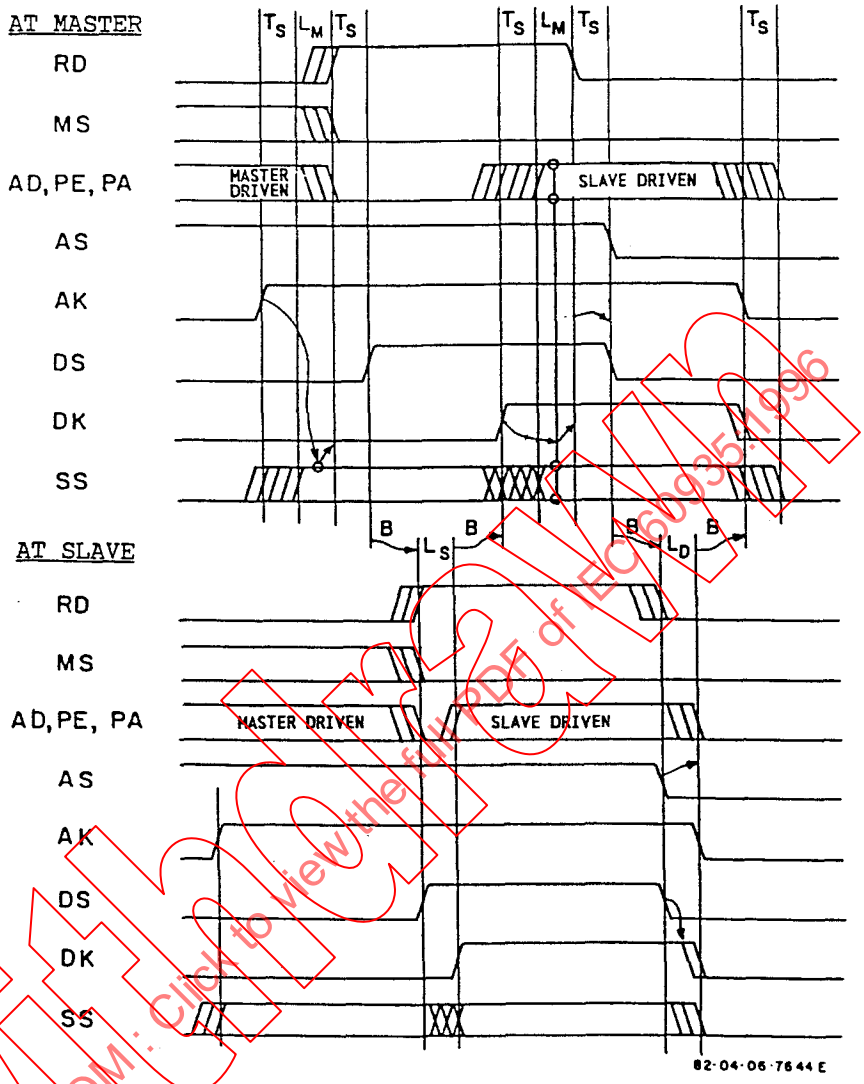
SIMPLE: C'est le transfert normal d'un mot unique de données en accès aléatoire. Le transfert de données en écriture ou en lecture s'effectue respectivement sur DS(t) ou DK(t).

BLOC: De multiples cycles de données transfèrent un nombre (éventuellement zéro) de mots de données sans répéter aucune information d'adresse. Les transferts des données s'effectuent sur DS(t) ou DK(t). Avant d'initialiser chaque transfert d'une donnée le Maître attend la réponse du précédent.

PIPE-LINE: Semblable aux transferts de bloc, sauf que le Maître initialise chaque transfert d'une donnée sans attendre la réponse du précédent.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

shakes are formed by the Master generating Data Sync, DS, and the Slave or the Ancillary Logic responding with Data Acknowledge, DK. For applicable state diagrams see clause 5.6.



See Figure 16 on page 52, for symbols.

Figure 18. Random Data Read

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

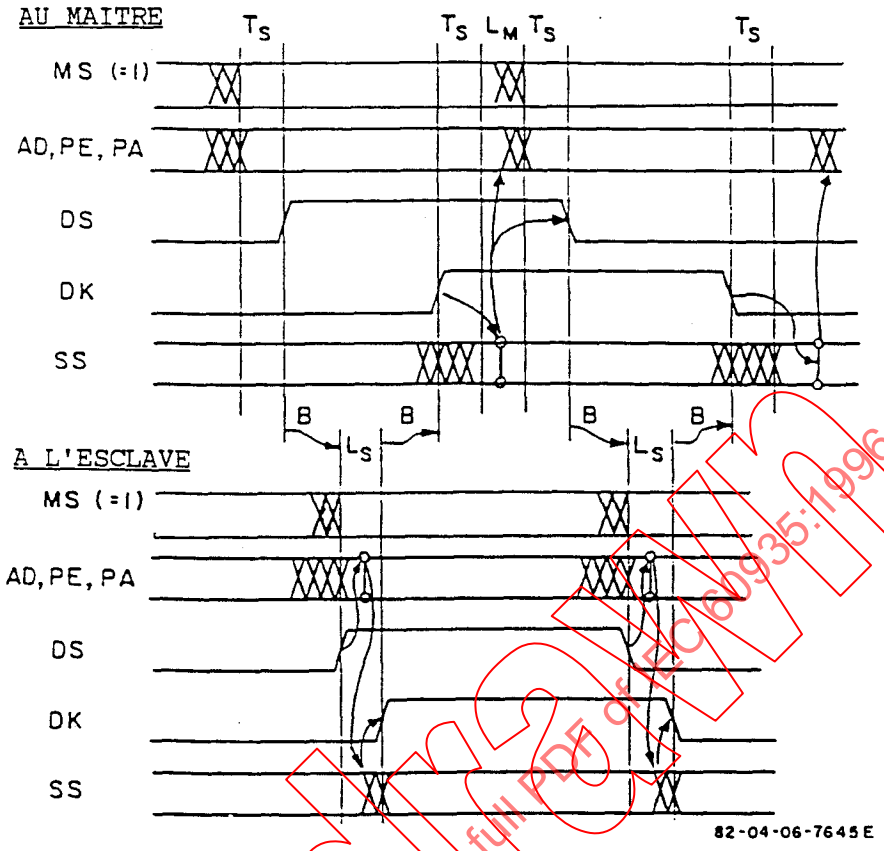
The terminology used to specify the various Operations possible is as follows:

NULL: An address connection is made but no data transfer occurs. This may be useful for testing Device presence or for setting up system connections in order to ensure their availability before beginning actual transfers.

SINGLE: This is the normal random-access data transfer of a single word. The data transfer, Write or Read, occurs on DS(t) or DK(t) respectively.

BLOCK: Multiple Data cycles transfer a number (possibly zero) of data words without repeating any address information. Data transfers occur on DS(t) or DK(t). Before initiating each data transfer, the Master waits for the response to the previous one.

PIPELINED: Similar to a Block Transfer except that the Master initiates each data transfer without waiting for the response to the previous one.



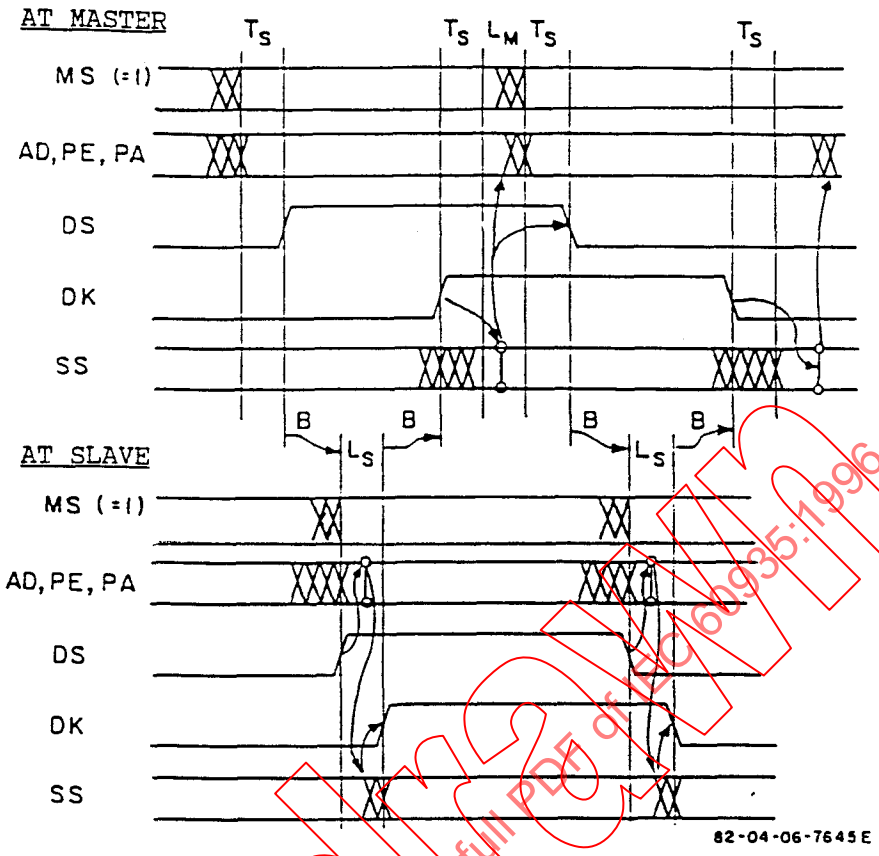
Voir la figure 16 page 52, pour les symboles.

Figure 19. Ecriture en transfert de bloc avec dialogue

REGISTRE DE SAUVEGARDE: Transfert des données exclusivement de ou vers le registre de sauvegarde. Il n'y a pas d'autre effet sur l'Esclave. Un cycle de lecture du registre de sauvegarde peut être utilisé pour récupérer une erreur de parité dans la transmission lors d'une opération de lecture. Une écriture dans le registre de sauvegarde, suivie d'une lecture du registre de sauvegarde peuvent être utilisées pour contrôler la liaison de transmission de données entre le Maître et l'Esclave. Le transfert de données se produit sur DS(t) ou DK(t). Avant de commencer chaque transfert de données, le Maître doit attendre la réponse du précédent.

NETTOYAGE: Une opération de données avec dialogue de DS(t) à DK(t) avec RD = 0, destinée à éviter les erreurs de transmission dues à la configuration de "OU" câblé. Aucune donnée n'est transférée pendant cette opération. Pour les bus attaqués en tension, des opérations de nettoyage sont insérées lorsque la direction du transfert sur le bus change de lecture en écriture. Cette opération évite le positionnement simultané de AD, PA et PE par le Maître et l'Esclave. A la fin d'un cycle de lecture, l'Esclave positionne ces lignes. Si le Maître désire ensuite effectuer un cycle d'écriture, il est nécessaire d'effectuer d'abord une opération de nettoyage pour terminer le positionnement de l'Esclave avant que le Maître ne commence à positionner ces lignes. Le dialogue du cycle de nettoyage fournit le temps nécessaire pour que le retrait de l'Esclave se propage jusqu'au Maître, nettoyant ainsi le bus pour l'usage du Maître. Si le Maître positionnait ces lignes avant qu'elles ne soient nettoyées, ses circuits d'attaque en tension ne pourraient fournir leur courant nominal. Un signal fiable du Maître ne peut être positionné sur le bus jusqu'à ce que le courant des autres circuits ait disparu. Comme le Maître ne peut pas percevoir ces conditions, la manière d'assurer une opération fiable est de dépendre de ce dialogue supplémentaire fourni par le cycle de nettoyage.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn



See Figure 16 on page 52, for symbols.

Figure 19. Block Transfer Handshake Write

PROTECTIVE BUFFER: Transfers data to or from the Protective Buffer only. There is no other effect on the Slave. A Protective Buffer Read cycle may be used for recovery from transmission parity errors in Read operations. A Protective Buffer Write followed by a Protective Buffer Read may be used to test the data transmission path between Master and Slave. Data transfers occur on DS(t) or DK(t). Before initiating each data transfer, the Master waits for the response to the previous one.

CLEANUP: A handshake data operation from DS(t) to DK(t) with RD=0, for the purpose of preventing data transmission errors due to the wire-or configuration. No data is transferred during this operation. For voltage driven busses, Cleanup operations are inserted when the direction of transfer on the bus is being changed from Read to Write. This operation prevents the simultaneous assertion of AD, PA and PE by both Master and Slave. At the end of the Read Cycle, the Slave is asserting these lines. If the Master next wishes to perform a Write Cycle, it is necessary to first perform a Cleanup operation to end the Slave's assertion before beginning the Master's assertion of these lines. The handshake of the Cleanup cycle provides the time necessary for the Slave deassertion to propagate to the Master, thereby clearing the bus for the Master's use. If the Master were to assert these lines before they were clear, its voltage drivers would not be able to supply their full drive current. A reliable signal from the Master would not be asserted on the bus until the current from the other drivers had disappeared. Since the Master cannot sense this condition, the way to assure reliable operation is to depend on the extra handshake provided by the Cleanup cycle.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

ADRESSE VERROUILLEE: Le cycle d'adresse primaire est suivi par une séquence de transferts, simples et/ou de blocs ou en pipe-line, en lecture ou en écriture, le tout mélangé. L'opération lecture-modification-écriture représentée sur la figure 17 page 54, est un exemple de cela. Les cycles d'adresse secondaire, un type spécial de cycle de données, peuvent être utilisés pour accéder à différents registres internes à l'intérieur de l'espace d'adresse sélectionné par le cycle d'adresse primaire pendant une opération à adresse verrouillée.

En plus, des séquences d'opération FASTBUS à verrouillage d'arbitrage peuvent être exécutées par un Maître unique qui ne relâche pas la maîtrise du bus. Ainsi, un ensemble de transferts simples, en bloc, en pipe-line, ou à adresse verrouillée, vers un ensemble de différents Esclaves peut s'effectuer sans être interrompu par d'autres Maîtres potentiels du bus. Cela est obtenu par le Maître qui maintient GK = 1 et par la logique dans les SI qui leur permet de maintenir une connexion établie à travers le système jusqu'à ce que GK soit enlevé. Une opération nulle peut être utilisée pour réaliser la connexion à travers le système pour une séquence à verrouillage d'arbitrage. Seules les adresses du système initialement connecté peuvent être atteintes dans une séquence à verrouillage d'arbitrage.

Les cadencements des trois différents types de cycles de données tels qu'ils sont vus par le Maître et par l'Esclave sont représentés sur la figure 17 page 54, la figure 18 page 56, et la figure 19 page 57.

5.3.1 Séquence du Maître pour positionner DS

Règle

Pour un cycle de données, un Maître de bus doit, conformément aux caractéristiques de cadencement du paragraphe 5.1.1:

Positionner RD = 0 pour les cycles d'écriture et RD = 1 pour les cycles de lecture.

Positionner les données sur les lignes AD quand RD = 0. Si le Maître produit optionnellement la parité, il doit mettre PE = 1 et positionner PA pour produire une parité impaire sur les lignes AD et PA.

Positionner MS en concordance avec le tableau 7 page 59. pour spécifier le type de cycle de données.

Emettre DS(t) conformément aux spécifications de cadencement du paragraphe 5.1.1.

Les données seront transférées conformément au tableau 7 page 59.

Pour terminer un transfert de bloc ou en pipe-line avec un nombre impair de mots, le Maître doit positionner MS = 0 de manière que les lignes MS atteignent leur état stable un temps d'établissement avant DS(d). Cependant, si le nombre de mots est pair et que le transfert de bloc ou en pipe-line fait partie d'une séquence à verrouillage d'arbitrage, on doit exécuter des opérations spéciales décrites à l'article 11.1.

Pour un cycle de nettoyage des données, un Maître doit positionner RD = 0.

Les lignes MS positionnées par le Maître sont stables depuis un temps d'établissement avant DS(t) et le restent jusqu'à ce que DK(t) soit reçu. Bien que les lignes MS puissent être positionnées au même état pour plusieurs transitions de DS, une modification transitoire pourrait se produire sur ces lignes après DK(t) se prolongeant jusqu'à un temps d'établissement avant DS(t).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

ADDRESS LOCKED: The Primary Address Cycle is followed by a sequence of single and/or Block or Pipelined Transfers, Reads or Writes, intermixed. An example of this is the Read-Modify-Write Operation shown in Figure 17 on page 54. Secondary Address Cycles, a special type of Data Cycle, may be used to access different internal registers within the address space selected by the Primary Address Cycle during an Address Locked Operation.

In addition, Arbitration Locked Sequences of FASTBUS Operations may be performed by a single Master that does not release bus Mastership. Thus a set of Single, Block, Pipelined or Address Locked transfers to sets of different Slaves may take place without interruption by other potential bus Masters. This is achieved by the Master maintaining GK = 1 and by logic in SIs which causes them to hold an established connection through the system until GK is removed. Null Operations may be used to set up connections through the system for Arbitration Locked Sequences. Only addresses in the initially connected system may be accessed in an Arbitration Locked Sequence.

The timing of three different types of Data Cycles as seen at the Master and at the Slave is shown in Figure 17 on page 54, Figure 18 on page 56, and Figure 19 on page 57.

5.3.1 Master Sequence for Asserting DS

Rule

For a data cycle a bus Master shall, in accordance with the timing specification in Sub-clause 5.1.1:

Assert RD = 0 for Write Cycles and RD = 1 for Read Cycles.

Assert data on the AD lines when RD = 0. If the Master is optionally generating parity, it shall set PE = 1 and assert PA so that odd parity is generated on the AD and PA lines.

Assert MS in accordance with Table 7 on page 59, to specify the type of Data Cycle.

Generate DS(t) in accordance with the timing specifications in Sub-Clause 5.1.1.

Data shall be transferred in accordance with Table 7 on page 59.

To terminate an odd word count Block or Pipelined Transfer, the Master shall set MS = 0 so that the MS lines reach a steady state a skew time before DS(d). However, if the word count is even and the Block or Pipelined Transfer is part of an Arbitration Locked Sequence special actions as outlined in Clause 11.1 shall be followed.

For a Cleanup Data Cycle a Master shall assert RD = 0.

The MS lines asserted by a Master are stable beginning a skew time before DS(t) and remain so until DK(t) is received. Although the MS lines may be set to the same state for several DS transitions, a transistory change could occur on these lines after DK(t) lasting until a skew time before DS(t).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Un transfert pipe-line en lecture est piloté par le Maître qui envoie DS(t). Il utilise le DK(t) reçu de l'Esclave pour échantillonner les données mais le Maître n'attend pas DK(t) avant d'envoyer le DS(t) suivant.

Tableau 7. Interprétation de MS dans les cycles de données

MS < 2:0 >	DS(u)	DS(d)	Commentaire
0	Transfert de données	Nettoyage[2]	Transfert simple
1	Transfert de données Inc. NTA[1]	Transfert de données Inc. NTA[1]	Transfert de bloc avec dialogue
2	Transfert NTA	Nettoyage[2]	Adresse secondaire
3	Transfert de données Inc. NTA[1]	Transfert de données Inc. NTA[1]	Transfert pipe-line
4	Utilisation restreinte[3]	Réservé	
5	Réservé	Réservé	
6	Réservé	Réservé	
7	Réservé	Réservé	

[1] L'incrémentation du NTA est optionnelle. (Voir paragraphe 5.3.2 et article 11.2.)

[2] les cycles de nettoyage des données n'ont pas de transfert de données associé.

[3] Une utilisation proposée pour MS = 4 est d'indiquer à DS(u) que l'Esclave a besoin d'exécuter une action limitée avant de transmettre d'autres données. L'action exacte dépendra de l'application et aucune donnée valable n'accompagnera MS = 4.

5.3.2 Réponse de l'Esclave à DS(t)

Règle

L'Esclave qui a été connecté pendant un cycle d'adresse de diffusion ne doit pas émettre DK = 1.

Un Esclave qui a été connecté pendant un cycle d'adresse primaire à un dispositif particulier doit répondre à DS(t) pendant le temps de réponse de l'Esclave aux données (voir annexe A) ou doit envoyer WT = 1 jusqu'à ce qu'il produise DK(t).

A un moment pas plus tardif que DK(t), un Esclave connecté doit positionner les lignes SS et doit être prêt à accepter le DS(t) ou le AS(d) suivant. Si et seulement si RD = 1, l'Esclave doit également positionner les lignes AD et optionnellement PA et PE.

Pendant un cycle d'écriture de l'adresse secondaire, l'Esclave connecté doit envoyer les réponses SS 0, 1 ou 7 comme cela est défini dans le tableau 9 page 60, et le paragraphe 5.3.3.

Les dispositifs qui ne possèdent pas de NTA (voir article 4.4) doivent renvoyer SS = 0 à un cycle d'écriture ou de lecture d'adresse secondaire.

Les informations positionnées par un Esclave connecté et les actions internes exécutées doivent être conformes au tableau 8 page 60, au tableau 9 page 60 et au paragraphe 5.3.3.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

A Pipelined Read Transfer is driven by the Master issuing DS(t). It uses the DK(t) received from the Slave to strobe the data but the Master does not wait for DK(t) prior to issuing the next DS(t).

Table 7. MS Interpretation for Data Cycles

MS <2:0>	DS(u)	DS(d)	Comment
0	Transfer Data	Cleanup[2]	Single Transfer
1	Transfer Data Inc. NTA[1]	Transfer Data Inc. NTA[1]	Block Transfer - Handshake
2	Transfer NTA	Cleanup[2]	Secondary Address
3	Transfer Data Inc. NTA[1]	Transfer Data Inc. NTA[1]	Pipelined Transfer
4	Restricted Use[3]	Reserved	
5	Reserved	Reserved	
6	Reserved	Reserved	
7	Reserved	Reserved	

[1] Incrementing the NTA is optional. (See Sub-clause 5.3.2 and Clause 11.2.)

[2] Cleanup Data Cycles have no data transfer associated with them.

[3] A proposed use of MS = 4 is to indicate at DS(u) that a delimiting action on the part of the Slave is being requested before further data is transmitted. The precise action would be application dependent and no valid data accompanies MS = 4.

5.3.2 Slave Response to DS(t)

Rule

Slaves that have attached during a Broadcast Address Cycle shall not generate DK = 1.

A Slave that has attached during a Primary Address Cycle to a specific Device shall respond to DS(t) within the Slave Data Response Time (see Annex A) or shall issue WT = 1 until it generates DK(t).

At a time no later than DK(t), an Attached Slave shall assert the SS lines and shall be ready to accept a subsequent DS(t) or AS(d). Also, if and only if RD = 1, the Slave shall assert the AD lines and optionally PA and PE.

During a Secondary Address Write Cycle, the Attached Slave shall issue SS responses 0, 1 or 7 as specified in Table 9 on page 60, and Sub-clause 5.3.3.

Devices that do not implement an NTA (see Clause 4.4) shall return SS = 0 for a Secondary Address Read or Write Cycle.

Information asserted by an Attached Slave and the internal action taken shall be as specified in Table 8 on page 60, Table 9 on page 60 and Sub-clause 5.3.3.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 8. Réponse SS de l'esclave au moment des données avec DK(t)

SS <2:0>	Interprétation
0	Action valide
1	Occupé
2	Fin de bloc
3	Défini par l'utilisateur
4	Réservé
5	Réservé
6	Erreur de données (rejeté)
7	Erreur de données (accepté)

Règle

Pendant un cycle de données, les bits de données qui n'existent pas dans un Esclave doivent être renvoyés comme des zéros dans une opération de lecture et doivent être ignorés dans une opération d'écriture.

Tableau 9. Réponse SS et actions de l'esclave à DK(t)

SS <2:0>	Espace données ou CSR		Adresse secondaire		Changement de IA
	Ecriture	Lecture	Ecriture	Lecture	
0	Accepté	Positionné	Accepté[1]	Positionné	Permis
1	Rejeté	Pas de données	Rejeté	Pas de données	Sans
2	Rejeté	Pas de données	N/A	N/A	Sans
3	Défini par l'utilisateur				
4	Réservé				
5	Réservé				
6	Rejeté	Pas de données	N/A	N/A	Sans
7	Accepté	Positionné	Accepté	Positionné	Permis

[1] Le rejet ne se produit que s'il n'existe pas de NTA; SS = 0 est renvoyé.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

5.3.3 Analyse des réponses d'état de l'Esclave

Ce paragraphe fournit une interprétation des termes dans le tableau 8 et le tableau 9.

En général, une modification automatique de NTA est seulement permise si les données ont été acceptées ou fournies par l'Esclave.

SS = 0 Action valide. Aucune difficulté n'a été rencontrée par l'Esclave. Cependant, il y a encore la possibilité que le Maître qui demande une lecture de données détecte une erreur de parité provoquée par une transmission défectueuse.

SS = 1 Occupé. L'Esclave est occupé et ne peut ni émettre ni accepter des données en ce moment. Le Maître devra essayer à nouveau avec quelque chance de succès.

Table 8. Slave Data Time SS Responses with DK(t)

SS<2:0>	Interpretation
0	Valid Action
1	Busy
2	End of Block
3	User Defined
4	Reserved
5	Reserved
6	Data Error (Reject)
7	Data Error (Accept)

Rule

During Data Cycles data bits not implemented in a Slave shall be returned as logic zeroes for Read Operation and shall be ignored by Write Operation.

Table 9. Slave SS Responses and Actions at DK(t)

SS<2:0>	Data or CSR Space		Secondary address		IA Change
	Write	Read	Write	Read	
0	Accept	Assert	Accept[1]	Assert	Allowed
1	Reject	No Data	Reject	No Data	None
2	Reject	No Data	N/A	N/A	None
3	User Defined				
4	Reserved				
5	Reserved				
6	Reject	No Data	N/A	N/A	None
7	Accept	Assert	Accept	Assert	Allowed

[1] Rejection only occurs if an NTA is not implemented; SS = 0 is returned.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

5.3.3 Discussion of Slave Status Responses

This sub-clause provides an interpretation of the entries in Table 8 and Table 9.

In general, automatic alteration of the NTA is allowed only if data has been accepted or supplied by the Slave.

SS = 0 Valid Action. No difficulties have been noticed by the Slave. However, there is still the possibility that the Master requesting Read Data may detect a parity error caused by transmission difficulties.

SS = 1 Busy. The Slave is busy and can neither assert nor accept data at this time. The Master should try again soon with every expectation of success.

SS = 2 Fin de bloc. La fin de bloc a été dépassée pendant un transfert en bloc ou en pipe-line. Les données n'ont été ni émises ni acceptées. Si le cycle de données ayant produit cette réponse est suivi d'autres cycles de données, SS = 2 est répété et l'état de l'Esclave demeure inchangé. Pour pouvoir continuer le transfert des données vers l'Esclave qui a atteint la fin d'un bloc, un Maître doit tout d'abord réadresser l'Esclave, soit par un cycle d'adresse secondaire, soit en rompant le verrouillage AS/AK et en envoyant alors un cycle d'adresse primaire.

SS = 3 Défini par l'utilisateur. Cette réponse est celle que le concepteur du système peut utiliser pour des applications particulières. Sa signification doit être connue du Maître originel et peut différer suivant les types d'Esclaves.

SS = 4 Réservé

SS = 5 Réservé

SS = 6 Erreur de données (rejet). Cette réponse indique que l'Esclave est incapable ou pas disposé à recevoir ou à envoyer des données à cause d'une erreur associée aux données ou à la valeur actuelle de l'adresse interne ou qu'une valeur MS du cycle de données non exécutable a été spécifiée. Aucune modification n'a été effectuée dans l'Esclave, excepté la réponse et éventuellement la position de certains bits d'état. La réponse SS = 6 n'est pas émise dans un cycle d'adresse secondaire.

Une erreur de données en écriture peut arriver à cause d'une erreur de parité ou parce que l'on a essayé d'écrire dans un registre en lecture seule, ou que des contrôles ultérieurs par l'Esclave révèlent d'autres problèmes sur les données. Pour des Esclaves simples, avec un seul contrôle d'erreur de données, la signification de cette erreur n'est pas ambiguë.

CSR#0 dispose d'un bit d'erreur de parité ainsi que de 8 bits d'état définis par l'utilisateur qui peuvent être utilisés pour préciser ultérieurement l'erreur. La première réaction d'un Maître à une erreur en écriture sera de retransmettre les données. Si l'erreur persiste, on devra examiner le registre d'état de l'Esclave.

Pour un cycle de lecture de données, cette réponse pourrait indiquer l'absence ou la défection d'un équipement connecté à l'Esclave.

Une adresse interne non valable peut également être responsable de cette réponse pendant un cycle soit de lecture soit d'écriture. Si l'adresse interne non valable était spécifiée par un cycle d'adresse primaire, ce cycle doit alors avoir reçu une réponse SS = 7 (tableau 6 page 55).

A la suite d'un cycle d'adresse secondaire qui a reçu une réponse SS = 7, tous les cycles, autres que des cycles d'adresse secondaire, devront recevoir une réponse SS = 6. Un cycle d'adressage primaire ou un cycle d'adresse secondaire produisant une réponse d'erreur (SS = 7) peuvent toujours être corrigés par un cycle suivant d'écriture d'une adresse secondaire qui transmet une adresse valable.

SS = 7 Erreur de données (accepté). Cette réponse est envoyée pour les mêmes raisons que SS = 6. La différence est que l'Esclave qui envoie SS = 7 a accepté les données erronées ou envoie des données qu'il sait être erronées. Si un dispositif contient un NTA, SS = 7 doit être retourné et le NTA chargé si une adresse interne non valable est envoyée soit au moment de l'adresse primaire dans l'espace données soit au moment de l'adresse secondaire. Si cela se produit, SS = 7 devra également être renvoyé pour tout cycle de lecture ultérieur de l'adresse secondaire. Pour l'écriture des données, la conséquence est que la donnée est disponible pour une relecture. Un Esclave donné peut envoyer SS = 6 ou SS = 7 suivant le registre interne en cause. Le contrôle de parité d'un Esclave peut rejeter les données erronées envoyées dans l'espace CSR (SS = 6), mais accepter les données erronées envoyées dans l'espace données (SS = 7). La réponse indique clairement si les données ont été transférées ou non. Un Maître peut simplement compter le nombre de réponses SS = 7 pendant le transfert d'un grand nombre de données et seulement signaler une erreur si ce nombre a dépassé un seuil donné.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

SS = 2 End of Block. The End of Block has been passed during a Block or Pipelined Transfer. Data has been neither asserted nor accepted. If the Data Cycle giving rise to this response is followed by further Data Cycles, SS = 2 is repeated and the state of the Slave is unchanged. In order to continue data transfers to a Slave that has reached End of Block, a Master must first readdress the Slave either by a Secondary Address Cycle or by breaking the AS/AK lock and then carrying out a Primary Address Cycle.

SS = 3 User Defined. This response is one that the system designer may use for special purposes. Its meaning must be known to the originating Master and may differ for different Slave types.

SS = 4 Reserved

SS = 5 Reserved

SS = 6 Data Error (Reject). This response indicates that the Slave is unable or unwilling to accept or assert data because of an error associated with the data or with the current value of the Internal Address or an unimplemented Data Cycle MS value was specified. No changes have taken place in the Slave except for the issuance of the response and, possibly, the setting of some status bits. The SS = 6 response is not issued for Secondary Address Cycles.

Write Data errors may arise from bad parity or because a write to a read-only register was attempted or because further checks by the Slave reveal other problems with the data. For simple Slaves with only one data error check the meaning of this response is unambiguous.

CSR#0 has provision for a parity error bit as well as 8 user defined status bits which may be used to further specify the error. A Master's first reaction to Write errors should be to retransmit the data. If the error persists, the Slave status registers should be examined.

For a Read Data Cycle, this response could indicate the absence or failure of an equipment attached to the Slave.

An invalid Internal Address may also be responsible for this response during either Read or Write Cycles. If the invalid Internal Address was specified by a Primary Address Cycle then this cycle should have received an SS = 7 response (Table 6 on page 55).

Following a Secondary Address Cycle that received an SS = 7 response all Data Cycles other than Secondary Address Cycles should receive SS = 6 responses. A Primary Address Cycle or a Secondary Address Write Cycle resulting in an error response (SS = 7) can always be corrected by following it with a Secondary Address Write Cycle that transfers a valid address.

SS = 7 Data Error (Accept). This response is issued for the same reasons as SS = 6. The difference is that the Slave asserting SS = 7 has accepted the faulty data or is asserting data it knows to be in error. If a Device contains an NTA, SS = 7 must be returned and the NTA loaded if an invalid Internal Address is sent either at Primary Address time in Data Space or at Secondary Address time. If the above occurs, SS = 7 should also be returned for a subsequent Secondary Address Read Cycle. For Write Data the implication is that the erroneous data is available for reading. A given Slave may issue an SS = 6 or SS = 7 response depending upon the internal registers involved. A parity checking Slave may reject erroneous data sent to CSR space (SS = 6), but accept erroneous data sent to Data Space (SS = 7). The response clearly indicates whether or not data has been transferred. A Master may simply count the number of SS = 7 responses during transfers of large amounts of data and only signal an error if a threshold count is exceeded.

IECNORM.COM : Click to view the full PDF of IEC 60935-1:1996

5.3.4 Réponse du Maître à DK(t)

Règle

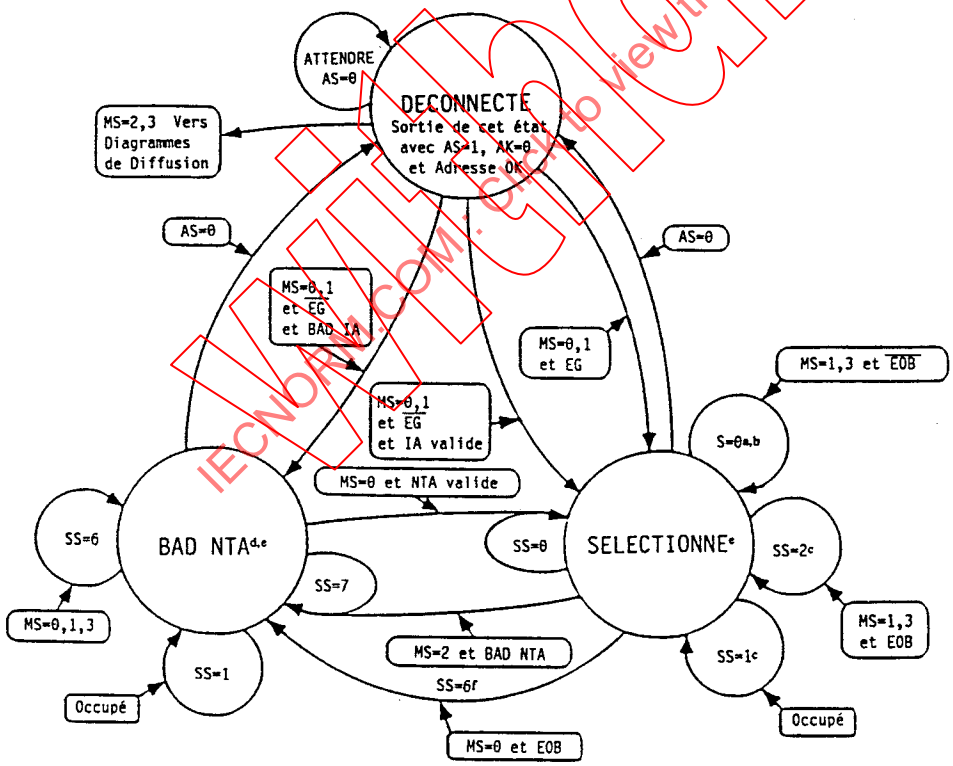
Le signal de cadencement DK et les signaux d'information et de contrôle AD, RD, MS et SS doivent être interprétés par le Maître comme suit:

1. *DK(t), lorsque RD = 0, doit indiquer que un Esclave a reçu des données provenant du Maître (où cela s'applique) et est prêt à obéir au DS(t) suivant.*
2. *DK(t), lorsque RD = 1, doit indiquer que un Esclave a envoyé (où cela s'applique) des données au Maître et est prêt à recevoir la commande DS(t) suivante.*
3. *Le Maître doit, un temps d'établissement après DK(t), interpréter les lignes d'état SS<2:0> et les lignes d'information selon le tableau 8 page 60 et le tableau 9 page 60, et le paragraphe 5.3.3.*

5.4 Utilisation de la ligne de remise à zéro (RB)

Ce signal asynchrone est utilisé pour forcer un segment dans son état de repos pour une initialisation, une réinitialisation ou des besoins de diagnostic. Pour conserver le maximum d'informations dans un diagnostic, les registres et les mémoires des modules ne devront pas être remis à zéro par RB.

Le signal d'arrêt du bus, BH, qui est seulement positionné par l'ATC (voir article 7.4), inhibe les effets de RB. Cela peut permettre l'insertion de modules avec l'alimentation en marche en interdisant la réponse des modules à des signaux parasites sur RB.



Note a : L'utilisateur peut forcer ces cycles à envoyer SS = 6 ou 7 si la "qualité" des données est "mauvaise". La parité ou d'autres critères peuvent indiquer de mauvaises données.

Note b : Ces cycles incrémentent le NTA pour MS = 1,3 et SS = 0 ou 7. Le NTA n'est pas incrémenté pour SS = 6.

Note c : Le NTA n'est pas incrémenté et aucune donnée n'est transférée pour ces cycles.

Note d : "BAD NTA" signifie soit une erreur de parité soit une adresse interne non existante.

Note e : Pour MS = 4,5,6,7 SS = 6 est toujours renvoyé.

Note f : Le NTA reste a une unité après l'adresse valide lorsque EOB est envoyé.

Figure 20. Diagramme d'état pour les dispositifs sans FIFO

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

5.3.4 Master Response to DK(t)

Rule

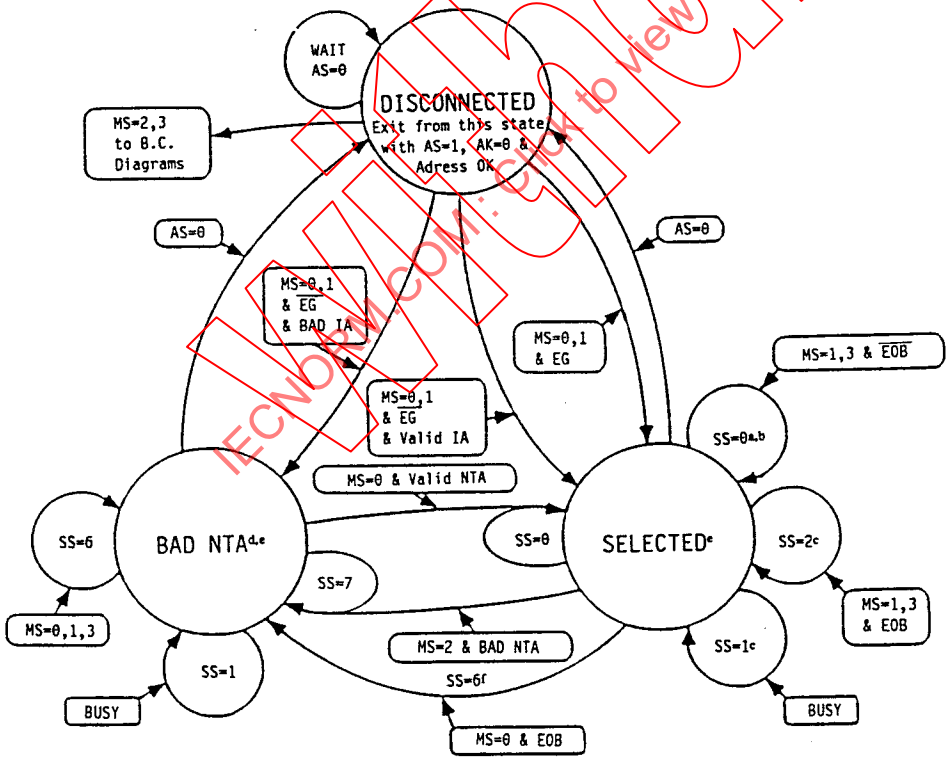
The timing signal DK and the information/control signals AD, RD, MS and SS shall be interpreted by the Master as follows:

1. *DK(t), when RD = 0, shall indicate that a Slave has (where applicable) received data from the Master and is ready to obey the next DS(t) command.*
2. *DK(t), when RD = 1, shall indicate that a Slave has (where applicable) sent data to the Master and is ready to receive the next DS(t) command.*
3. *The Master shall, a skew time after DK(t), interpret the Status lines, SS<2:0>, and the information lines in accordance with Table 8 on page 60 and Table 9 on page 60, and Sub-clause 5.3.3.*

5.4 Master Reset Bus (RB)

This asynchronous signal is used to force a Segment into a quiescent state for initialization, reinitialization or diagnostic purposes. To retain the maximum diagnostic information, Module registers and memories should not be cleared by RB.

The Bus Halted signal, BH, which is only asserted by the ATC (see Clause 7.4), inhibits the effects of RB. This may permit Module insertion with power on by inhibiting Module responses to spurious signals on RB.



Note a : The user may force these cycles to send either SS = 6 or 7 if data "quality" is "bad". Parity or other criteria may define bad data.

Note b : These cycles increment the NTA for MS = 1,3 and SS = 0 or 7. The NTA is not incremented for SS = 6.

Note c : The NTA is not incremented and no data is transfered for these cycles.

Note d : "BAD NTA" means either parity error or unimplemented internal address.

Note e : For MS = 4,5,6,7 SS = 6 is always returned.

Note f : NTA left at one past valid address when EOB is sent.

Figure 20. State Diagram for non-FIFO Devices

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

5.4.1 Positionnement de RB par le Maître

L'impulsion RB peut être envoyée par un Maître quelconque, pas forcément le Maître courant, à n'importe quel moment.

Règle

Si BH = 0, le Maître qui envoie RB doit, s'il ne positionne pas déjà GK = 1, positionner GK(u) avec RB(u).

L'impulsion RB doit avoir une durée appropriée aux caractéristiques du bus (voir annexe A).

Le Maître qui positionne RB doit maintenir GK = 1 à RB(d) et doit assumer la maîtrise du bus.

Le Maître qui positionne RB sur un segment et qui assume la maîtrise à RB(d) devra procéder au diagnostic du segment et/ou à l'initialisation ou à la réinitialisation du segment.

5.4.2 Réponse du dispositif à RB

Règle

Les dispositifs doivent intégrer RB = 1 avec un temps d'intégration de RB adapté au bus et toutes les actions sur le bus provoquées par RB doivent être terminées dans la durée minimale de RB = 1 (voir annexe A). Lorsque "RB intégré" = 1 et BH = 0, les dispositifs qui ne positionnent pas RB doivent répondre de la manière suivante:

1. ***Les dispositifs doivent retirer tous les signaux FASTBUS sauf les lignes AL et SR et ainsi toutes les opérations en cours doivent se terminer sans finir le dialogue (voir article 5.5).***
2. ***Les dispositifs doivent mettre hors service leur reconnaissance d'adresse logique (CSR#0 < 01 > à zéro) et doivent répondre seulement à des adressages géographiques ou de diffusion.***
3. ***Le bit Marche, CSR#0 < 02 >, et le bit de test, CSR#2 < 07 >, doivent être remis à zéro s'ils existent (voir section 8).***
4. ***Les Maîtres doivent mettre hors service leur logique de demande d'arbitrage en effaçant CSR#0 < 01 > et CSR#0 < 02 >.***

Voir le dernier alinéa de l'article 5.5.

Remarquer que lorsque BH = 1 les dispositifs ignorent l'état de RB.

5.5 Réponse des dispositifs à la mise sous tension

Règle

Les dispositifs doivent mettre hors service le positionnement de tous les signaux FASTBUS sur le segment à la mise sous tension excepté pour les lignes AL et SR.

Les dispositifs répondant à la mise sous tension ou à RB doivent seulement mettre hors service le positionnement des signaux FASTBUS qui ne sont pas mis à zéro par l'état zéro des autres signaux FASTBUS. Par exemple, il n'est pas nécessaire pour un Esclave de mettre hors service le positionnement de AK si AK est mis à zéro par la réception de AS = 0.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

5.4.1 Master Assertion of RB

The RB pulse may be asserted by any Master, not necessarily the current Master, at any time.

Rule

If BH = 0 the Master asserting RB shall, if not already asserting GK = 1, assert GK(u) with RB(u).

The RB pulse shall have a duration appropriate for the characteristics of the bus (see Annex A).

The Master asserting RB shall maintain GK = 1 at RB(d) and shall assume bus Mastership.

The Master which asserts RB on a Segment and which assumes Mastership at RB(d) should proceed to Segment diagnosis and/or Segment initialization or reinitialization.

5.4.2 Device Response to RB

Rule

Devices shall integrate RB = 1 for the RB integration time appropriate to the bus and all actions on the bus caused by RB shall be completed within the minimum RB = 1 time (see Annex A). When integrated RB = 1 and BH = 0, Devices not asserting RB shall respond as follows:

1. *Devices shall disable assertion of all FASTBUS signals except the AL and SR lines and therefore any operation in progress shall terminate without completing the handshake (see Clause 5.5).*
2. *Devices shall disable Logical Address recognition (CSR#0<01> cleared) and shall respond only to Geographical or Broadcast addressing.*
3. *CSR#0<02>, Run bit, and CSR#2<07>, Test bit, shall be cleared if implemented (see Section 8).*
4. *Masters shall disable their Arbitration Request logic by clearing CSR#0<01> and CSR#0<02>.*

See last paragraph of Clause 5.5.

Note that when BH = 1 Devices ignore the state of RB.

5.5 Device Response to Power On

Rule

Devices shall disable assertion of all FASTBUS signals on the Segment on POWER ON except for the AL and SR lines.

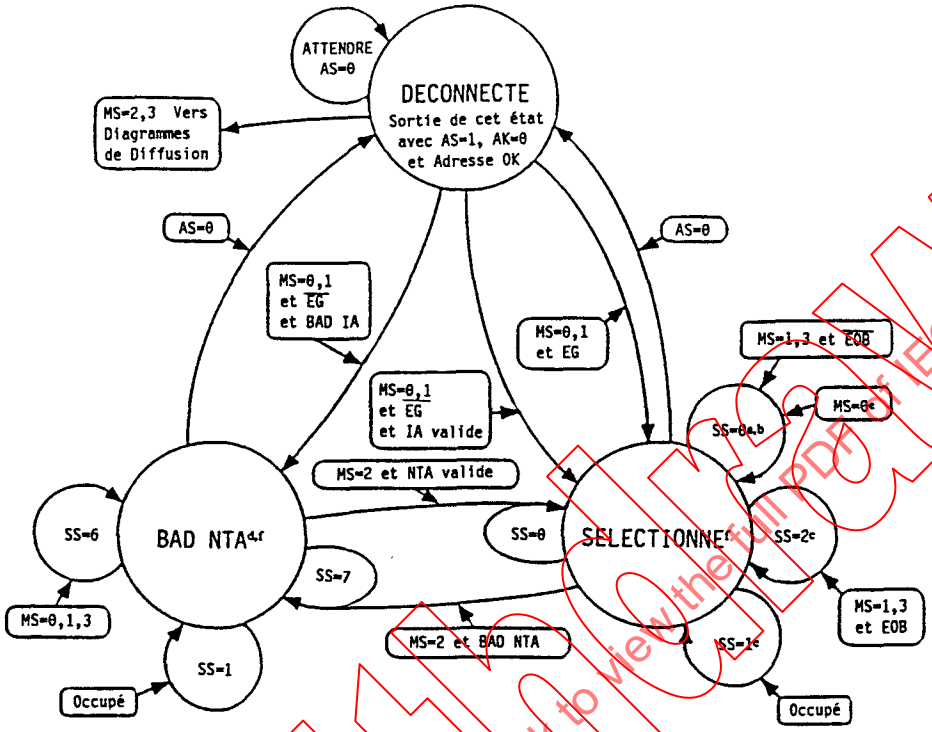
Devices responding to POWER ON or RB need only disable assertion of FASTBUS signals that are not set to zero by the zero state of other FASTBUS signals. For example, it is not necessary for a Slave to disable assertion of AK if AK is forced to zero by the receipt of AS = 0.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

5.6 Diagrammes d'état pour les opérations FASTBUS

Règle

Les opérations FASTBUS doivent être conformes aux diagrammes d'état des figure 20 page 62 ou figure 21 suivant les cas (voir aussi article 4.3.2).



Note a : L'utilisateur peut forcer ces cycles à envoyer SS = 6 ou 7 si la "qualité" des données est "mauvaise". La parité ou d'autres critères peuvent indiquer de mauvaises données.

Note b : Ces cycles incrémentent le FIFO pour MS = 1,3 et SS = 0 ou 7. La FIFO n'est pas incrémenté pour SS = 6.

Note c : La FIFO n'est pas incrémenté et aucune donnée n'est transférée pour ces cycles.

Note d : "BAD NTA" signifie soit une erreur de parité soit une adresse interne non existante.

Note e : Cette opération suivant immédiatement les modes 1 ou 3 répète le dernier transfert de données utilisant la FIFO.

Note f : Pour MS = 4,5,6,7 SS = 6 est toujours renvoyé.

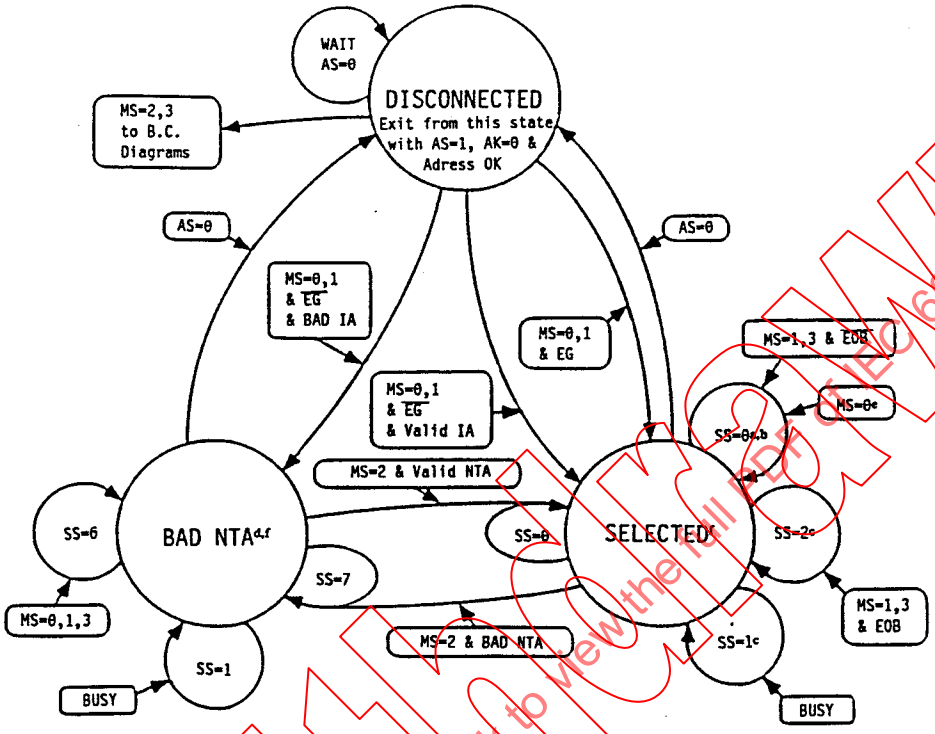
Figure 21. Diagramme d'état pour les dispositifs avec FIFO

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

5.6 State Diagrams for FASTBUS Operations.

Rule

FASTBUS Operations shall conform with the state diagrams in Figure 20 on page 62 or Figure 21 as appropriate (see also Subclause 4.3.2).



Note a : The user may force these cycles to send either SS = 6 or 7 if data "quality" is "bad". Parity or other criteria may define bad data.

Note b : These cycles "increment" the FIFO for MS = 1,3 and SS = 0 or 7. The FIFO is not incremented for SS = 6.

Note c : The FIFO is not incremented and no data is transfered for these cycles.

Note d : "BAD NTA" means either parity error or unimplemented internal address.

Note e : This operation immediately following modes 1 or 3 repeats the last data transfer with the FIFO.

Note f : For MS = 4,5,6,7 SS = 6 is always returned.

Figure 21. State Diagram for FIFO Devices

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 6. Arbitrage du bus

En général, un système FASTBUS est constitué d'un ou de plusieurs segments dont chacun peut contenir un certain nombre de Maîtres. Avant de démarrer une opération, un Maître doit s'assurer que le bus auquel il est connecté est libre et restera libre de toute interférence de la part des autres Maîtres pour la durée de la transaction. La technique utilisée pour réaliser cela nécessite une logique spécifique dans chaque dispositif capable d'obtenir la maîtrise du bus ainsi qu'une certaine logique active, le contrôleur de la séquence d'arbitrage (ATC), qui est connectée à chaque segment et ne fait partie d'aucun dispositif. L'ATC fournit les signaux de contrôle et de cadencement pour la procédure d'arbitrage et informe le Maître gagnant lorsqu'il peut disposer de l'usage du bus. Si une transaction nécessite de passer à travers l'interconnexion de segments, l'assurance de la disponibilité du bus doit alors être étendue segment après segment pour tous les segments impliqués.

Chaque Maître est affecté d'un niveau de priorité utilisé pendant un cycle d'arbitrage et, au moment voulu, la maîtrise du bus est assumée par le Maître en attente qui est le Maître de plus haut niveau qui a participé à l'arbitrage. Une fois qu'un Maître a été approuvé et a accepté la maîtrise du bus, il conserve le contrôle du bus jusqu'à ce qu'il décide de le relâcher. Par conséquent, une transaction de basse priorité peut interdire l'exécution d'une tâche de priorité élevée. Les priorités sont seulement contrôlées au moment de l'arbitrage.

Dès qu'il reçoit une demande d'arbitrage, un ATC initialise un cycle d'arbitrage si le bus n'est pas occupé. Si le bus est occupé, c'est le Maître courant qui détermine quand le cycle d'arbitrage prend place. Le critère utilisé par le Maître pour déterminer cet instant est au choix du concepteur. Un des choix consiste à permettre au cycle d'arbitrage de prendre place immédiatement après le dernier cycle d'adresse primaire de l'opération en cours. Ainsi, le Maître suivant peut généralement être choisi avant que le Maître courant ait fini son dernier cycle de données. Cet entrelacement de l'arbitrage avec l'activité du bus signifie que peu ou pas de temps est perdu dans la commutation de Maître à Maître quand le bus est occupé.

Tableau 10. Lignes d'arbitrage du FASTBUS

Nom	Sigle	Utilisation
Demande d'arbitrage	AR	Produite par un Maître pour demander la maîtrise du bus
Interdiction des demandes d'arbitrage	AI	Produite par l'ATC pour indiquer la présence de demandes non satisfaites
Octroi de l'arbitrage	AG	Produit par l'ATC pour contrôler la séquence du cycle d'arbitrage
Niveaux d'arbitrage (six lignes)	AL	Lignes de niveaux d'arbitrage. Emises par le Maître
Acceptation de l'octroi	GK	Produite par le Maître gagnant lorsqu'il a pris le contrôle du segment

Si la dernière ou la seule partie de la transaction en cours est un transfert de bloc ou en pipe-line, le temps entre le dernier cycle d'adresse et le dernier cycle de données peut être relativement long. Si on utilise l'algorithme suggéré ci-dessus, le Maître suivant peut être sélectionné longtemps avant qu'il acquière la maîtrise du bus. D'autres Maîtres ayant des niveaux d'arbitrage plus élevés que le Maître en attente peuvent faire des demandes pour utiliser le bus pendant le temps utilisé par le Maître courant pour finir son dernier cycle de données. Ces Maîtres ne seront cependant pas admis à concourir pour le bus avant que le Maître en attente ait gagné le contrôle du bus et, à son tour, permette à un autre cycle d'arbitrage de prendre place. Si le Maître actuel retarde l'initialisation du cycle d'arbitrage à son

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 6. Bus Arbitration

A general FASTBUS system consists of one or more Segments each of which may contain a number of MASTERS. Before starting an operation, a Master must be assured that the bus to which it is connected is free and will remain free from interference from other Masters for the duration of the transaction. The technique used to do this requires circuitry for this purpose in each Device capable of gaining bus Mastership as well as some active circuitry, the Arbitration Timing Controller (ATC), which is connected to each Segment and is not part of any Device. The ATC provides the timing and control signals for the arbitration process and informs the winning Master when it can take over use of the bus. If a transaction involves going through Segment Interconnects then the assurance of bus availability has to be extended Segment by Segment to all Segments involved.

Each Master is assigned a priority level to use during an Arbitration Cycle and, at the appropriate time, bus Mastership is assumed by the Pending Master which is the highest level Master that participated in the arbitration. Once a Master has been granted and has accepted bus Mastership, it retains control of the bus until it decides to relinquish it. Hence, a low priority operation can inhibit the execution of a high priority one. Priorities are only enforced at arbitration time.

Upon receipt of an Arbitration Request, an ATC initiates an Arbitration Cycle if the bus is not busy. If the bus is busy, it is the current Master that determines when the Arbitration Cycle takes place. The criterion used by the Master for determining this time is a choice of the designer. One choice is to allow the Arbitration Cycle to take place immediately following the last Primary Address Cycle of the current operation. Hence, the next Master can usually be chosen before the current Master finishes its last Data Cycle. This overlapping of arbitration with bus activity means that little or no time is lost in switching from Master to Master when the bus is busy.

Table 10. FASTBUS Arbitration Lines

Name	Designation	Use
Arbitration Request	AR	Generated by a Master to request Mastership
Arbitration Request Inhibit	AI	Generated by ATC to indicate presence of unsatisfied requests
Arbitration Grant	AG	Generated by the ATC to control the Arbitration Cycle timing
Arbitration Level (six lines)	AL	Arbitration Level (Lines). Generated by a Master
Grant Acknowledge	GK	Generated by the winning Master when it has taken control of the Segment

If the last or only part of the current transaction is a Block or Pipelined Transfer, the time between the last Address Cycle and the last Data Cycle could be rather long. If the algorithm suggested above is used, the next Master may be selected long before it acquires bus Mastership. Other Masters having higher arbitration levels than the Pending Master may make requests for use of the bus during the time that the current Master takes to complete its final Data Cycles. These Masters, however, will not be allowed to compete for the bus until the Pending Master gains control of the bus and, in turn, allows another Arbitration Cycle to take place. If the current Master delays the initiation of an Arbitration Cycle to its last or next to the last Data Cycle, the results of arbitration more accurately represent the state of the requests at the time of the freeing of the bus.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

dernier ou avant dernier cycle de données, le résultat de l'arbitrage représente plus précisément l'état des demandes au moment où il libère le bus.

6.1 Utilisation des lignes du bus pour une procédure d'arbitrage

Le tableau 10 page 65 donne une description sommaire des dix lignes du bus utilisées dans la procédure d'arbitrage.

Règle

Chaque Maître sur un segment doit être pourvu d'un niveau d'arbitrage unique dans ce segment. Ce niveau d'arbitrage doit être défini par un nombre binaire codé sur 6 bits contenu dans CSR#8 (voir article 8.11). Les niveaux d'arbitrage alloués doivent être de 1 à 63. Le niveau d'arbitrage zéro ne doit pas être alloué.

Les niveaux d'arbitrage doivent être divisés en deux classes déterminées par la valeur du bit le plus significatif. Un niveau local doit avoir le bit de poids fort à zéro. Un niveau local n'a besoin d'être unique que dans un segment donné. Les niveaux système doivent avoir leur bit le plus significatif à 1 et doivent être attribués de façon unique aux dispositifs Maîtres sur les segments le long d'une route.

Quand un niveau d'arbitrage est appliqué sur les lignes AL, le bit de poids fort doit apparaître sur AL<05> et le bit de poids faible sur AL<00>.

Il est recommandé que le niveau d'arbitrage local 31 soit réservé à l'usage d'un module de diagnostic.

Un Maître doit positionner AR comme première étape pour acquérir la maîtrise du bus. Avant de le faire, un Maître peut examiner l'état des autres lignes du bus. Pour obéir au protocole d'accès assuré, un Maître positionne AR seulement si AI n'est pas positionné. Cela permet d'accorder la maîtrise du bus avec une priorité tournante. Pour obéir au protocole d'accès prioritaire, un Maître n'émet AR seulement si son niveau d'arbitrage est plus élevé que celui du Maître courant du bus. Cela permet à un Maître qui examine l'état de AR d'exécuter une longue transaction interruptible seulement par une transaction de priorité plus élevée. S'il ne suit aucun de ces protocoles, un Maître émet AR aussitôt qu'il a besoin du bus.

Un cycle d'arbitrage est initialisé si la ligne AR est vraie et que les lignes AG, GK et WT sont fausses. Puisque le Maître courant contrôle l'état de la ligne GK, il peut contrôler l'initialisation du cycle d'arbitrage. L'ATC démarre le cycle en émettant AG(u) qui est utilisé par les Maîtres demandeurs pour émettre leur niveau d'arbitrage sur les lignes AL et par tous les autres Maîtres pour enlever leur niveau d'arbitrage des lignes AL. La détermination du Maître gagnant est effectuée par les Maîtres eux-mêmes, l'ATC fournit seulement les signaux de cadencement du processus. L'ATC après avoir émis AG(u) attend un temps fixe pour que la procédure d'arbitrage s'exécute. Ce temps est déterminé par le retard du bus et les temps de transit des logiques internes. A la fin de cette période d'attente, les lignes AL représentent le niveau d'arbitrage du Maître gagnant. Si à ce moment l'ATC trouve un niveau zéro non valide sur les lignes AL, il n'attend pas GK(u) et considère que le cycle d'arbitrage est terminé. Si la valeur sur les lignes AL est différente de zéro, l'ATC examine alors l'activité du bus. Quand le verrouillage AS/AK de l'opération courante a été rompu pendant une durée suffisante pour nettoyer le bus et que WT = 0, l'ATC envoie alors AG(d). Le Maître gagnant, qui est appelé le Maître en attente jusqu'à ce qu'il obtienne la maîtrise du bus, réalise qu'il a gagné et tous les autres participants à la procédure d'arbitrage savent qu'ils ont perdu.

La réception de AG(d) par le Maître en attente provoque le retour du signal d'accusé de réception de l'octroi (GK) vers l'ATC et il entreprend l'utilisation du bus. Si l'ATC ne reçoit pas le signal GK dans un intervalle de temps déterminé par les retards du bus et de la

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

6.1 Bus Line Usage for the Arbitration Process

Table 10 on page 65 gives a summary description of the ten bus lines used by the Arbitration Process.

Rule.

Each Master on a Segment shall be assigned an Arbitration Level unique within its Segment. The Arbitration Level shall be specified by a 6 bit binary encoded number contained in CSR#8 (see Clause 8.11). Allowed Arbitration Levels shall be from 1 to 63. Arbitration Level 0 shall not be allowed.

The Arbitration Level shall be divided into two classes as determined by the value of the most significant bit. A Local Level shall have the most significant bit set to zero. Local Levels need be unique only to a given Segment. System Levels shall have their most significant bit set to 1 and shall be assigned in a unique fashion to Master devices on Segments along a route.

When an Arbitration Level is gated onto the AL lines, the most significant bit shall appear on AL<05> and the least significant bit on AL<00>.

It is recommended that Local Arbitration Level 31 be reserved for use by diagnostic modules.

A Master must assert AR as the first step in acquiring bus Mastership. Before so doing a Master may examine the state of other bus lines. To obey the Assured Access protocol, a Master asserts AR only if AI is not being asserted. This leads to a prioritized round robin granting of bus Mastership. To obey the Prioritized Access protocol, a Master issues AR only if its Arbitration Level is higher than that of the current bus Master. This allows a Master that examines the state of AR to carry out a lengthy transaction interruptible only by higher priority transactions. If neither of these protocols is followed, a Master issues AR as soon as it needs to use the bus.

An Arbitration Cycle is initiated if the AR line is true and the AG, GK, and WT lines are false. Since the current Master controls the state of the GK line, it can control the initiation of Arbitration Cycles. The ATC starts the cycle by issuing AG(u) which is used by requesting Masters to gate their Arbitration Levels onto the AL lines and by all other Masters to remove their Arbitration Levels from the AL lines. The determination of the winning Master is carried out by the Masters themselves - the ATC simply provides timing signals for the process. The ATC after issuing AG(u) waits a fixed time for the arbitration process to complete. This time is determined by bus and internal logic delays. At the end of the wait period, the AL lines represent the Arbitration Level of the winning Master. If at this time the ATC finds the invalid level zero on the AL lines, it does not wait for GK(u) and considers the Arbitration Cycle complete. If the value on the AL lines is non-zero, the ATC then examines the bus for activity. When the AS/AK lock of the current operation has been broken for a time sufficient to clear the bus and WT = 0, the ATC then issues AG(d). The winning Master, which is known as the Pending Master until it gains bus Mastership, realizes that it has won and all other participants in the Arbitration process know that they have lost.

Receipt of AG(d) by the Pending Master causes it to return the Grant Acknowledge (GK) signal to the ATC and proceed to make use of the bus. If the ATC does not receive the GK signal within a time interval determined by logic and bus delays, it assumes that the winning

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

logique, il présume que le Maître gagnant ne veut plus ou ne peut pas assumer la maîtrise du bus et si AR = 1 il initialise un nouveau cycle d'arbitrage.

Puisque les Maîtres peuvent positionner AR n'importe quand, ceux de haute priorité peuvent indéfiniment refuser la maîtrise du bus à ceux de priorité inférieure. Ce problème peut être évité si les Maîtres obéissent au protocole recommandé d'accès assuré qui utilise le signal de contrôle de l'interdiction des demandes d'arbitrages (AI) produit par l'ATC. Les Maîtres initialisent une demande d'arbitrage seulement si AI = 0. Toutes les demandes pour la maîtrise du bus qui sont présentes à AI(u) sont honorées en ordre de priorité avant qu'aucune demande qui arrive après AI(u) ne soit autorisée à se placer sur les lignes AR. Le résultat est une forme de priorité tournante. Des Maîtres qui n'obéissent pas à ce protocole peuvent être mélangés avec ceux qui le font, autorisant un Maître à gagner la maîtrise du bus sans se préoccuper des demandes des Maîtres de priorité inférieure.

Deux caractéristiques du protocole d'arbitrage seront signalées. La première est que ce sont les Maîtres qui décident eux-mêmes qui sera le suivant à utiliser le bus. La seconde est que l'ATC détermine l'instant où le Maître en attente peut assumer la maîtrise du bus. La figure 22, représente une logique de contrôle de l'arbitrage dans un Maître. Des portes supplémentaires sont nécessaires pour mettre en service ce circuit (voir paragraphe 6.3.1). Des contrôles supplémentaires, matériels ou logiciels, sont nécessaires pour garantir des vecteurs d'arbitrage valables.

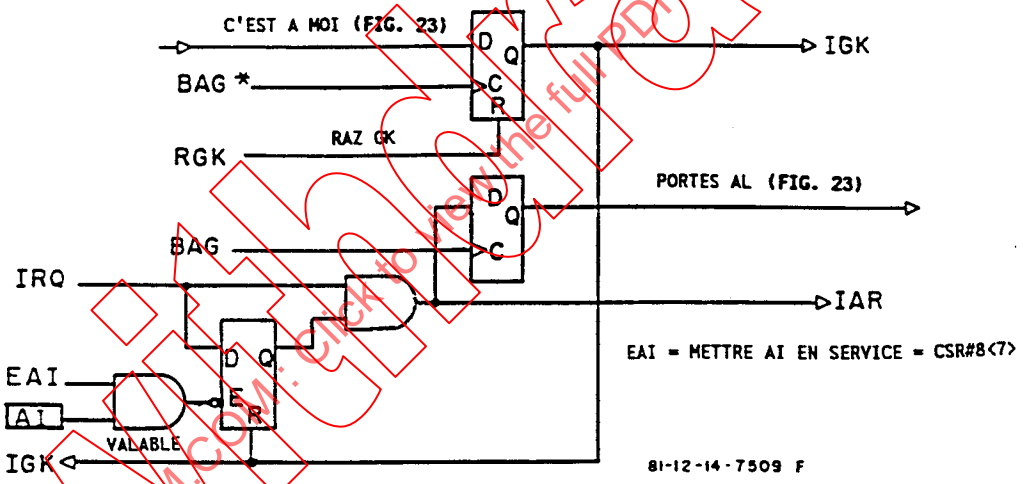


Figure 22. Logique de contrôle de l'arbitrage dans un Maître

6.2 La procédure d'arbitrage

L'article précédent décrivait brièvement le cadencement et le contrôle d'un cycle d'arbitrage. Les spécifications précises de ceux-ci sont données dans les articles suivants. Cet article décrit en détail le processus par lequel le niveau d'arbitrage gagnant est déterminé. Une réalisation de cette circuiterie dans un Maître est représentée sur la figure 23 page 68. Remarquer que les règles logiques sont telles que si un état "0" et un état "1" sont appliqués sur la même ligne par deux sources différentes, la ligne sera dans l'état logique "1".

IECNORM.COM : Click to view the full PDF of IEC 60935-1:1996

Master does not want to or cannot assume bus Mastership and, if AR = 1, initiates a new Arbitration Cycle.

If Masters are allowed to assert AR at any time, those with high priority may indefinitely deny bus Mastership to those of lower priority. This problem can be avoided if Masters obey the recommended Assured Access protocol which makes use of the ATC-generated Arbitration Request Inhibit (AI) control signal. Masters initiate Arbitration Requests only when AI = 0. All requests for bus Mastership that are present at AI(u) are serviced in order of priority before any requests that occur after AI(u) are allowed to be placed on the AR line. The result is a form of round-robin priority ordering. Masters that do not obey this protocol may be mixed with those that do, allowing the possibility of a Master gaining bus Mastership without regard to the requests of lower priority Masters.

Two features of the Arbitration protocol should be stressed. The first is that it is the Masters that decide among themselves who will next obtain use of the bus. The second is that the ATC determines the time at which the Pending Master can assume bus Mastership. Figure 22, shows the basic Arbitration Control Logic in a Master. Additional gates are required for enabling this circuitry (see Sub-clause 6.3.1). Further hardware or software checking is required to ensure valid Arbitration Vectors.

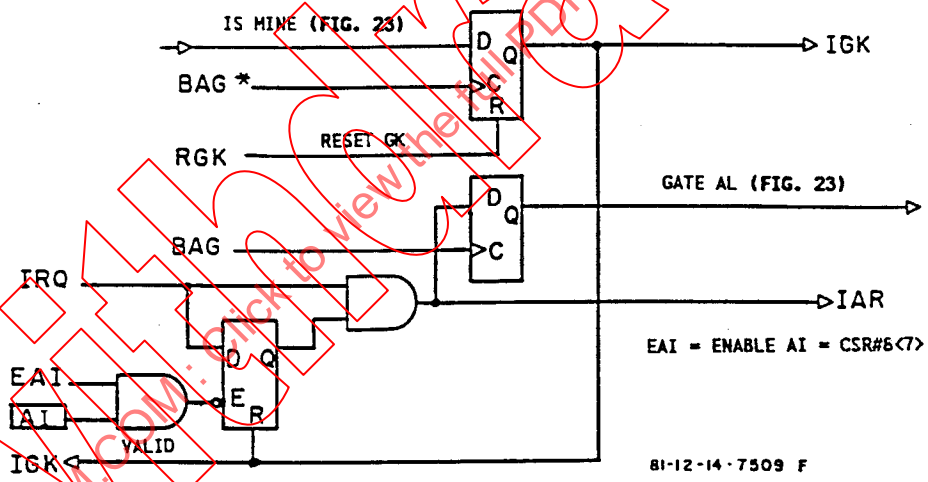


Figure 22. Arbitration Control Logic in a Master

6.2 The Arbitration Process

The previous clause described briefly the timing and control of an Arbitration Cycle. Precise specifications for this appear in later clauses. This clause describes in detail the process by which the winning Arbitration Level is determined. An implementation of this circuitry in a Master is shown in Figure 23 on page 68. Note that the logic rules are such that if a logic 0 and a logic 1 are being impressed on the same line from two different sources, the line will be in the logic 1 state.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

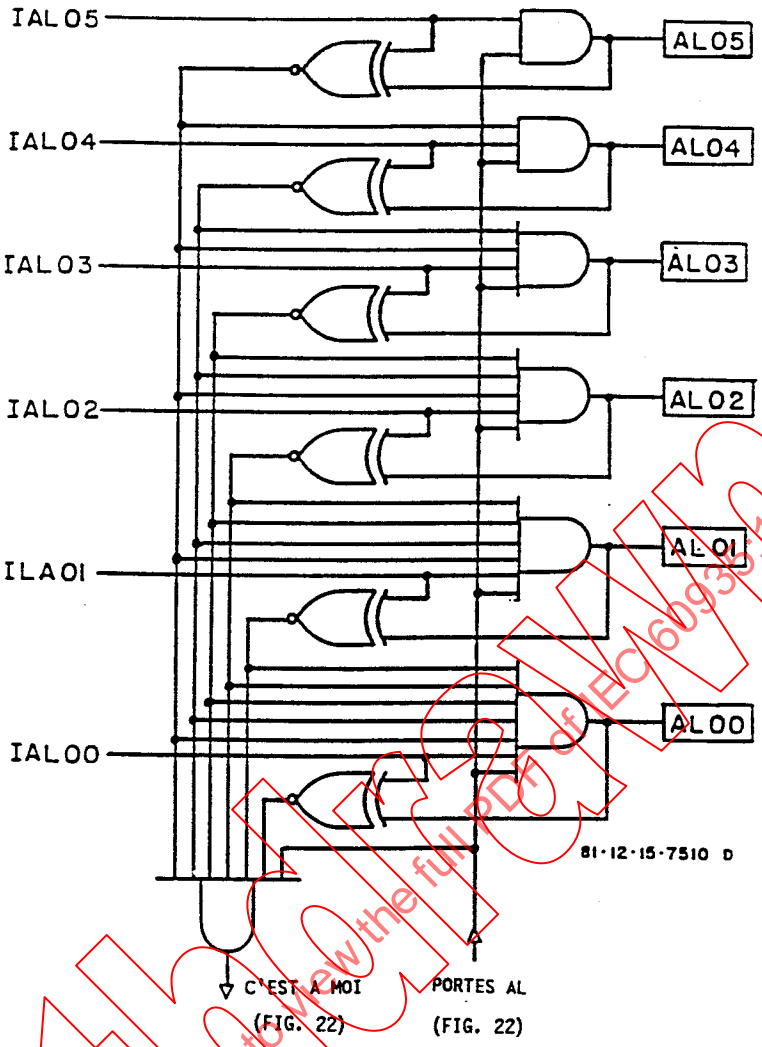


Figure 23. Logique d'arbitrage dans un Maître

A la réception de AG(u), les Maîtres qui désirent concourir pour la maîtrise du bus (c.-à-d. ceux qui positionnent AR) utilisent GATE AL pour placer leur niveau d'arbitrage interne (IAL) sur les lignes d'arbitrage AL<05:00>. Chaque Maître compare alors continuellement le niveau d'arbitrage qui lui est assigné avec la valeur sur les lignes AL. Si un Maître trouve que la valeur interne d'un bit quelconque de AL diffère de la valeur de la ligne AL correspondante, le Maître inhibe alors le placement de ses données sur toutes les lignes AL de plus faible poids. A cause de la règle logique mentionnée ci-dessus, la seule différence qui peut rester est celle d'une valeur interne "0" tandis que la valeur de la ligne correspondante est "1".

La condition imposée par le blocage des informations sur les lignes AL provoquera un changement de leur contenu plusieurs fois avant l'établissement de la valeur finale. Pendant le cours de ces modifications, un ou plusieurs Maîtres peuvent temporairement positionner leur signal interne de gain de l'arbitrage (IS MINE) indiquant qu'ils vont être choisis pour la maîtrise du bus la prochaine fois que le bus deviendra disponible. L'ATC, cependant, attend quatre temps de propagation du bus plus six temps de transit de la logique d'arbitrage pour permettre de déterminer le gagnant final avant de traiter la partie suivante du processus d'arbitrage. Le temps de transit de la logique d'arbitrage est le temps nécessaire à un Maître pour noter une différence sur un bit de poids fort de AL, et cesser de positionner tous les bits AL de poids plus faible. En plus de dépendre de la technologie utilisée, ce retard dépend également de la méthode utilisée pour réaliser la fonction d'arbitrage.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

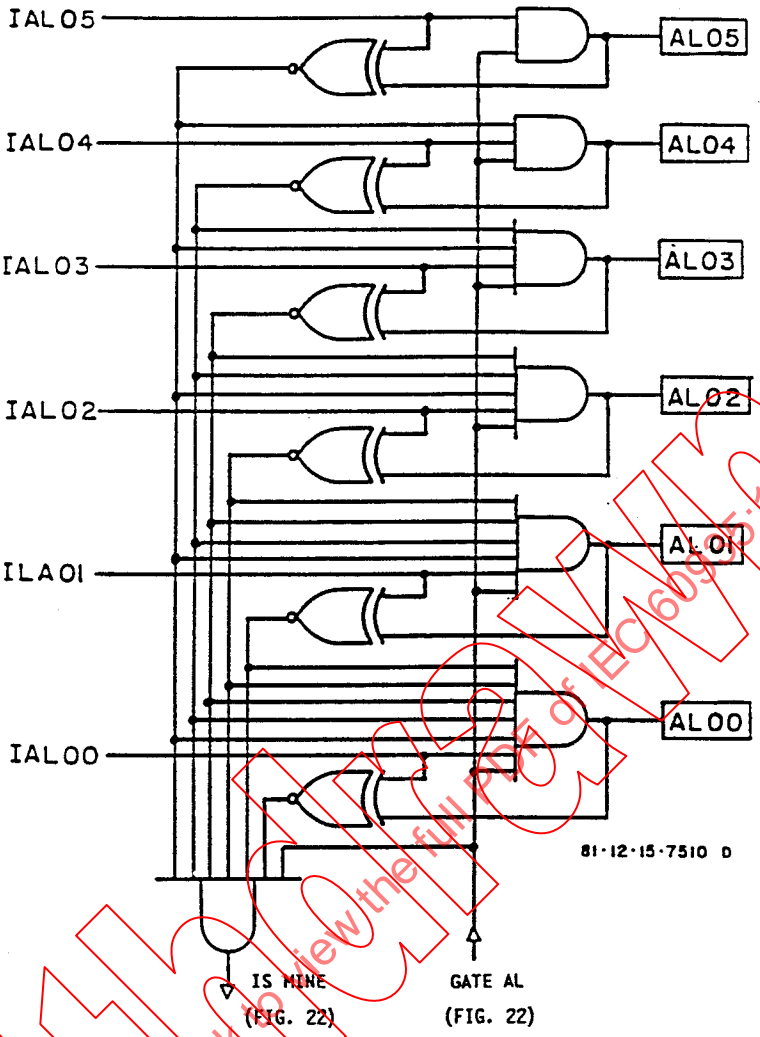


Figure 23. Arbitration Logic in a Master

Upon receipt of AG(u), those Masters wishing to contend for bus Mastership (i.e. those asserting AR) use GATE ALs to gate their Internal Arbitration Level (IAL) onto the Arbitration Lines AL<05:00>. Each Master then continuously compares its assigned Arbitration Level with the value on the AL lines. If a Master finds that the internal value of any AL bit differs from the value of the corresponding AL line, the Master then inhibits the placing of its data on all AL lines of lower significance. Because of the logic rule mentioned above, the only persistent difference that can occur is for an internal value to be 0 while the value on the corresponding AL line is 1.

The condition imposed upon the gating of information onto the AL lines can cause their contents to change several times before settling to a final value. During the course of these changes, one or more Masters may fleetingly set their internal arbitration won (IS MINE) signal indicating that they will be selected for bus Mastership the next time this bus becomes available. The ATC, however, waits four bus delays plus six Arbitration Logic delays to allow the final winner to be determined before proceeding to the next part of the arbitration process. An Arbitration Logic delay is the length of time required by a Master to note a high order AL bit difference and cease asserting all AL bits of lesser significance. In addition to depending on the technology used, this delay also depends on the method used to implement the arbitration function.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

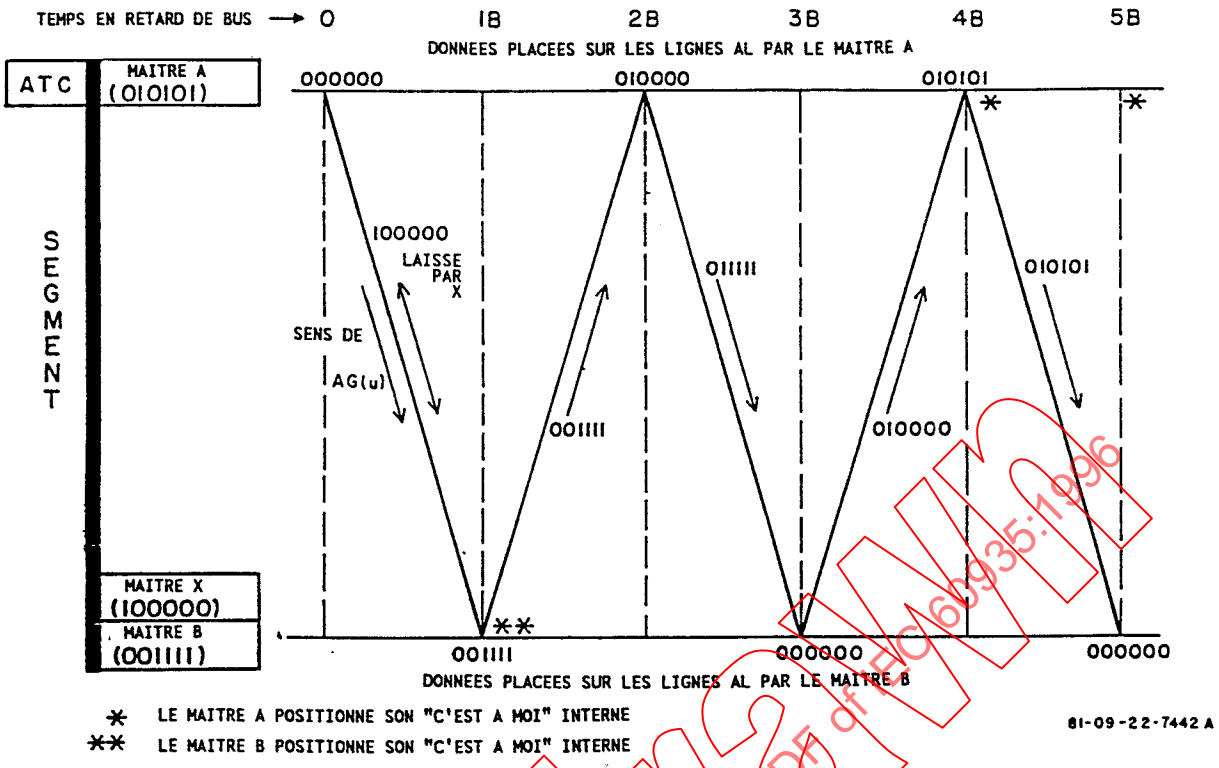


Figure 24. Arbitrage de deux Maîtres dans le cas des retards les plus défavorables

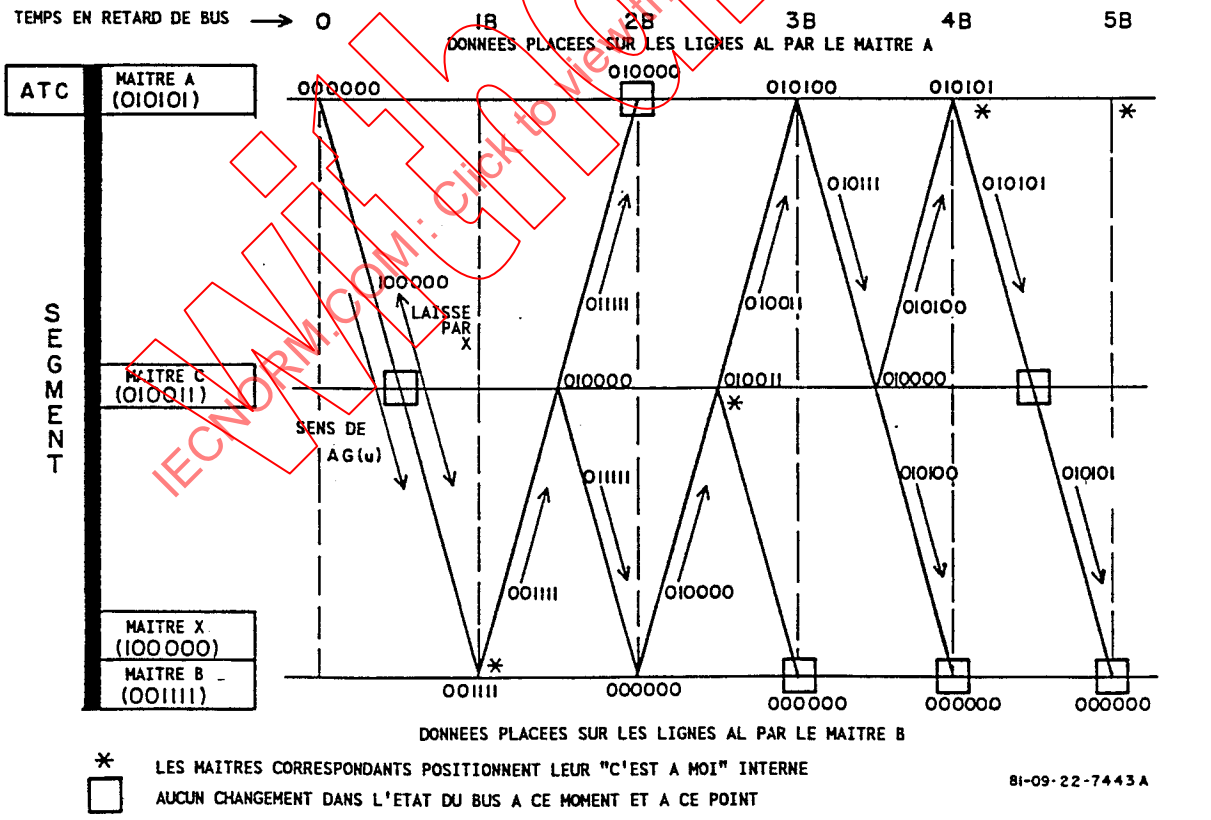


Figure 25. Arbitrage de trois Maîtres dans le cas des retards les plus défavorables

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

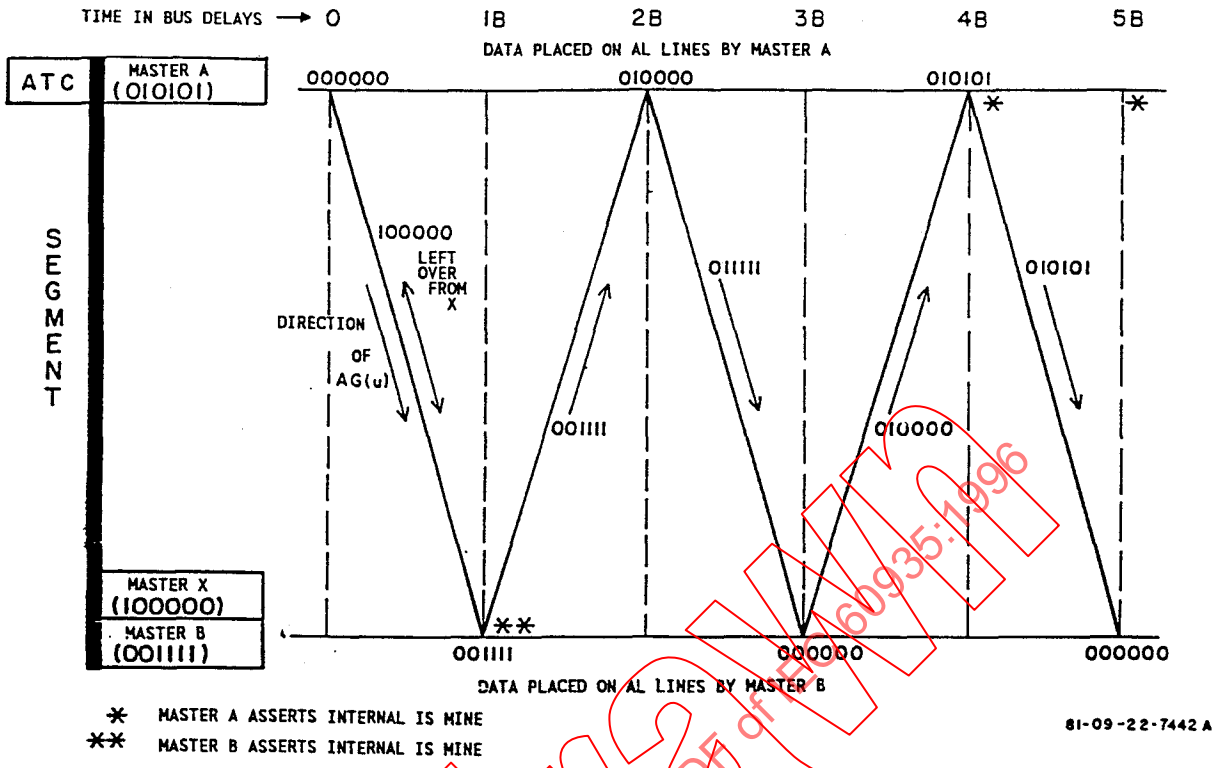


Figure 24. Arbitration for two Masters showing Worst-case Delays

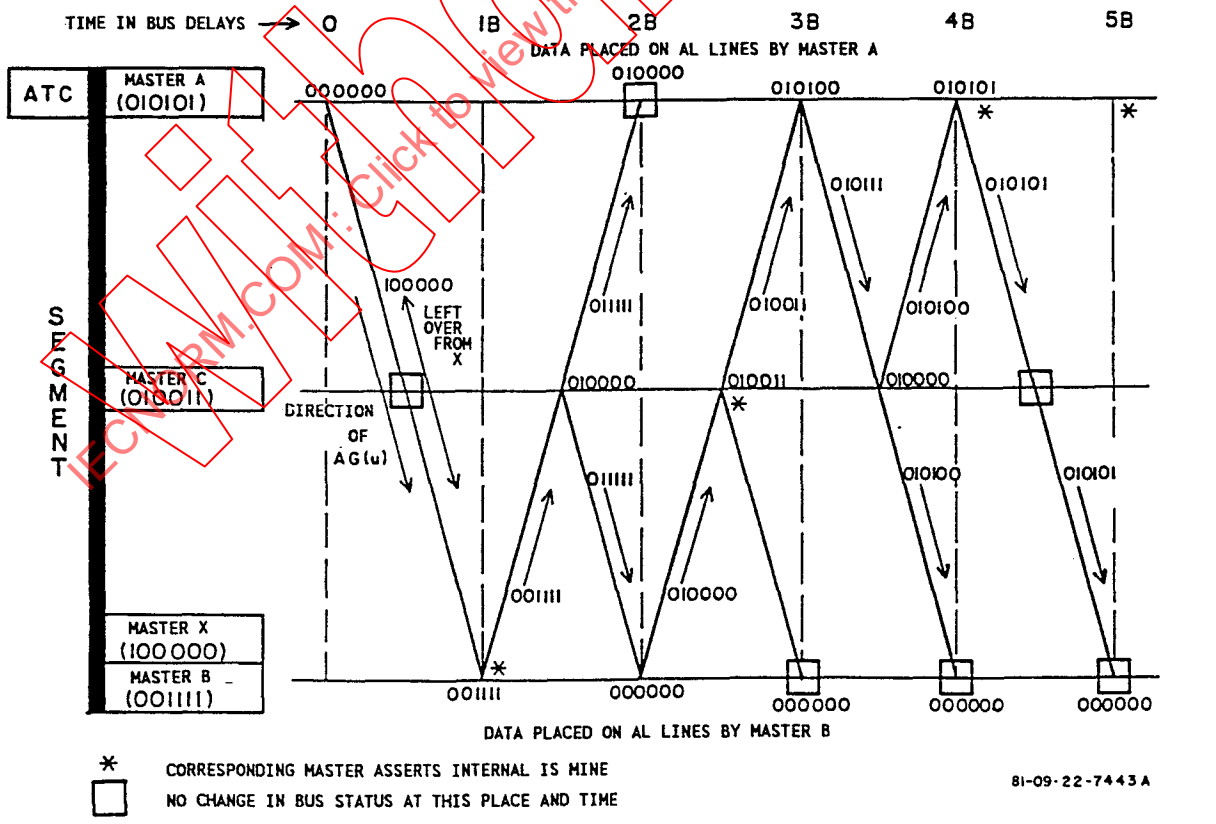


Figure 25. Arbitration for three Masters showing Worst-case Delays

IECNORM.COM: Click to view the full PDF of IEC 60935:1996
Withdrawn

La figure 24, illustre la séquence de sélection du Maître de plus haute priorité. La situation représentée est la suivante: le Maître A (niveau d'arbitrage 010101b) et l'ATC sont à une extrémité du bus. Le Maître B (niveau d'arbitrage 001111b) et le Maître X (niveau d'arbitrage 100000b) sont à l'autre extrémité du bus. Le Maître courant est X et A et B positionnent à la fois la ligne AR. X envoie GK(d) pour indiquer qu'un cycle d'arbitrage peut prendre place. L'ATC répond avec AG(u) et c'est l'instant de ce positionnement qui sert d'origine à l'échelle des temps de la figure 24 page 69.

Le Maître A, voyant AG(u), essaie de placer son niveau d'arbitrage sur les lignes AL. Le Maître X n'a pas encore vu AG(u), ainsi AL<05> est encore à l'état "1" et le principe de la priorité ne permet pas au Maître A, à cause de son niveau, de positionner aucune des lignes AL. Environ un retard de bus plus tard, le Maître X perçoit AG(u) et, puisqu'il n'est pas demandeur, enlève son niveau d'arbitrage du bus. A ce moment, le Maître B perçoit également AG(u) et essaie de placer son niveau d'arbitrage sur le bus. Puisque ni le Maître A, ni le Maître X ne positionnent maintenant une seule ligne AL, les lignes contiennent maintenant le niveau d'arbitrage de B et le Maître B se considère maintenant comme le Maître gagnant.

Un retard de bus plus tard, le niveau d'arbitrage de B apparaît à l'extrémité du bus où est le Maître A, la logique de priorité permet au Maître A de positionner à l'état "1" AL<04>. Le Maître A, à ce moment, ne peut affecter aucune autre ligne AL, donc la valeur 011111b revient à l'autre extrémité du bus. B perçoit alors que la valeur de AL<04> sur le bus et la sienne diffèrent, il arrête ainsi de positionner AL<03> à AL<00> inclusivement et ne se considère plus comme le Maître choisi.

La valeur 010000b se propage alors vers l'extrémité A du bus où la logique de priorité permet à A de positionner tous les bits de son niveau d'arbitrage sur les lignes AL et, découvrant l'égalité entre les valeurs internes et externes, il se considère lui-même comme le gagnant. Le niveau d'arbitrage de A revient à l'extrémité B sans rien affecter. Ainsi, en ne tenant pas compte du retard de la logique d'arbitrage, le gagnant correct a été déterminé quatre retards de bus après l'émission de AG(u).

La figure 25 page 69, représente une situation plus compliquée qui conduit encore au même retard maximal que l'exemple précédent. La complication consiste à ajouter un autre Maître au point milieu du bus dont le niveau d'arbitrage est intermédiaire entre ceux de A et de B. Les petits carrés sur le diagramme indiquent qu'aucun changement dans l'état du bus n'intervient à cette place et à cet instant.

6.3 Règles d'arbitrage

6.3.1 Positionnement de AR par le Maître et transmission de AR par le SI

Le signal de demande d'arbitrage, AR, est utilisé par un Maître pour demander la maîtrise du bus sur son segment, ou, via une interconnexion de segments sur un autre segment. Une seconde utilisation de la ligne est, pour le Maître courant, de détecter la présence d'autres Maîtres qui sont bloqués par l'opération en cours.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Figure 24, illustrates the timing of the selection of the highest priority Master. The situation shown is the following: Master A (Arbitration Level 010101b) and the ATC are at one end of the bus. Master B (Arbitration Level 001111b) and Master X (Arbitration Level 100000b) are at the other end of the bus. The current Master is X and both A and B are asserting the AR line. X issues GK(d) to indicate that an Arbitration Cycle can take place. The ATC responds with AG(u) and it is the time of this assertion which serves as the origin of the time scale of Figure 24 on page 69.

Master A, seeing AG(u), tries to gate its Arbitration Level onto the AL lines. Master X has not yet seen AG(u), hence AL<05> is still at logic 1 and the priority scheme does not allow Master A, because of its level, to assert any of the AL lines. About a bus delay later Master X senses AG(u) and, since it is not making a request, removes its Arbitration Level from the bus. At this time Master B also senses AG(u) and tries to place its Arbitration Level on the bus. Since neither Master A nor Master X are now asserting any AL lines, they now contain Master B's Arbitration Level and Master B considers itself at this time to be the winning Master.

A bus delay later B's arbitration level appears at the Master A end of the bus where the priority logic allows AL<04> to be set to logic 1 by Master A. Master A at this time cannot affect any other AL lines so the value 011111b travels back to the other end of the bus. There B senses that its and the bus's value of AL<04> differ, hence it stops asserting AL<03> to AL<00> inclusive and no longer considers itself to be the selected Master.

The value 010000b then propagates back to the A end of the bus where the priority logic now allows A to assert all bits of its Arbitration Level on the AL lines and, finding the match between internal and external values of AL, considers itself to be the winner. A's Arbitration Level travels down to the B end without affecting anything. So ignoring Arbitration Logic delays, four bus delays after the issuance of AG(u) the correct winner has been determined.

Figure 25 on page 69, shows a more complicated situation which still leads to the same worst case delay as the previous example. The complication consists of adding another Master at the midpoint of the bus whose Arbitration Level is intermediate between that of A and B. The small boxes in the diagram indicate that no change in the bus status occurs at this place and time.

6.3 Arbitration Rules

6.3.1 Master Assertion of AR and Segment Interconnect Passing of AR

The Arbitration Request Signal, AR, is used by a Master to request Mastership of its Segment, or, via a Segment Interconnect, another Segment. A second use of the line is for a current Master to detect the presence of other Masters which are being blocked by the current Operation.

IECNORM.COM : Click to view the full PDF of iec 60935:1996

Règle

Un Maître doit envoyer le signal de contrôle AR seulement si à la fois CSR#0<01> (autorisé) et CSR#0<02> (fonctionnant) sont positionnés (voir tableau 14 page 87). Les règles gouvernant l'émission de AR sont les suivantes:

1. *Un Maître doit maintenir AR=0 jusqu'à ce qu'il désire la maîtrise du bus sur son segment.*
2. *Un Maître qui n'obéit pas au protocole d'accès assuré ou d'accès prioritaire doit être capable de positionner AR n'importe quand.*
3. *Un Maître qui suit le protocole d'accès assuré doit être capable de positionner AR(u) seulement lorsque AI=0.*
4. *Un Maître qui suit le protocole d'accès prioritaire doit être capable de positionner AR(u) seulement lorsque son niveau d'arbitrage est supérieur à celui du Maître courant du bus.*
5. *Si un Maître qui a positionné AR(u) ne désire pas participer plus longtemps au cycle d'arbitrage, il doit envoyer AR(d).*
6. *Une interconnexion de segments active ou réservée doit transmettre AR du côté lointain vers le côté proche pour permettre au Maître courant de détecter les demandes d'autres Maîtres pour utiliser des segments impliqués dans l'opération en cours (voir paragraphe 10.7.6).*

Un Maître en attente cessera de positionner AR=1 dès la réception de AG(d) s'il ne participe pas au cycle d'arbitrage suivant.

6.3.2 Positionnement et libération de AI par l'ATC

Le signal de contrôle de l'interdiction des demandes d'arbitrage, AI, est produit par l'ATC pour permettre aux Maîtres de participer au concours pour la maîtrise du bus suivant un schéma qui permet aux Maîtres de faible priorité d'obtenir la maîtrise du bus quelle que soit la fréquence des demandes des Maîtres de priorité supérieure. AI est produit par tous les ATC, mais tous les Maîtres n'ont pas besoin de prendre AI en compte pour émettre AR. Les Maîtres auront la possibilité de fonctionner dans le mode d'accès assuré (voir article 8.11).

Les spécifications concernant le positionnement et la libération de AI par l'ATC sont contenues dans l'article 7.1.

6.3.3 Positionnement et libération de AG par l'ATC

Le front avant du signal de cadencement d'acceptation d'arbitrage, AG, est envoyé par l'ATC pour initialiser un cycle d'arbitrage pendant lequel les Maîtres en concurrence déterminent lequel sera le Maître en attente. Le front arrière de AG est utilisé pour donner le contrôle au Maître en attente.

Règle

Les dispositifs qui ont besoin de connaître le niveau d'arbitrage du Maître courant du bus doivent mémoriser la valeur de AL<05:00> à AG(d) dans un registre interne.

Les spécifications concernant le positionnement et la libération de AG par l'ATC sont contenues dans l'article 7.1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule.

A Master shall generate the control signal AR only if both CSR#0<01> (ENABLE) and CSR#0<02> (RUN) are set (see Table 14 on page 87). The rules governing the generation of AR are as follows:

1. *A Master shall maintain AR = 0 until it desires Mastership of its Segment.*
2. *A Master that does not obey the Assured Access or Prioritized Access protocol shall be able to assert AR at any time.*
3. *A Master that follows the Assured Access protocol shall be able to assert AR(u) only when AI = 0.*
4. *A Master that follows the Prioritized Access protocol shall be able to assert AR(u) only when its Arbitration Level is higher than that of the current bus Master.*
5. *If a Master that has asserted AR(u) no longer wishes to request Arbitration Cycles, it shall issue AR(d).*
6. *An Active or Reserved Segment Interconnect shall pass AR from Far-side to Near-side to allow the current Master to detect requests by other Masters for use of Segments involved in the current Operation (see Sub-clause 10.7.6).*

A Pending Master should cease to assert AR = 1 on receipt of AG(d) if it is not to participate in the next Arbitration Cycle.

6.3.2 ATC Assertion and Release of AI

The Arbitration Request Inhibit, AI, control signal is generated by the ATC to allow Masters to participate in a scheme for contention for bus Mastership which enables lower priority Masters to gain bus Mastership regardless of rate of requests by higher priority Masters. AI is generated by all ATCs but all Masters need not take AI into account when issuing AR. Masters should have the capability of operating in the Assured Access mode (see Clause 8.11).

Specifications concerning ATC assertion and release of AI are contained in Clause 7.1.

6.3.3 ATC Assertion and Release of AG

The leading edge of the Arbitration Grant, AG, timing signal is issued by the ATC to initiate an Arbitration Cycle during which contending Masters determine which will be the Pending Master. The trailing edge of AG is used to pass control to the Pending Master.

Rule.

Devices requiring knowledge of the current bus Master's Arbitration Level shall, at AG(d), store the value of AL<05:00> in an internal register.

Specifications concerning ATC assertion and release of AG are contained in Clause 7.1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

6.3.4 Positionnement et libération de AL par le Maître

A chaque Maître est assigné un niveau interne d'arbitrage qui, s'il désire obtenir la maîtrise du bus, est placé en OU logique sur les lignes de niveau d'arbitrage AL<05:00> pendant un cycle d'arbitrage. Les Maîtres concurrents examinent alors continuellement et modifient l'état des lignes AL suivant le protocole d'arbitrage défini. Après un retard convenable, les lignes AL représentent le plus haut niveau qui leur fut appliqué pendant le cycle.

Règle

Un Maître doit participer à un cycle d'arbitrage s'il positionne AR = 1 lorsqu'il reçoit AG(u).

Les signaux d'information AL<05:00> doivent être produits par un Maître comme suit :

1. *Un Maître participant à un cycle d'arbitrage doit placer son niveau d'arbitrage sur les lignes AL dans le temps de retard de la logique d'arbitrage (voir annexe A) après qu'il a détecté AG(u).*
2. *Un Maître ne doit pas modifier son registre de niveau d'arbitrage (voir article 8.11) pendant un cycle d'arbitrage auquel il participe jusqu'à ce que le cycle soit terminé et qu'il ait reçu GK(u) .*
3. *Un Maître qui ne participe pas à un cycle d'arbitrage doit enlever tous les signaux qu'il a placés sur les lignes AL dans le temps de retard de la logique d'arbitrage après qu'il a détecté AG(u).*
4. *Chaque Maître qui participe à un cycle d'arbitrage doit continuellement comparer le signal qu'il reçoit sur chaque ligne AL avec la valeur correspondante qu'il produit sur cette ligne. Si, pour une ligne particulière, le signal reçu, AL<i>, est à l'état "1" et que le signal produit est à l'état "0", le Maître doit alors produire AL<i-1> = AL<i-2> = -- = AL<00> = 0 dans le temps de retard de la logique d'arbitrage.*
5. *Après que le signal de contrôle AG = 1 a été maintenu pour une durée plus grande que la durée minimale du cycle d'arbitrage (voir annexe A) du segment, le Maître dont le niveau d'arbitrage est le même que celui présent sur les lignes AL doit être le Maître suivant à recevoir la maîtrise du bus (Maître en attente).*

Un Maître peut changer l'état des signaux qu'il positionne sur les lignes AL à la mise sous tension et pendant l'intervalle entre GK(u) et AG(u).

Pour pouvoir satisfaire aux impératifs de cadencement d'un Maître qui participe à un cycle d'arbitrage, on recommande un circuit tel que celui qui est donné à l'article D.1 de l'annexe D.

6.3.5 Positionnement et libération de GK par le Maître

Le cycle d'arbitrage permet aux Maîtres en concurrence de décider eux-mêmes celui qui sera le prochain à obtenir la maîtrise du bus. L'identité du Maître en attente est seulement connue de lui seul; chacun des autres Maîtres sait seulement qu'il n'est pas le Maître en attente. Lorsque le Maître en attente perçoit AG(d), il reconnaît qu'il va assumer la maîtrise du bus en envoyant le signal d'acceptation de l'octroi, GK(u), avant d'utiliser le bus. Si cette réponse n'est pas reçue dans un temps fixé par l'ATC (voir paragraphe 7.1.2), un nouveau cycle d'arbitrage est initialisé s'il y a des demandes encore actives. Les cycles d'arbitrage sont inhibés jusqu'à ce que le Maître positionne GK(d).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

6.3.4 Master Assertion and Release of AL

Each Master is assigned an Internal Arbitration Level which, if it wishes to gain bus Mastership, it logically ORs onto the Arbitration Level lines AL<05:00> during an Arbitration Cycle. The contending Masters then continuously examine and modify the state of the AL lines according to the defined arbitration protocol. After a suitable delay, the AL lines represent the highest level impressed on them during the cycle.

Rule.

A Master shall participate in an Arbitration Cycle if it is asserting AR = 1 when AG(u) is received.

The information signals AL<05:00> shall be generated by a Master as follows:

1. ***A Master participating in an Arbitration Cycle shall place its Arbitration Level on the AL lines within an Arbitration Logic Delay time (see Annex A) after AG(u) is detected.***
2. ***A Master shall not change its Arbitration Level Register (see Clause 8.11) during an Arbitration Cycle in which it is participating until the cycle is complete and GK(u) has been received.***
3. ***A Master not participating in an Arbitration Cycle shall remove any signals it is placing on the AL lines within an Arbitration Logic Delay time after AG(u) is detected.***
4. ***Each Master participating in an Arbitration Cycle shall continuously compare the signal it receives on each AL line with the corresponding value it generates for that line. If, for a particular line, the signal received, AL<i>, is at logic 1 and the signal generated for that line is at logic 0, then the Master shall generate AL<i-1> = AL<i-2> = — = AL<00> = 0 within an Arbitration Logic Delay time.***
5. ***After the control signal AG = 1 has been maintained for a time greater than the minimum Arbitration Time (see Annex A) of the Segment, the Master whose Arbitration Level is the same as that on the AL lines shall be the next Master to be granted bus Mastership (Pending Master).***

A Master may change the state of the signals it is asserting on the AL lines at power on as well as during the interval from GK(u) to AG(u).

In order to meet the timing requirements of a Master participating in an Arbitration Cycle, a circuit such as that given in Clause D.1 of Annex D is recommended.

6.3.5 Master Assertion and Release of GK

The Arbitration Cycle allows contending Masters to decide for themselves which one will next be granted bus Mastership. The Pending Master's identity is known to itself alone; each other Master simply knows that it is not the Pending Master. When the Pending Master senses AG(d), it acknowledges that it will assume bus Mastership by issuing the Grant Acknowledge signal, GK(u), prior to using the bus. If this response is not received within a time set by the ATC (see Sub-clause 7.1.2), a new Arbitration Cycle is initiated if there are any requests still active. Arbitration Cycles are inhibited until the Master asserts GK(d).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Règle

Le signal de contrôle GK doit être produit par un Maître comme suit:

1. *Un Maître en attente qui doit assurer la maîtrise du bus doit, en réponse à AG(d), émettre GK(u) dans le temps de réponse d'adresse de l'Esclave (voir annexe A) avant d'émettre tout autre signal sur le segment.*
2. *Après avoir envoyé GK(u), le Maître en attente doit être le Maître courant.*
3. *Le Maître courant doit émettre GK(d) avant de relâcher le bus ou lorsqu'il reçoit le signal intégré RB = 1 et BH = 0.*

Il est permis au Maître courant de faire suivre GK(d) par GK(u) dans la mesure où, pendant la période où GK = 0, le Maître continue à positionner AS = 1. Si un Maître envoie AS(d) quand GK = 0, il doit participer à un cycle d'arbitrage et le gagner avant de pouvoir à nouveau utiliser le bus.

6.4 Arbitrage a travers le système

La procédure d'arbitrage sur un segment local est évidente. Chaque Maître sur le segment possède un niveau d'arbitrage différent, habituellement un niveau local, et l'arbitrage se déroule comme décrit précédemment.

La communication à travers les frontières des segments est réalisée par les interconnexions de segments. Pour pouvoir transmettre une opération, le SI doit obtenir la maîtrise du bus sur son segment lointain. Cela nécessite que le SI contienne la logique d'arbitrage Maître décrite ci-dessus. Le principal problème à résoudre est de savoir comment les niveaux d'arbitrage sont transmis à travers le SI.

Puisqu'un SI doit être capable de demander et d'obtenir la maîtrise du bus sur son segment côté lointain, il doit participer aux cycles d'arbitrage et posséder un niveau d'arbitrage. Si ce niveau était, à chaque passage de segment, juste celui du Maître qui a initialisé la transaction, le problème de garantir un niveau d'arbitrage unique deviendrait difficile, sinon impossible, à résoudre. Cependant, si l'on attribue un niveau d'arbitrage local au SI pour son segment côté lointain, le problème se trouve grandement facilité au prix acceptable de l'éventualité que le niveau d'arbitrage change lorsque la transaction traverse les frontières des segments.

Si un Maître a besoin d'avoir une priorité élevée qui reste la même à travers tout un système interconnecté, on lui attribue un niveau d'arbitrage système. Un SI qui détecte un niveau d'arbitrage système sur son segment côté proche utilisera le même niveau d'arbitrage système lorsqu'il concourra pour l'utilisation du segment côté lointain. Ainsi, le même niveau d'arbitrage, qui est plus élevé que n'importe quel niveau local, est utilisé dans l'arbitrage pour chaque segment impliqué dans la transaction.

Si tout le trafic quittant un segment à travers un SI donné doit avoir un niveau d'arbitrage système, les Maîtres d'origine sur le segment n'ont presque jamais besoin de posséder un rare niveau d'arbitrage système. Les niveaux d'arbitrage système sont transmis sans changement par un SI mais les niveaux d'arbitrage locaux sont transformés dans le niveau d'arbitrage du côté lointain du SI. Si le niveau d'arbitrage du côté lointain du SI est un niveau système, le niveau système est alors utilisé pour l'arbitrage dans tous les segments suivants nécessaires pour compléter la connexion avec l'Esclave.

Le processus d'arbitrage intersegments implique le segment d'origine, tous les segments intermédiaires et le segment destination. Il est cependant possible d'utiliser le même niveau d'arbitrage système plus d'une fois dans un système physiquement interconnecté à condition que chacune des parties du système qui utilisent les mêmes niveaux d'arbitrage système

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Rule.

The control signal GK shall be generated by a Master as follows:

1. *A Pending Master that is to assume bus Mastership shall, in response to AG(d), generate GK(u) within the Slave Address Response Time period (see Annex A) prior to generating any other signals on the Segment.*
2. *After generating GK(u), the Pending Master shall be the current Master.*
3. *The current Master shall generate GK(d) before releasing the bus or on receipt of integrated RB = 1 and BH = 0.*

It is permissible for the current Master to follow GK(d) with a GK(u) provided during the period that GK = 0 the Master continued to assert AS = 1. If a Master issues AS(d) when GK = 0, it has to participate in and win an Arbitration Cycle before again using the bus.

6.4 System Wide Arbitration

The procedure for arbitration on a local Segment is straightforward. Each Master on the Segment is assigned a different Arbitration Level, usually at the Local Level, and the arbitration proceeds as already described.

Communication across Segment boundaries is carried out by Segment Interconnects. In order to pass an operation, the SI must gain Mastership of its Far-side Segment. This requires that the SI contain the Master arbitration circuitry described above. The main problem to be resolved is how Arbitration Levels are transmitted through SIs.

Since an SI must be capable of requesting and gaining Mastership of its Far-side Segment, it must participate in Arbitration Cycles and be assigned an Arbitration Level. If at each Segment crossing this level was just that of the Master that initiated the transaction, the problem of ensuring unique Arbitration Levels would be difficult, if not impossible, to solve. However, if the SI is assigned a Local Arbitration Level for its Far-side Segment, the problem is eased considerably at the acceptable expense of possibly having the Arbitration Level change as the transaction crosses Segment boundaries.

If a Master needs to have a high priority which remains the same throughout a connected system, it is assigned a System Arbitration Level. An SI seeing a System Arbitration level on its Near-side Segment will use the same System Arbitration Level when contending for use of its Far-side Segment. Hence, the same Arbitration Level, which is higher than any Local Level, is used when arbitrating for each Segment involved in the transaction.

If all traffic leaving a Segment through a given SI is to have a System Arbitration Level, then the originating Masters on the Segment need not be assigned possibly scarce System Arbitration Levels. System Arbitration Levels are transmitted unchanged by an SI but Local Arbitration Levels are transformed to the SI's Far-side Arbitration Level. If the SI's Far-side Arbitration Level is a System one, then this System Level is used when arbitrating for all additional Segments needed to complete the connection to the Slave.

The inter-segment arbitration process involves the originating segment, all intervening segments, and the destination segment. It is therefore possible to use the same System Arbitration Level more than once in a physically connected system provided each section of the system using the same System Arbitration Level is a logically distinct entity; i.e., the paths from originating to destination Segment have no Segments in common.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

constituent des ensembles logiques distincts, c.-à-d. que les chemins du segment d'origine au segment destination n'aient pas de segments en commun.

La section 10 décrit en détail comment un SI arbitre pour son segment côté lointain.

Les niveaux d'arbitrage optimaux pour les Maîtres et les SI dépendent du système. Les priorités sont prises en compte uniquement au moment de l'arbitrage. Si aucun Maître ne suit le protocole des accès assurés, il est possible que les Maîtres de faible priorité aient leurs demandes de maîtrise du bus en attente pour de très longues périodes de temps. Dans de tels systèmes, la fréquence de ces possibilités peut être réduite en affectant des priorités élevées aux demandes peu fréquentes et une basse priorité aux demandes très fréquentes.

Le protocole des accès assurés supprime la possibilité d'exclure ou de retarder considérablement la réponse à une demande provenant d'un Maître de faible priorité au prix de retarder quelque peu les réponses aux Maîtres de priorité élevée. Si cela n'est pas acceptable, les Maîtres qui doivent obtenir un accès rapide au bus peuvent, en plus de disposer d'un niveau de priorité élevé, ignorer la ligne AI lorsqu'ils font une demande. De tels Maîtres peuvent ajouter n'importe quand leur demande à l'ensemble des demandes non satisfaites sans avoir à attendre que cet ensemble soit vide. Puisque les demandes dans cet ensemble sont prises en compte par ordre de priorité, une réponse rapide peut être donnée à une demande de maîtrise du bus d'un Maître de priorité élevée qui ignore AI.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 10 describes in detail how an SI arbitrates for its Far-side Segment.

Optimal Arbitration Levels for Masters and SIs are system dependent. Priorities are enforced only at arbitration time. If no Masters follow the assured access protocol, it is possible for low priority Masters to have their requests for bus Mastership pending for very long periods of time. In such systems, the occurrence of this possibility can be reduced by assigning high priorities to the low frequency requests and low priorities to the high frequency requests.

The Assured Access protocol removes the possibility of excluding or greatly delaying the response to requests from low priority Masters at the expense of delaying somewhat the response to high priority requests. If this is not acceptable, those Masters that must gain rapid access to the bus can, besides being assigned a high priority level, ignore the AI line when making requests. Such Masters can add requests at any time to the pool of unsatisfied requests without having to wait for the pool to empty. Since requests in the pool are serviced in order of priority, prompt response can be given to requests for bus Mastership by high priority Masters which ignore AI.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 7. Logique ancillaire sur un segment

La réalisation d'un segment nécessite une logique qui est commune à tous les dispositifs sur le segment. Cette logique ancillaire contrôle l'exécution des cycles d'arbitrage, surveille les cycles d'adresse et mentionne les adresses géographiques sur le segment par EG, produit le dialogue système pour les opérations de diffusion, émet les signaux d'arrêt de l'activité sur le segment lorsque le commutateur marche/arrêt est positionné, fournit les "1" et "0" logiques pour coder les contacts GA et fournit les résistances d'adaptation aux deux extrémités du bus pour la plupart des lignes de signaux. Comme un Maître, la logique ancillaire doit être informée des caractéristiques de cadencement du bus auquel elle est connectée. L'annexe A contient ces informations pour une réalisation particulière.

7.1 Contrôle de la séquence d'arbitrage (ATC)

On trouve à la section 6 une description de l'arbitrage du bus.

Règle

Chaque segment doit avoir un contrôleur de séquence d'arbitrage (ATC).

7.1.1 Génération de AI par l'ATC

Règle

L'ATC doit envoyer AI(u) en même temps que AG(u).

L'ATC doit envoyer AI(u) si AR = 0 depuis au moins deux temps de retard du bus.

L'ATC doit positionner AI = 0 à la mise sous tension et lorsque RB intégré est "1" et BH = 0 (voir paragraphe 5.4.2).

7.1.2 Génération de AG par l'ATC

Règle

L'ATC doit émettre le signal de cadencement AG(u) pour débuter un cycle d'arbitrage lorsqu'il détecte l'ensemble des conditions suivantes:

AR = 1, *une demande d'arbitrage.*

AG = 0, *pour la durée minimale de l'état bas des impulsions s'il n'y a pas de Maître en attente (AL<05:00> = 0) ou pour la période minimale du temporisateur de réponse du Maître s'il y a un Maître en attente (AL<05:00> non nulles). Voir l'annexe A.*

GK = 0, *Maître courant du bus (s'il existe) prêt à relâcher le bus.*

WT = 0, *les transitions de cadencement ne sont pas inhibées.*

RB intégré = 0, *(voir article 7.4 pour la protection contre les transitoires).*

Le commutateur arrêt/marche est sur la position marche.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 7. Ancillary Logic on a Segment

The implementation of a Segment requires circuitry which is common to all Devices on the Segment. This Ancillary Logic controls the execution of Arbitration Cycles, monitors Address cycles and flags Geographical Addresses on the Segment with EG, generates the System Handshake for Broadcast operations, issues signals to halt activity on the Segment when the Run/Halt switch is set, provides logic ones and zeros for encoding the GA pins and provides terminators at both ends of the bus for most signal lines. Like a Master, the Ancillary Logic has to be aware of the timing characteristics of the bus to which it is attached. Annex A contains this information for a specific implementation.

7.1 Arbitration Timing Control (ATC)

A description of bus arbitration is found in Section 6.

Rule

Each Segment shall have an Arbitration Timing Controller.

7.1.1 ATC Generation of AI

Rule

The ATC shall issue AI(u) at the same time as AG(u).

The ATC shall issue AI(d) if AR has been zero for at least two bus delay times.

On POWER ON and when integrated RB = 1 and BH = 0 the ATC shall set AI = 0 (see Sub-clause 5.4.2).

7.1.2 ATC Generation of AG

Rule

The ATC shall generate the timing signal AG(u) to begin an Arbitration Cycle when it detects all of the following conditions:

AR = 1, *a request for arbitration.*

AG = 0, *for Minimum Pulse Down Time if there is no Pending Master (AL<05:00> = 0) or the minimum Master Address Response Timeout period if there is a Pending Master (AL<05:00> non-zero). See Annex A.*

GK = 0, *Current bus Master, if any, prepared to release bus.*

WT = 0, *timing transitions are not inhibited.*

Integrated RB = 0, *(see Clause 7.4 regarding transient protection).*

Run/Halt Switch in Run Mode.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle, suite

L'ATC doit engendrer AG(d) pour terminer un cycle d'arbitrage quand le signal de contrôle AG=1 a été maintenu plus longtemps que le temps minimal d'arbitrage du segment et que GK=AK=AS=WT=0 pour au moins le temps d'établissement du segment.

Si, dès le positionnement de AG(d), les lignes AL ne sont pas à zéro, l'ATC doit démarrer un temporisateur de réponse à GK(u) dont la durée sera la période du temporisateur de réponse d'adresse du Maître (voir annexe A). Si la réponse GK(u) à AG(d) n'est pas reçue dans ce temps l'ATC sera remis à zéro et réactivé pour un nouveau cycle d'arbitrage. Si, au positionnement de AG(d), les lignes AL sont à zéro, l'ATC sera remis à zéro et réactivé pour un nouveau cycle d'arbitrage.

Lorsqu'il reçoit le signal de contrôle WT=1, l'ATC ne doit pas émettre le signal de cadencement AG(t) et doit mettre hors service son temporisateur de réponse à GK(u) (voir article 5.1.3).

Lorsque RB intégré est "1" (voir paragraphe 5.4.2) et BH=0, ou à la mise sous tension, l'ATC doit positionner AG=0.

Un SI réservé (voir paragraphe 10.7.6) transmet AR de son côté lointain vers son côté proche ce qui permet au Maître originel d'être informé des demandes pour l'utilisation de n'importe quel segment impliqué dans l'opération. Lorsque le Maître émet GK=0 pour indiquer qu'il va rapidement relâcher la maîtrise du bus, les segments pour lesquels AR est positionné uniquement à cause de la transmission des signaux par le SI, peuvent voir momentanément satisfaite la condition pour émettre AG(u). Cela provoque l'exécution d'un cycle d'arbitrage dont le résultat est que toutes les lignes AL sont à zéro. L'ATC reconnaît cela comme un résultat invalide, émet AG(d), et est ainsi prêt à répondre correctement à l'AR=1 suivant.

7.2 Contrôle des adresses géographiques

Un Esclave qui voit EG pendant un cycle d'adressage examine les 8 lignes d'adresse de poids faible pour déterminer s'il a été sélectionné. Un Maître adressant géographiquement un Esclave sur un segment différent ne peut pas positionner EG en même temps que le champ GP qui spécifie le segment, car cela sélectionnera un Esclave sur le même segment que le Maître. Ainsi, les SI ne transmettent pas EG et chaque segment doit avoir une logique de contrôle des adresses géographiques (GAC) pour détecter les adresses géographiques destinées aux Esclaves sur leurs segments et pour émettre EG.

Une adresse géographique peut avoir soit ses 24 bits de poids fort à zéro ou un champ GP non nul suivi par des zéros sur un total de 24 bits. Plus d'une valeur de GP peut être attribuée à un segment donné. Une de celles-ci, habituellement la plus faible, est appelée la GP de base et c'est cette valeur qui est mémorisée dans le registre d'adresse de segment du GAC pendant l'initialisation du système et qui est utilisée pour la détection des adresses géographiques.

Si EG n'est pas positionnée, aucun Esclave ne reconnaîtra une adresse géographique. Le délai pour l'émission de EG par le GAC ne cause pas de difficultés pourvu que le temporisateur d'adresse du Maître soit prévu pour accepter ce retard.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule continued

The ATC shall generate AG(d) to terminate an Arbitration Cycle when the control signal AG = 1 has been maintained for a time greater than the Minimum Arbitration Time of the Segment and GK = AK = AS = WT = 0 for at least the Segment skew time.

If at the assertion of AG(d) the AL lines are not equal to zero, the ATC shall start a GK(u) Response Timer whose duration shall be the Master Address Response Timeout period (see Annex A). If the GK(u) response to AG(d) is not received within this period the ATC shall be reset and enabled for a new Arbitration Cycle. If at the assertion of AG(d) the AL lines are zero, the ATC shall be reset and enabled for a new Arbitration Cycle.

Upon receipt of the control signal WT = 1 the ATC shall not generate the timing signal AG(t) and shall inhibit its GK(u) Response Timer (see Clause 5.1.3).

When integrated RB = 1 (see Sub-clause 5.4.2) and BH = 0 or on POWER ON, the ATC shall set AG = 0.

A Reserved SI (see Sub-clause 10.7.6) passes AR from its Far-side to its Near-side thus allowing the originating Master to be aware of requests for use of any of the Segments involved in the operation. When the Master issues GK = 0 to indicate it will shortly be releasing bus Mastership, Segments for which AR is asserted solely because of SI passing of the signal may momentarily see the condition for generating AG(u) satisfied. This causes an Arbitration Cycle to take place which results in all AL lines being zero. The ATC recognizes this as an invalid result, generates AG(d), and hence is ready to respond correctly to the next AR = 1.

7.2 Geographical Address Control

A Slave seeing EG during an Address Cycle examines the low order 8 address lines to determine if it has been selected. A Master Geographically Addressing a Slave on a different Segment cannot assert EG along with the GP field which specifies the Segment as this would select a Slave on the same Segment as the Master. Hence SIs do not pass EG and each Segment must have Geographical Address Control (GAC) circuitry to detect Geographical Addresses aimed at Slaves on its Segment and to issue EG.

A Geographical Address may have either 24 high order zeroes or a non-zero GP field followed by zeroes for a total of 24 bits. More than one GP value may be assigned to a given Segment. One of these, usually the lowest, is known as the Base GP and it is this value which is stored in the GAC's Segment Address Register during system initialization and which is used for Geographical Address detection.

If EG is not asserted, no Slave will recognize a Geographical Address. The delay in the generation of EG by the GAC causes no difficulty provided the Master's Address Timeout is prepared to accept the delay.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle

Un segment doit contenir une logique de contrôle des adresses géographiques composée d'un générateur de EG supportant les fonctions esclaves qui suivent:

Le générateur de EG doit, à AS(u), si EG n'est pas déjà positionné sur le segment, examiner les 24 bits de poids fort des lignes AD si MS1 = MS2 = 0. Si les 12 bits de poids fort (AD<31:20>) des lignes AD sont identiques au contenu du registre adresse du segment, et que les 12 bits suivants (AD<19:08>) sont nuls, ou si AD<31:08> = 0, le générateur de EG doit positionner EG = 1 pas plus tard qu'un temps de retard maximal de EG après AS(u). Voir annexe A.

Le générateur de EG doit positionner EG = 0 si AS = 0 ou AK = 1.

Les transitions de EG doivent être inhibées par WT = 1.

La partie Esclave du GAC:

1. *Doit être géographiquement adressable, seulement lorsque MS = 1, à l'adresse 255.*
2. *Doit disposer de l'élément obligatoire CSR#0.*
3. *Doit disposer du registre d'adresse de segment, CSR#3<31:20>, qui contient l'adresse de groupe de base du segment. Ce registre doit être de 12 bits, en lecture et en écriture.*
4. *Doit disposer d'un registre NTA de 2 bits de large. On doit pouvoir le lire et l'écrire via des cycles d'adresse secondaire, tel que décrit dans l'article 4.4 et à la section 5.*
5. *Doit, à DS(u), envoyer les réponses SS = 0, 6 ou 7 tel que défini à la section 5.*

Règle

La désignation d'une adresse géographique doit se faire en fournissant un "1" logique ou un "0" logique sur GA03 en utilisant le câblage du fond de panier comme sur la figure 39 page 144 (voir article 7.6 et Annexe A).

Il est recommandé que l'on dispose d'un registre CSR#1 dans la logiq ue EG, sous forme d'un registre uniquement en lecture réalisé avec des commutateurs ou des cavaliers sur la carte GAC. La valeur écrite dans ce registre peut être utilisée pour identifier le segment d'une manière unique. Ce registre devra posséder au moins les bits 20 à 31.

7.3 Génération du dialogue système (diffusion)

La logique ancillaire émet la réponse du dialogue système pendant les opérations de diffusion (voir sections 4 et 5). Au moment de l'adressage primaire, la logique de dialogue système (SHL) est activée dans chaque segment adressé par le Maître de diffusion. Chaque SHL positionne les réponses AK et DK pour son segment et, avec le signal WT envoyé par les interconnexions de segments, assure la propagation correcte des signaux de cadencement du dispositif Maître vers les Esclaves et retour.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule

A Segment shall contain Geographical Address Control circuitry consisting of an EG generator and supporting Slave functions as follows:

The EG generator shall at AS(u), if EG is not already asserted on the Segment, examine the high order 24 bits on the AD lines if MS1=MS2=0. If the upper 12 bits (AD<31:20>) on the AD lines match the Segment Address Register contents and the next 12 bits (AD<19:08>) are zeros, or if AD<31:08>=0, the EG generator shall assert EG=1 no later than a maximum EG delay time after AS(u). See Annex A.

The EG generator shall set EG=0 if AS=0 or AK=1.

Transitions of EG shall be inhibited by WT=1.

The Slave portion of the GAC:

1. *Shall, only when MS=1, be Geographically Addressable at address 255.*
2. *Shall implement the mandatory features of CSR#0.*
3. *Shall implement as CSR#3<31:20> a Segment Address Register to contain the Segment's Base Group Address. This register shall be 12 bits, read/write.*
4. *Shall implement a 2-bit wide NTA register. It shall be readable and writable via Secondary Address Cycles as specified in Clause 4.4 and Section 5.*
5. *Shall, at DS(u), generate SS=0, 6 or 7 responses as defined in Section 5.*

Rule

Designation of Geographical Addresses shall be accomplished by providing a logical 1 or a logical 0 on GA03 using backplane wiring as in Figure 39 on page 144 (see Clause 7.6 and Annex A).

It is recommended that the EG logic implement CSR#1 as a switch or jumper read-only register on the GAC board. The value in this register may be used to uniquely identify a Segment. The register should implement at least bits 20 through 31.

7.3 System Handshake Generation (Broadcast)

The Ancillary Logic generates System Handshake responses during Broadcast operations (see Sections 4 and 5). At Primary Address Time, the System Handshake Logic (SHL) is activated in each Segment addressed by the Broadcast Master. Each SHL asserts AK and DK responses for its Segment and, together with the WT signal generated by Segment Interconnects, assures the proper propagation of timing signals from Master to Slave Devices and back.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle

Chaque segment doit posséder une logique de dialogue système (SHL). Dès la reconnaissance d'une adresse de diffusion (AS = 1, AK = 0, MS1 = 1), le SHL doit mettre en service la fonction d'émission de dialogue. Cette logique de reconnaissance d'adresse doit inclure une option qui exige MS2 = 0, qui doit être le réglage par défaut. Le SHL doit également posséder une option pour exiger MS2 = 0 pendant les cycles de données comme condition pour émettre la réponse définie en (3) ci-dessous.

Lorsqu'il est en service, le SHL:

1. ***Doit, après la réception de AS(u), attendre au moins le temps de réponse d'adressage de diffusion (voir annexe A), puis, si WT a été à zéro pendant au moins deux temps de transit de bus, positionner AK = 1.***
2. ***Doit, lorsque AS = 0 pour au moins le temps de réponse d'adressage de diffusion et que WT = 0, positionner AK = 0.***
3. ***Doit, pour les cycles de données, après la réception de DS(t) attendre le temps de réponse des données en diffusion, puis, lorsque WT = 0 sur le segment-câble ou lorsque WT a été à zéro pendant au moins deux temps de transit du bus sur le segment-châssis, positionner DK(t).***

Remarquer que le retard après WT = 0 peut chevaucher le retard du temps de réponse.

Un SI qui transmet une opération positionne WT = 1 sur son segment côté proche jusqu'à ce qu'il reçoive une réponse sur son segment côté lointain. Dans une diffusion, plus d'un SI sur un segment peut transmettre l'opération. Les règles d'utilisation de WT ci-dessus permettent à tous les cycles de diffusion, adresses ou données, d'atteindre l'extrémité de chaque branche de diffusion avant qu'aucune réponse de cadencement autre que WT = 1 ne soit émise. Comme la réponse (AK ou DK) revient vers le Maître originel, les deux temps de transit de bus garantissent que sur un segment-châssis toute perturbation sur WT = 1, provoquées par de multiples sources positionnant WT = 0 à des instants différents, seront ignorées. Pour certaines réalisations du segment-câble ces deux temps de transit de bus ne sont pas nécessaires.

Pour des cycles de transfert en pipe-line (MS = 3), l'interconnexion de segments ne positionne pas l'attente et le temps d'intégration de WT = 0 est nul. Ainsi, les contraintes logiques du point (3) ci-dessus produisent un synchronisme de DS(t) et DK(t) depuis le Maître jusqu'à l'extrémité des branches de diffusion.

7.4 Commande marche/arrêt et arrêt du bus

La logique marche/arrêt perçoit l'état du commutateur marche/arrêt (voir article 14.4) et positionne les signaux sur les lignes AK et BH, indiquant l'état inactif d'arrêt sur le segment. Cela permet à tous les dispositifs résidant sur le segment de se protéger eux-mêmes des signaux parasites lorsque d'autres dispositifs sont insérés ou retirés du segment.

Une demande d'arrêt du commutateur marche/arrêt provoque le positionnement de BH et de AK après que toute opération qui est déjà en cours a été terminée, et que le bus du segment est libre. Les dispositifs devront utiliser BH et/ou AK pour leur protection interne.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule

Each Segment shall provide System Handshake Logic (SHL). On recognition of a Broadcast Address (AS = 1, AK = 0, MS1 = 1) the SHL shall enable its handshake generation function. This address recognition circuitry shall contain the option of requiring MS2 = 0, which shall be the default setting. The SHL shall also contain the option of requiring MS2 = 0 during Data Cycles as a condition for issuing the response specified in Item (3) below.

When enabled, the SHL:

1. ***Shall, after the receipt of AS(u), wait for the Broadcast Address Response time (see Annex A); then, if WT has been 0 for at least two bus delays, set AK = 1.***

2. ***Shall, when AS = 0 for the Broadcast Address Response time and when WT = 0, set AK = 0.***

3. ***Shall, for Data Cycles, after the receipt of DS(t), wait for the Broadcast Data Response Time; then, when WT = 0 on a Cable Segment or when WT has been zero for at least two bus delays on a Crate Segment, assert DK(t).***

Note that the delay after WT = 0 may overlap the response time delays.

An SI passing any operation asserts WT = 1 on its Near-side Segment until a response has been received on the Far-side Segment. For a Broadcast more than one SI on a Segment may be passing the operation. The above rules concerning the use of WT allow all Broadcast cycles, Address or Data, to reach the end of each broadcast branch before any timing response other than WT = 1 is generated. As the response (AK or DK) works its way back towards the originating Master, the two bus delays ensure that on Crate Segments any perturbations in WT = 1 caused by multiple sources asserting WT = 0 at different times are ignored. For some implementations of the Cable Segment, these two bus delays may not be necessary.

For Pipelined Transfer Data Cycles (MS = 3), Segment Interconnects do not assert Wait and the WT = 0 integration time is zero. Hence the logical requirements of Item (3) above result in synchronous propagation of DS(t) and DK(t) from the Master to the ends of broadcast branches.

7.4 Run/Halt Control and Bus Halted

The Run/Halt logic senses the state of the Run/Halt Switch (see Clause 14.4) and asserts signals on the AK and BH bus lines indicating the inactive, halted status of the Segment. This allows all Devices residing on the Segment to protect themselves from spurious signals when other Devices are connected to or removed from the Segment.

A Halt request from the Run/Halt Switch causes, after completion of any operation which was already in progress and with the Segment bus idle, the assertion of BH and AK. Devices should use BH and/or AK for internal protection.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle

Chaque segment doit avoir un commutateur marche/arrêt et une logique de contrôle pour garantir un état d'arrêt inactif du bus.

Une demande d'ARRET provenant du commutateur marche/arrêt doit interdire tout nouveau cycle d'arbitrage.

La logique marche/arrêt doit positionner BH = AK = 1 lorsque le commutateur marche/arrêt est sur arrêt et que toutes les conditions suivantes sont satisfaites:

- *AG = GK = AS = WT = 0;*
- *AK = 0 pendant la durée minimale d'état bas des impulsions;*
- *Aucun Maître en attente.*

La logique marche/arrêt doit, lorsque le commutateur marche/arrêt est sur MARCHE, positionner BH = 0 et AK = 0.

L'ATC doit être le seul dispositif capable d'émettre BH = 1.

Pour se protéger des transitoires, tous les dispositifs doivent mettre hors service leurs entrées RB et SR pendant la durée de BH = 1.

BH = 1 ne doit pas provoquer la mise hors service des visualisations de la face avant.

7.5 Adaptation

Règle

Chaque ligne affectée à un signal sur un segment FASTBUS doit être adaptée au voisinage des deux extrémités du segment, à l'exception des connexions du segment FASTBUS, GA<04:00>, UR, DLA, DRA, DLB, DRB, DAR, DBR et les contacts F et T qui ne doivent pas être adaptés.

L'impédance d'adaptation utilisée doit être choisie pour optimiser la qualité des signaux pour toutes les conditions de charge du segment (voir annexes A et C).

Note : Avant la sortie de cette édition de la Norme FASTBUS la ligne LX (B20) était une ligne réservée et, en tant que tel, n'est pas adaptée. Dans ce cas, on doit installer des résistances d'adaptation.

Les lignes réservées n'ont pas besoin d'être adaptées.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule

Each Segment shall have a Run/Halt Switch and control logic to ensure an inactive, halted bus state.

A HALT request from the Run/Halt Switch shall inhibit new Arbitration Cycles.

The Run/Halt logic shall assert BH = AK = 1 when the Run/Halt Switch is set to Halt and all the following conditions are satisfied:

- *AG = GK = AS = WT = 0;*
- *AK = 0 for the Minimum Pulse Down Time;*
- *and no Pending Master.*

The Run/Halt Logic shall, when the Run/Halt switch is set to RUN, assert BH = 0 and AK = 0.

The ATC shall be the only Device capable of generating BH = 1.

For transient protection, all Devices shall disable their RB and SR inputs for the duration of BH = 1.

BH = 1 shall not cause any front panel display to be inhibited.

7.5 Terminators

Rule

Every assigned signal line of a FASTBUS Segment shall be terminated near both ends of the Segment except that FASTBUS Segment connections for GA<04:00>, UR, DLA, DRA, DLB, DRB, DAR, DBR and the F and T pins shall not be terminated.

The termination impedance utilized shall be chosen to optimize signal quality for all Segment loading conditions (see Annexes A and C).

Note : Prior to issuance of this edition of the FASTBUS standard, the LX line (B20) was a reserved line and, as such, may not have been terminated. In such cases, terminators in accordance with the preceding should be installed.

The Reserved lines need not be terminated.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

7.6 Logique ancillaire pour un segment-châssis

Règle

Si la logique ancillaire décrite dans cet article est réalisée sur la carte imprimée montée à l'arrière décrite à l'article 14.5, elle doit être conforme à ce qui suit:

1. *La carte doit être d'une largeur d'une unité conforme à la figure 40 page 146. Les zones désignées comme "zones libres de composant" doivent avoir une surface conductrice au potentiel de la masse.*
2. *La carte GAC doit être connectée à la position de numéro le plus élevé possible du segment pour laquelle GA03 est câblé à un "1" logique conformément à la figure 39 page 144, et doit contenir:*
   a. *Le contrôle de l'adressage géographique (voir article 7.2).*
   b. *L'état logique "1" pour connexion à GA03 (voir article 7.2).*
   c. *Les résistances d'adaptation (voir article 7.5).*
3. *La carte ATC doit être connectée au segment sur une position de numéro plus bas que 8, ou de préférence le plus bas possible, et doit contenir:*
   a. *Le contrôle de la séquence d'arbitrage (voir article 7.1).*
   b. *La commande marche/arrêt (voir article 7.4).*
   c. *La logique de dialogue système (voir article 7.3).*
   d. *Les résistances d'adaptation (voir article 7.5).*
   e. *L'état logique "0" pour la connexion à GA03 (voir article 7.2).*
4. *La commande marche/arrêt doit être câblée sur un connecteur à une simple rangée de 4 contacts au pas de 2,54 mm avec des contacts carrés de 0,640 mm suivant la figure 35 page 139, et une affectation des contacts correspondant à celle de l'article 14.4.*
5. *Le connecteur à quatre contacts de la commande marche/arrêt doit être monté sur la face composants de la carte, proche de l'arrière (la tranche opposée au connecteur 130 contacts), avec les contacts face à l'arrière de la carte.*

Si la logique ancillaire décrite dans cet article est réalisée d'une manière autre que la carte imprimée montée à l'arrière décrite à l'article 14.5, on doit prévoir:

1. *Un "1" logique doit être connecté à GA03 sur la position appropriée de numéro le plus élevé possible (c.-à-d. au-dessus de 24 ou entre 8 et 15) du fond de panier, et*
2. *Un "0" logique doit être connecté à GA03 sur une position de numéro inférieur à 8, de préférence la plus basse possible.*

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Quelle que soit la position de la logique ancillaire, les adaptations de bus devront se trouver proches ou aux extrémités du segment.

Pour des segments-châssis qui font partie de segments d'extension, il est possible que toutes les caractéristiques décrites précédemment en (2) et (3) ne soient pas nécessaires. Cependant, quelle que soit la manière dont le segment d'extension est réalisé, les adaptations des lignes et les connexions à GA03 sont toujours nécessaires.

7.6 Ancillary Logic for Crate Segments

Rule

If the Ancillary logic specified in this clause is implemented on the rear-mounted circuit boards described in Clause 14.5, the following shall apply:

1. *The circuit board assemblies shall be single width assemblies conforming with Figure 40 on page 146. The areas designated as "area free of components" shall be conducting surfaces at ground potential.*
2. *The GAC board shall be attached to the highest numbered Segment position feasible for which GA03 is wired for connection to a logical 1 in accordance with Figure 39 on page 144, and shall contain:*
   a. *Geographical Address Control (see Clause 7.2).*
   b. *Logical 1 for connection to GA03 (see Clause 7.2).*
   c. *Terminators (see Clause 7.5).*
3. *The ATC board shall be attached to a Segment position lower than number 8, preferably the lowest feasible, and shall contain:*
   a. *Arbitration timing control (see Clause 7.1).*
   b. *Run/Halt Control (see Clause 7.4).*
   c. *System Handshake Logic (see Clause 7.3).*
   d. *Terminators (see Clause 7.5).*
   e. *Logical 0 for connection to GA03 (see Clause 7.2).*
4. *The Run/Halt control shall be wired to a single row four position 2.54 mm (0.100 in) grid connector with 0.640 mm (0.025 in) square contact pins as in Figure 35 on page 139, and with contact assignments corresponding to those in Clause 14.4.*
5. *The four position Run/Halt control connector shall be mounted on the component side of the circuit board, near the rear (the edge opposite the 130 pin connector), with the pins facing the rear of the board.*

If the Ancillary Logic specified in this clause is implemented in a manner other than on the rear-mounted circuit boards described in Clause 14.5 provision shall be made for:

1. *A logical 1 to be connected to GA03 at the highest numbered appropriate position feasible (that is above 24 or between 8 and 15) in the backplane, and*
2. *A logical 0 to be connected to GA03 at a position number less than 8, preferably the lowest feasible.*

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Regardless of the location of the Ancillary Logic, the bus terminators should be at or near the ends of the Segment.

For Crate Segments that are members of an Extended Segment, it is possible that all features listed in the first (2) and (3) above will not be required. However, regardless of how the Extended Segment is implemented, terminators and the connections to GA03 are always required.

7.7 Logique ancillaire pour un segment-câble

Règle

Chaque segment-câble doit être équipé de toutes les fonctions de la logique ancillaire telles qu'elles sont décrites aux articles 7.1 à 7.5.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

7.7 Ancillary Logic for Cable Segments

Rule

Each Cable Segment shall be equipped with all Ancillary Logic functions as specified in Clauses 7.1 through 7.5.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 8. Espace des registres de contrôle et d'état

L'état des lignes MS pendant un cycle d'adresse primaire détermine si l'on sélectionne dans l'Esclave l'espace données (MS = 0 ou 2) ou l'espace des registres de contrôle et d'état (CSR) (MS = 1 ou 3). Si l'espace données est sélectionné quand on utilise l'adressage logique, le champ IA de l'adresse primaire est en général suffisamment large pour spécifier le registre ou l'élément désiré dans l'Esclave. Chaque dispositif a un champ d'adresse CSR de 32 bits de large. Par suite, pour sélectionner un registre de l'espace CSR, un cycle d'adresse secondaire est nécessaire après le cycle d'adresse primaire.

Règle

Tous les registres CSR seront accessibles par un adressage secondaire.

Puisque chaque dispositif dispose de 32 bits d'adresse de CSR, il est possible de diviser cet espace adresse en un certain nombre de régions et de normaliser l'affectation des adresses à l'intérieur de ces régions sans empêcher des utilisations spéciales de l'espace. Les spécifications n'imposent pas que tous les registres décrits soient réalisés ni que tous les bits d'un registre défini existent.

Règle

Si l'un des éléments décrits est réalisé, il doit alors être réalisé conformément à la norme. Le seul registre obligatoire est CSR#0 dans lequel seuls les bits de 31 à 16 sont obligatoires (identification du dispositif).

L'espace CSR doit être affecté comme suit:

0000 0000 - 3FFF FFFF - espace normal CSR
4000 0000 - 7FFF FFFF - espace CSR programmes
8000 0000 - BFFF FFFF - espace CSR paramètres
C000 0000 - FFFF FFFF - espace CSR utilisateur

L'espace CSR normal contient les registres d'état et de contrôle les plus courants. Tous les registres de cette région sont définis ou réservés. La souplesse d'utilisation des registres est malgré tout conservée car certains sont réservés pour des utilisations dépendant du dispositif. L'espace CSR programme contient les programmes et les tables utilisés principalement par l'appareil lui-même. Ceux-ci peuvent être fournis par un maître FASTBUS et peuvent être utilisés comme des données par d'autres dispositifs FASTBUS. L'espace CSR paramètres contient des informations sur le dispositif qui sont fixes ou ne changent que rarement telles que des constantes de calibration ou des informations du fabricant. La modification des informations dans l'espace paramètres peut nécessiter des opérations spéciales telles que la programmation d'une PROM qui ne peuvent pas être exécutées à travers le FASTBUS. La norme n'impose aucune contrainte spéciale sur l'espace CSR utilisateur.

Il est fortement recommandé que tous les registres dans lesquels on peut écrire puissent être relus. Remarquer que lorsqu'on lit un registre, tous les bits inexistants doivent être renvoyés au zéro logique (voir paragraphe 5.3.2).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 8. Control and Status Register Space

The state of the MS lines during a Primary Address Cycle determines whether Data Space (MS = 0 or 2) or Control and Status Register (CSR) Space (MS = 1 or 3) is selected within a Slave. If Data Space is selected when using Logical Addressing, the IA field of the Primary Address is usually of sufficient width to specify the desired register or feature of the Slave. Each Device has a 32-bit wide CSR address field. Hence, to select a CSR space register, a Secondary Address Cycle is required after the Primary Address Cycle.

Rule

All CSR registers shall be accessible by Secondary Addressing.

Since each Device has 32 bits available for CSR addresses, it is feasible to divide this address space into a number of regions and to make standard address assignments within these regions without proscribing special use of the space. The specification does not require that all the registers described be implemented nor that all bits in a defined register be implemented.

Rule

If any feature discussed is implemented, then it shall be implemented as specified. The only mandatory register shall be CSR#0 and in it only bits 31 to 16 (the Device identification) are required.

CSR space shall be assigned as follows:

0000 0000 - 3FFF FFFF - Normal CSR space

4000 0000 - 7FFF FFFF - Program CSR space

8000 0000 - BFFF FFFF - Parameter CSR space

C000 0000 - FFFF FFFF - User CSR space

Normal CSR space contains the most common control and status registers. All registers in this region are either defined or reserved. Flexibility in register usage is still available as some are allocated for Device dependent use. Program CSR space contains programs and tables used primarily by the Device itself. These may have to be provided by a FASTBUS Master and may be required as data by other FASTBUS Devices. Parameter CSR space contains static or rarely changing information about the Device such as calibration constants and manufacturer information. Changing the information in Parameter space may require special operations such as PROM programming which cannot be performed through FASTBUS. The specifications place no special restrictions upon User CSR space.

It is strongly recommended that all writable registers be readable. Note that when a register is read, all unimplemented bits are returned as logic zeros (see Sub-clause 5.3.2).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

8.1 Fonctions de positionnement et d'effacement sélectifs

De nombreuses fonctions de contrôle nécessitent qu'un bit dans un registre soit positionné ou effacé pour provoquer l'action demandée. Des économies dans la réalisation imposent de regrouper un certain nombre de ces fonctions dans un même registre de contrôle. Une opération de lecture-modification-écriture est souvent utilisée pour positionner ou effacer sélectivement un seul bit dans un tel registre et ne pas perturber les autres bits du registre. Dans le FASTBUS, de nombreuses fonctions de contrôle s'effectueront mieux par des opérations de diffusion, ce qui interdit l'utilisation de lecture-modification-écriture car l'état des autres bits du même registre de contrôle peut être différent d'un dispositif à un autre.

Pour être adaptée aux opérations de diffusion, la solution adoptée pour le FASTBUS consiste à allouer les fonctions de positionnement et d'effacement à des bits différents du même registre. Les bits de positionnement correspondent en position aux bits affectés aux états, et les bits d'effacement sont déplacés de 16 positions vers la gauche (vers l'extrémité des poids fort) du mot. Ainsi un "1" logique écrit dans une position des bits positionnés est relu comme un "1" logique sur la position des bits positionnés, et un "1" logique écrit dans une position de bits d'effacement est relu comme un "0" logique sur la position des bits positionnés. Le bit relu en position de bit d'effacement peut être utilisé pour colporter des informations relatives à l'état du dispositif.

Règle

Les opérations de positionnement d'un bit et d'effacement d'un bit doivent, lorsqu'elles sont réalisées, fonctionner comme indiqué dans la tableau 11. Le bit d'effacement correspondant à un bit de positionnement donné doit être dans le même registre que le bit de positionnement, et la position du bit d'effacement doit être 16 bits à gauche de la position du bit de positionnement. L'état relu doit être à la position du bit de positionnement.

Tableau 11. Fonctions de positionnement et d'effacement sélectifs des CSR

Bit de positionnement	Bit d'effacement	Action
0	0	Pas d'opération
0	1	Bit de fonction "effacé" (H.S.)
1	0	Bit de fonction "positionné" (E.S.)
1	1	Non défini (dépend du dispositif)

L'action des bits de positionnement et d'effacement n'est pas limitée exclusivement à celle décrite ci-dessus. Le bit de positionnement peut être utilisé pour déclencher un monostable et le bit d'effacement pour le remettre à zéro prématurément. Dans ce cas, le bit d'état reflétera l'état réel du monostable.

Règle

Les valeurs codées du mot d'état doivent être échantillonnées au début d'un cycle de lecture de données et ne doivent pas changer tant que le mot d'état est appliqué sur le bus.

Les bits de positionnement et d'effacement sélectifs ne doivent pas être affectés aux mêmes registres que les bits habituels de lecture/écriture. Les bits sélectifs peuvent partager un registre avec des bits de lecture seule ou avec des bits de contrôle impulsionnel, tels que réinitialisation et effacement, qui provoquent une action mais ne sont pas mémorisés dans le registre adressé.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

8.1 Selective Set and Clear Functions

Many control functions require that a bit in a register be either set or cleared to cause the required action. Implementation economy dictates that a number of such functions be grouped together in the same control register. Frequently a Read-Modify-Write operation is invoked to carry out the selective set or clear of a single bit in such a register in order not to disturb any other bits in the register. For FASTBUS, many control functions will be best carried out by Broadcast operations thus ruling out the use of Read-Modify-Write as the status of other bits in the same control register may differ from Device to Device.

To accommodate Broadcast operations the solution adopted for FASTBUS is to allocate the set and clear functions to different bits within the same register. The set bits correspond in position to the affected status bits and the clear bits are displaced 16 bits to the left (more significant end) in the word. Thus a logic one written to a set-bit position is read back as a logic one in the set-bit position, and a logic one written to a clear bit position is read back as a logic zero in the set-bit position. The bit read back in the clear bit position may be used to convey related Device status information.

Rule

Set-bit and clear bit operations shall, when implemented, operate as shown in Table 11. The clear bit corresponding to a given set bit shall be in the same register as the set bit, and the position of the clear bit shall be 16 bits to the left of the position of the set bit. The status bit read back shall be in the position of the set bit.

Table 11. CSR Selective Set/Clear Function Implementation

Set Bit	Clear bit	Action
0	0	No-operation
0	1	Function bit cleared ("OFF")
1	0	Function bit set ("ON")
1	1	Undefined (Device dependent)

The action of the set and clear bits is not confined exclusively to that described above. The set bit could be used to trigger a monostable and the clear bit to prematurely reset it. In this case, the status bit should reflect the current state of the monostable.

Rule

Encoded values within status words shall be sampled at the beginning of a Read Data Cycle and shall not change while the status word is being gated onto the bus.

Selective set and clear bits should not be allocated to the same register as ordinary read-write bits. Selective bits may share a register with read-only bits or with pulsed control bits, such as Reset or Clear, which cause an action but are not stored in the addressed register.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

8.2 Allocation de l'espace normal CSR

L'allocation des adresses des registres dans l'espace normal CSR est représentée sur la tableau 12. Les registres sont groupés par fonctions, avec le premier groupe de huit pour les registres qui sont le plus souvent nécessaires pour les Esclaves, le groupe suivant de huit, ceux qui, en plus, sont le plus souvent nécessaires pour les Maîtres, etc.

Règle

Les adresses de 0 à 3FFF FFFFh de l'espace CSR doivent être réservées pour les fonctions spécifiées dans la tableau 12. Si une fonction n'est pas nécessaire dans un dispositif, le registre ou le bit particulier à l'intérieur du registre n'a pas besoin d'exister.

L'ID du dispositif, CSR#0<31:16>, doit exister sur tous les dispositifs.

Les dispositifs capables d'émettre des messages d'interruption doivent disposer de CSR#2<06:04> et <22:20>.

Les dispositifs capables d'être adressés logiquement doivent disposer de CSR#3, CSR#0<01> et CSR#0<17>.

Les dispositifs capables de demander la maîtrise du bus doivent disposer de CSR#8.

Les dispositifs possédant des temporisateurs doivent disposer de CSR#9.

Les registres 2, 3, 8 et 9, s'ils existent, doivent être réalisés à la fois pour la lecture et l'écriture.

Les dispositifs qui utilisent des registres CSR pour lesquels l'effet du RESET est obligatoire doivent posséder CSR#0<30>. Voir article 8.18.

Les dispositifs qui utilisent des registres CSR pour lesquels l'effet du CLEAR est obligatoire doivent posséder CSR#0<16>. Voir article 8.18.

Tableau 12 (page 1 / 2). Registres de contrôle et d'état

Adresses hexadécimales	Définitions
0000 0000*	16 bits d'ID, 16 bits d'état et contrôles divers
0000 0001	Registre de contrôle et d'état défini par l'utilisateur
0000 0002*	Registre auxiliaire de contrôle et d'état
0000 0003	Registre de l'adresse logique du dispositif
0000 0004	Registre de l'adresse de l'utilisateur du dispositif
0000 0005	Registre de compte de mots
0000 0006*	Registre de sélection de test
0000 0007	Registre de sélection de la classe de diffusion
Les huit registres suivants sont associés aux Maîtres:	
0000 0008	Registre de niveau d'arbitrage
0000 0009*	Contrôle des temporisateurs
0000 000A	Adresse du dispositif destinataire des interruptions de la source A

* Registres à positionnement et effacement sélectifs

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

8.2 Normal CSR Space Allocation

The allocation of register addresses in normal CSR space is shown in Table 12. The registers are grouped by function with the first group of eight being the registers most often needed for Slaves, the next eight being those most often needed in addition for Masters, etc.

Rule

The addresses from 0 to 3FFF FFFFh in CSR space shall be reserved for the functions specified in Table 12. If a function is not required by a Device then the register or specific bit within the register need not be implemented.

The Device ID, CSR#0<31:16>, shall be implemented in every Device.

Devices capable of generating interrupt messages shall implement as required CSR#2<06:04> and <22:20>.

Devices capable of being Logically Addressed shall implement CSR#3, CSR#0<01> and CSR#0<17>.

Devices capable of requesting bus Mastership shall implement CSR#8.

Devices having timers shall implement CSR#9.

Registers 2, 3, 8 and 9, if included, shall be implemented for both read and write.

Devices that implement CSR registers for which the effect of RESET is mandatory shall implement CSR#0<30>. See Clause 8.18.

Devices that implement CSR registers for which the effect of CLEAR is mandatory shall implement CSR#0<16>. See Clause 8.18.

Table 12 (Page 1 of 2). Control/Status Registers

Hexadecimal Address	Definition
0000 0000*	16-bit ID, 16-bit Status and Miscellaneous Control
0000 0001	User defined Control/Status Register
0000 0002*	Auxiliary Control/Status Register
0000 0003	Device Logical Address Register
0000 0004	Device User Address Register
0000 0005	Word Count Register
0000 0006*	Test Selection Register
0000 0007	Broadcast Class Selection Register
The next eight are associated with Masters:	
0000 0008	Arbitration Level Register
0000 0009*	Timer Control
0000 000A	Source A Interrupt destination Device address

* Selective Set and Clear Registers.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Tableau 12 (page 2 / 2). Registres de contrôle et d'état

Adresses hexadécimales	Définitions
0000 000B	Adresse secondaire de la destination des interruptions de la source A
0000 000C	Adresse du dispositif destinataire des interruptions de la source B
0000 000D	Adresse secondaire de la destination des interruptions de la source B
0000 000E	Adresse du dispositif destinataire des interruptions de la source C
0000 000F	Adresse secondaire de la destination des interruptions de la source C
0000 0010-17	Définis par l'utilisateur
0000 0018-1B	Réservés
0000 001C-1F	Périodes des temporisateurs
0000 0020-3F*	Bits de source et de masque des SR
Les suivants sont associés à l'interconnexion de segments (voir section 10):	
0000 0040	Registre d'adresse de la table de routage
0000 0041	Registre de données de la table de routage
0000 0042	Adresse géographique du SI côté proche
0000 0043	Adresse géographique du SI côté lointain
0000 0044-6F	Réservés
Les suivants sont associés à la gestion des ressources:	
0000 0070-7F	Adresse du dispositif qui utilise le sous-ensemble N de ce dispositif (N = 0 à Fh)
0000 0080*	Lecture <15:00> attribution des sous-ensembles Fh-0
	Ecriture <15:00> attribution des sous-ensembles Fh-0
	Ecriture <31:16> libération des sous-ensembles Fh-0
0000 0081*	Lecture <15:00> sous-ensembles Fh-0 en service
	Ecriture <15:00> mise en service des sous-ensembles Fh-0
	Ecriture <31:16> mise hors service des sous-ensembles Fh-0
0000 0082-9F	Réservés
Les suivants sont associés aux messages d'interruption (voir article 9.1):	
0000 00A0-AF	Message d'interruption de la source A
0000 00B0-BF	Message d'interruption de la source B
0000 00C0-CF	Message d'interruption de la source C
0000 00D0-FF	Réservés
Les suivants sont associés à la réception des interruptions (voir section 9):	
0000 0100-10F	Bloc de réception 0 (interruption de priorité la plus basse)
0000 01N0-1NF	Bloc de réception N (N = 1 à Eh)
0000 01F0-1FF	Bloc de réception Fh (interruption de priorité la plus haute)
0000 0200 jusqu'à 3FFF FFFF	Réservés

* Registres à positionnement et effacement sélectifs

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 12 (Page 2 of 2). Control/Status Registers

Hexadecimal Address	Definition
0000 000B	Source A Interrupt destination Secondary address
0000 000C	Source B Interrupt destination Device address
0000 000D	Source B Interrupt destination Secondary address
0000 000E	Source C Interrupt destination Device address
0000 000F	Source C Interrupt destination Secondary address
0000 0010-17	User defined
0000 0018-1B	Reserved
0000 001C-1F	Timer Periods
0000 0020-3F*	SR Source and Mask Bits
The following are associated with Segment Interconnects (see Section 10):	
0000 0040	Route Table address register
0000 0041	Route Table data register
0000 0042	SI Near-side Geographical address
0000 0043	SI Far-side Geographical address
0000 0044-6F	Reserved
The following are associated with resource management:	
0000 0070-7F	Address of Device currently using subsection N of this Device (N = 0 through Fh)
0000 0080*	Read <15:00> Allocated subsection Fh-0
	Write <15:00> Allocate subsection Fh-0
	Write <31:16> Deallocate subsection Fh-0
0000 0081*	Read <15:00> Enabled subsection Fh-0
	Write <15:00> Enable subsection Fh-0
	Write <31:16> Disable subsection Fh-0
0000 0082-9F	Reserved
The following are associated with interrupt messages (see Clause 9.1) :	
0000 00A0-AF	Interrupt message Source A
0000 00B0-BF	Interrupt message Source B
0000 00C0-CF	Interrupt message Source C
0000 00D0-FF	Reserved
The following are associated with Interrupt Receivers (see Section 9) :	
0000 0100-10F	Receiver Block 0 (lowest priority interrupt)
0000 01N0-1NF	Receiver Block N (N = 1 to Eh)
0000 01F0-1FF	Receiver Block Fh (highest priority interrupt)
0000 0200 through 3FFF FFFF	Reserved

* Selective Set and Clear Registers.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

8.3 Registre CSR 0

Les fonctions jugées nécessaires même dans le dispositif le plus simple sont contenues dans CSR#0. Afin d'obtenir ces fonctions de la manière la plus économique possible, la définition de ce registre viole une convention du FASTBUS, dans le sens où ces fonctions ne sont pas les mêmes dans des opérations de lecture ou d'écriture. Certains bits sont par nature seulement en écriture, du fait qu'ils causent une action immédiate telle que la remise à zéro d'un registre, tandis que d'autres tels que l'ID du dispositif sont par nature seulement en lecture. CSR#0 superpose ces deux types de bits ce qui permet à des fonctions, qui auraient normalement dû être dans deux registres, de pouvoir être contenues dans un registre qui n'a qu'une seule adresse. L'adresse utilisée pour ce registre, "0", diffère de toutes les autres du fait qu'elle peut être accédée géographiquement même par des dispositifs simples ne possédant pas de décodeur d'adresse. Les dispositifs qui possèdent un décodeur d'adresse peuvent être réalisés de manière à permettre l'accès à CSR#0 en utilisant l'adressage logique, géographique ou de diffusion.

Tableau 13. Affectation des bits du registre CSR 0

Bit	Signification en lecture	Signification en écriture
S00	Témoin d'erreur	Positionnement témoin d'erreur
S01	En service (E.S.)	Mise en service
S02	En marche	Mise en marche
S03	Dispositif affecté	Affectation du dispositif
S04	Positionnement de SR E.S.	Mise E.S. positionnement de SR
S05	Témoin de SR	Positionne le témoin de SR
S06	Etat utilisateur n° 0	Positionnement utilisateur n° 0
S07	Etat utilisateur n° 1	Positionnement utilisateur n° 1
S08	Etat utilisateur n° 2	Positionnement utilisateur n° 2
S09	Etat utilisateur n° 3	Positionnement utilisateur n° 3
S10	Etat utilisateur n° 4	Positionnement utilisateur n° 4
S11	Etat utilisateur n° 5	Positionnement utilisateur n° 5
S12	Etat utilisateur n° 6	Positionnement utilisateur n° 6
S13	Etat utilisateur n° 7	Positionnement utilisateur n° 7
14	Erreur de parité	Positionnement erreur de parité
15	Actif	Bit de pistage de route du SI
C16	Type de dispositif (poids faible)	Effacement témoin d'erreur
C17	Type de dispositif	Mise hors service (H.S.)
C18	Type de dispositif	Arrêt
C19	Type de dispositif (poids fort)	Désaffectation du dispositif
C20	ID fabricant (poids faible)	Positionnement SR H.S.
C21	ID fabricant	RAZ témoin de SR
C22	ID fabricant	Effacement utilisateur n° 0
C23	ID fabricant	Effacement utilisateur n° 1
C24	ID fabricant	Effacement utilisateur n° 2
C25	ID fabricant	Effacement utilisateur n° 3
C26	ID fabricant	Effacement utilisateur n° 4
C27	ID fabricant	Effacement utilisateur n° 5
C28	ID fabricant	Effacement utilisateur n° 6
C29	ID fabricant	Effacement utilisateur n° 7
30	ID fabricant	RAZ
31	ID fabricant (poids fort)	Effacement des données

NOTE: Dans cette table et les suivantes, les numéros de bits précédés par la lettre S ou C indiquent que le bit est le bit de positionnement (S) ou d'effacement (C) associé aux actions de positionnement/effacement sélectifs.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

8.3 CSR Register 0

Functions deemed necessary even in the simplest of Devices are contained in CSR#0. In order to obtain these functions in as economical a way as possible, the definition of the register violates a FASTBUS convention in that its functions are not the same for Read and Write operations. Some bits are inherently write only, in that they cause immediate actions such as clearing a register, while others such as the Device ID are inherently read only. CSR#0 overlaps these two types of bits allowing the functions of what would normally be two registers to be contained in a register having a single address. The address used for this register, 0, differs from all others in that it can be accessed Geographically even by simple Devices having no address decoders. Devices having address decoders can be implemented in such a way as to provide access to CSR#0 using Broadcast, Geographical or Logical Addressing.

Table 13. CSR Register 0 Bit Assignments

Bit	Read Significance	Write Significance
S00	Error Flag	Set Error Flag
S01	Enabled	Enable
S02	RUNning	RUN
S03	Device Allocated	Allocate Device
S04	SR Assertion Enabled	Enable SR Assertion
S05	SR Flag	Set SR Flag
S06	User Defined Status 0	User Defined Set 0
S07	User Defined Status 1	User Defined Set 1
S08	User Defined Status 2	User Defined Set 2
S09	User Defined Status 3	User Defined Set 3
S10	User Defined Status 4	User Defined Set 4
S11	User Defined Status 5	User Defined Set 5
S12	User Defined Status 6	User Defined Set 6
S13	User Defined Status 7	User Defined Set 7
14	Parity Error	Set Parity Error
15	Active	SI Route Trace Bit
C16	LSB of Device type	Clear Error Flag
C17	Device type	Disable
C18	Device type	HALT
C19	MSB of Device type	Deallocate Device
C20	LSB of Manufacturer's ID	Disable SR Assertion
C21	Manufacturer's ID	Clear SR Flag
C22	Manufacturer's ID	User Defined Clear 0
C23	Manufacturer's ID	User Defined Clear 1
C24	Manufacturer's ID	User Defined Clear 2
C25	Manufacturer's ID	User Defined Clear 3
C26	Manufacturer's ID	User Defined Clear 4
C27	Manufacturer's ID	User Defined Clear 5
C28	Manufacturer's ID	User Defined Clear 6
C29	Manufacturer's ID	User Defined Clear 7
30	Manufacturer's ID	Reset
31	MSB of Manufacturer's ID	Clear Data

NOTE: In this and ensuing tables, bit numbers preceded by the letter S or C indicate that the bit is either the Set (S) or Clear (C) bit associated with a selective set/clear action.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

8.3.1 L'ID du dispositif et son attribution

L'ID d'un dispositif FASTBUS est un nombre binaire de 16 bits qui est attribué à chaque type distinct de dispositif.

Règle

Si un dispositif est modifié d'une manière telle que cela puisse affecter ses performances, un nouvel ID doit être utilisé.

La valeur pour les 12 bits les plus significatifs sur les 16 doit être attribuée [1] aux organisations qui en font la demande, celles-ci affecteront une valeur au champ de 4 bits restants et attribueront le numéro de 16 bits qui en résulte aux modèles nouveaux ou modifiés des dispositifs FASTBUS suivant les besoins. De cette manière, des blocs de 16 ID sont attribués aux organisations. On peut demander des blocs multiples. Ce principe permet d'attribuer un total de 65520 ID.

L'ID est lu dans CSR#0<31:16>. La valeur zéro (aucun bit positionné) n'est pas permise pour les bits 31:20 de l'ID.

Règle

CSR#0<31:20> doit contenir la valeur attribuée[1].

Tableau 14 (page 1 / 3). Définition des bits de CSR#0

Bit	Type	Nom	Fonction
S00	L/E	TEMOIN D'ERREUR	Le bit 0 est le mélange logique de tous les indicateurs d'erreurs du dispositif qui peut être remis à zéro en écrivant un "1" logique dans CSR#0<16>. L'écriture d'un "1" logique dans CSR#0<00> pour simuler des erreurs pour des besoins de test est permise si le bit 0 est le seul bit d'erreur existant.
C16	E	RAZ TEMOIN D'ERREUR	L'écriture d'un "1" dans ce bit produit une impulsion qui remet à zéro tous les bits d'erreur et le bit d'erreur utilisateur (CSR#2) qui sont tous mélangés pour former le bit 0.
S01	L/E	MISE EN SERVICE	Ce bit met en service le circuit de reconnaissance d'adresse logique dans un dispositif. Dans les interconnexions de segments, ce bit, lorsqu'il est positionné, permet la reconnaissance des adresses et le passage des opérations. Pour un Maître, si ce bit et le bit MARCHE, CSR#0<02>, sont tous les deux positionnés, le Maître peut demander la maîtrise du bus. RESET, RB et la mise sous tension remettent tous ce bit à zéro, car le contenu du registre d'adresse logique du dispositif peut ne plus être valable. Après que le dispositif a été réinitialisé par un adressage géographique, le processeur d'initialisation peut positionner le bit de MISE EN SERVICE.

[1] Actuellement l'attribution est faite par le Président du comité NIM, Louis Costrell, National Institute of Standards and Technology, Gaithersburg, MD 20899, USA, ou par P.J. Ponting, Division ECP, CERN, 1211 Genève 23, Suisse.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

8.3.1 Device IDs and their Allocation

The FASTBUS Device ID is a 16-bit binary number which is assigned to every distinct type of Device.

Rule

If a Device is changed in any way which could affect its performance, a new ID shall be used.

Values for the most significant 12 bits of the 16 will be assigned[1] to requesting organizations, who will then assign values to the remaining 4 bit field and allocate the resulting 16-bit numbers to new or revised models of FASTBUS Devices as needed. In this way, blocks of 16 IDs are allocated to organizations. Multiple blocks may be requested. This scheme allows a total of 65520 IDs to be assigned.

The ID is read from CSR#0<31:16>. A value of zero (no bits asserted) is not allowed for bits 31:20 of the ID.

Rule

CSR#0<31:20> shall contain the assigned value[1].

Table 14 (Page 1 of 3). Definition of CSR#0 Bits

Bit	Type	Name	Function
S00	R/W	ERROR FLAG	Bit 0 is the logical OR of all error indicators in the Device which can be reset by writing a logic one to CSR#0<16>. Writing a logic one to CSR#0<00> to simulate errors for testing purposes is permitted if bit 0 is the only error status bit implemented.
C16	W	CLEAR ERROR FLAG	Writing a one to this bit position generates a pulse which clears all Error status bits and user Error Status bits (CSR#2) which are ORed together to form bit 0.
S01	R/W	ENABLE	This bit enables the Logical Address recognition circuitry in a Device. For Segment Interconnects this bit, when set, enables address recognition and Operation passing. For a Master if this bit and the RUN bit, CSR#0<02>, are both set the Master is enabled to request bus Mastership. RESET, RB and POWER ON all clear this bit as the contents of the Device Logical Address Register may not be valid. After the Device has been reinitialized by Geographical Addressing, the ENABLE bit may be set by the initializing processor.

[1] Currently assignments are made by the Chairman of the NIM Committee, Louis Costrell, National Institute of Standards and Technology, Gaithersburg, MD 20899, USA, or by P.J. Ponting, ECP Division, CERN, 1211 Geneva 23, Switzerland.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Tableau 14 (page 2 / 3). Définition des bits de CSR#0

Bit	Type	Nom	Fonction
C17	E	MISE HORS SERVICE	Met hors service les fonctions mises en service par le bit 1.
S02	L/E	MARCHE	ARRET provoque l'arrêt du dispositif et MARCHE redémarre le dispositif à l'endroit où il s'était arrêté. Si le dispositif a atteint un certain état d'achèvement, il doit s'arrêter et se remettre lui-même dans un état tel que le MARCHE suivant provoque le démarrage du dispositif à partir du début. Le bit d'effacement des données (RAZ bit 31) provoque également cette action d'arrêt et de remise à zéro. Ce bit est également utilisé avec CSR#0 < 01 > pour déterminer si un Maître est autorisé à demander la maîtrise du bus (voir MISE EN SERVICE ci-dessus).
C18	E	ARRET	
S03	L/E	DISPOSITIF ATTRIBUE	Le bit 3 indique, lorsqu'il est positionné, qu'un Maître qui a demandé l'usage exclusif du dispositif est en train de l'utiliser. CSR#4 contiendra l'adresse du dispositif de l'utilisateur courant ou, si le bit 3 est remis à zéro, l'adresse du dispositif qui a le dernier demandé l'usage exclusif du dispositif.
C19	E	DISPOSITIF LIBERE	
S04	L/E	USAGE DU SR EN SERVICE	Si le bit 4 est positionné, le dispositif est autorisé à positionner SR. Le positionnement de SR peut être mis hors service en positionnant le bit 20. Cela est une mise en service globale pour tout le dispositif. S'il existe plusieurs sources internes de SR, elles doivent avoir des bits individuels de source et de masque dans les registres CSR#20 à CSR#3F. Les bits 4 et 20 sont obligatoires pour des dispositifs qui positionnent SR.
C20	E	USAGE DU SR HORS SERVICE	
S05	L/E	TEMOIN DE SR	Si le bit 5 est positionné, le dispositif positionnera la demande de service si elle est mise en service par CSR#0 < 04 >. S'il n'y a qu'une seule source dans le dispositif, le bit 5 doit être à la fois en lecture et en écriture pour que les demandes de service puissent être déclenchées par une commande. Le bit de remise à zéro du témoin de SR efface toutes les sources de SR dans le dispositif. Les bits 5 et 21 sont obligatoires pour les dispositifs qui positionnent SR. Remarquer que dans les SI les bits 4, 5 et 20 ont des utilisations différentes mais en rapport, et que le bit 21 seul possède une fonction de lecture.
C21	E	RAZ TEMOIN SR	
S06 à S13	L/E	CONTROLE ET ETAT UTILISATEUR	Ce groupe de bits fournit 8 bits de contrôle et d'état ou des témoins pour l'utilisateur. Ils peuvent être utilisés, par exemple, pour contenir des informations plus spécifiques sur des conditions particulières du dispositif ou sur les erreurs indiquées par une réponse SS non nulle.
C22 à C29	E	RAZ UTILISATEUR	Ce groupe de 8 bits fournit la fonction d'effacement pour les bits de contrôle et d'état utilisateur (6 à 13).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Table 14 (Page 2 of 3). Definition of CSR#0 Bits

Bit	Type	Name	Function
C17	W	DISABLE	Disables the functions enabled by bit 1.
S02	R/W	RUN	HALT causes the Device to pause and RUN causes the Device to resume where it left off. If the Device reaches some internal state of completion, it should halt and reset itself to a state such that a subsequent RUN causes the Device to start again from the beginning. Clear Data (bit 31) also causes this halt and reset action to occur. This bit is also used in conjunction with CSR#0<01> to determine if a Master is enabled to request bus Mastership (see ENABLE above).
C18	W	HALT	
S03	R/W	DEVICE ALLOCATED	Bit 3 indicates, when set, that a Master requiring exclusive use of the Device is now using the Device. CSR#4 should contain the Device Address of the current user or, if bit 3 is reset, the Device Address of the last Master to invoke exclusive use of the Device.
C19	W	DEALLOCATE DEVICE	
S04	R/W	SR ASSERTION ENABLED	If bit 4 is set, the Device is permitted to assert SR. SR assertion may be disabled by setting bit 20. This is an overall enable for the Device. If multiple internal sources of SR exist, they must have individual source and mask bits in CSR#20 to CSR#3F. Bits 4 and 20 are mandatory for Devices that assert SR.
C20	W	SR ASSERTION DISABLED	
S05	R/W	SR FLAG	If bit 5 is set, the Device will assert Service Request when enabled by CSR#0<04>. If there is only one source in the Device, bit 5 must be both Read and Write so that the SR request can be triggered by command. The Clear SR Flag bit clears all SR sources in the Device. Bits 5 and 21 are mandatory for Devices that assert SR. Note that in SIs bits 4, 5 and 20 have different but related uses and bit 21 only has its read function.
C21	W	CLEAR SR FLAG	
S06 to S13	R/W	USER DEFINED STATUS AND CONTROL	This group of bits provides 8 user defined control and status bits or indicators. They can be used, for example, to contain more specific information concerning device dependent conditions or errors flagged by non-zero SS responses.
C22 to C29	W	USER DEFINED CLEAR	This group of 8 bits provides the clear function for the user defined status and control bits (6 to 13).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 14 (page 3 / 3). Définition des bits de CSR#0

Bit	Type	Nom	Fonction
14	L/E	ERREUR DE PARITE	Ce bit est utilisé pour indiquer que le dispositif a détecté une erreur de parité pendant une opération d'écriture du FASTBUS. Une réponse SS = 6 ou 7 a été envoyée au Maître. Il est permis d'écrire un "1" logique dans ce bit pour simuler une erreur, mais, en conformité avec les règles de positionnement et d'effacement sélectifs, l'écriture d'un "0" logique dans ce bit ne changera pas son état. Le positionnement du bit d'erreur de parité provoquera également le positionnement du bit témoin d'erreur, le bit 0, et il restera positionné jusqu'à ce que le témoin d'erreur soit effacé.
15	L	ACTIF	Ce bit peut être utilisé pour indiquer qu'une opération demandée telle qu'une remise à zéro est en cours d'exécution.
15	W	BIT DE PISTAGE DU SI	Voir paragraphe 10.5.1 et paragraphe J.1.7 de l'annexe J.
30	E	REMISE A ZERO	Le dispositif qui reçoit un "1" logique sur ce bit émet une impulsion qui le place dans un état bien défini. L'article 8.18 et le paragraphe 10.5.9 définissent les effets de RAZ respectivement sur les CSR des dispositifs et des SI.
31	E	EFFACEMENT DES DONNEES	L'écriture d'un "1" logique dans ce bit provoque l'émission d'une impulsion qui efface les données dans les dispositifs d'acquisitions et les rend prêts pour un nouvel événement. Par exemple, les contenus des échelles seront remis à zéro et les ADC prêts pour une nouvelle conversion. Si le dispositif est un calculateur, l'effacement abandonne la tâche en cours et place le calculateur à l'état de repos. Les dispositifs qui répondent à l'ARRET/MARCHE du CSR#0 devront s'arrêter, abandonner la tâche en cours et se tenir prêts à commencer une nouvelle opération lorsque MARCHE sera de nouveau positionné. Une opération d'effacement peut être exécutée en même temps qu'une opération de RAZ.
16 à 31	L	ID DU DISPOSITIF	Les 16 bits de l'ID du dispositif décrits au paragraphe 8.3.1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

8.3.2 Attribution des bits de contrôle et d'état

Règle

L'attribution des bits du CSR#0 doit être celle représentée dans le tableau 13 page 86 avec les fonctions des différents bits telles qu'elles sont définies dans le tableau 14 page 87.

8.4 Registre CSR 1

Ce registre est défini par l'utilisateur. Dans le SI, il est utilisé pour le niveau d'arbitrage du côté lointain.

Table 14 (Page 3 of 3). Definition of CSR#0 Bits

Bit	Type	Name	Function
14	R/W	PARITY ERROR	This bit is used to indicate that the Device has detected a parity error during a FASTBUS write operation. An SS = 6 or 7 response was given to the Master. Writing a logic one to this bit to simulate errors is permitted but, in conformity with the selective set and clear rules, writing a logic zero to this bit does not change its state. The setting of the Parity Error bit should also cause the Error Flag bit, bit 0, to be set and it should remain set until the Error Flag has been cleared.
15	R	ACTIVE	This bit may be used to indicate that a requested operation such as Clear is in the process of being carried out.
15	W	SI ROUTE TRACE BIT	See Sub-clause 10.5.1 and Sub-clause J.1.7 of Annex J.
30	W	RESET	Devices receiving a logic one for this bit issue a pulse which places them in a well defined state. Clause 8.18 and Sub-clause 10.5.9 specify the effect of RESET on CSR registers in general Devices and SIs respectively.
31	W	CLEAR DATA	Writing a logic one to this bit causes a pulse to be issued which clears data in an event-oriented Device and readies the Device for new events. Scaler contents, for example, would be set to zero and ADCs readied for a new conversion. If the Device is a computer, Clear aborts the current task and places the computer in an idle state. Devices responding to CSR#0 RUN/HALT control should halt, abort the current operation and become ready to begin a new operation when RUN is next asserted. A clear operation may be carried out concurrently with a Reset operation.
16 to 31	R	DEVICE ID	The 16 Device ID bits described in Sub-clause 8.3.1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

8.3.2 Control and Status Bit Allocation

Rule

The assignment of bits in CSR#0 shall be as shown in Table 13 on page 86, with the functions of the various bits as defined in Table 14 on page 87.

8.4 CSR Register 1

This register is user defined. In the SI it is used for the Far-side Arbitration Level.

8.5 Registre CSR 2

Ce registre de contrôle et d'état est optionnel sauf pour les dispositifs qui émettent des messages d'interruption. Il est utilisé pour fournir des indications d'erreur plus détaillées et pour réaliser des caractéristiques moins générales que celles fournies par le CSR#0. L'affectation des bits individuels est représentée dans le tableau 15, et leur signification est décrite dans la tableau 16 page 91.

Règle

Si certaines des fonctions spécifiées pour le CSR#2 sont réalisées, elles doivent l'être de la manière représentée dans le tableau 15.

Tableau 15. Affectation des bits du registre CSR 2

Bit	Signification en lecture	Signification en écriture
S00	Bit de mode utilisateur n° 0	Position. bit de mode utilisateur n° 0
S01	Bit de mode utilisateur n° 1	Position. bit de mode utilisateur n° 1
S02	Bit de mode utilisateur n° 2	Position. bit de mode utilisateur n° 2
S03	Bit de mode utilisateur n° 3	Position. bit de mode utilisateur n° 3
S04	Source A d'interruption E.S.	Mise E.S. source A d'interruption
S05	Source B d'interruption E.S.	Mise E.S. source B d'interruption
S06	Source C d'interruption E.S.	Mise E.S. source C d'interruption
S07	Test en cours	Démarrage du test
08	Adresse inexistante	Positionne adresse inexistante
09	Débordement de données	Positionne débordement de données
10	Dépassement compte de mots	Positionne dépassement compte de mots
11	Dispositif plein	Positionne dispositif plein
12	Dispositif pas vide	Positionne dispositif pas vide
13	Entrée absente	Positionne entrée absente
14	Réservé	Réservé
15	Réservé	Réservé
C16	Défini par l'utilisateur	RAZ bit de mode utilisateur n° 0
C17	Défini par l'utilisateur	RAZ bit de mode utilisateur n° 1
C18	Défini par l'utilisateur	RAZ bit de mode utilisateur n° 2
C19	Défini par l'utilisateur	RAZ bit de mode utilisateur n° 3
C20	Interruption A en attente	Mise H.S. source interruption A
C21	Interruption B en attente	Mise H.S. source interruption B
C22	Interruption C en attente	Mise H.S. source interruption C
C23	Résultat du test	Arrêt du test
24	Etat utilisateur n° 0	Ecriture état utilisateur n° 0
25	Etat utilisateur n° 1	Ecriture état utilisateur n° 1
26	Etat utilisateur n° 2	Ecriture état utilisateur n° 2
27	Etat utilisateur n° 3	Ecriture état utilisateur n° 3
28	Etat utilisateur n° 4	Ecriture état utilisateur n° 4
29	Etat utilisateur n° 5	Ecriture état utilisateur n° 5
30	Etat utilisateur n° 6	Ecriture état utilisateur n° 6
31	Etat utilisateur n° 7	Ecriture état utilisateur n° 7

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

8.5 CSR Register 2

This Control and Status Register is optional except for interrupt message generating devices. It is used to supply more detailed error reporting and to implement features which are less common than those provided by CSR#0. The assignment of individual bits is shown in Table 15 and their meaning described in Table 16 on page 91.

Rule

If any of the functions specified for CSR#2 are implemented, they shall be implemented as shown in Table 15.

Table 15. CSR Register 2 Bit Assignments

Bit	Read Significance	Write Significance
S00	User Mode Bit 0	Set User Mode Bit 0
S01	User Mode Bit 1	Set User Mode Bit 1
S02	User Mode Bit 2	Set User Mode Bit 2
S03	User Mode Bit 3	Set User Mode Bit 3
S04	Source A Interrupts Enabled	Enable Source A Interrupts
S05	Source B Interrupts Enabled	Enable Source B Interrupts
S06	Source C Interrupts Enabled	Enable Source C Interrupts
S07	Test in Progress	Begin Test
08	Non-existent Address	Set Non-existent Address
09	Device Data Overflow	Set Device Data Overflow
10	Word Count Overflow	Set Word Count Overflow
11	Device Full	Set Device Full
12	Device Not Empty	Set Device Not Empty
13	Inputs Not Present	Set Inputs Not Present
14	Reserved	Reserved
15	Reserved	Reserved
C16	User Defined	Clear User Mode Bit 0
C17	User Defined	Clear User Mode Bit 1
C18	User Defined	Clear User Mode Bit 2
C19	User Defined	Clear User Mode Bit 3
C20	Source A Interrupt Pending	Disable Source A Interrupts
C21	Source B Interrupt Pending	Disable Source B Interrupts
C22	Source C Interrupt Pending	Disable Source C Interrupts
C23	Test Result	Stop Test
24	User Status 0	Write User Status 0
25	User Status 1	Write User Status 1
26	User Status 2	Write User Status 2
27	User Status 3	Write User Status 3
28	User Status 4	Write User Status 4
29	User Status 5	Write User Status 5
30	User Status 6	Write User Status 6
31	User Status 7	Write User Status 7

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 16 (page 1 / 2). Définition des bits de CSR#2.

Bit	Type	Nom	Fonction
S00 à S03	L/E	BITS DE MODE UTILISATEUR	Ces quatre bits sont disponibles pour le concepteur du dispositif pour une utilisation particulière au dispositif.
C16 à C19	E		
S04 à S06	L/E	CONTROLE ET ETAT DES INTERRUPTIONS	Le CSR#2 permet le contrôle de trois sources indépendantes d'interruptions. Les sources peuvent être mises en ou hors service et l'on peut en même temps lire les états de la source et sa situation (E.S. ou H.S.). Les adresses auxquelles les messages d'interruption doivent être envoyés sont spécifiées dans les CSR#A à CSR#F (voir tableau 11 page 83).
C20 à C22	E		
S07	L/E	TEST	Le positionnement de ce bit démarre tout autotest que le dispositif peut posséder en plaçant le dispositif en mode TEST. Certains tests peuvent continuer aussi longtemps que le dispositif reste en mode TEST tandis que d'autres ne s'exécutent qu'une fois et envoient une interruption pour en indiquer l'achèvement. L'effacement du bit TEST arrête immédiatement le test si possible. S'il y a plus d'un test qui puisse être exécuté, le dispositif doit contenir le registre de test CSR#6 (voir article 8.6). Chaque bit de CSR#6 spécifie un test différent. Si plus d'un bit est positionné, les tests sont exécutés simultanément si possible, ou successivement en commençant par le test indiqué par le bit de poids le plus faible. La valeur de CSR#2<23> donne uniquement un résultat global du succès ou de l'échec. Les résultats plus détaillés des tests peuvent être envoyés dans CSR#6<31:16>.
C23	E		
Les bits décrits ci-dessous peuvent être lus par un Maître pour pouvoir analyser une réponse SS non nulle reçue au moment des données.			
08	L/E	ADRESSE INEXISTANTE	Une opération antérieure a provoqué un dépassement de la valeur autorisée pour l'adresse interne du dispositif. Si cela se produit pendant un transfert de bloc, une réponse SS = 2 a été émise par l'Esclave. Autrement, une réponse SS = 6 ou 7 est envoyée. Ce bit et les bits d'état suivants peuvent être positionnés par une écriture pour faciliter le test des procédures de récupération des erreurs.
09	L/E	DEBORDEMENT DES DONNEES DU DISPOSITIF	Les données entrantes ont dépassé la capacité du dispositif.
10	L/E	DEPASSEMENT DU COMPTE DE MOTS	On a essayé soit de lire plus de mots que disponibles, soit d'écrire plus de mots que l'Esclave ne pouvait en accepter. Dans les deux cas la réponse du dispositif était SS = 2.
11	L/E	DISPOSITIF PLEIN	Le dispositif est soit complètement rempli ou contient toutes les données qu'il espérait recevoir. Par exemple, on a reçu toutes les données d'un événement et, si c'est le cas pour ce dispositif, elles ont été traitées.
12	L/E	DISPOSITIF PAS VIDE	L'Esclave contient des données et peut en accepter d'autres (sinon le bit de dispositif plein est positionné).

IECNORM.COM : Click to view the full PDF of IEC 60935-1:1996

Table 16 (Page 1 of 2). Definition of CSR#2 Bits

Bit	Type	Name	Function
S00 to S03	R/W	USER MODE BITS	These four bits are available to the Device designer for Device dependent use.
C16 to C19	W		
S04 to S06	R/W	INTERRUPT CONTROL AND STATUS	Control of three independent sources of FASTBUS interrupt is provided for in CSR#2. The sources may be enabled or disabled as well as have their enabled/disabled status and pending status read. The addresses to which the interrupt messages are to be sent are specified in CSR#A to CSR#F (see Table 11 on page 83).
C20 to C22	W		
S07	R/W	TEST	Setting this bit initiates any self-testing features a Device may have by placing the Device in TEST mode. Some tests may continue as long as the Device is in TEST mode while others may execute once and generate an interrupt to signal completion. Clearing the TEST bit stops all testing immediately if possible. If there is more than one test that can be done, the Device must contain the test register CSR#6 (see Clause 8.6). Each bit of CSR#6 specifies a different test. If more than one bit is set, the tests are done concurrently if possible, or in order with the test specified by the least significant bit done first. The value of CSR#2<23> gives a simple overall success/fail result. More detailed test results may be returned in CSR#6<31:16>.
C23	W		
The bits described below may be read by a Master in order to diagnose a non-zero SS response received at data time.			
08	R/W	NON-EXISTENT ADDRESS	A previous operation has caused the Device's Internal Address to fall outside the allowable range. If this occurred during a Block Transfer, an SS=2 response was issued by the Slave. Otherwise an SS=6 or 7 response was issued. This and the following status bits can be set by a write in order to facilitate testing of error recovery procedures.
09	R/W	DEVICE DATA OVERFLOW	Input data has overflowed the capacity of the Device.
10	R/W	WORD COUNT OVERFLOW	An attempt was made to either read more words than were available or to write more words than the Slave could accept. In both cases the Device's response was SS=2.
11	R/W	DEVICE FULL	The Device is either filled to capacity or contains all the data it expects to receive. For example, all data from an event have been received and, if appropriate for the Device, have been processed.
12	R/W	DEVICE NOT EMPTY	The Slave contains data and can accept more data (unless Device Full is set).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Tableau 16 (page 2 / 2). Définition des bits de CSR#2.

Bit	Type	Nom	Fonction
13	L/E	SIGNAUX D'ENTREES ABSENTS	Des signaux de données attendus de dispositifs utilisateur servis par cet Esclave sont absents. Un essai pour lire ou écrire dans les registres associés à ces signaux provoquera une réponse SS = 6 au moment des données.
24 à 31	L/E	ETAT UTILI-SATEUR	Les bits 24 à 31 sont disponibles pour indiquer des états ou des conditions d'erreur pour des éléments du dispositif choisis par le concepteur. Une condition donnée peut être positionnée ou une impulsion émise en écrivant le bit d'état correspondant. Remarquer que ces bits ne peuvent pas être remis à zéro directement en manipulant CSR#2. CSR#0 < 16 > remettra ces bits à zéro, et ils peuvent également être remis à zéro par des moyens particuliers au dispositif.

8.6 Registre CSR 3

Règle

Le registre d'adresse logique, CSR#3, doit être réalisé comme un registre lecture/écriture dans tous les dispositifs adressables logiquement. CSR#3 doit contenir le champ DA (voir article 4.1) utilisé pendant un cycle d'adresse primaire pour la sélection du dispositif. Avant de mettre en service la reconnaissance de l'adresse logique (CSR#0 < 01 > = 1), ce registre doit être chargé par le calculateur hôte.

La structure et l'affectation de l'adresse logique est discutée à l'article 4.1.

Si le dispositif est un Maître qui ne dispose pas de l'adressage logique, le positionnement de CSR#0 < 01 > permet seulement au Maître de demander la maîtrise du bus. Si le dispositif est un SI, le positionnement de CSR#0 < 01 > permet la transmission des opérations sur le port côté lointain du SI.

8.7 Registre CSR 4

Le registre adresse utilisateur, CSR#4, contient l'adresse du dispositif Maître qui actuellement, si CSR#0 < 03 > = 1, ou le plus récemment, si CSR#0 < 03 > = 0, a demandé et reçu le contrôle exclusif de ce dispositif.

La solution préférée pour qu'un Maître obtienne l'usage exclusif d'un dispositif tout entier est la suivante: le Maître essaie d'écrire son adresse dans le CSR#4 du dispositif. Si le dispositif est disponible pour l'attribution, l'écriture se déroule normalement et le bit d'attachement du dispositif, CSR#0 < 03 >, est positionné. Si le dispositif n'est pas disponible car un autre Maître en a l'usage exclusif, l'écriture ne s'effectue pas et une réponse SS = 1 (BUSY) est renvoyée. Quand un Maître ne désire pas conserver plus longtemps l'usage exclusif du dispositif, il écrit un "1" logique dans le bit de libération du dispositif, CSR#0 < 19 >. Un Maître peut prendre le contrôle d'un dispositif qui ne dispose pas de CSR#4 en exécutant une lecture/modification/écriture dans le CSR#0 pour réaliser une instruction "test and set".

Un Maître peut également obtenir l'usage exclusif d'un dispositif en ne relâchant pas le verrouillage AS/AK ou en maintenant GK = 1 pour interdire l'arbitrage. Cela a le désavantage d'interdire toute autre utilisation des segments impliqués. Pour des opérations courtes, telles qu'une lecture/modification/écriture, cela peut être la solution la plus efficace pour obtenir

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Table 16 (Page 2 of 2). Definition of CSR#2 Bits

Bit	Type	Name	Function
13	R/W	INPUT SIGNALS NOT PRESENT	Expected data signals from user Devices serviced by this Slave are missing. An attempt to read or write registers associated with these signals results in an SS = 6 response at data time.
24 to 31	R/W	USER STATUS	Bits 24 to 31 are available to indicate the status or error condition of designer-selected features of the Device. A given condition can be set or a pulse generated by writing the corresponding status bit. Note that these bits cannot be directly reset by manipulating CSR#2. CSR#0 < 16 > will reset these bits and they may also be reset by device-dependent features.

8.6 CSR Register 3

Rule

The Logical Address Register, CSR#3, shall be implemented as a Read/Write register by all Logically Addressable Devices. CSR#3 shall contain the DA Field (see Clause 4.1) used during Primary Address Cycles for Device selection. Before enabling Logical Address Recognition (CSR#0 < 01 > = 1), this register shall be loaded by the Host processor.

The structure and assignment of Logical Addresses are discussed in Clause 4.1.

If the Device is a Master that does not implement Logical Addressing, the setting of CSR#0 < 01 > simply enables the Master to request bus Mastership. If the Device is an SI, the setting of CSR#0 < 01 > enables the passing of operations to the SI's Far-side port.

8.7 CSR Register 4

The User Address Register, CSR#4, contains the Device Address of the current, if CSR#0 < 03 > = 1, or the most recent, if CSR#0 < 03 > = 0, Master that has requested and received exclusive control of the Device.

The preferred way for a Master to gain exclusive use of an entire Device is as follows: The Master tries to write its address into the Device's CSR#4. If the Device is available for allocation, the write proceeds normally and the Allocated Device bit, CSR#0 < 03 >, is set. If the Device is not available because another Master is making exclusive use of it, the write does not take place and an SS = 1 response (BUSY) is returned. When a Master no longer requires exclusive use of the Device, it writes a logic one to the Deallocate Device bit, CSR#0 < 19 >. A Master can gain control of Devices which do not implement CSR#4 by doing a Read-Modify-Write to CSR#0 to implement a "Test and Set" instruction.

A Master can also gain exclusive use of a Device by not releasing the AS/AK lock or by holding GK = 1 to inhibit arbitration. This has the disadvantage of inhibiting all other use of the Segments involved. For short operations, such as Read-Modify-Write, this can be a more

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

l'usage exclusif du dispositif. (Evidemment, il est toujours possible pour un système de réaliser une exclusion mutuelle par l'allocation logicielle des ressources.)

Ce mécanisme s'applique à la totalité du dispositif. Pour des applications qui demandent des affectations séparées pour les sous-ensembles d'un dispositif, voir CSR#70-81.

8.8 Registre CSR 5

Ce registre peut être disponible dans les Maîtres ou les Esclaves, et être utilisé pour contrôler ou simplement donner une indication sur le nombre de mots transférés

Avant le déplacement d'un bloc de données, le registre de compte de mots, CSR#5, peut être chargé avec le nombre maximal de transferts permis dans la transaction. Il est décrémenté après chaque transfert. L'adresse interne utilisée pour le transfert suivant est habituellement contenue dans le NTA (voir article 4.4).

Il est recommandé que les nouvelles réalisations utilisent suivant les cas CSR#18 et CSR#19 à la place de CSR#5, (voir articles 8.19 et 8.20).

8.9 Registre CSR 6

Ce registre à positionnement et effacement sélectifs est utilisé pour choisir jusqu'à 16 autotests qui sont commandés par CSR#2<07>. Les bits CSR#6<15:00> sélectionnent les tests 15 à 0 et représentent l'état de la sélection lorsqu'ils sont lus. CSR#6<31:16> représentent l'état des tests 15 à 0 respectivement par un bit positionné indiquant qu'une erreur a été détectée. Si une erreur a été détectée, CSR#2<23> devra également être positionné.

8.10 Registre CSR 7

Ce registre est utilisé pour spécifier les classes de diffusion (voir tableau 3 page 42) auxquelles un dispositif répondra. Les bits 31 à 16 sont réservés et sont relus comme des zéros. Bien que l'on puisse assigner plus d'une classe de diffusion à un dispositif donné, l'opération de diffusion ne peut sélectionner qu'une classe à la fois.

Les bits 15 à 0 correspondent aux classes de diffusion 15 à 0 respectivement. Si un bit "N" est positionné, le dispositif sera sélectionné par une diffusion vers les dispositifs de classe "N". Voir tableau 3 page 42.

8.11 Registre CSR 8

Règle

Les bits de CSR#8, le registre de niveau d'arbitrage, doivent être affectés comme suit: les bits 5 à 0 contiennent le niveau d'arbitrage; le bit 6, s'il est positionné, doit indiquer que le protocole d'accès prioritaire est utilisé; le bit 7, s'il est positionné, doit indiquer que le protocole d'accès assuré est utilisé (voir article 6.1).

Le contenu de ce registre ne doit être modifié que selon les règles du paragraphe 6.3.4.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

efficient way to gain exclusive use of a Device. (Of course, it is always possible for a system to implement mutual exclusion by software resource allocation.)

This mechanism applies to the entire Device. For applications which require separate allocation of subsections of a Device, see CSR#70-81.

8.8 CSR Register 5

This register may be implemented in Masters or Slaves and used to either control or simply give an indication of the number of words transferred.

Prior to the movement of a block of data the Word Count Register, CSR#5, may be loaded with the maximum number of transfers allowed for the transaction. It is decremented after each transfer. The Internal Address used for the next data transfer is usually contained in the NTA (see Clause 4.4).

It is recommended that new designs use CSR#18 and CSR#19, as appropriate, instead of CSR#5, (see Clauses 8.19 and 8.20).

8.9 CSR Register 6

This selective set and clear register is used to select among up to 16 self tests which are controlled by CSR#2<07>. Bits CSR#6<15:00> select tests 15 to 0 and show the selection status when read. CSR#6<31:16> show the status of tests 15 to 0 respectively by a set bit indicating that a fault has been detected. If any faults are detected, CSR#2<23> should also be asserted.

8.10 CSR Register 7

This register is used to specify the Broadcast Classes (see Table 3 on page 42) to which a Device will respond. Bits 31 through 16 are reserved and are read back as zeros. While a given Device may be assigned to more than one Broadcast Class, the Broadcast Operation can only select one class at a time.

Bits 15 through 0 correspond to Broadcast Classes 15 through 0 respectively. If bit N is set the Device will be selected by a Broadcast to Class N Devices. See Table 3 on page 42.

8.11 CSR Register 8

Rule

The bits in CSR#8, the Arbitration Level Register, shall be assigned as follows: bits 5 through 0 contain the Arbitration Level; bit 6, if set, shall indicate that the Prioritized Access protocol is being used; bit 7, if set, shall indicate that the Assured Access protocol is being used (see Clause 6.1).

The contents of this register should be changed only according to the rules of Sub-clause 6.3.4.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

8.12 Registre CSR 9 et registres CSR 1Ch à 1Fh

Le registre CSR 9 est utilisé pour contrôler, principalement pour des raisons de diagnostic, les temporisateurs définissant dans les Maîtres le délai d'attente autorisé pour qu'une connexion soit réalisée (temporisateur d'attente, voir paragraphe 5.1.1), ou pour que des cycles d'adresse (voir paragraphe 5.2.1) ou pour que des cycles de données (voir paragraphe 5.1.2) soient terminés ou que le temps total alloué pour une opération (temporisateur long, voir paragraphe 5.1.1) soit écoulé.

Règle

Les bits de CSR#9, le registre de contrôle des temporisateurs, doivent être alloués selon le tableau 17.

Tableau 17. Registre de contrôle des temporisateurs

Bit	Signification en lecture	Signification en écriture
S04	Temporisateur long E.S.	Mise E.S. temporisateur long
S05	Temporisateur d'attente E.S.	Mise E.S. temporisateur d'attente
S06	Temporisateur d'adresse E.S.	Mise E.S. temporisateur d'adresse
S07	Temporisateur de données E.S.	Mise E.S. temporisateur de données
C20		Mise H.S. temporisateur long
C21		Mise H.S. temporisateur d'attente
C22		Mise H.S. temporisateur d'adresse
C23		Mise H.S. temporisateur de données

Les registres CSR 1Ch à 1Fh fournissent les moyens de spécifier la durée des temporisateurs contrôlés par CSR#9.

Règle

Les registres CSR 1Ch à 1Fh inclusivement doivent être utilisés pour spécifier la durée des temporisateurs comme suit:

CSR#1C	*Temporisateur long*	*(CSR#9<04>)*
CSR#1D	*Temporisateur d'attente*	*(CSR#9<05>)*
CSR#1E	*Temporisateur d'adresse*	*(CSR#9<06>)*
CSR#1F	*Temporisateur de données*	*(CSR#9<07>)*

En général, la durée des temporisateurs devra être spécifiée en nanosecondes.

8.13 Registres CSR de Ah à Fh

Cet ensemble de paires de registres contient les adresses utilisées par le Maître lorsqu'il envoie des messages d'interruption ou des données vers un dispositif de service des interruptions. Le premier élément de chaque paire spécifie l'adresse primaire FASTBUS du dispositif de service des interruptions et le second élément de la paire spécifie l'adresse secondaire dans l'espace CSR qui est la destination du message d'interruption. Ces registres fournissent un moyen standard pour les Maîtres d'avoir toutes leurs données d'interruption et leurs programmes

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

8.12 CSR Register 9 AND CSR Register 1Ch to 1Fh

CSR register 9 is used to control, mainly for diagnostic purposes, the timers in a Master associated with the length of time a Master is willing to wait for a connection to be made (Wait Timer, see Sub-clause 5.1.1), or for Address Cycles (see Sub-clause 5.2.1) or for Data Cycles (see Sub-clause 5.1.2) to complete, or the total time allowed for an Operation (Long Timer, see Sub-clause 5.1.1).

Rule

The bits in CSR#9, the Timer Control Register, shall be allocated as shown in Table 17.

Table 17. Timer Control Register

Bit	Read Significance	Write Significance
S04	Long Timer Enabled	Enable Long Timer
S05	Wait Timer Enabled	Enable Wait Timer
S06	Address Timer Enabled	Enable Address Timer
S07	Data Timer Enabled	Enable Data Timer
C20		Disable Long Timer
C21		Disable Wait Timer
C22		Disable Address Timer
C23		Disable Data Timer

CSR registers 1Ch to 1Fh provide means to specify the timer periods of the timers controlled by CSR#9.

Rule

CSR registers 1Ch through 1Fh inclusive shall be used to specify timer periods as follows:

CSR#1C	***Long Timer***	***(CSR#9<04>)***
CSR#1D	***Wait Timer***	***(CSR#9<05>)***
CSR#1E	***Address Timer***	***(CSR#9<06>)***
CSR#1F	***Data Timer***	***(CSR#9<07>)***

In general, timer periods should be specified in nanoseconds.

8.13 CSR Registers Ah to Fh

This set of register pairs contains addresses to be used by the Master when sending interrupt messages or data to Interrupt Service Devices. The first member of each pair specifies the FASTBUS Primary Address of the Interrupt Service Device and the second member of the pair specifies the CSR space Secondary Address that is to be the destination of the interrupt message. These registers provide a standard way for Masters to have all their interrupt data and message sending programs in ROM yet still be able to handle different or changing desti-

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

d'envoi de messages en ROM tout en restant capables de traiter différemment ou de changer la destination de ces données. En général, la source A devra être utilisée pour des interruptions normales (correspondant aux événements), la source B pour des interruptions liées à des tests et la source C pour des interruptions liées à des erreurs.

8.14 Registres CSR de 20h à 3Fh

Ce groupe de 32 registres à positionnement et effacement sélectifs fournit le contrôle complet de 256 sources de signaux de demande de service. Chaque registre peut gérer complètement jusqu'à 8 sources de SR numérotées de 0 à 7 et organisées comme suit:

(bit 31) c7d7----c0d0s7e7----s0e0 (bit 00)

Les bits c et s effacent et positionnent respectivement une source de SR. Les bits d et e mettent hors service ou en service respectivement la source de SR sur la ligne du signal SR du dispositif. Les bits s et e peuvent aussi être lus pour obtenir l'état actuel des sources et des masques.

Ces registres sont obligatoires pour des dispositifs qui ont plus d'une source de SR (voir article 9.2).

8.15 Registres CSR de 70h à 81h

Les dispositifs peuvent avoir des sous-ensembles multiples qui demandent des fonctions de contrôle et des allocations indépendantes. Un sous-ensemble peut être une entité abstraite telle qu'un "processus" ou une "tâche" dans un calculateur, ou ce peut être un ensemble particulier de registres dans un module de comptage multicanaux, ou toute autre partie d'un dispositif définie par le constructeur ou par l'utilisateur.

Règle

CSR#70h doit être associé au sous-ensemble 0, CSR#71h au sous-ensemble 1, etc., jusqu'à CSR#7Fh inclus.

CSR#80h peut contenir jusqu'à 16 paires de bits à positionnement et effacement sélectifs, une pour chaque sous-ensemble. Chaque paire de bits doit être utilisée pour attacher, détacher et contrôler l'état du sous-ensemble correspondant.

CSR#81h peut contenir jusqu'à 16 paires de bits à positionnement et effacement sélectifs, une pour chaque partie définie des sous-ensembles du dispositif. Chaque paire de bits doit être utilisée pour limiter les effets d'une commande CSR à une partie des sous-ensembles du dispositif.

CSR#70h-7Fh fonctionnent pour les sous-ensembles de la même manière que CSR#4 pour le dispositif complet. CSR#80h fonctionne de la même manière que CSR#0 < 03 > et < 19 >.

CSR#81h permet de limiter les effets d'une commande CSR à une partie d'un sous-ensemble d'un dispositif. Ainsi, pour remettre à zéro tous les registres d'un dispositif sauf ceux alloués au sous-ensemble 3, écrire 8FFF7h dans le CSR#81h, écrire 8000 0000h dans le CSR#0 (effacement des données), et ensuite (optionnellement) écrire 8h dans CSR#81h pour remettre en service le sous-ensemble 3.

Les propriétés de positionnement et d'effacement sélectifs de CSR#81h permettent à l'utilisateur de chaque sous-ensemble de le contrôler indépendamment des autres.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

nations for these data. In general, Source A should be used for normal (event oriented) interrupts, Source B for test related interrupts and Source C for error related interrupts.

8.14 CSR Registers 20h to 3Fh

This group of 32 Selective Set and Clear Registers provides full control of up to 256 sources of the Service Request signal. Each register can completely handle up to 8 SR sources numbered 0 to 7 and is organized as follows:

(bit 31) c7d7----c0d0s7e7----s0e0 (bit 00)

The c and s bits clear and set respectively an SR source. The d and e bits disable and enable respectively the SR source onto the Device's SR signal line. The s and e bits may also be read to obtain the current status of the source and mask.

These registers are mandatory for Devices having more than one SR source (see Clause 9.2).

8.15 CSR Registers 70h to 81h

Devices may have multiple subsections which need independent allocation and control functions. A subsection may be an abstract entity such as a "process" or "task" in a computer, or it may be a specific set of registers in a multichannel counter module, or any other user or manufacturer defined part of a Device.

Rule

CSR#70h shall be associated with subsection 0, CSR#71h with subsection 1, etc., up to and including CSR#7Fh.

CSR#80h shall contain up to 16 selective set/clear bit pairs, one for each subsection. Each bit pair shall be used to attach, detach and check the status of the corresponding section.

CSR#81h shall contain up to 16 selective set/clear bit pairs, one for each defined subset of Device subsections. Each bit pair shall be used to restrict the effect of CSR commands to a subset of the subsections of the Device.

CSR#70h-7Fh function for subsections analogously to CSR#4 for the entire device. CSR#80h functions analogously to CSR#0 < 03 > and < 19 > .

CSR#81h allows the effect of CSR commands to be restricted to a subset of the subsections of the Device. Thus, to clear all registers of a device except those allocated to subsection 3, write 8FFF7h to CSR#81h, write 8000 0000h to CSR#0 (Clear Data), and then (optionally) write 8h to CSR#81h to re-enable subsection 3.

The selective set and clear property of CSR#81h allows the user of each subsection to control it independently of the others.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

8.16 Registres CSR A0h à AFh, B0h à BFh et C0h à CFh

Ces trois blocs de 16 registres chacun sont utilisés pour contenir les messages d'interruption (voir article 9.1) qui doivent être envoyés par les sources A, B et C respectivement. Les adresses auxquelles ces messages doivent être envoyés sont spécifiées par les registres Ah à Fh décrits à l'article 8.13.

8.17 Registres CSR de 8000 0000h à BFFF FFFFh, espace paramètres

L'espace paramètres CSR est spécifié d'une manière qui permet une réalisation commode avec des PROM.

Les PROM sont actuellement disponibles en 8 bits de large (un octet), ainsi seul le champ AD<07:00> est défini pour chaque position adressable de la mémoire de l'espace paramètres. Les bits restants dans AD<31:08> sont lus comme des zéros.

Règle

Les bits AD06, AD04, AD02 et AD00 du CSR 8000 0000h doivent être programmés et les bits AD07, AD05, AD03 et AD01 ne doivent pas l'être. Si plus d'une PROM est utilisée pour l'espace paramètres dans un même dispositif, toutes doivent avoir le même état de programmation.

Ainsi, 8000 0000h sera lu 55h si l'état non programmé est 0, ou AAh si l'état non programmé est 1.

Règle

Dans l'espace paramètres, les données doivent être placées dans les 8 bits de poids faible de chaque position adressable. Les champs de données numériques doivent être ordonnés avec l'octet le plus significatif à l'adresse la plus basse. Les champs des chaînes de caractères ASCII doivent avoir le premier caractère non blanc à l'adresse la plus basse, sauf spécifications contraires. Les portions inutilisées d'un champ ASCII doivent être des espaces ASCII (20h). Une opération d'écriture dans l'espace paramètres ne doit avoir aucun effet et doit renvoyer une réponse SS=6 au moment des données (voir tableau 9 page 60). Les adresses de l'espace paramètres doivent être allouées conformément au tableau 18 et au tableau 19 page 97.

Si l'espace paramètres existe, le constructeur doit programmer au moins les positions 8000 0000h à 8000 0017h aux valeurs définies dans le tableau 18.

IECNORM.COM : Click to view the full PDF of iec60935:1996

Tableau 18 (page 1 / 2). Attribution des adresses de l'espace CSR paramètres

Adresses hexadécimales	Définitions
8000 0000	Identificateur du type de PROM, 55h ou AAh (voir texte)
8000 0001	Non programmée - Réservée pour une extension de l'ID
8000 0002-03	16 bits d'ID, copie de CSR#0<31:16>
8000 0004-07	32 bits donnant l'espace adresse nécessaire au dispositif
8000 0008-0F	8 octets du numéro de série (ASCII)
8000 0010-17	8 octets donnant la date de fabrication (ASCII). jj/mm/aa
8000 0018-1F	Numéro d'inventaire du propriétaire sur 8 octets (non programmé par le constructeur)

8.16 CSR Registers A0h to AFh, B0h to BFh and C0h to CFh

These three blocks of 16 registers each are used to contain the interrupt messages (see Clause 9.1) to be sent by sources A, B and C respectively. The addresses to which these messages are to be sent are specified by registers Ah to Fh as described in Clause 8.13.

8.17 CSR Registers 8000 0000h to BFFF FFFFh, Parameter Space

CSR Parameter Space is specified in a way which allows convenient implementations using Programmable Read Only Memories (PROMs).

PROMs are readily available in 8-bit (1-byte) widths, so only the AD<07:00> field is specified for the contents of each Parameter Space addressable location. The remaining bits in AD<31:08> are read as zero.

Rule

Bits AD06, AD04, AD02 and AD00 in CSR 8000 0000h shall be programmed and bits AD07, AD05, AD03 and AD01 shall not. If more than one PROM is used for Parameter Space in a single Device, all shall have the same programmed state.

Thus 8000 0000h will read as 55h if the unprogrammed state is 0, or as AAh if the unprogrammed state is 1.

Rule

In Parameter Space, data shall be positioned in the low-order 8 bits of each addressable location. Numeric data fields shall be ordered with the most significant 8-bit subfield at the lowest address. ASCII character string fields shall have the first non-blank character at the lowest address unless otherwise specified. Trailing unused portions of an ASCII field shall be ASCII SPACEs (20h). Write operations to Parameter Space shall have no effect and shall return an SS=6 response at data time (see Table 9 on page 60). Parameter Space addresses shall be allocated as shown in Table 18 and Table 19 on page 97.

If Parameter Space is implemented, the manufacturer shall program at least locations 8000 0000h through 8000 0017h to the values defined in Table 18.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 18 (Page 1 of 2). CSR Parameter Space Address Allocation

Hexadecimal Address	Contents
8000 0000	PROM type identifier, 55h or AAh (see text)
8000 0001	Unprogrammed - reserved for ID expansion
8000 0002-03	16-bit ID, Copy of CSR#0<31:16>
8000 0004-07	32-bit Device Address Space required
8000 0008-0F	8-byte Serial Number (ASCII)
8000 0010-17	8-byte Manufacturer date (ASCII) dd/mm/yy
8000 0018-1F	8-byte Owner's Inventory Number (unprogrammed by manufacturer)

Tableau 18 (page 2 / 2). Attribution des adresses de l'espace CSR paramètres

Adresses hexadécimales	Définitions
8000 0020-23	Pointeur de la première zone libre suivante
8000 0024-	Première page de la table des matières

Tableau 19. Définition des termes utilisés dans le tableau 18

FICHIER	Une chaîne de pages désignée par un nom et un pointeur sur la table des matières. Un fichier peut être annulé en programmant la totalité du champ de son nom jusqu'à la fin de l'espace ASCII. Le contenu d'un fichier peut être modifié en annulant des pages et en créant de nouvelles pages dans l'espace de la zone libre. De nouveaux fichiers peuvent être créés en programmant un terme dans l'espace non programmé d'une page de la table des matières ou en ajoutant de nouvelles pages à la chaîne de la table des matières.
EN-TETE	Voir PAGE.
ZONE LIBRE SUIVANTE	Lorsque des informations sont ajoutées à la PROM, l'espace pour la nouvelle page est pris dans la zone libre. La chaîne des pointeurs de la zone libre suivante est suivie à partir de l'adresse 8000 0020h jusqu'à ce que l'on trouve un pointeur non programmé. Ce pointeur est alors programmé sur le point qui suit l'espace nécessaire pour la nouvelle page, et la nouvelle page est programmée dans l'espace qui lui est alloué, avec son en-tête suivant immédiatement le pointeur. Si une nouvelle page doit être ajoutée à une chaîne existante, le pointeur final non programmé précédent dans le dernier en-tête de cette chaîne est alors programmé pour pointer sur l'en-tête de la nouvelle page.
PAGE	Une page est un bloc continu de mémoire PROM dont les huit premiers octets (l'en-tête) contiennent un pointeur 32 bits vers l'en-tête de la page suivante de ce fichier suivi par un champ de 32 bits donnant la longueur de la page. La longueur est le nombre d'octets qui suivent l'en-tête. Une page peut être annulée en programmant complètement son champ longueur. Un champ longueur non programmé est équivalent à zéro, et signifie qu'aucune donnée valide n'a été programmée dans la page. Un pointeur de la page suivante non programmé indique la dernière page du fichier.
POINTEUR	Adresse CSR sur 32 bits de l'octet d'adresse la plus basse de l'élément sur lequel il pointe.
TABLE DES MATIERES	Ce champ dont la première page démarre toujours à 8000 0024h (même si cette page a été annulée) possède une structure d'en-tête décrite pour PAGE. Les données consistent en un nom de fichier en ASCII de longueur variable terminé par un seul espace ASCII (20h) suivi par l'adresse de 32 bits de la première page du fichier.

8.18 Remise à zéro des bits des CSR

Règle

Les effets de la mise sous tension, de RB, de RAZ et de RAZ erreur sur les bits des registres CSR doivent être conformes au tableau 20 page 98.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Table 18 (Page 2 of 2). CSR Parameter Space Address Allocation

Hexadecimal Address	Contents
8000 0020-23	First next free area pointer
8000 0024-	First page of Table of Contents

Table 19. Definition of Terms used in table 18

FILE	A chain of pages referred to by name and pointer in the Table of Contents. A file can be deleted by fully programming its name field up to the terminating ASCII space. The file's contents may be changed by deleting pages and by creating new pages from space in the Free Area. New files can be created by programming entries from unprogrammed space in existing Table of Contents pages or by adding new pages to the Table of Contents chain.
HEADER	See PAGE.
NEXT FREE AREA	When information is added to the PROM, space for the new Page is taken from the Free Area. The chain of Next Free Area Pointers is followed starting at location 8000 0020h until an unprogrammed pointer is found. That pointer is then programmed to point past the space needed for the new Page, and the new Page is programmed in the allocated space, with its header immediately following the pointer. If the new Page is to be added to an existing chain, the previously unprogrammed final pointer in the last header of that chain is then programmed to point to the new Page's header.
PAGE	A Page is a contiguous block of PROM storage whose first eight bytes (the header) contain a 32-bit pointer to the header of the next Page of this file followed by a 32-bit Page length field. The length is the number of bytes which follow the header. A Page may be deleted by fully programming its length field. An unprogrammed length field is equivalent to zero, and implies that no valid data has been programmed in the Page. An unprogrammed next page pointer indicates the last page of a file.
POINTER	The 32-bit CSR address of the lowest-addressed byte of the item pointed to.
TABLE OF CONTENTS	This field, whose first page always starts at 8000 0024h (even if this page has been deleted), has the header structure described for PAGE. The data consists of variable length ASCII file names terminated by a single ASCII SPACE (20h) followed by the 32-bit address of the first page of the file.

8.18 Clearing of CSR Bits

Rule

The effect of POWER ON, RB, RESET and CLEAR on bits in CSR registers shall be as specified in Table 20 on page 98.

IECNORM.COM : Click to view the full PDF of iec 60935:1996

Tableau 20. Effacement des bits des CSR

CSR	Bit	Nom	Valeur relue après une action spécifique			
			Mise sous tension	Impul-sion RB	RAZ CSR#0 < 30 >	RAZ erreur CSR#0 < 16 >
0	0	Témoin d'erreur	0	-	0	0
0	1	Mise En Service (E.S.)	0	0	0	-
0	2	En marche[1]	0	0	0	-
0	3	Dispositif attribué	0	-	0	-
0	4	Positionnement SR E.S.	0	-	0	-
0	5	Témoin de SR	0	-	0	-
0	6-13	Etat défini par l'utilisateur	x	x	x	x
0	14	Erreur parité[2]	0	x	0	0
0	15	Actif[3]	0	-	0	-
2	0-3	Bits de mode utilisateur	x	x	x	x
2	4-6	Interruption E.S.	0	-	0	-
2	7	Test en cours	0	-	0	-
2	8-10	Etats divers	0	-	0	-
2	11-13	Etats divers	0	-	x	-
2	20-22	Interruption en attente	0	-	0	-
2	23	Réponse au test	x	x	x	x
2	24-31	Etats utilisateur	x	x	x	x
3	Tous	Adresse logique	x	-	-	-
4	Tous	Adresse utilisateur	x	-	-	-
5	Tous	Compte de mots	x	-	-	-
6	Tous	Choix des tests	0	-	0	-
7	Tous	Classe diffusion	0	-	0	-
8	Tous	Niveau arbitrage	x	-	-	-
9	4-7	Contrôle temporisateur	1	-	1	-
0A à 0F		Destination d'interrupt.	x	x	x	x
18	Tous	Compteur de mots du Maître ou de l'Esclave	x	-	-	-
19	Tous	Compteur de mots du Maître	x	-	-	-
1C à 1F		Durées temporisateurs	x	-	-	-
20 à 3F		Source/masque SR	0	-	0	-
70 à 7F		Adresse utilisateur	x	-	-	-
80		Alloc. sous-ensemble	0	-	0	-
81		Sous-ensemble E.S.	0	-	-	-

[1]Ce bit est également effacé par CSR#0 < 31 >, le bit d'effacement de données (voir tableau 14 page 87).
[2]Ce bit est également effacé par AS = GK = 0.
[3]Voir tableau 23 page 113, pour l'utilisation de ce bit dans une interconnexion de segments.

NOTE: Dans le tableau 20 page 98, un "-" signifie que l'état du ou des bits ne doit pas être changé tandis que un "x" signifie que les effets sur les bits sont au choix du concepteur.

8.19 Registre CSR 18

Ce registre compteur de mots peut être inclus dans les Maîtres ou les Esclaves. Un Maître doit remettre ce registre à zéro avant un transfert de bloc et lire après son contenu pour contrôler le nombre de mots transférés. Si les données sont transférées sous forme de miniblocks, CSR#18 doit accumuler le nombre de mots transférés et être lu à la fin d'une opération de miniblocks.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 20. Clearing of CSR Bits

CSR	Bit	Name	Value read back after specified action			
			Power ON	RB Pulse	Reset CSR#0<30>	Clear Error CSR#0<16>
0	0	Error Flag	0	-	0	0
0	1	Enabled	0	0	0	-
0	2	Running[1]	0	0	0	-
0	3	Device Allocated	0	-	0	-
0	4	SR Assertion Enabled	0	-	0	-
0	5	SR Flag	0	-	0	-
0	6-13	User Defined Status	x	x	x	x
0	14	Parity Error[2]	0	x	0	0
0	15	Active[3]	0	-	0	-
2	0-3	User Mode Bits	x	x	x	x
2	4-6	Interrupts Enabled	0	-	0	-
2	7	Test in Progress	0	-	0	-
2	8-10	Miscellaneous	0	-	0	-
2	11-13	Miscellaneous	0	-	x	-
2	20-22	Interrupt Pending	0	-	0	-
2	23	Test Result	x	x	x	x
2	24-31	User Status	x	x	x	x
3	All	Logical Address	x	-	-	-
4	All	User Address	x	-	-	-
5	All	Word Count	x	-	-	-
6	All	Test Selection	0	-	0	-
7	All	Broadcast Class	0	-	0	-
8	All	Arbitration Level	x	-	-	-
9	4-7	Timer Control	1	-	1	-
0A to 0F		Interrupt Destination	x	x	x	x
18	All	Master/Slave Word Count	x	-	-	-
19	All	Master Word Count	x	-	-	-
1C to 1F		Timers Periods	x	-	-	-
20 to 3F		SR Source and Mask	0	-	0	-
70 to 7F		User Address	x	-	-	-
80		Subsection Allocation	0	-	0	-
81		Subsection Enable	0	-	-	-

[1]This bit is also cleared by CSR#0<31>, the CLEAR DATA bit (see Table 14 on page 87).
[2] This bit is also cleared by AS = GK = 0.
[3] See Table 23 on page 113, for use of this bit in Segment Interconnects.

NOTE: In Table 20 on page 98, '-' means that the status of the bit(s) should not be changed while 'x' means that the effect on the bits is a design choice.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

8.19 CSR register 18

This Word Count Register may be implemented in Masters or Slaves. A Master may set this register to zero before a block transfer and read its contents after as a check on the number of words transferred. If data is being sent in blocklets, CSR#18 may accumulate the number of words transferred and be read at the end of the blocklet operation.

Règle

S'il existe, CSR#18 doit être incrémenté par "1" à chaque transfert de mot pendant une opération de transfert de bloc ou en pipe-line pour laquelle est émis SS = 0 ou SS = 7 et doit être à la fois en lecture et en écriture.

8.20 Registre CSR 19

Règle

S'il existe, ce registre doit contenir le nombre maximal de mots transférés par un Maître dans une opération de transfert de bloc ou en pipe-line.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Rule

If implemented, CSR#18 shall increment by one on each word transferred during a block or Pipeline Operation for which SS = 0 or 7 is generated and shall be both readable and writable.

8.20 CSR Register 19

Rule

This register, if implemented, shall contain the maximum number of words transferred by a Master during a single Block or Pipeline transfer operation.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 9. Interruptions

Dans le contexte FASTBUS, le terme "interruption" indique une demande émise par un dispositif pour demander service ou attention à un autre. Habituellement, le dispositif qui va apporter le service est un processeur qui incorpore en lui-même un mécanisme d'interruption. Une interruption reçue à travers ce mécanisme suspend l'exécution du programme normal pour pouvoir exécuter un programme spécial de service de l'interruption.

Les spécifications du FASTBUS décrivent deux protocoles standard, l'opération d'interruption et les demandes de service, qui doivent être interprétées comme des interruptions dans le sens ci-dessus par des interfaces étudiées pour. Remarquer que le FASTBUS lui-même n'a pas de mécanismes de préemption qui permettent d'arrêter une opération FASTBUS à mi-parcours, de démarrer et d'exécuter jusqu'à la fin une nouvelle opération, et de reprendre l'opération originelle au point d'interruption.

9.1 Opération d'interruption

Un Maître qui désire exécuter une opération d'interruption doit tout d'abord obtenir la maîtrise du bus de la manière habituelle. Il envoie ensuite un message pouvant atteindre une longueur de 16 mots vers le dispositif approprié de service des interruptions (ISD) dont l'adresse devra être contenue dans l'espace CSR du Maître interrompant (voir article 8.13). Le message est écrit dans un bloc de réception des interruptions (voir tableau 12 page 84), auquel on accède par un cycle d'adresse secondaire. Leur format n'est pas spécifié sauf pour les quatre bits de poids faible du premier mot qui doivent contenir le nombre de mots qui suivent dans le message. Le second mot devra contenir l'adresse du Maître interrompant et les mots suivants, s'ils existent, contiendront les détails ou les pointeurs sur les détails concernant la raison de l'interruption.

L'achèvement de l'opération d'écriture, c.-à-d. la rupture du verrouillage AS/AK par le Maître interrompant, provoque une interruption vers le processeur de l'ISD. Si le service de l'interruption nécessite que des opérations FASTBUS soient exécutées, le dispositif de service des interruptions doit alors demander et obtenir la maîtrise du bus. Puisqu'une opération FASTBUS en cours ne peut pas être interrompue, l'intervalle de temps entre le moment où un Maître détermine qu'il doit initialiser une opération d'interruption et le moment où le service de cette interruption commence est imprévisible.

Le message d'interruption est habituellement écrit à l'aide d'un transfert de bloc, mais le transfert individuel de données mot à mot est également possible. Dans certaines applications, cela peut permettre au message d'interruption de simplement remettre à jours un seul mot dans le bloc en laissant le reste inchangé. L'action d'interruption n'est pas déclenchée jusqu'à ce que le verrouillage AS/AK soit rompu, ainsi des écritures simples multiples sont possibles en utilisant des cycles d'adresse secondaire pour sélectionner les registres appropriés.

Un dispositif de service des interruptions peut avoir jusqu'à 16 blocs différents de réception des interruptions, dont chacun produit une interruption différente. Si des priorités d'interruption dans le processeur sont associées aux blocs de registres de réception, la priorité devra croître en même temps que l'adresse de base des blocs dans l'espace CSR croît.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 9. Interrupts

In the FASTBUS context, the term "interrupt" means a request by one Device for service or attention from another. Usually the servicing Device is a processor which incorporates an interrupt mechanism of its own. An interrupt received through this mechanism preempts normal program execution in order to carry out a special interrupt service program.

The FASTBUS specification describes two standard protocols, Interrupt Operation and Service Request, which should be interpreted as interrupts in the above sense by suitably designed interfaces. Note that FASTBUS itself does not have a preemptive mechanism which allows a FASTBUS operation to be stopped in midcourse, a new operation to be started and run to completion, and the original operation resumed at the point of interruption.

9.1 Interrupt Operation

A Master wishing to carry out an Interrupt Operation first obtains bus Mastership in the usual way. It then sends a message of up to 16 words in length to the appropriate Interrupt Service Device (ISD) whose address should be contained in the interrupting Master's CSR space (see Clause 8.13). The message is written to an interrupt receiver block (see Table 12 on page 84), accessed by a Secondary Address Cycle. Its format is unspecified except for the low-order four bits of the first word which must contain the number of words that follow in the message. The second word should contain the address of the interrupting Master and the following words, if any, details or pointers to details concerning the reason for the interrupt.

The completion of the Write Operation, i.e. the breaking of the AS/AK lock by the interrupting Master, causes an interrupt to the processor of the ISD. If the servicing of the interrupt requires that FASTBUS operations be carried out, then the Interrupt Service Device must request and obtain bus Mastership. Since ongoing FASTBUS operations cannot be interrupted, the interval between the time a Master determines that an Interrupt Operation should be initiated and the time that servicing of this interrupt begins is unpredictable.

The interrupt message is normally written with a Block Transfer, but single-word random data transfers are also possible. In some applications, this might allow the interrupt message to merely update one word in the bank, leaving the rest unchanged. The interrupt action is not triggered until the AS/AK lock is broken, so multiple single writes are possible by using Secondary Address Cycles to select the appropriate registers.

An Interrupt Service Device may have up to 16 different interrupt receiver blocks each of which generates a different interrupt. If interrupt priorities in the processor are associated with receiving register blocks the priority should increase as the base address of the receiving block in CSR space increases.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle

Le protocole pour une opération d'interruption doit être le suivant:

Après avoir obtenu la maîtrise du bus, le dispositif interrompant doit écrire un message d'interruption dans l'un des blocs de réception des interruptions du CSR (voir tableau 12 page 84), dans le dispositif de service des interruptions. Le champ de quatre bits de poids faible du premier mot du bloc de réception des interruptions doit contenir le nombre de mots qui suivent dans le message (maximum 15).

Les registres de réception des interruptions doivent être réalisés sous forme d'un bloc de 16 commençant à CSR#100h et doivent être accessibles par transfert de bloc et par transfert de mots individuels. Si des groupes supplémentaires de registres de réception existent, ils doivent être implantés en séquences en commençant à CSR#110h.

L'exécution d'une écriture à une adresse quelconque de chaque bloc de réception des interruptions doit provoquer une demande d'interruption au processeur qui lui est connecté quand la présente opération est terminée (AS=0), et doit placer le bloc dans l'état hors service interdisant toute opération ultérieure d'écriture dans une adresse quelconque de ce bloc en renvoyant SS=1 (occupé). L'ISD doit remettre en service ce bloc après qu'il a traité les informations d'interruption pour pouvoir recevoir les messages d'interruption ultérieurs.

Si un bloc de registres d'interruption qui n'existe pas est adressé, une réponse SS=6 doit être renvoyée par l'ISD.

9.2 Lignes de demande de service

Le protocole associé avec l'opération d'interruption nécessite que le dispositif qui envoie l'interruption soit capable d'obtenir la maîtrise du bus et que le récepteur d'interruption contienne au moins un bloc de réception d'interruption. La ligne de demande de service (SR) fournit à tous les modules un moyen plus simple, mais moins souple, d'envoyer des interruptions, y compris pour ceux sans possibilité de maîtrise du bus. Les interruptions du type SR peuvent être servies par un Maître moins sophistiqué que celui qui répond à une opération d'interruption.

Il peut y avoir de nombreuses sources de SR dans un dispositif. Les bits des CSR#20 à 3F (voir article 8.14) fournissent le contrôle d'un maximum de 256 sources différentes de SR. Toutes les sources de SR en service sont mélangées pour former le témoin général interne de SR. Le signal SR externe est obtenu par la coïncidence du bit témoin SR interne et du bit de mise en service dans le CSR#0 (voir paragraphe 8.3.2). Des bits sont également disponibles dans ces registres pour permettre de déterminer l'état individuel des sources de SR et des masques. Le CSR#0 contient l'état du signal SR interne du dispositif, l'état du bit de masque général et le bit de remise à zéro générale du témoin de SR. Un dispositif qui possède une source unique de SR peut la contrôler complètement en utilisant seulement les bits de CSR#0.

Lorsque l'utilisation des SR est en service, un dispositif peut positionner SR à n'importe quel moment sans s'occuper de l'état des autres lignes de signaux du FASTBUS. Les interconnexions de segments, qui ont été mises en service pour cela, transmettent SR de leur segment côté éloigné vers leur segment côté proche. SR est reçu par un gestionnaire de demande de service (SRH) qui a été programmé pour examiner toutes les sources possibles de SR qui peuvent l'atteindre. La réponse de SRH à SR est de demander la maîtrise du bus. Une fois qu'il a obtenu la maîtrise du bus, le SRH exécute des opérations standard FASTBUS pour localiser et servir la ou les sources de SR.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule

The protocol for an Interrupt Operation shall be as follows:

After gaining bus Mastership, the interrupting Device shall write an interrupt message into one of the interrupt-receiving CSR blocks (see Table 12 on page 84) in the Interrupt Service Device. The low-order 4-bit field of the first word in the interrupt-receiving block shall be the number of words that follow in the message (maximum 15).

The interrupt receiving registers shall be implemented in blocks of 16 beginning with CSR#100h and shall be accessible by Block Transfers and by single-word random data transfers. If additional receiving register groups are implemented, they shall be allocated in sequence beginning with CSR#110h.

Performing a Write to any address of any interrupt receiver block shall cause an interrupt request to the attached processor when the current operation is completed (AS=0), and shall place the block in a disabled state which rejects further Write operations to any address within the block by returning SS=1 (Busy). The ISD shall enable the block to receive further interrupt messages after it has processed the interrupt information.

If an unimplemented interrupt register block is addressed, an SS=6 response shall be returned by the ISD.

9.2 The Service Request Line

The protocol associated with an Interrupt Operation requires that the Device issuing the interrupt be capable of gaining bus Mastership and that the interrupt receiver contain at least one interrupt receiver block. The Service Request (SR) line provides a simpler, but less versatile, way for Devices including those without bus Mastership capability to issue interrupts. SR type interrupts can be serviced by Masters less sophisticated than those that respond to Interrupt Operations.

There may be many sources of SR in a Device. Bits in CSR#20 to 3F (see Clause 8.14) provide control of up to 256 different sources of SR. All enabled SR sources are ORed together to form the internal overall SR Flag. The external SR signal is formed by ANDing the internal SR Flag bit signal with the enable bit in CSR#0 (see Sub-clause 8.3.2). Bits are also provided in these registers to allow the status of individual SR sources and masks to be determined. CSR#0 contains the state of the internal SR signal of the Device, the state of the overall mask bit and the overall SR Flag reset bit. A Device with a single SR source may completely control it using only the bits in CSR#0.

When enabled for SR assertion, a Device may assert SR at any time without regard for the status of other FASTBUS signal lines. Segment Interconnects that have been so enabled pass SR from their Far-side to Near-side Segments. SR is received by a Service Request Handler (SRH) which has been programmed to look after all possible sources of SR that may reach it. The SRH's response to SR is to request bus Mastership. Once bus Mastership has been gained, the SRH carries out standard FASTBUS operations to locate and service the source or sources of SR.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

La technique utilisée par le SRH pour localiser les sources de SR dépend des possibilités des dispositifs qui peuvent positionner SR. Pour le SRH, une méthode qui marche toujours est d'examiner CSR#0 < 05:04 > de toutes les sources possibles. Une telle scrutation peut être la technique la plus efficace si le nombre des sources possibles est petit.

Le SRH peut également exécuter une forme spéciale d'adressage de diffusion (cas 5 du tableau 3 page 42) destinée à chaque segment qu'il a été chargé de servir. Dans ce type de diffusion, seuls les dispositifs positionnant SR se connectent pendant le cycle d'adresse et pendant le cycle de lecture qui suit immédiatement, positionnent leur contact T. Ainsi, la structure des bits des lignes AD à la réponse DK identifie les dispositifs sur le segment qui demandent du service.

Les dispositifs positionnant SR ayant été localisés, le SRH adresse chacun d'entre eux chacun son tour, soit géographiquement, soit logiquement et examine leurs registres d'état pour déterminer la cause précise du SR. Le SRH détermine alors s'il peut exécuter le service lui-même. Si c'est le cas, le service est exécuté, la source du SR remise à zéro et l'Esclave servi relâché. Si ce n'est pas le cas, et qu'un autre processeur est nécessaire, le SRH met hors service toute demande ultérieure de SR par cette source, forme un message d'interruption approprié à la source particulière du SR, et initialise une opération d'interruption vers l'ISD voulu.

L'ISD exécute ensuite le service demandé, remet à zéro le bit de source du SR et met en service la source de SR. Pendant ce temps, le SRH peut avoir servi d'autres sources de SR dans le même dispositif ou dans un autre. Chaque source de SR est ainsi une entité logiquement indépendante et peut recevoir un service approprié sans égard aux besoins des autres sources. Il n'y a aucune obligation pour que toutes les sources dans un dispositif particulier soient gérées de la même manière ou par le même processeur.

Par suite de l'étroite influence de l'application et de la réalisation sur l'usage du SR, les spécifications ne peuvent être utilement définies qu'en ce qui concerne son positionnement et son contrôle.

Règle

Un dispositif qui utilise SR doit disposer des bits 4, 5, 20 et 21 du CSR#0 tels qu'ils sont définis dans le tableau 14 page 87.

Si un dispositif possède plus d'une source de SR, à chaque source doivent alors être affectés des bits dans les registres de positionnement et d'effacement sélectifs CSR#20 à 3F tels qu'ils sont décrits à l'article 8.14. Dans ce cas, les bits du CSR#0 doivent fournir un contrôle et un état global.

Le positionnement d'un bit de source de SR par une opération FASTBUS doit provoquer le même effet que le positionnement du même bit par le dispositif lui-même.

Le signal externe de la ligne SR sera obtenu en mélangeant toutes les sources de SR qui ont été mises en service et en mettant en coincidence ce résultat avec le bit de mise en service général de CSR#0 < 04 > .

Tout dispositif capable de positionner SR doit exécuter l'opération de diffusion spécifiée dans le cas 5 du tableau 3 page 42.

Remarquer que lorsque BH = 1, les dispositifs ignorent l'état de SR (voir article 7.4).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

The technique used by the SRH to locate SR sources depends on the capabilities of the Devices that may assert SR. One method, which will always work, is for the SRH to examine CSR#0<05:04> of all possible sources. Such polling may be the most effective technique if the number of possible sources is small.

Alternatively, the SRH may carry out a special form of Broadcast Addressing (case 5 in Table 3 on page 42) aimed at each Segment it has been assigned to service. In this type of Broadcast, only those Devices asserting SR attach during the Address Cycle and, during the immediately following Read Cycle, assert their T pins. Thus, the bit pattern on the AD lines at the DK response identifies those Devices on the Segment that are requesting service.

The Devices asserting SR having been located, the SRH addresses each of them in turn, either Geographically or Logically, and examines the status registers to determine the precise cause of SR. The SRH then determines whether it can perform the service itself. If this is the case, the service is carried out, the SR source cleared and the serviced Slave released. If this is not the case and another processor is required, the SRH disables further SR requests by that source, formats an interrupt message appropriate to the particular SR source and initiates an Interrupt Operation to the appropriate ISD.

The ISD later performs the requested service, clears the SR source bit and enables the SR source. Meanwhile, the SRH may have been servicing other SR sources within the same or another Device. Each SR source is thus a logically independent entity and can receive appropriate service without regard for the needs of other sources. There is no constraint that all sources within a particular Device be handled in the same way or by the same processor.

Because of the strong implementation and application dependence of the use of SR, specifications can only be usefully made concerning its control and assertion.

Rule

A Device that makes use of SR shall implement CSR#0 bits 4, 5, 20 and 21 as defined in Table 14 on page 87.

If a Device has more than one source of SR then each source shall be allocated bits in the Selective Set and Clear Register CSR#20 to 3F as described in Clause 8.14. In this case, the CSR#0 bits shall provide overall control and status.

The setting of an SR source bit by a FASTBUS operation shall cause the same effect as the setting of the same bit by the Device itself.

The external SR signal line shall be formed by ORing together all SR sources that have been enabled and ANDing the result with the overall enable bit in CSR#0<04>.

Any Device capable of asserting SR shall implement the Broadcast operation specified as case 5 in Table 3 on page 42.

Note that when BH = 1, Devices ignore the state of SR (see Clause 7.4).

IECNORM.COM : Click to view the full PDF of IEC 60935-1:1996

9.3 Saturation de la ligne SR

A cause d'une activité excessive, il peut se produire une situation où la ligne SR est positionnée en permanence. Vraisemblablement ceci provoquera une détérioration dans la possibilité de gérer les demandes de service dans l'ordre de priorité désiré. Le problème peut etre résolu en introduisant des gestionnaires de demande de service qui traitent un nombre limité de demandes. Une autre solution est de remplacer la logique de demande de service par une logique Maitre limitèe aux possibilités d'emettre des interruptions.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

9.3 SR line Saturation

Due to an excess of activity, the situation may arise whereby the SR line becomes permanently asserted. This is likely to cause a deterioration in the ability to handle Service Requests in the desired priority order. The problem may be overcome by introducing Service Request Handlers each of which will process a limited number of requests. An alternative solution is to replace Service Request logic in Slaves by a minimal Interrupt generating Master capability.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 10. Interconnexion de segments

Lorsqu'un Maître communique avec un Esclave, il y a une circulation d'information à double sens quelle que soit la direction du flux de données. Cela provient du dialogue Maître/Esclave qui s'effectue pendant le cycle d'adressage et qui peut se produire sur chacun des cycles de données suivants. Si le Maître et l'Esclave sont sur le même segment, le bus lui-même fournit alors le moyen de communication. Pour des considérations de vitesse et de charge électrique aussi bien que pour des problèmes de bande passante et de risque de conflit, il existe une limite pratique au nombre de dispositifs qui peuvent être directement connectés à un segment. Ainsi, on doit disposer d'un dispositif, appelé l'interconnexion de segments (SI), pour permettre à un Maître sur un segment indépendant de communiquer avec un Esclave sur un autre segment indépendant.

Le Maître n'a pas besoin de savoir si l'Esclave qu'il adresse est sur son segment ou sur un autre. Les protocoles de communication pour les différents types d'adressage (logique, diffusion, géographique) et les transferts de données (simple, transfert de bloc avec et sans dialogue et à verrouillage d'adresse) doivent être gérés d'une manière transparente par le SI. De plus, le SI doit également automatiquement compenser l'augmentation des retards provoquée par son utilisation.

Le SI se compose de deux parties appelées ports, qui sont connectés à chacun des deux segments réunis par le SI. Les deux ports sont physiquement interconnectés d'une manière qui tient compte de leur séparation physique.

Le port du SI connecté au même segment que le Maître d'origine se comporte comme un Esclave pour la durée de l'opération et le port du SI connecté au segment de l'Esclave se comporte comme un Maître pour l'Esclave (figure 26 page 105). Si l'opération doit traverser un certain nombre de segments, pour chaque SI traversé, le port électriquement le plus proche du Maître originel (le port du côté proche) se comporte alors en Esclave et le port électriquement le plus loin du Maître originel (le port côté lointain) se comporte comme un Maître.

Si l'on échange les positions du Maître et de l'Esclave, le chemin inverse à travers les mêmes SI sera alors suivi. Cela signifie que les rôles côté proche et côté lointain de chaque port du SI doivent être inversés. Ainsi, chaque port d'un SI doit être capable de fonctionner aussi bien en Esclave qu'en Maître. Un tel SI double est celui analysé dans cette norme. Si le flux de transactions est toujours dans la même direction, un autre type de SI peut être utilisé. Mais deux SI de ce dernier type ne sont pas équivalents au premier type de SI à cause des différences dans la manière de résoudre les conflits en cours.

10.1 Types d'interconnexion de segments

Dans le sens le plus général, un SI achemine une adresse de son côté proche vers son côté lointain. Deux algorithmes particuliers d'acheminement ont été examinés en détail pour que cette spécification d'un SI physiquement réalisable et universel puisse être détaillée: (1) le cas sans conversion, dans lequel le SI transmet simplement la totalité du champ adresse GP inchangé, sauf lorsqu'il transforme une partie du champ adresse en zéro tel que c'est nécessaire pour l'adressage géographique ou de diffusion, et (2) le cas de conversion complète, dans lequel le SI transforme le champ GP. Une transformation particulièrement utile transforme le champ GP (N, N+1, N+2, etc.) en 0, 1, 2, etc., sur le segment côté lointain, si c'est ce segment qui doit être adressé, et autrement transmet le champ GP sans changement. Un SI peut être conçu pour réaliser l'un ou les deux algorithmes; cependant, l'algorithme sans conversion est recommandé pour la plupart des utilisations. L'annexe E décrit un SI recommandé, type S-1, qui réunit un segment-châssis à un segment-câble et qui peut exécuter les deux algorithmes.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 10. Interconnection of Segments

When a Master communicates with a Slave there is a two-way flow of information regardless of the direction of data flow. This occurs because of the Master/Slave handshake that takes place during an Address Cycle and that may occur on each ensuing data cycle. If the Master and Slave are on the same Segment, then the bus itself provides the communication medium. Owing to speed and electrical loading requirements as well as bandwidth and contention considerations, there is a practical limit to the number of Devices that can be directly connected to a Segment. Therefore, a Device, called the Segment Interconnect (SI), is provided to allow a Master on one Segment to communicate with a Slave on another, independent, Segment.

A Master should not have to be concerned with whether or not the Slave it is addressing is on the same or another Segment. The communication protocols for the various types of addressing (Logical, Broadcast and Geographical) and data transfers (single, block, pipelined and address locked) have to be handled in a transparent way by the SI. In addition, the SI must also automatically compensate for the increased delays caused by its use.

The SI consists of two sections, called ports, connected to the two Segments linked by the SI. The two ports are physically connected in a way which can accommodate their physical separation.

The port of the SI connected to the same Segment as the originating Master acts as the Slave for the duration of the operation and the port of the SI connected to the Slave's Segment acts as the Master for the Slave (Figure 26 on page 105). If the operation has to cross a number of Segments then, for each SI traversed, the port electrically nearer to the originating Master (the Near-side port) acts as a Slave and the port electrically farther from the originating Master (the Far-side port) acts as a Master.

Should the positions of Master and Slave be interchanged then the reverse path through the same SIs should be followed. This means that the Near-side and Far-side roles of each SI port have to be reversed. Hence, each port of an SI must be capable of acting as either a Slave or a Master. Such a Duplex SI is the type discussed in this standard. If the operation flow is always in the same direction, another type of SI could be used. But two of the latter types of SIs are not equivalent to the first type of SI because of differences in the way that conflicts in usage have to be resolved.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

10.1 Types of Segment Interconnects

An SI in the most general sense maps an Address from its Near-side to its Far-side. Two specific mapping algorithms have been examined in detail in order that specifications for a physically realizable, general purpose SI can be detailed: (1) the Non-Transforming case, in which the SI simply passes the full GP address field unchanged, except that it transforms part of the address field to zero as required for Geographical and Broadcast Addressing; and (2) the Full Transformation case, in which the SI transforms the GP. One particularly useful transformation changes the GP field (N, N+1, N+2, etc.) to 0, 1, 2, etc., on its Far-side Segment if that is the Segment being addressed, and otherwise passes the GP field unchanged. An SI may be designed to accommodate one or both of these algorithms; however, the non-transforming algorithm is recommended for most purposes. Annex E describes a recommended SI, Type S-1, which links a Crate Segment to a Cable Segment, and can implement either algorithm.

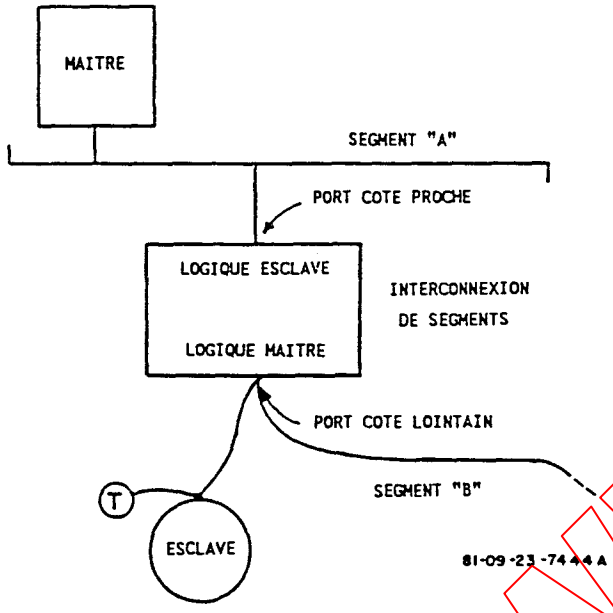


Figure 26. Notion de côté proche et de côté lointain dans un SI

Des SI avec conversion et sans conversion peuvent coexister dans un système (c.-à-d. là où certains segments sont adressés avec l'adresse logique complète et d'autres avec une adresse transformée) à condition qu'il existe un SI qui puisse faire la transition en convertissant dans une direction et pas dans l'autre.

L'algorithme de transformation peut être utile dans un système contenant de nombreux segments identiques, tels que des processeurs de données très parallèles, car il permet de rendre identiques l'affectation des adresses internes et par suite les programmes de calcul utilisés sur chaque segment. Des transformations plus complexes peuvent être utiles dans un système utilisant par exemple des alternatives de routage contrôlées par l'adresse.

10.2 Transmission des opérations

Chaque port d'un SI surveille l'activité du segment auquel il est connecté, guettant les adresses qui font partie de l'ensemble des adresses pour lesquelles il a reçu des instructions de transmission. Lorsqu'il reconnaît une adresse, il répond en positionnant WT sur le segment côté proche pour autoriser le retard introduit lorsque l'on traverse des segments. (Le temps entre la réception de AS(u), qui indique la présence d'une adresse valable, et le positionnement de WT est appelé le temps de réponse adresse du SI.) La séquence est maintenant sous la responsabilité du SI, qui demande alors un arbitrage pour l'utilisation du segment côté lointain.

Si le Maître côté proche a un niveau d'arbitrage système, ce niveau est alors utilisé quand le SI demande un arbitrage sur le segment côté lointain. Si le Maître côté proche a un niveau d'arbitrage local, le niveau d'arbitrage du SI côté lointain est alors utilisé. Ainsi, une fois qu'un niveau d'arbitrage système a été affecté à l'opération, soit par le Maître originel, soit par le côté lointain d'un SI, ce niveau reste inchangé lors de l'arbitrage pour tous les segments suivants nécessaires pour atteindre l'Esclave. Les niveaux d'arbitrage locaux, cependant, peuvent changer de segment en segment. Dans tous les cas, le protocole d'arbitrage utilisé (accès assuré ou prioritaire, ou non) est celui spécifié pour le port côté lointain du SI.

Lorsque la maîtrise du segment côté lointain a été obtenue, un cycle d'adresse est initialisé. Dans certaines circonstances, les adresses géographiques et de diffusion doivent être modifiées par le SI avant leur transmission sur le segment côté lointain. Dans toutes les autres circonstances, selon la réalisation, le SI peut ou non transformer les adresses. Les informations positionnées sur les lignes AD par un SI sont toujours accompagnées par PE = 1. Les

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

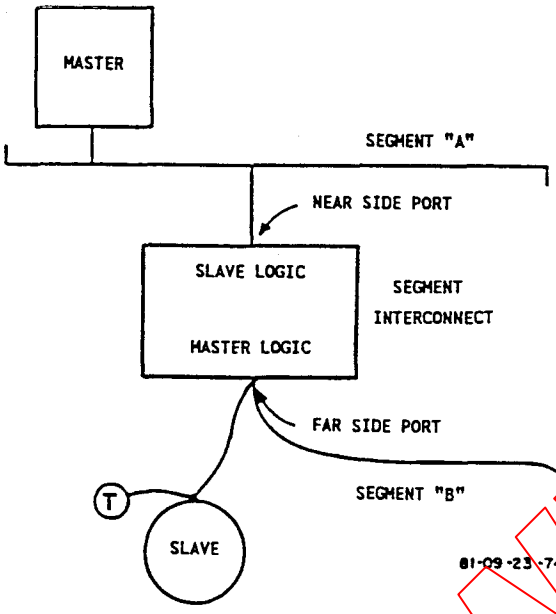


Figure 26. Near-Side and Far-Side concept for the SI

Transforming and Non-Transforming SIs can coexist in a system (that is, where some Segments are addressed with the full Logical Address and others with the transformed Address) providing an SI exists which can make the transition by transforming in one direction and not in the other.

The transforming algorithm may be useful in a system containing many identical Segments, such as highly parallel data processors, because it allows the internal address assignments, and therefore the computer programs used on each Segment, to be identical. More complex transformations can be useful in systems using address-controlled alternate routing, for example.

10.2 Operation Passing

Each port of an SI monitors the activity on the Segment to which it is attached, looking for an address in the set of addresses it has been instructed to pass. It responds to a recognized address by asserting WT on the Near-side Segment in order to allow for delays introduced when crossing Segments. (The time from the receipt of AS(u), which indicates the presence of a valid address, to the assertion of WT is called the SI address response time.) Timing now becomes the responsibility of the SI, which then arbitrates for use of the Far-side Segment.

If the Master on the Near-side has a System Arbitration Level, then this level is used when the SI arbitrates for the Far-side Segment. If the Master on the Near-side has a Local Arbitration Level, then the SI's Far-side Arbitration Level is used. Hence, once a System Arbitration Level has been assigned to the operation, either by the originating Master or by the Far-side of an SI, this level remains unchanged when arbitrating for all additional Segments needed to reach the Slave. Local Arbitration levels, however, are subject to change from Segment to Segment. In all cases, the arbitration protocol used (Assured or Prioritized Access or none) is that specified for the SI's Far-side port.

When Mastership of the Far-side Segment has been gained, an Address Cycle is initiated. Under certain circumstances, Geographical and Broadcast addresses must be modified by the SI before passing them on to the Far-side Segment. In all other circumstances, the SI may or may not transform addresses depending on implementation. Information asserted on the AD

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

données entrantes accompagnées par PE = 1 sont transmises inchangées, qu'une erreur de parité soit ou non détectée. La valeur de PA est recalculée par le SI pour les adresses transformées. Le SI, comme les autres dispositifs, ignore une adresse pour laquelle il découvre qu'elle contient une erreur de parité.

La réception de AK(u) par le côté lointain d'un SI indique que l'Esclave a été atteint. Le SI répond (sauf dans le cas d'une opération de diffusion) par les actions suivantes sur son port côté proche: il enlève WT et positionne AK(u) lequel, quand il est reçu par le Maître originel, complète la connexion avec l'Esclave. Les cycles de données s'exécutent d'une manière semblable en utilisant WT, DS et DK, mais avec moins de retard car les segments impliqués sont tous déjà affectés à l'opération. Chaque SI insère, dans les signaux de cadencement, des temps d'établissement appropriés au segment auquel il se connecte. De cette manière, les contraintes de cadencement sont satisfaites à travers tout le système.

10.3 Règlement des conflits

On trouvera une description générale des arbitrages de priorité à la section 6. La figure 27, représente une situation générale où une opération A essaie de transmettre du segment J au segment L via le segment K, et une opération B essaie de transmettre du segment L au segment M via le segment K. Suivant les temps respectifs, l'une des situations suivantes peut se produire:

1. Arbitrage entre les opérations A et B pour l'usage du segment K; l'opération B gagne.
2. L'opération A obtient le contrôle du SI (J,K) mais il est trop tard pour participer à l'arbitrage pour le segment K que l'opération B gagnera.
3. L'opération A obtient le contrôle du segment K, l'opération B contrôle le segment L et les deux opérations accèdent au SI (K,L).

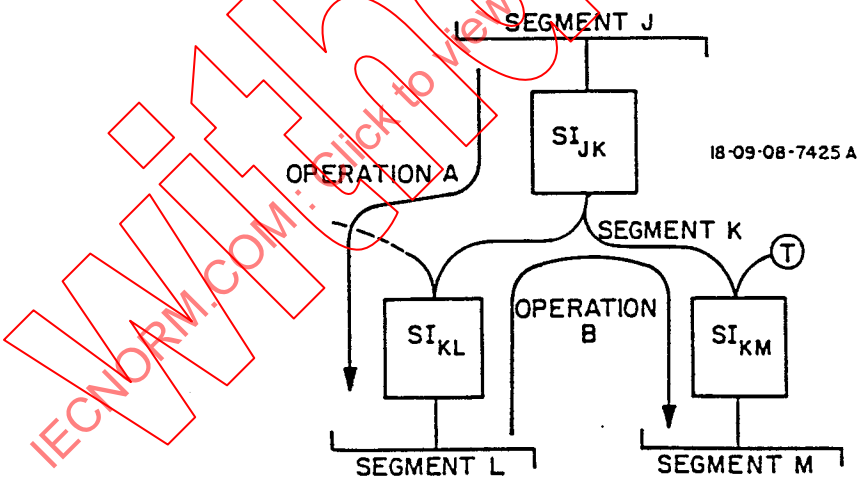


Figure 27. Conflit pour l'usage d'un SI

Les situations (1) et (2) représentent un conflit pour un segment où la logique d'arbitrage du bus résout le conflit en permettant un arbitrage pour le bus entre les deux opérations comme dans le cas (1) ou en bloquant l'interférence de l'opération A qui est arrivée trop tard (c.-à-d. après AG(u)) pour prendre part au cycle d'arbitrage en cours.

La situation (3) est réellement un conflit d'utilisation du SI. Les deux côtés ont décidé de transmettre une opération. La difficulté doit être réglé par une logique de règlement des conflits à l'intérieur du SI. Le procédé est spécifié en 10.7.3.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

lines by an SI is always accompanied by PE = 1. Incoming data accompanied by PE = 1 is passed unchanged whether or not a parity error is detected. The value of PA is recalculated by the SI for a transformed address. The SI, like all other Devices, ignores address information that is found to contain a parity error.

Receipt of AK(u) by the Far-side of an SI indicates that the Slave has been reached. The SI responds (except in Broadcast operations) by the following actions at its Near-side port: it removes WT then asserts AK(u) which, when received by the originating Master, completes the connection to the Slave. Data cycles proceed in a similar manner using WT, DS and DK, but with less delay because the Segments involved are all dedicated to the operation. Each SI inserts skew delays in timing signals appropriate to the Segments it connects. In this way, system-wide timing requirements are met.

10.3 Contention Resolution

A general description of priority arbitration is given in Section 6. Figure 27, depicts a generalized situation where operation A is attempting to pass from Segment J to Segment L via Segment K, and Operation B is attempting to pass from Segment L to Segment M via Segment K. Depending on the relative timing, any one of the following situations may occur:

1. Operations A and B arbitrate for use of Segment K; operation B wins.
2. Operation A gains control of SI(J,K) but is too late to participate in arbitration for Segment K which is won by Operation B.
3. Operation A gains control of Segment K, Operation B controls Segment L and the two operations both access SI(K,L).

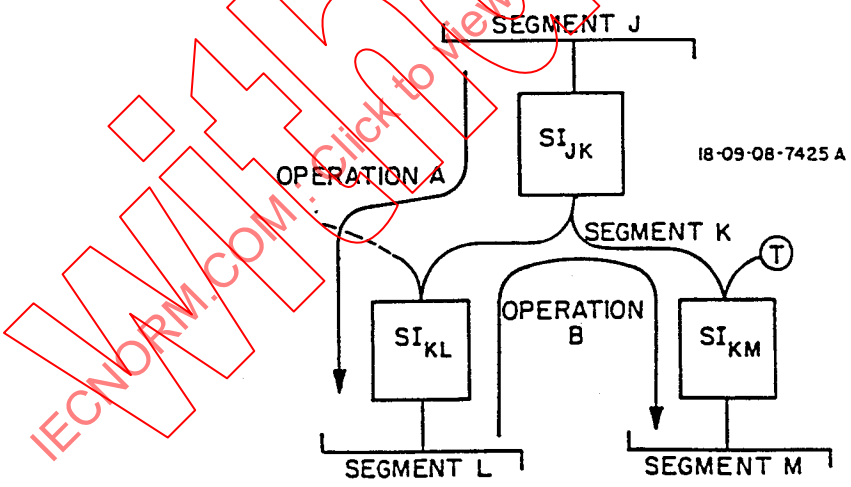


Figure 27. Contention for use of an SI

Situations (1) and (2) represent contention for a Segment where the bus arbitration logic resolves the conflict by letting the two operations arbitrate for the bus as in situation (1) or by blocking interference from Operation A, which arrived too late (that is, after AG(u)) to take part in the arbitration cycle in progress.

Situation (3) is truly contention for use of an SI. Both sides have decided to pass an operation. The difficulty must be resolved by contention resolution logic within the SI. This process is specified in Sub-clause 10.7.3.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

10.4 Tables de routage

Chaque port d'un SI contient un circuit de reconnaissance d'adresse qui détermine si une adresse doit être transmise sur le port côté lointain. Différentes réalisations de ce circuit sont possibles. Celle qui a été choisie pour le FASTBUS utilise des tables de routage mémorisées. Une table de routage est une petite mémoire, qui est adressée par les bits de poids fort de l'adresse FASTBUS; son contenu spécifie si une adresse doit ou non être transmise par le SI.

Une table de routage isolée ne contient pas une route mais plutôt une liste des adresses qui doivent être transmises. C'est l'ensemble de toutes les tables de routage qui détermine les routes empruntées par les opérations. Les SI doubles (le seul type analysé en détail ici) contiennent deux tables de routage, une pour chaque direction.

Le principe des tables de routage, et en fait tout principe réalisable de reconnaissance d'adresse, amène des restrictions sur l'affectation des adresses aux dispositifs. Pour le FASTBUS, la restriction est que tous les dispositifs ayant les mêmes bits de poids fort dans leurs adresses doivent tous être connectés au même segment. Le nombre de bits de poids fort de l'adresse qui sont examinés par le SI pour la reconnaissance de l'adresse détermine le nombre maximal de segments possibles dans un système, ou, plus précisément, le nombre de groupes d'adresse qui peuvent être distingués. La partie des poids forts de l'adresse est appelée le champ de groupe (GP), et sa largeur est déterminée par la réalisation particulière du SI (voir section 4).

Plusieurs groupes d'adresse peuvent être attribués à un segment pour lui permettre de contenir un certain nombre de dispositifs dont chacun nécessite une grande quantité d'espace adresse. Une adresse, parmi l'ensemble des adresses de groupe, habituellement la plus basse, est désignée comme l'adresse de base pour l'adressage géographique.

Chaque terme de la table de routage doit contenir suffisamment d'informations pour pouvoir distinguer quatre conditions qui sont:

1. Ignorer l'adresse.
2. Transmettre l'adresse.
3. Transmettre l'adresse, adresse située sur son segment côté lointain.
4. Transmettre l'adresse, adresse située sur son segment côté lointain, l'adresse GP est la base GP.

La méthode définie pour indiquer ces conditions implique l'utilisation de trois bits: le bit de transmission, le bit de destination et le bit de base. La condition (2) est indiquée par le bit de transmission, la condition (3) par à la fois les bits de transmission et de destination qui doivent être positionnés, et la condition (4) par les trois bits positionnés.

La condition (3) est nécessaire pour pouvoir réaliser les adressages de diffusion (voir article 4.3). Si cette condition est rencontrée durant un cycle d'adresse avec MS1 = 1, le SI remet à zéro les 24 bits de poids fort et positionne AD < 00 > = 1 avant de transmettre l'adresse. L'adresse de groupe zéro est réservée pour le routage des diffusions et ne doit jamais être attribuée globalement à un segment.

Le SI positionne EG s'il rencontre la condition (4) et si tous les bits de l'adresse depuis AD < 08 > jusqu'au champ GP sont à zéro lorsque MS1 = 0 à AS(u).

Les contenus des tables de routage sont disponibles pour être lus par un Maître et peuvent, si la réalisation le permet, être modifiés par un Maître. L'accès aux tables de routage se fait par le registre d'adressage de la table de routage, CSR#40h, qui peut être atteint par une adresse secondaire. Une fois que la connexion a été réalisée, les données sont écrites dans le registre pour spécifier l'adresse du terme de la table de routage auquel on veut accéder. Le format des

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

10.4 Route Tables

Each port of an SI contains address recognition circuitry which determines whether an address is to be passed on to the Far-side port. Various implementations of this circuitry are possible. The one selected for FASTBUS makes use of stored Route Tables. The Route Table is a small memory addressed by the most significant bits of the FASTBUS address; its contents specify which addresses are to be passed by the SI.

A single Route Table does not contain a route but, rather, a list of addresses to pass. It is the set of all Route Tables that determines the routes taken by operations. Duplex SIs (the only type considered in detail here) contain two Route Tables, one for each direction.

The Route Table scheme, and indeed any practical address recognition scheme, places restrictions on the assignment of addresses to Devices. For FASTBUS, the restriction is that Devices assigned the same high-order address bits must all be connected to the same Segment. The number of high-order address bits examined by the SI for address recognition determines the maximum number of Segments possible in a system or, more precisely, the number of groups of addresses that can be distinguished. This high-order part of the address is called the Group (GP) field, and its width is determined by the particular SI implementation (see Section 4).

Several Group addresses can be assigned to a Segment in order to allow it to contain a number of Devices each requiring large amounts of address space. One of the set of Group addresses, usually the lowest, is designated as a Base Group Address for Geographical addressing.

Each Route Table entry must contain enough information to distinguish four conditions. They are:

1. Ignore address.
2. Pass address.
3. Pass address, Address located on Far-side Segment.
4. Pass address, Address located on Far-side Segment, GP field is Base GP.

The method specified to indicate these conditions involves the use of three bits: the Pass bit, the Destination bit and the Base bit. Condition (2) is indicated by the Pass bit, condition (3) by both the Pass and Destination bits being set, and condition (4) by all three bits being set.

Condition (3) is required in order to implement Broadcast addressing (see Clause 4.3). If this condition is met during an address cycle with MS1 = 1, the SI zeros the high-order 24 bits and sets AD<00> = 1 before passing the address. A Group field of zero is reserved for Broadcast routing and is never globally assigned to a Segment.

The SI asserts EG if condition (4) is met and all address bits from AD<08> up to the GP field are zero when MS1 = 0 at AS(u).

The contents of the Route Table are available for reading by a Master and may, if the implementation allows, be changed by a Master. Access to the Route Table is through the Route Table address Register, CSR#40h, which can be reached by Secondary addressing. Once the connection has been made, data are written into the register to specify the address of the Route Table entry to be accessed. The data format is that of the GP field, that is, the most significant Route Table address bit is the most significant data bit (AD<31>).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

données est celui du champ GP, c.-à-d. que le bit de poids fort de l'adresse de la table de routage est le bit de poids fort des données (AD<31>).

L'écriture de l'adresse d'un terme de la table de routage dans CSR#40h est suivie de la lecture des données ou, si c'est possible, de l'écriture des données dans CSR#41h. Si un mode de transfert de bloc est utilisé, on accède aux termes successifs de la table de routage. Le format des données pour les termes de la table de routage est identique à celui des données d'adresse avec en plus les informations de base, de destination et de transmission dans les trois bits de poids faible. Ce format s'applique quel que soit le type de SI.

Tableau 21. Affectation des bits dans CSR#0 d'un SI

Bit*	Signification en lecture	Signification en écriture
00	Témoin d'erreur	
S01	Transmission d'opération E.S.	Mise E.S. transm. d'opération
02		
03		
S04	Transmission SR E.S.	Mise E.S. transmission SR
05	SR positionné côté lointain	
S06	SI émet GK côté lointain	Emettre GK côté lointain
07	Etat GK côté lointain	
08		
09		
10	Etat BH côté lointain	
11	Réponse de panne du SI	
12	Perte de l'arbitrage	
13	Erreur d'attribution de vecteur	
14	Erreur de parité	
15		Pistage de route du SI
16	Type de dispositif (poids faible)	RAZ témoin d'erreur
C17	Type de dispositif	Transmission d'opération H.S.
18	Type de dispositif	
19	Type de dispositif (poids fort)	
C20	ID fabricant (poids faible)	Mise H.S. transmission SR
21	ID fabricant	
C22	ID fabricant	Libération de GK côté lointain
23	ID fabricant	Emettre impuls. RB côté lointain
24	ID fabricant	
25	ID fabricant	
26	ID fabricant	
27	ID fabricant	
28	ID fabricant	
29	ID fabricant	
30	ID fabricant	RAZ
31	ID fabricant (poids fort)	

*Voir note à la fin du tableau 13 page 86.

10.5 Registres de contrôle et d'état

Chaque port d'un SI contient huit registres CSR qui sont utilisés pour contrôler le dispositif. L'attribution et l'utilisation de ces registres suivent les règles générales données à la section 8. Ainsi les bits inexistants sont ignorés pendant une écriture et sont retournés en zéro logique pendant une lecture. Ces registres sont accessibles par un adressage géographique suivi de cycles d'adressage secondaire. Un seul registre, CSR#41h, le registre de données des tables de routage, peut utiliser les avantages du mécanisme de transfert de bloc.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

The writing of the Route Table entry address to CSR#40h is followed by data reads or, if implemented, data writes into CSR#41h. If a block transfer mode is used, successive Route Table entries are accessed. The format of the Route Table entry data is identical to that of the address data with the addition of the Base, Destination and Pass information in the lowest three bit positions. This format applies regardless of SI type.

Table 21. CSR#0 Bit Assignments in an SI

Bit*	Read Significance	Write Significance
00	Error Flag	
S01	Operation passing enabled	Enable operation passing
02		
03		
S04	SR passing enabled	Enable SR passing
05	SR asserted on Far-side	
S06	SI asserting Far-side GK	Assert Far-side GK
07	Far-side GK status	
08		
09		
10	Far-side BH status	
11	SI response failure	
12	Lost arbitration	
13	Vector assignment error	
14	Parity error	
15		SI Route Trace
16	LSB of Device Type	Clear error flag
C17	Device Type	Disable operation passing
18	Device Type	
19	MSB of Device Type	
C20	LSB of Manufacturer's ID	Disable SR passing
21	Manufacturer's ID	
C22	Manufacturer's ID	Release Far-side GK
23	Manufacturer's ID	Assert Far-side RB pulse
24	Manufacturer's ID	
25	Manufacturer's ID	
26	Manufacturer's ID	
27	Manufacturer's ID	
28	Manufacturer's ID	
29	Manufacturer's ID	
30	Manufacturer's ID	Reset
31	MSB of Manufacturer's ID	

*See note at end of Table 13 on page 86.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

10.5 Control and Status Registers

Each port of an SI contains eight CSR registers which are used to control the device. The allocation and usage of these registers follows the general rules given in Section 8. Thus, unimplemented bits are ignored during a write and returned as logic zero during a read. These registers are accessible via Geographical Addressing followed by Secondary Address Cycles. Only one register, CSR#41h, the Route Table Data register, can take advantage of the block transfer mechanism.

Règle

Chaque port d'un SI doit contenir des registres de contrôle et d'état adressables géographiquement, tels qu'ils sont spécifiés dans les paragraphes 10.5.1 à 10.5.8.

Un SI double doit avoir des registres identiques à chacun de ses deux ports.

La partie Esclave de chaque port d'un SI doit répondre aux opérations de diffusion dans les cas (1) et (5) spécifiés dans la tableau 3 page 42, et ne doit pas répondre à des cycles d'adressage dans l'espace données.

Les règles générales concernant l'utilisation des registres CSR, définies à la section 8, doivent être appliquées aux registres CSR d'un SI. Tout bit existant doit pouvoir être relu.

Les effets de la mise sous tension, de RESET, RB et de CLEAR sur les registres CSR d'un SI sont définis au paragraphe 10.5.9. Les spécifications suivantes sont celles des CSR associés au port côté proche.

Tableau 22 (page 1 / 2). Definition des bits de CSR#0

Bit	Type	Nom	Fonction
00	L	TEMOIN D'ERREUR	Le bit 00 est le OU logique des témoins d'erreur CSR#0 < 14:11 > dans le SI.
S01	L/E	EN SERVICE	Le bit 01, lorsqu'il est positionné, met en service le circuit de reconnaissance d'adresse. Les adresses reconnues sur le segment côté proche (c.-à-d. le segment qui accède directement au registre contenant ce bit) sont transmises sous une forme qui peut être modifiée vers le segment côté lointain.
C17	E	HORS SERVICE	Met hors service le circuit de reconnaissance d'adresse du SI.
S04	L/E	PASSAGE SR EN SERVICE	Lorsque le bit 04 est positionné, la transmission des SR du segment côté lointain vers le segment côté proche est en service. La transmission des SR ne dépend que de l'état de ce bit (voir paragraphe 10.7.6).
C20	E	PASSAGE SR HORS SERVICE	Ce bit met hors service la transmission des SR du segment côté lointain vers le segment côté proche.
05	L	SR COTE LOINTAIN	Indique l'état de SR sur le segment côté lointain.
S06	L/E	POSITIONNEMENT DE GK	Lorsque le bit 06 est positionné, après avoir passé une opération vers le segment côté lointain, le SI conservera la maîtrise du bus en continuant à positionner GK = 1. Ainsi, les opérations ultérieures passant par le SI n'auront pas besoin d'arbitrage pour l'usage du segment côté lointain.
C22	E	LIBERATION DE GK	Lorsque l'on écrit un "1" logique dans ce bit, le SI arrêtera de positionner GK = 1 sur son segment côté lointain.
07	L	GK COTE LOINTAIN	Indique l'état de GK sur le segment côté lointain.
23	E	POSITIONNEMENT DE RB	Lorsqu'un "1" logique est écrit dans ce bit, le SI émet une impulsion RB sur son segment côté lointain si BH = 0.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Rule

Each port of an SI shall contain Geographically Addressable Control and Status Registers as specified in Sub-clauses 10.5.1 through 10.5.8.

A Duplex SI shall have identical registers at each of its two ports.

The Slave section of each port of an SI shall respond to Broadcast Operation Cases (1) and (5) as specified in Table 3 on page 42, and shall not respond to Data Space Address Cycles.

The general rules concerning CSR register usage specified in Section 8 shall apply to CSR registers in SIs. All implemented bits shall be readable.

The effect of POWER on, RESET, RB and CLEAR on CSR registers in SIs is specified in Sub-clause 10.5.9. The specifications that follow are for the CSRs associated with the Near-side port.

Table 22 (Page 1 of 2). Definition of CSR#0 Bits

Bit	Type	Name	Function
00	R	ERROR FLAG	Bit 00 is the logical OR of the error indicators CSR#0<14:11> in the SI.
S01	R/W	ENABLE	Bit 01, when set, enables the SI's address recognition circuitry. Recognized addresses on the Near-side Segment (that is, the Segment that has direct access to the register containing this bit) are passed in a possibly modified form to the Far-side Segment.
C17	W	DISABLE	Disables the SI's address recognition circuitry.
S04	R/W	ENABLE SR PASSING	When bit 04 is set, the passing of SR from the Far-side to the Near-side Segment is enabled. SR passing depends only on the state of this bit (see Sub-clause 10.7.6).
C20	W	DISABLE SR PASSING	This bit disables the passing of SR from the Far-side to the Near-side Segment.
05	R	FAR-SIDE SR	Indicates the status of SR on the Far-side Segment.
S06	R/W	ASSERT GK	When bit 06 is set the SI will, after passing an operation to the Far-side Segment, retain Mastership of the Far-side Segment by continuing to assert GK = 1. Hence, the ensuing operations passed by the SI will not have to arbitrate for use of the Far-side Segment.
C22	W	RELEASE GK	When a logic one is written to this bit position, the SI will no longer continue to assert GK = 1 on the Far-side Segment.
07	R	FAR-SIDE GK	Indicates the state of GK on the Far-side Segment.
23	W	ASSERT RB	When a logic one is written to this bit position, the SI generates an RB pulse on the Far-side Segment if BH = 0.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 22 (page 2 / 2). Definition des bits de CSR#0

Bit	Type	Nom	Fonction
10	L	BH COTE LOINTAIN	Le bit 10 indique l'état de BH sur le segment côté lointain.
11	L	REPONSE D'ERREUR DU SI	Le bit 11 se trouve positionné si une adresse transmise au côté lointain n'était pas celle d'un dispositif sur le segment côté lointain, et que le temporisateur de réponse à une adresse a déclenché. Une erreur de table de routage, soit dans le SI qui transmet l'opération, soit dans l'un des autres SI connectés au segment côté lointain en est probablement la cause. Ce bit est remis à zéro par AS(d) et CSR#0<16>.
12	L	PERTE DE L'ARBITRAGE	Le bit 12 est positionné si le SI a demandé l'arbitrage pour le segment côté lointain et a perdu. Il est remis à zéro par AS(d) et CSR#0<16>.
13	L	ERREUR D'AFFECTATION DU NIVEAU D'ADRESSAGE	Le bit 13 est positionné si des niveaux d'arbitrage système identiques sont en conflit pour l'utilisation d'un SI. Le SI émet également une réponse SS=2. Ce bit est également remis à zéro par AS(d) et CSR#0<16>.
14	L	ERREUR DE PARITE	Le bit 14, lorsqu'il est positionné, indique que le SI a détecté une erreur de parité pendant un cycle de données. Les données erronées et l'information de parité sont transmises sans changement. Ce bit est remis à zéro par GK(d) et par CSR#0<16>.
15	E	BIT DE PISTAGE DE ROUTE DU SI	Lorsque le bit 15 est positionné pendant une diffusion avec un GP non nul, tous les SI qui transmettent cette diffusion sont mis en mode de pistage de route sur leur côté proche seulement. Tout AS(d) ultérieur sur le port côté proche du SI remet le SI dans le mode normal de transmission. Dans le mode de pistage de route, un SI qui normalement transmettrait une adresse donnée ne le fait pas et à la place renvoie SS=2, panne de réseau, et sélectionne l'espace CSR de sa partie Esclave. Le Maître peut alors lire CSR#43 pour obtenir l'adresse du côté lointain du SI. La retombée de AS remet le SI dans son mode normal de transmission, ainsi si l'on répète l'envoi de l'adresse il en résultera une réponse de pistage de route du SI suivant sur la route. On peut ainsi déterminer la route actuellement suivie pour accéder à une adresse donnée (voir annexe J). GK(d) remet tous les SI le long de la route en mode normal. Le fonctionnement normal peut ainsi être repris sans terminer complètement la procédure de pistage.
16	E	EFFACEMENT DES TEMOINS D'ERREUR	Lorsqu'un "1" logique est écrit dans ce bit, les témoins d'erreur des bits de position 0, 11, 12, 13 et 14 sont tous remis à zéro.
30	E	RAZ	Les effets de RAZ (RESET) sont définis au paragraphe 10.5.9.
16 à 31	L	ID DU DISPOSITIF	Les 16 bits de l'ID du dispositif décrit au paragraphe 8.3.1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Table 22 (Page 2 of 2). Definition of CSR#0 Bits

Bit	Type	Name	Function
10	R	FAR-SIDE BH	Bit 10 indicates the state of BH on the Far-side Segment.
11	R	SI RESPONSE FAILURE	Bit 11 is set if an address passed to the Far-side was not that of a Device on the Far-side Segment, and the SI's Address Response Timer timed out. A Route Table error in either the SI passing the operation or in one of the other SIs connected to the Far-side Segment is likely the cause. This bit is cleared by AS(d) and by CSR#0<16>.
12	R	LOST ARBITRATION	Bit 12 is set if the SI arbitrates for the Far-side Segment and loses. It is cleared by AS(d) and by CSR#0<16>.
13	R	VECTOR ASSIGN-MENT ERROR	Bit 13 is set if identical System Arbitration Level vectors are contending for use of an SI. The SI also issues an SS=2 response. This bit is also cleared by AS(d) and by CSR#0<16>.
14	R	PARITY ERROR	Bit 14, when set, indicates that the SI has detected a parity error during a Data Cycle. The erroneous data and parity information are passed unchanged. This bit is cleared by GK(d) and by CSR#0<16>.
15	W	SI ROUTE TRACE BIT	When bit 15 is asserted during a Broadcast with GP non-zero, all SIs that pass the Broadcast are set to the Route Tracing Mode on their Near-side only. Any subsequent AS(d) on an SI's Near-side port restores the SI to the normal passing mode. In Route Tracing Mode, an SI that would normally pass a given address does not do so and instead returns SS=2, Network Failure, and selects its Slave CSR space. The Master may then read CSR#43 to obtain the address of the Far-side of the SI. Dropping AS restores the SI to the normal passing mode so that repeating the address assertion results in a Route Tracing response from the next SI on the route. Thus, the actual route followed to access a given address can be determined (see Annex J). GK(d) restores all SIs along the route to the normal mode. Normal operations may thus be resumed without completing the entire tracing process.
16	W	CLEAR ERROR FLAGS	When a logic one is written to this bit position, the error flags in bit positions 0, 11, 12, 13 and 14 are all cleared.
30	W	RESET	The effect of RESET is specified in Sub-clause 10.5.9.
16 to 31	R	DEVICE ID	The 16 bits Device ID bits described in Sub-clause 8.3.1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

10.5.1 CSR#0 - ID, contrôle et état

Règle

Les bits présents dans le CSR#0 doivent être ceux décrits dans le tableau 21 page 108, et doivent fonctionner de la manière indiquée dans le tableau 22 page 109.

10.5.2 CSR#1 - Niveau d'arbitrage du côté lointain

Règle

Le CSR#1 doit contenir le niveau d'arbitrage du côté lointain et le protocole d'arbitrage côté lointain dans le format spécifié pour le CSR#8 (voir article 8.11).

Si l'on écrit dans ce registre par un port, tandis qu'il est lu par l'autre port, le SI doit garantir que l'opération d'écriture ne provoque pas d'erreur sur les données en cours de lecture.

Le contenu de ce registre ne doit pas être affecté par RB ou par RESET.

Remarquer que ce registre doit être initialisé avant que l'on puisse accéder au port côté lointain du SI à travers le SI.

10.5.3 CSR#8 - Niveau d'arbitrage côté proche

Règle

Le CSR#8 doit contenir le niveau d'arbitrage côté proche et le protocole d'arbitrage dans le format spécifié à l'article 8.11.

Si l'on écrit dans ce registre par un port, tandis qu'il est lu par l'autre port, le SI doit garantir que l'opération d'écriture ne provoque pas d'erreur sur les données en cours de lecture.

Le contenu de ce registre ne doit pas être affecté par RB ou par RESET.

10.5.4 CSR#9 - Registre de contrôle du temporisateur

Règle

CSR#9 doit posséder les bits 6, 7, 22 et 23 comme défini à l'article 8.12.

10.5.5 CSR#40h - Registre d'adresse de la table de routage

Règle

Le CSR#40h doit exister et son contenu utilisé comme un pointeur sur les termes de la table de routage. Il ne doit pas être modifié par un accès individuel à CSR#41h mais son champ GP doit être incrémenté de un après chaque cycle de données dans une opération de transfert en bloc adressée à CSR#41h. Le CSR#40h doit avoir une largeur déterminée par la longueur de la table de routage (voir paragraphe 10.5.6). Le bit de poids le plus fort de CSR#40h doit être associé à AD<31>.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

10.5.1 CSR#0 - ID, Status and Control

Rule

Bits implemented in CSR#0 shall be those shown in Table 21 on page 108, and shall function as described in Table 22 on page 109.

10.5.2 CSR#1 Far-side Arbitration Level

Rule

CSR#1 shall contain the Far-side Arbitration Level and Far-side Arbitration Protocol in the format specified for CSR#8 (see Clause 8.11).

If this register is being written into via one port while being read via the other port, the SI shall ensure that the write operation does not result in erroneous data being read.

The contents of this register shall not be affected by RB or by RESET.

Note that this register must be initialized before the Far-side port of the SI can be accessed through the SI.

10.5.3 CSR#8 Near-side Arbitration Level

Rule

CSR#8 shall contain the Near-side Arbitration Level and Near-side Arbitration Protocol in the format specified in Clause 8.11.

If this register is being written into via one port while being read via the other port, the SI shall ensure that the write operation does not result in erroneous data being read.

The contents of this register shall not be affected by RB or by RESET.

10.5.4 CSR#9 Timer Control Register

Rule

CSR#9 shall implement bits 6, 7, 22 and 23 as specified in Clause 8.12.

10.5.5 CSR#40h Route Table Address Register

Rule

CSR#40h shall be implemented and its contents used as a pointer to an entry in the Route Table. It shall not be modified by a random data access to CSR#41h but its GP field shall be incremented by one after each Data Cycle in a Block Transfer Operation addressed to CSR#41h. CSR#40h shall have a width determined by the length of the Route Table (see Sub-clause 10.5.6). The most significant bit of CSR#40h shall be associated with AD<31>.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Remarquer que la largeur maximale permise pour le champ GP est de 24 bits (voir article 4.1). Comme le bit de poids le plus fort de ce registre est le bit 31, son contenu après une réponse SS = 2 (fin de bloc) sera zéro.

Pour la facilité de la réalisation CSR#40h peut être chargé à chaque AS(u) par le contenu du champ GP courant comme préliminaire à l'accès au terme approprié de la table de routage. L'examen ou la modification du contenu de la table de routage devra être exécuté dans ce cas par une opération unique à adresse verrouillée.

10.5.6 CSR#41h - Registre de données de la table de routage

Règle

Le CSR#41h doit être présent et son contenu être le terme de la table de routage dont la position dans la table de routage est définie par CSR#40h.

La table de routage doit avoir une profondeur de 2^N mots, où N est la largeur de CSR#40h, c.-à-d. la largeur du champ GP que le SI est capable de gérer.

Les trois bits de poids faible de chaque terme de la table de routage et par suite de CSR#41h doivent correspondre à AD<02:00>. Ces trois bits doivent être le bit de base (AD<02>), le bit de destination (AD<01>) et le bit de transmission (AD<00>) (voir paragraphe 10.6.1).

Les N bits de poids fort de CSR#41h formeront le champ GP qui sera positionné sur le segment côté lointain lorsque le SI transmettra une adresse dont le champ GP est le même que celui spécifié par CSR#40h. Pour un SI sans transformation, ces bits de poids fort sont les mêmes que ceux contenus dans CSR#40h et donc n'ont pas besoin d'être enregistrés dans la table de routage elle-même.

Le CSR#41h doit être accessible à la fois par une opération individuelle ou par un transfert de bloc (voir paragraphe 10.5.5).

10.5.7 CSR#42h - Adresse géographique du côté proche

Règle

Le CSR#42h doit être réalisé comme un registre seulement en lecture contenant l'adresse géographique du côté proche du SI. Le format de cette adresse doit être le suivant: les bits 8 à 31 contiennent l'adresse de base du segment justifiée à gauche (voir article 10.8) avec tous les bits inutilisés renvoyés au zéro logique; les bits 5 à 7 sont toujours renvoyés au zéro logique; les bits 0 à 4 pour un segment-châssis représentent les contacts GA du SI et pour un segment-câble représentent les commutateurs GA du SI.

10.5.8 CSR#43h - Adresse géographique du côté lointain

Règle

Le CSR#43h doit être réalisé comme un registre seulement en lecture contenant l'adresse géographique du côté lointain du SI. Le format de cette adresse doit être le même que celui de CSR#42h.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Note that the maximum GP field width allowed is 24 bits (see Clause 4.1). Because the most significant bit of this register is bit 31, its contents after an SS = 2 response (End of Block) will be zero.

For convenience of implementation CSR#40h may at each AS(u) be loaded with the contents of the current GP field as a preliminary to accessing the appropriate Route Table entry. Hence, examination or modification of the contents of the Route Table should be carried out during the same address-locked Operation.

10.5.6 CSR#41h Route Table Data Register

Rule

CSR#41h shall be implemented and its contents shall be that of the Route Table entry whose location in the Route Table is specified by CSR#40h.

The Route Table shall be 2^N words deep, where N is the width of CSR#40h, that is, the width of the GP field that the SI is capable of handling.

The three low-order bits of each Route Table entry and hence of CSR#41h shall correspond to AD<02:00>. These three shall be the Base (AD<02>), Destination (AD<01>) and Pass (AD<00>) bits (see Sub-clause 10.6.1).

The high-order N bits of CSR#41h shall be the GP field that is asserted on the Far-side Segment when the SI is passing the address whose GP field is the same as that specified in CSR#40h. For a non-transforming SI, these high order bits are the same as those in CSR#40h and thus need not be recorded in the Route Table itself.

CSR#41h shall be accessible via either random or block transfer operations (Sub-clause 10.5.5).

10.5.7 CSR#42h Near-side Geographical Address

Rule

CSR#42h shall be implemented as a read-only register containing the Near-side Geographical Address of the SI. The format of this address shall be as follows: bits 8 to 31 contain the left-justified Segment Base Address (see Clause 10.8) with all unused bits returned as logic zero; bits 5 to 7 are always returned as logic zero; bits 0 to 4 for a Crate Segment represent the SI's GA pins and for a Cable Segment represent the SI's GA switches.

10.5.8 CSR#43h Far-side Geographical Address

Rule

CSR#43h shall be implemented as a read-only register containing the Far-side Geographical Address of the SI. The format for this address shall be the same as that for CSR#42h.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 23. Effets de différentes actions sur les bits d'un SI

			Valeur relue après une action spécifique						
			Mise sous tension	Impulsion RB Côté proche		RAZ Côté proche		RAZ Erreur Côté proche	
CSR	Bit	Nom		Près	Loin	Près	Loin	Près	Loin
0	0	Témoin d'erreur	0	-	-	0	-	0	-
0	1	Trans. opér. E.S.	0	0	0	0	0	-	-
0	4	Trans. SR E.S.	0	-	-	0	-	-	-
0	6	GK lointain	0	-	0	0	-	-	-
0	11-14	Erreurs diverses	0	-	-	0	-	0	-
0	15	Pistage de route	0	0	-	0	-	-	-
1	Tous	AL côté lointain	x	-	-	-	-	-	-
8	Tous	AL côté proche	x	-	-	-	-	-	-
9	6-7	Temporisateurs	1	-	-	1	-	-	-
40-43			x	x	x	x	x	x	x

NOTE: Dans la tableau 23 page 113, "-" signifie que les bits ne sont pas affectés tandis que "x" signifie que l'effet est au choix du concepteur.

10.5.9 Effets de différentes actions sur les bits des CSR d'un SI

Règle

Les effets de la mise sous tension, de la réception d'une impulsion RB, de RESET (CSR#0<30>), et du témoin d'effacement des erreurs (CSR#0<16>) sur les ports proches et lointains doivent être ceux spécifiés dans le tableau 23. Le signal RB positionné par un SI ne doit avoir aucun effet sur le SI lui-même.

10.6 Tables de routage

10.6.1 Informations de transmission, de destination et de base

Règle

La table de routage du côté proche doit indiquer quelles adresses le SI doit transmettre au côté lointain.

Pour chaque valeur possible du champ GP côté proche, la table de routage doit au moins avoir trois bits de sortie: transmission, destination et base.

Le bit de transmission doit informer le SI que, sauf dans les conditions définies dans la tableau 2 page 39, pour des opérations de diffusion, l'opération doit être transmise sur le segment lointain ou plus loin.

Le bit de destination doit informer le SI que l'opération est destinée au segment côté lointain.

Le bit de base doit informer le SI que le champ GP qui lui arrive est l'adresse de groupe de base pour une opération sur son segment côté lointain.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 23. Effect of various actions on bits in SIs

			Value read back after Specified Action						
			Power on	Near-Side RB Pulse		Near-Side RESET		Near-Side Clear Error	
CSR	Bit	Name		Near	Far	Near	Far	Near	Far
0	0	Error Flag	0	-	-	0	-	0	-
0	1	Enable Oper. Pass	0	0	0	0	0	-	-
0	4	Enable SR Pass	0	-	-	0	-	-	-
0	6	Far-Side GK	0	-	0	0	-	-	-
0	11-14	Misc Errors	0	-	-	0	-	0	-
0	15	Route Trace	0	0	-	0	-	-	-
1	All	Far-Side AL	x	-	-	-	-	-	-
8	All	Near-Side AL	x	-	-	-	-	-	-
9	6-7	Timers	1	-	-	1	-	-	-
40-43			x	x	x	x	x	x	x

NOTE: In Table 23 on page 113, "-" means that the bits are unaffected while "x" means that the effect is a design choice.

10.5.9 Effect of Various Actions on CSR Bits in SIs

Rule

The effect of POWER ON, a received RB pulse, RESET (CSR#0<30>) and Clear Error Flag (CSR#0<16>) shall for the Near-side and Far-side ports be as specified in Table 23. RB asserted by the SI shall have no effect on the asserting SI.

10.6 Route Tables

10.6.1 Pass, Destination and Base Information

Rule

The Near-side Route Table shall specify which addresses the SI will pass to the Far-side.

For each possible Near-side GP field value, a Route Table shall have at least three output bits: Pass, Destination and Base.

The Pass bit shall inform the SI that, except for the conditions specified for Broadcast operations in Table 2 on page 39, the operation is to be passed to the Far-side Segment or beyond.

The Destination bit shall inform the SI that an operation is intended for the Far-side Segment.

The Base bit shall inform the SI that the incoming GP field is the Base Group Address for operations to its Far-side segment.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle, suite

Les bits de poids fort sortie de la table de routage doivent être associés à une modification de l'adresse de groupe du côté lointain (voir paragraphe 10.5.6).

10.6.2 Règles de génération

Règle

Lorsque l'on initialise les tables de routage pour tous les SI d'un système, les règles suivantes doivent être observées:

1. *Le terme de la table de routage correspondant à un champ GP nul côté proche doit être utilisé pour le routage des opérations de diffusion. La structure formée par la propagation des adresses de diffusion doit être un arbre simple sans connexions croisées.*
2. *La table de routage ne doit contenir qu'un seul terme qui possède le bit de base positionné.*
3. *La table de routage doit être telle que, lorsqu'il y a deux ou plus de SI connectés à un segment, un seul de ces SI doit répondre à une adresse de groupe donnée sur ce segment, sauf si GP = 0, MS1 = 1 et AD<01> = 1 à AS(u) (voir article 4.3).*
4. *Un SI double doit contenir des informations de routage sur chacun de ses ports Esclaves. Il ne doit y avoir aucun conflit de routage entre ces deux tables. Les termes à des adresses de groupes correspondants doivent différer, c.-à-d. qu'aucun GP ne doit passer dans les deux directions.*
5. *La route prise par une opération du segment I vers le segment J doit être la même que la route de J vers I.*

La règle (2) garantit que le dispositif sur le segment côté lointain aura une adresse géographique unique. Les règles (3), (4) et (5) garantissent une route unique pour chaque opération. Le fait que les routes soient uniques permet au SI de détecter et de résoudre certains cas de blocage.

10.7 Actions des SI

10.7.1 Reconnaissance des adresses

Règle

Si la transmission des opérations a été mise en service (CSR#0<01> = 1), le SI doit, à la réception de AS(u) avec RD = 0 et EG = 0, examiner les champs MS et GP pour déterminer si l'opération doit être transmise vers le segment côté lointain.

Si MS1 = 0, la condition pour la transmission de l'opération doit être que le bit de transmission de la table de routage associé à la valeur du champ GP soit positionné.

Si MS1 = 1 (opération de diffusion), les conditions pour la transmission de l'opération doivent être celles spécifiées dans la tableau 2 page 39.

Si EG = 1, l'opération ne doit pas être transmise.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule continued

High order Route Table output bits shall be associated with Far-side Group Address modification (see Sub-clause 10.5.6).

10.6.2 Generation Rules

Rule

When generating the Route Tables for all the SIs in a system, the following rules shall be observed:

1. *The Route Table entry corresponding to a Near-side GP field of zero shall be used for the routing of Broadcast operations. The pattern formed by a propagating Broadcast Address shall be a simple tree with no cross-connections.*
2. *The Route Table shall contain only one entry which has the Base bit set.*
3. *The Route Table shall be such that when there are two or more SIs connected to a Segment, only one of these SIs shall respond to a given Group Address on that Segment unless GP = 0, MS1 = 1 and AD<01> = 1 at AS(u) (see Clause 4.3).*
4. *A Duplex SI shall contain routing information in each of the two Slave ports. There shall be no route conflicts between these two tables. The entries at corresponding Group Addresses shall differ, that is, no GP shall be passed both ways.*
5. *The route taken by an operation from Segment I to Segment J shall be the same as the route from J to I.*

Rule (2) ensures that devices on the Far-side Segment will have unique Geographical Addresses. Rules (3), (4) and (5) ensure a unique path for each operation. This uniqueness of path allows the SI to detect and resolve certain common kinds of deadlock.

10.7 SI Actions

10.7.1 Address Recognition

Rule

If operation passing has been enabled (CSR#0<01> = 1), the SI shall on receipt of AS(u) with RD = 0 and EG = 0 examine the MS and GP fields to determine if the operation is to be passed to the Far-side Segment.

If MS1 = 0 the condition for operation passing shall be that the Route Table Pass bit associated with the GP field value be set.

If MS1 = 1 (Broadcast Operation) the conditions for operation passing shall be those specified in Table 2 on page 39.

If EG = 1 the operation shall not be passed.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Règle

Si l'opération ne doit pas être transmise, le SI ne doit exécuter aucune action ultérieure jusqu'au AS(u) suivant.

Si l'opération doit être transmise, le SI doit entrer dans l'état d'adresse reconnue. L'état d'adresse reconnue doit être remis à zéro par AS(d).

10.7.2 Arbitrage du SI

Règle

Le SI doit, sur AG(d), mémoriser en interne la valeur de AL<05:00>. Cette valeur mémorisée du niveau d'arbitrage qui arrive doit être utilisée comme décrit ci-dessous et pour la résolution des conflits (voir paragraphe 10.7.3).

Le SI, après être entré dans l'état d'adresse reconnue, doit demander l'arbitrage pour utiliser le segment côté lointain de la manière spécifiée pour un Maître à la section 6.

Lorsqu'il essaie d'obtenir la maîtrise du segment côté lointain, le SI doit utiliser:

1. *le niveau d'arbitrage spécifié dans le CSR#8 de son côté lointain si l'opération qui arrive possède un niveau d'arbitrage local, ou*
2. *le niveau d'arbitrage qui arrive si c'est un niveau système.*

le SI doit continuer à demander l'arbitrage jusqu'à ce qu'il obtienne la maîtrise du bus, sauf si:

1. *le Maître originel arrête l'opération en envoyant GK(d) tandis que AS=1 et AK=0 (Le SI dans ce cas doit, à GK(d), se comporter comme s'il était adressé dans l'espace CSR.), ou*
2. *le Maître originel envoie AS(d), ou*
3. *le SI résout un problème de conflit en abandonnant l'opération.*

Lorsqu'il obtient la maîtrise du bus sur son segment côté lointain, le SI positionne GK = 1 sur ce segment (voir paragraphe 6.3.5). Un SI qui positionne RB = 1 sur son segment côté lointain positionne également GK = 1 sur son segment côté lointain (voir paragraphe 5.4.1 et la tableau 22 page 109).

10.7.3 Règlement des conflits

Règle

Le règlement des conflits à l'intérieur d'un SI double doit être réalisé en examinant les niveaux d'arbitrage et les bits de destination de la table de routage associés aux deux opérations en sens inverse.

Si les deux niveaux d'arbitrage sont locaux (AL<05> = 0), alors:

1. *Si une seule des opérations a son bit destination positionné, elle doit se poursuivre.*
2. *Si aucune opération n'a son bit de destination positionné, l'opération ayant le niveau d'arbitrage sur son segment côté lointain le plus élevé doit se poursuivre.*
3. *Si les deux opérations ont leur bit de destination positionné, l'opération du segment-câble doit se poursuivre.*

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule

If the operation is not to be passed, the SI shall take no further action until the next AS(u).

If the operation is to be passed, the SI shall enter the Address-Recognized state. The Address-Recognized state shall be cleared by AS(d).

10.7.2 SI Arbitration

Rule

The SI shall on AG(d) store internally the value of AL<05:00>. This stored incoming Arbitration Level shall be used as described below and for contention resolution (Sub-clause 10.7.3).

The SI, after entering the Address-Recognized state, shall arbitrate for use of the Far-side Segment in the manner specified for Masters, in Section 6.

When attempting to gain Mastership of the Far-side Segment, the SI shall use:

1. *the Arbitration Level specified in the Far-side CSR#8 if the incoming operation has a Local Arbitration Level, or*
2. *the incoming Arbitration Level if it is a System Level.*

The SI shall continue to arbitrate until it gains bus Mastership unless:

1. *the originating Master stops the operation by issuing GK(d) while AS=1 and AK=0 (The SI in this case shall at GK(d) act as though it were addressed in CSR space.), or*
2. *the originating Master issues AS(d), or*
3. *the SI resolves a contention problem by aborting the operation.*

On obtaining Mastership of the Far-side Segment, the SI asserts GK=1 on that Segment (see Sub-clause 6.3.5). An SI asserting RB=1 on the Far-side Segment also asserts GK=1 on the Far-side segment (see Sub-clause 5.4.1 and Table 22 on page 109).

10.7.3 Contention Resolution

Rule

Contention resolution within a Duplex SI shall be implemented by examining the Arbitration Levels and the Route Table Destination bits associated with the two oppositely directed operations.

If both Arbitration Levels are Local (AL<05>=0), then:

1. *If only one operation has the Destination bit set, it shall proceed.*
2. *If neither operation has the Destination bit set, the operation with the higher Arbitration Level for its Far-side Segment shall proceed.*
3. *If both operations have the destination bit set, the Cable-Segment operation shall proceed.*

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle

Si l'un ou les deux niveaux d'arbitrage sont systèmes (AL<05> = 1), alors:

1. *Si les deux niveaux sont différents, l'opération ayant le niveau le plus élevé doit se poursuivre.*
2. *Si les deux niveaux sont égaux, le SI envoie la réponse de défaut de réseau aux deux opérations, et doit positionner le bit d'erreur d'attribution d'arbitrage (CSR#0<13>, voir paragraphe 10.5.1) pour à la fois ses ports côté proche et côté lointain.*

Dans le règlement d'un conflit, l'opération perdante doit recevoir une réponse d'abandon du réseau (voir tableau 6 page 55, et paragraphe 10.7.4). D'autre part, le Maître perdant ne doit pas participer à des cycles d'arbitrage ultérieurs au moins jusqu'à ce qu'un tel cycle se soit déroulé, ou jusqu'après un délai de réessai (voir annexe A).

10.7.4 Réponse négative

Règle

Un SI doit émettre des réponses négatives aux cycles qui ne sont pas des diffusions en positionnant WT = 0 sur son segment côté proche puis positionner les lignes d'état de l'Esclave, tel que défini ci-dessous, avec AK(u) ou DK(t) suivant le cas. Pour les cycles de diffusion, le SI doit d'abord positionner les lignes d'état de l'Esclave puis WT = 0 sur le segment côté proche et ne doit pas émettre de transition d'acceptation AK(u) ou DK(t).

RESEAU OCCUPE - SS = 1: *Cette réponse doit être émise si le SI ne peut obtenir l'accès à son segment côté lointain à cause d'un conflit d'opérations sur ce segment. Un SI qui a reconnu une adresse à transmettre mais n'est pas encore devenu réservé (voir paragraphe 10.7.6) doit envoyer cette réponse s'il reçoit GK = 0 tandis que AS = 1 sur son segment côté proche. Aucun bit de CSR#0 n'est modifié. (Un Maître exécute cette action lorsqu'il cesse d'attendre une connexion.)*

PANNE DE RESEAU - SS = 2: *Cette réponse doit être émise par un SI à la fin de la période du temporisateur de réponse d'adresse du SI. Elle doit également être émise si le SI détecte un niveau d'arbitrage non valable pendant le règlement d'un conflit. CSR#0<11> est positionné si le bit de destination n'est pas positionné dans le terme de la table de routage correspondant à l'adresse qui doit être transmise. Cette réponse se produit pendant les opérations de pistage de route (voir tableau 22 page 109 et paragraphe J.1.7 de l'annexe J).*

ABANDON DU RESEAU - SS = 3: *Cette réponse doit être émise si le SI ne peut pas obtenir la maîtrise du bus du côté lointain à cause d'une opération de priorité plus élevée. Aucun bit de CSR#0 n'est modifié.*

ERREUR DE CYCLE DE DONNEES - SS = 7: *Cette réponse doit être émise seulement lors d'une opération de diffusion à la fin de la période du temporisateur de réponse aux données du SI. DK(t) n'a pas été reçu par le SI et, selon toute probabilité, le transfert de données a échoué.*

Après avoir retourné une réponse SS non nulle au moment de l'adressage, le SI doit rester connecté en Esclave sur son côté proche, et doit fonctionner alors comme si l'on avait correctement accédé à son espace CSR côté proche au moment de l'adressage.

La réponse réseau occupé est déclenchée par un signal provenant du Maître via GK. Cela permet au Maître d'abandonner une opération si elle semble demander trop de temps pour être connecté, et de déterminer à quelle distance l'opération s'est propagée à travers le système et même la route qu'elle a prise. Les Maîtres ne doivent pas attendre indéfiniment,

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Rule

If one or both Arbitration Levels are System (AL<05> = 1), then:

1. *If the two levels are different, the operation with the higher level shall proceed.*

2. *If the two levels are equal, the SI shall issue the Network Failure response to both operations and shall set the Vector Assignment Error bit (CSR#0<13>, see Sub-clause 10.5.1) for both Near-side and Far-side ports.*

In a contention resolution, the losing operation shall be given a Network Abort response (see Table 6 on page 55, and Sub-clause 10.7.4). Also the losing Master shall not participate in further Arbitration Cycles until at least one such cycle has taken place or until after a Retry Delay (see Annex A).

10.7.4 Negative Responses

Rule

An SI shall issue negative responses to non-Broadcast cycles by asserting WT = 0 on its Near-side Segment then asserting the Slave Status lines as specified below along with either AK(u) or DK(t) as appropriate. For Broadcast cycles the SI shall first assert the Slave Status lines then WT = 0 on the Near-side Segment and shall not issue any acknowledge transition (AK(u) or DK(t)).

NETWORK BUSY - SS = 1: *This response shall be issued if the SI cannot gain access to the Far-side Segment because of conflicting operations on the Segment. An SI that has recognized an address to pass but has not yet become reserved (Sub-clause 10.7.6) shall issue this response if it receives GK = 0 while AS = 1 on the Near-side Segment. No bits in CSR#0 are changed. (A Master takes this action when it ceases to wait for a connection.)*

NETWORK FAILURE - SS = 2: *This response shall be issued by an SI on completion of the SI Address Response Timeout period. It shall also be issued if the SI detects invalid Arbitration Levels during contention resolution. CSR#0<11> is set if the Destination bit is not set in the Route Table entry for the address being passed. This response occurs during a Route Trace Operation (see Table 22 on page 109, and Sub-clause J.1.7 of Annex J).*

NETWORK ABORT - SS = 3: *This response shall be issued if the SI cannot gain Far-side Mastership due to a higher priority operation. No bits in CSR#0 are changed.*

DATA CYCLE FAILURE - SS = 7: *This response shall be issued only during a Broadcast Operation on completion of the SI Data Response Timeout period. DK(t) has not been received by the SI and, in all likelihood, the data transfer failed.*

After issuing a non-zero SS response at address time, the SI shall remain connected as a Slave on the Near-side and shall then function as if its Near-side CSR space had been correctly accessed at address time.

The Network Busy response is triggered by a signal from the Master via GK. This allows a Master to abort an operation if it seems to be requiring too much time to connect, and then determine how far the operation had progressed through the system and even the route taken. Masters must not wait indefinitely even if they see WT = 1 otherwise lockups may

IECNORM.COM : Click to view the full PDF of iec60935:1996

même s'ils voient WT = 1, car autrement il pourrait se produire des blocages. Cependant, si les temporisateurs sont mis hors service pour des besoins de diagnostic, un Maître ne doit pas déclencher en dépassement de temps. S'il en résulte un blocage, il doit être éliminé par RB.

Un Maître qui désire des informations sur les raisons d'une réponse négative peut continuer à positionner AS = 1 et, en exécutant des cycles d'adresse secondaire suivis par des lectures de données, il accède aux registres CSR du SI qui a envoyé la réponse négative. La localisation du SI peut être déterminée à partir de ses registres d'adresse géographique des côtés proche et lointain. D'autres informations de diagnostic sont dans CSR#0.

On utilise une réponse d'erreur de cycle de données SS = 7 plutôt que SS = 6, données non acceptées ou fournies, même s'il est peu probable que tous les Esclaves connectés aient accepté ou fourni des données. Certains des Esclaves peuvent avoir positionné d'autres valeurs de SS non nulles au même moment, ce qui explique le choix de SS = 7. Le SI qui envoie une réponse cycle de données erroné n'exécute pas les actions spéciales spécifiées ci-dessus à la suite d'une réponse non nulle au moment de l'adressage.

10.7.5 Modification des adresses géographiques et de diffusion

Tous les SI, y compris ceux sans transformation, exécutent deux types de modification d'adresse. Le premier permet aux Esclaves d'un segment non initialisé d'être adressés géographiquement par un Maître sur un segment différent. Le second réalise un certain nombre des caractéristiques de l'adressage de diffusion.

Règle

Le SI doit positionner EG = 1 sur le segment côté lointain si, à AS(u) MS1 = 0, tous les bits de l'adresse côté proche, de AD<08> jusqu'au début du champ GP sont à zéro, et que le terme de la table de routage pour cette adresse à transmettre a les bits de transmission, de destination et de base positionnés.

Le SI doit positionner EG = 0 sur le segment côté lointain si AS = AK = 0 sur le segment côté lointain.

Lorsqu'il transmet une adresse de diffusion (MS1 = 1) pour laquelle le segment côté lointain est le segment destination, le SI doit positionner AD<00> = 1 (bit local) et, si AD<01> = 1 (bit global), également mettre à zéro AD<31:08> lorsqu'il transmet l'adresse.

10.7.6 Transmission des opérations

Un SI est dit **réservé** s'il a gagné la maîtrise du segment côté lointain et qu'il positionne GK = 1 sur ce segment.

Règle

Un SI réservé doit seulement transmettre:

AR du côté lointain vers le côté proche.

SR du côté lointain vers le côté proche si CSR#0<04> est positionné.

AL<05:00> du côté proche vers le côté lointain si AL<05> = 1 sur le côté proche.

Un SI réservé est dit **actif** s'il est entré dans l'état adresse reconnue (voir paragraphe 10.7.1).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

occur. However, if timers are disabled for diagnostic purposes a Master must not time out. If deadlocks result, they must be cleared by RB.

A Master requiring information about the reason for a negative response may continue to assert AS = 1 and, by executing Secondary Address Cycles followed by data reads, access the CSR registers of the SI that gave the negative response. The location of the SI can be determined from its Near- and Far-side Geographical Address registers. Further diagnostic information is in CSR#0.

A Data Cycle Failure response of SS = 7 is used rather than SS = 6, data not accepted or supplied, even though it is unlikely that all the attached Slaves accepted or supplied data. Some of the Slaves may at the same time be asserting other non-zero SS values, hence the choice of SS = 7. The SI that issues the Data Cycle Failure response does not take the special actions specified above that follow an address time non-zero SS response.

10.7.5 Modification of Geographical and Broadcast Addresses

All SIs, including non-transforming ones, carry out two types of address modification. The first allows Slaves on an uninitialized Segment to be Geographically addressed by a Master on a different Segment. The second implements a number of the features of Broadcast Addressing.

Rule

The SI shall assert EG = 1 on the Far-side Segment if at AS(u) MS1 = 0, all Near-side address bits from AD<08> up to the start of the GP field are zero, and the Route Table entry for the address to be passed has the Pass, Destination and Base bits set.

The SI shall assert EG = 0 on the Far-side Segment if AS = AK = 0 on the Far-side Segment.

When passing a Broadcast Address (MS1 = 1) for which the Far-side Segment is the Destination Segment, the SI shall set AD<00> = 1 (Local bit) and, if AD<01> = 1 (Global bit), also zero AD<31:08> as the address is passed.

10.7.6 Operation Passing

An SI is said to be **Reserved** if it has gained Mastership of the Far-side Segment and is asserting GK = 1 onto that Segment.

Rule

A Reserved SI shall only pass:

AR from Far-side to Near-side.

SR from Far-side to Near-side if CSR#0<04> is set.

AL<05:00> from Near-side to Far-side if AL<05> = 1 on the Near-side.

A Reserved SI is said to be **Active** if it has entered the Address-Recognized state (Sub-clause 10.7.1).

IECNORM.COM : Click to view the full PDF of iec 60935:1996

Règle

Le port côté proche d'un SI actif doit se comporter comme un Esclave et son port côté lointain comme un Maître. L'utilisation du bus pour les deux ports doit être celle spécifiée à la section 5.

En plus de transmettre les signaux transmis par un SI réservé, un SI actif doit transmettre tous les signaux de contrôle (C), de dialogue (A) et d'information (I) tels qu'ils sont spécifiés dans la tableau 1 page 6, à l'exception de EG, RB et BH qui ne sont jamais transmis.

Un SI actif doit transmettre AS et DS de son côté proche à son côté lointain.

Un SI actif doit transmettre WT de son côté lointain à son côté proche.

Pour les cycles d'adresse, AD<31:00> doivent être modifiés comme spécifié aux paragraphes 10.5.6 et 10.7.5.

Pour les cycles d'adresses et de données, PA et PE doivent être modifiés comme spécifié au paragraphe 10.7.7.

Un SI actif doit positionner WT=1 sur son segment côté proche dès qu'il reçoit, sur son côté proche AS(t) ou DS(t) associés avec un transfert de données avec dialogue.

Un SI actif doit, lorsqu'il reçoit AK(t) ou DK(t) sur son segment côté lointain, vérifier qu'il positionne WT=0 sur son segment côté proche avant de positionner le signal correspondant sur son segment côté proche.

Un SI actif qui transmet AS(d) sur le segment côté lointain et ne reçoit pas AK(d) doit positionner WT=0 sur son segment côté proche après un temps du temporisateur du SI.

A la réception de DS(t) sur son côté proche, pendant un transfert en pipe-line, un SI actif ne doit pas positionner WT=1 sur son segment côté proche en réponse a la réception des transitions de cadencement.

Règle

Pour une opération qui n'est pas une diffusion:

Un SI actif doit, lorsqu'il reçoit AK(t) ou DK(t) sur son segment côté lointain, vérifier qu'il positionne WT=0 sur son segment côté proche avant de transmettre sur son segment côté proche la transition reçue.

Si après avoir transmis AS(u) sur son segment côté lointain le SI ne reçoit pas une réponse AK(u) du côté lointain dans le temps de temporisation correspondant du SI (voir annexe A), le SI doit positionner WT=0, SS=2 et émettre AK(u) sur le segment côté proche, et AS=0 sur le segment côté lointain. Le SI doit cesser d'être actif et devient connecté en tant qu'Esclave sur son côté proche.

Si après avoir transmis DS(t) sur le segment côté lointain le SI ne reçoit pas la réponse DK(t) sur le côté lointain dans le temps de temporisation correspondant du SI (voir annexe A), le SI doit positionner WT=0 sur le segment côté proche et continuer d'être actif.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule

An Active SI's Near-side port shall act as a Slave and its Far-side port as a Master. Bus usage for both ports shall be as specified in Section 5.

In addition to passing the signals passed by a Reserved SI an Active SI shall pass all Control (C), Asynchronous (A) and Information (I) signals as specified in Table 1 on page 6, except for EG, RB and BH which are never passed.

An Active SI shall pass AS and DS from Near-side to Far-side.

An Active SI shall pass WT from its Far-side to its Near-side.

For Address Cycles, AD<31:00> shall be modified as specified in Sub-clause 10.5.6 and 10.7.5.

For Address and Data Cycles, PA and PE shall be modified as specified in Sub-clause 10.7.7.

An Active SI shall, on receipt on its Near-side of AS(t) or DS(t) associated with a hand-shaked data transfer, assert WT = 1 on the Near-side Segment.

An Active SI shall, on receipt of AK(t) or DK(t) on its Far-side Segment, ensure that it is asserting WT = 0 on the Near-side Segment before asserting the corresponding signal on its Near-side Segment.

An Active SI that passes AS(d) to the Far-side Segment and does not receive AK(d) shall set WT = 0 on the Near-side Segment after the SI Timeout Period.

On receipt of DS(t) on its Near-side during Pipelined Transfers, an Active SI shall not assert WT = 1 on the Near-side Segment in response to the receipt of timing transitions.

Rule

For Non-Broadcast Operations:

An Active SI shall, on receipt of AK(t) or DK(t) on the Far-side Segment, ensure that it is asserting WT = 0 on the Near-side Segment before passing the received transition to the Near-side Segment.

If after passing AS(u) to the Far-side Segment the SI does not receive an AK(u) response from the Far-side within the appropriate SI Timeout Period (see Annex A), the SI shall assert WT = 0, SS = 2 and generate AK(u) on the Near-side Segment, and AS = 0 on the Far-side Segment. The SI shall cease to be Active and become attached on its Near-side as a Slave.

If after passing DS(t) to the Far-side Segment the SI does not receive a DK(t) response from the Far-side within the appropriate SI Timeout Period (see Annex A), the SI shall assert WT = 0 on the Near-side Segment and continue to be Active.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 24. Réponse du SI aux adresses. [f]

MS 1 à As(u)	AD<31:08>		Table RTE SI		AD<00>,L		AD<01>,G		Note
	Entrée	Sortie	Trans	Dest	Entrée	Sortie	Entrée	Sortie	
0	0	-	x	x	-	-	-	-	a
0	>0	-	0	x	-	-	-	-	a
0	>0	RTE	1	0	-	-	-	-	b
0	>0	RTE	1	1	-	-	-	-	c
1	0	-	0	x	x	-	x	-	a
1	0	-	1	x	x	-	0	-	a
1	0	0	1	x	x	1	1	1	d
1	>0	-	0	x	x	-	x	-	a
1	>0	RTE	1	0	x	Lin	x	Gin	e
1	>0	0	1	1	x	1	x	Gin	e

Symboles:

x	indique une condition indifférente.
-	indique que ce terme n'a pas de sens.
>0	indique un champ GP non nul.
0	indique un champ GP nul.
RTE	indique un terme de la table de routage.
Lin	est la valeur de L reçue du côté proche.
Gin	est la valeur de G reçue du côté proche.

Notes:

a	Ne transmet pas.
b	Adresse sur la route.
c	L'adresse est sur le segment côté lointain.
d	Transmet - Diffusion globale.
e	Transmet - Voir tableau 2 page 39.
f	Pour la génération de EG, voir paragraphe 10.7.5.

Règle

Pour les opérations de diffusion:

Un SI actif ne doit pas transmettre AK ou DK vers son segment côté proche.

Le SI doit transmettre une opération de diffusion si le terme de la table de routage correspondant au champ GP indique que l'opération doit être transmise et que, soit GP n'est pas nul ou bien GP est nul et AD<01> = 1.

Si après avoir transmis AS(u) sur le segment côté lointain le SI ne reçoit pas une réponse AK(u) du côté lointain dans le temps de temporisation correspondant du SI (voir annexe A), le SI doit positionner WT = 0 et SS = 2 sur le segment côté proche, et AS = 0 sur le segment côté lointain. Le SI doit cesser d'être actif et devient connecté en tant qu'Esclave sur son côté proche.

Si après avoir transmis DS(t) sur le segment côté lointain le SI ne reçoit pas la réponse DK(t) sur le côté lointain dans le temps de temporisation correspondant du SI (voir annexe A), le SI doit positionner WT = 0 et SS = 7 sur le segment côté proche et continuer d'être actif.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 24. SI Response to Addresses. [f]

MS 1 at As(u)	AD<31:08>		SI RTE Table		AD<00>,L		AD<01>,G		Note
	IN	OUT	PASS	DEST	IN	OUT	IN	OUT	
0	0	-	x	x	-	-	-	-	a
0	>0	-	0	x	-	-	-	-	a
0	>0	RTE	1	0	-	-	-	-	b
0	>0	RTE	1	1	-	-	-	-	c
1	0	-	0	x	x	-	x	-	a
1	0	-	1	x	x	-	0	-	a
1	0	0	1	x	x	1	1	1	d
1	>0	-	0	x	x	-	x	-	a
1	>0	RTE	1	0	x	Lin	x	Gin	e
1	>0	0	1	1	x	1	x	Gin	e

Symbols:

x	indicates a don't care condition.
-	indicates entry has no meaning.
>0	indicates non-zero GP Field.
0	indicates zero GP field.
RTE	indicates Route Table entry.
Lin	is the L value received on the Near-side.
Gin	is the G value received on the Near-side.

Notes:

a	Do not pass.
b	Address in passage.
c	Address is on Far-side Segment.
d	Pass - Global Broadcast.
e	Pass - See Table 2 on page 39.
f	For EG generation, see Sub-clause 10.7.5.

Rule

For Broadcast Operations:

An Active SI shall not pass AK or DK to its Near-side Segment.

The SI shall pass a Broadcast operation if the Route Table entry corresponding to the GP field indicates that the operation is to be passed and either GP is non-zero or GP is zero and AD<01> = 1.

If after passing AS(u) to the Far-side Segment the SI does not receive an AK(u) response from the Far-side within the appropriate SI Timeout Period (see Annex A), the SI shall assert WT = 0, SS = 2 on the Near-side Segment, and AS = 0 on the Far-side Segment. The SI shall cease to be Active and become attached on its Near-side as a Slave.

If after passing DS(t) to the Far-side Segment the SI does not receive a DK(t) response from the Far-side within the appropriate SI Timeout Period (see Annex A) the SI shall assert WT = 0 and SS = 7 on the Near-side Segment and continue to be Active.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Règle

Le signal de cadencement GK(d) doit être positionné sur le segment côté lointain seulement lorsque ce signal est reçu par le port côté proche.

Le SI doit cesser d'être actif au moment où AS = AK = 0 sur le segment côté lointain et cesser d'être réservé lorsque GK = 0 sur le segment côté proche.

Le tableau 24 page 119 résume les réponses d'un SI aux différentes adresses. La colonne ENTREE indique les valeurs reçues sur le port du côté proche et la colonne SORTIE la valeur positionnée par le SI sur le segment côté lointain. Les colonnes TRANS et DEST indiquent les valeurs des bits de transmission et de destination dans le terme de la table de routage du SI qui correspond au champ d'adresse de groupe du côté proche et à la valeur de MS.

10.7.7 Utilisation et génération de la parité par le SI

Règle

Si PE = 1, la logique Esclave du SI doit contrôler la parité de l'information sur les lignes AD.

Si l'on trouve une erreur de parité sur l'adresse à AS(u), le SI doit ignorer l'adresse. Si l'on trouve une erreur de parité sur un cycle de données, les données, PA et PE doivent être transmis sans modification et CSR#0 < 14 > doit être positionné.

Les adresses et les données positionnées par le SI doivent toujours être accompagnées de PE = 1 et de la valeur appropriée de PA.

Ces règles impliquent qu'un Maître qui ne positionne pas PE doit cependant être capable de gérer les réponses SS = 6 ou 7 provoquées par des erreurs de parité.

10.7.8 Réponse de l'interconnexion de segment à RB

Règle

En plus de la réponse définie pour les dispositifs lorsque RB intégré est à "1" et BH = 0, les interconnexions de segments qui ne positionnent pas RB doivent répondre comme suit:

1. *Les opérations passant dans les deux directions doivent être mises hors service.*
2. *RB ne doit pas être directement transmis du côté proche vers le côté lointain.*

10.7.9 Contraintes de séquencement

Règle

La logique Maître du port côté lointain d'un SI doit utiliser un séquencement approprié au segment côté lointain.

Le SI, à la réception de AS(u) ou DS(t) sur son port côté proche, doit insérer les temps d'établissement voulus avant de positionner ces signaux sur son segment côté lointain.

Le SI, à la réception de AK(u) ou DK(t) sur son port côté lointain, doit insérer les temps d'établissement voulus avant de positionner ces signaux sur son segment côté proche.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule

The timing signal GK(d) shall be asserted on the Far-side Segment only when this signal is received by the Near-side port.

The SI shall cease to be Active at the time when AS = AK = 0 on the Far-side Segment and cease to be Reserved when GK = 0 on the Near-side Segment.

Table 24 on page 119 summarizes the response of an SI to different addresses. The IN columns indicate the value received at the Near-side port and the OUT columns the values asserted by the SI on the Far-side Segment. The PASS and DEST columns indicate the values of the Pass and Destination bits in the SI Route Table entry that corresponds to the Near-side Group Address Field and MS value.

10.7.7 SI use and Generation of Parity

Rule

If PE = 1, the SI's Slave logic shall check the parity of the information on the AD lines.

If an address parity error is found at AS(u), the SI shall ignore the address. If a Data Cycle parity error is found, the data, PA and PE shall be passed unaltered and CSR#0<14> shall be set.

Addresses and data asserted by the SI shall always be accompanied by PE = 1 and the appropriate value of PA.

These rules imply that a Master that did not assert PE must still be able to handle an SS = 6 or 7 response caused by a parity error.

10.7.8 Segment Interconnect Response to RB

Rule

In addition to the responses defined for Devices when integrated RB = 1 and BH = 0, Segment Interconnects not asserting RB shall respond as follows:

1. *Operation passing in both directions shall be disabled.*
2. *RB shall not be directly passed from the Near-side to the Far-side.*

10.7.9 Timing Requirements

Rule

The Master logic in an SI's Far-side port shall use timing appropriate for the Far-side Segment.

The SI upon receipt of AS(u) or DS(t) at its Near-side port shall insert an appropriate skew delay before asserting these signals on the Far-side Segment.

The SI upon receipt of AK(u) or DK(t) at its Far-side port shall insert an appropriate skew delay before asserting these signals on the Near-side Segment.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

L'annexe A spécifie les temps d'établissement et d'autres temps caractéristiques pour une réalisation particulière.

10.8 Registre d'adresse de base

Règle

Chaque port d'un SI doit posséder un registre d'adresse de base qui contient l'adresse de base du segment côté lointain, c.-à-d. le champ GP utilisé pour adresser géographiquement les dispositifs sur le segment côté lointain.

Le registre d'adresse de base doit être chargé par le contenu de CSR#40 lorsque les données contenant AD<02> = 1 (bit de base) sont écrites dans CSR#41.

Remarquer que ce registre est interne au SI mais est accessible en même temps que d'autres informations en tant que CSR#43h.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

L'annexe A spécifie les temps d'établissement et d'autres temps caractéristiques pour une réalisation particulière.

10.8 Registre d'adresse de base

Règle

Chaque port d'un SI doit posséder un registre d'adresse de base qui contient l'adresse de base du segment côté lointain, c.-à-d. le champ GP utilisé pour adresser géographiquement les dispositifs sur le segment côté lointain.

Le registre d'adresse de base doit être chargé par le contenu de CSR#40 lorsque les données contenant AD<02> = 1 (bit de base) sont écrites dans CSR#41.

Remarquer que ce registre est interne au SI mais est accessible en même temps que d'autres informations en tant que CSR#43h.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 11. Transferts en bloc et en pipe-line

Les transferts en bloc et en pipe-line sont des opérations FASTBUS pendant lesquelles, après un cycle d'adresse primaire ou secondaire approprié, les mots de données sont positionnés par un Maître à chaque transition DS pour une opération d'écriture et acceptés par un Maître à chaque transition DK pour une opération de lecture. Le protocole du FASTBUS n'impose aucune limite sur le nombre de mots transférés pendant un transfert en bloc ou en pipe-line. Une réponse SS = 2 de l'Esclave indique qu'il ne peut pas participer plus longtemps à l'opération et le Maître termine l'opération.

Alors que les cycles d'adresse sont toujours avec dialogue, les cycles de données peuvent se faire avec ou sans dialogue. Dans le premier cas, appelé transfert de bloc, le Maître attend une réponse DK avant d'envoyer la transition DS suivante. La vitesse de transfert est ainsi déterminée par les temps de transit du bus et par le dispositif le plus lent du Maître ou de l'Esclave. Dans le second cas, appelé transfert en pipe-line, le Maître seul détermine la vitesse du transfert, en lecture ou en écriture, en émettant des transitions sur DS à une vitesse qu'il considère adaptée à l'opération.

Pour un transfert en pipe-line en écriture, le Maître positionne les nouvelles données un temps d'établissement avant que chaque transition de DS ne soit envoyée. Dans l'Esclave, chaque transition de DS est utilisée pour échantillonner les lignes de données, pour positionner la réponse voulue sur les lignes SS et pour émettre une transition DK. Le Maître n'est pas obligé d'utiliser les transitions DK qu'il reçoit, mais il est recommandé de les compter. Le Maître ne sera pas capable de réagir immédiatement à une réponse SS, car au moment où la réponse est reçue, l'Esclave aura vu et répondu à des transitions DS ultérieures.

Pour un transfert en pipe-line en lecture, le Maître positionne les transitions DS à une vitesse correcte. Le Maître utilise les transitions DK qu'il reçoit pour échantillonner à la fois les données sur les lignes AD et la réponse sur les lignes SS. A nouveau, du fait de la nature de pipe-line de l'opération, la réaction du Maître à une réponse SS se produit après que des demandes pour d'autres données ont été faites.

Du point de vue de l'Esclave, les transferts en bloc ou en pipe-line ne diffèrent que sur un aspect. Un Esclave qui participe à un transfert en pipe-line ignore WT = 1 tandis qu'un Esclave qui participe à un transfert de bloc ne doit pas ignorer WT = 1. Cela permet à l'Esclave de répondre à toutes les transitions de DS émises par le Maître, mais non reçues au moment où il perçoit WT = 1. Les interconnexions de segments traitent également les deux modes de transfert d'une manière légèrement différente. Pour un transfert en pipe-line, le SI n'envoie jamais WT = 1 en réponse à DS(t) tandis qu'il le fait toujours dans un transfert de bloc.

Les réponses d'état émises par les Eclaves pendant un transfert en bloc ou en pipe-line sont spécifiées à la section 5 et discutées plus en détail dans l'annexe J.

Les transferts en pipe-line demandent au Maître de prendre en compte le temps d'établissement et la bande passante du bus aussi bien que les possibilités de vitesse de données de l'Esclave lorsqu'il choisit la vitesse de l'horloge DS. Les transferts en pipe-line ne devront être choisis que lorsque la longueur électrique du bus ralentit excessivement les transferts de bloc.

Les registres des dispositifs capables d'être atteints par des transferts de bloc ou en pipe-line devront pouvoir également être atteints par des transferts simples.

Les transferts de bloc et en pipe-line ne sont pas interruptibles au sens normal, mais peuvent être terminés prématurément par le Maître de son plein gré ou sur une demande de l'Esclave (réponse SS). L'Esclave peut demander la fin d'un transfert en envoyant SS = 2 s'il n'est pas

IECNORM.COM : Click to view the full PDF of IEC 60935-1:1996

Section 11. Block and Pipelined Transfers

Block and Pipelined Transfers are FASTBUS Operations during which, after an appropriate Primary or Secondary Address Cycle, data words are asserted by a Master at every DS transition for a Write Operation and accepted by a Master at every DK transition for a Read Operation. The FASTBUS protocol places no limit on the number of words transferred during a Block or Pipelined Transfer. A Slave response of SS = 2 indicates that it no longer can participate in the Operation and the Master terminates the Operation.

While Address Cycles are always handshaked, Data Cycles may be either handshaked or non-handshaked. In the former, called a Block Transfer, the Master waits for a DK response before issuing the next DS transition. Hence, the transfer rate is determined by bus delays and the slower of the two Devices, Master or Slave. In the latter, called a Pipelined Transfer, the Master alone determines the transfer rate, read or write, by issuing DS transitions at a rate it considers appropriate for the operation.

For a Pipelined Transfer Write, the Master asserts new data a skew time prior to each DS transition issued. At the Slave each DS transition is used to strobe the data lines and causes the Slave to assert an appropriate response on the SS lines and to issue a DK transition. The Master is not required to make any use of the received DK transitions but it is recommended that they be counted. The Master will not be able to react immediately to SS responses as, by the time a response is received, the Slave may have seen and responded to later DS transitions.

For a Pipelined Transfer Read, the Master asserts DS transitions at an agreed rate. The Master uses the DK transitions received to strobe both the data on the AD lines and the response on the SS lines. Again, owing to the pipelined nature of the operation, the Master's reaction to SS responses occurs in general after requests for more data have been made.

From a Slave's viewpoint Block and Pipelined Transfers differ in only one aspect. A Slave participating in a Pipelined Transfer ignores WT = 1 while a Slave participating in Block Transfer does not ignore WT = 1. This allows the Slave to respond to all DS transitions issued by the Master but not received at the time of the sensing of WT = 1. Segment Interconnects also treat the two Transfer modes in slightly different ways. For Pipelined Transfers, the SI never issues WT = 1 in response to DS(t) while it always does so for Block Transfers.

Status responses issued by Slaves during Block and Pipelined Transfers are as specified in Section 5 and discussed in more detail in Annex J.

Pipelined Transfers require the Master to take the skew and bandwidth properties of the bus as well as the data rate capability of the Slave into account when selecting the DS clock rate. Pipelined Transfers should be used only where the electrical length of the bus slows the system excessively for Block Transfers.

Device registers capable of being accessed via Block or Pipelined Transfers should also be capable of being accessed via Single Transfers.

Block and Pipelined Transfers are not interruptible in the normal sense, but may be terminated early by the Master on its own volition or at the request (SS response) of the Slave. The Slave can request the termination of the transfer by sending SS = 2 if it is unable to

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

capable d'accepter davantage de données dans le cas d'un bloc en écriture, ou ne dispose plus de données dans le cas d'un bloc en lecture. Pour les transferts vers des FIFO ou des dispositifs du type port E/S, on devra retourner SS = 1 (occupé) si le dispositif est temporairement incapable d'accepter ou d'envoyer d'autres données, mais que dans un futur proche, il espère en envoyer ou en accepter d'autres (par exemple après avoir terminé un transfert extérieur au FASTBUS).

Lorsqu'un transfert de bloc ou en pipe-line est en cours, le ou les segments le long de la route entre le Maître et l'Esclave sont occupés, et cela peut provoquer un temps d'attente qui peut devenir excessif pour le système. Pour éviter une dégradation de la réponse du système, le Maître devra, soit diviser les blocs de grande longueur en de multiples petits blocs, en relâchant le bus entre les petits blocs, soit surveiller AR pour déterminer si d'autres opérations sont retardées par le transfert de bloc, et céder alors volontairement le bus dans un délai adapté aux performances demandées au système. Le Maître ne doit pas relâcher le bus si l'exclusion des autres Maîtres est logiquement nécessaire, comme dans le cas de séquences à verrouillage d'arbitrage (section 5).

Lorsqu'un Maître divise un bloc en différents sous-blocs, il s'assurera que le pointeur d'adresse interne de l'Esclave est correct au début de chaque transfert de sous-bloc.

11.1 Terminaison des transferts de bloc et en pipe-line

La terminaison des transferts de bloc et en pipe-line est compliquée par le fait que, après que le dernier DS(t) a été envoyé par le Maître, le bus peut être dans un certain nombre d'états différents suivant le type de transfert aussi bien que suivant le nombre de mots transférés ou la direction. La terminaison est également compliquée par la possibilité que le transfert soit suivi d'une autre opération sur le même Esclave, ce qui fait que la rupture du verrouillage AS/AK ne peut pas toujours faire partie du protocole de fin. On doit permettre au dernier transfert de données de s'effectuer, ce qui demande un soin particulier dans les opérations en pipe-line. Après que le dernier transfert a été effectué, les signaux de séquencement des données, DS et DK, doivent être ramenés à leur état de repos d'une manière qui n'affectera pas l'état de l'Esclave. Pour les opérations de transfert de bloc ou en pipe-line en lecture, puisque la décision de terminer peut avoir été prise par le Maître seul, l'Esclave doit être placé dans un état où il arrête de positionner son dernier mot de données sur les lignes AD.

Quand une opération de transfert de bloc ou en pipe-line en écriture se termine, aucune action spéciale, autre que d'attendre que le bus soit libre, n'est nécessaire de la part du Maître avant de démarrer une autre opération sur le même Esclave.

Règle

Un Maître, lorsqu'il a terminé un transfert en pipe-line, mais qu'il n'a pas terminé l'opération, doit attendre jusqu'à ce que la réponse DK correspondant au dernier DS envoyé soit revenue avant de poursuivre son opération. Pour les transferts aussi bien de bloc qu'en pipe-line, le Maître doit alors utiliser les procédures suivantes.

Si la fin arrive avec DS = 1, le Maître doit positionner MS = 0 un temps d'établissement avant de positionner DS = 0.

Si une lecture se termine lorsque DS = 0, le Maître doit, soit se déconnecter de l'Esclave en positionnant AS = 0, soit exécuter un cycle de lecture supplémentaire. Si le cycle de lecture supplémentaire est aussi dans le mode de transfert de bloc ou en pipe-line, il doit alors être suivi par la séquence décrite dans l'alinéa précédent.

Un Esclave qui participe à une lecture en transfert de bloc ou en pipe-line positionne continuellement les lignes AD et, optionnellement, les lignes PE et PA. La séquence de fin doit

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

accept any more data in the case of a Write block, or has no more data in the case of a Read block. For transfers to FIFOs or I/O-port-like Devices, SS = 1 (Busy) should be returned if the Device is temporarily unable to assert or accept more data but can be expected to assert or accept more in the near future (e.g. after completing transfers external to FASTBUS).

When a Block or Pipelined Transfer is in progress, the Segment(s) along the path between the Master and the Slave are busy, and this can cause system latency time to become excessive. To avoid degradation of system response, the Master should either divide long blocks into multiple short blocks, relinquishing the bus between the short blocks; or the Master should monitor AR to determine whether other traffic is being delayed by the Block Transfer, and then voluntarily yield the bus within a time commensurate with the required system performance. The Master must not release the bus if exclusion of other Masters is logically necessary, such as in the case of an Arbitration Locked Sequence (Section 5).

When a Master divides a block into several sub-blocks, it should ensure the Slave's internal address pointer is correct at the start of every sub-block transfer.

11.1 Block and Pipelined Transfer Termination

Block and Pipelined transfer termination is complicated by the fact that after the last DS(t) has been issued by the Master the bus may be in a number of different conditions depending on the type of Transfer as well as its word count and direction. Termination is also complicated by the possibility that the Transfer will be followed by another operation to the same Slave so that breaking the AS/AK lock cannot always be made part of the termination protocol. The last data transfer has to be allowed to occur, which requires special care for the Pipelined operation. After the last transfer has occurred, the data timing signals DS and DK have to be brought to their idle states in a way that does not affect the state of the Slave. For Block or Pipelined Transfer Read operations, since the decision to terminate may have been made by the Master alone, the Slave has to be placed in a state where it is no longer asserting the last data word on the AD lines.

When a Block or Pipelined Write operation is terminated no special actions, other than waiting for the bus to clear, are required on the part of the Master prior to starting another operation to the same Slave.

Rule

A Master, when terminating a Pipelined Transfer but not ending the Operation, shall wait until the DK response corresponding to the last DS sent has been received before continuing the Operation. For both Pipelined and Block Transfers, the Master shall then carry out the following procedures.

If termination occurs when DS = 1, the Master shall set MS = 0 a skew time before setting DS = 0.

If a Read is terminated when DS = 0 the Master shall either disconnect from the Slave by setting AS = 0 or shall perform an additional Read Cycle. If the additional Read Cycle is also in Block or Pipelined transfer mode then it shall be followed by the sequence described in the previous paragraph.

A Slave participating in a Block or Pipelined Transfer Read continuously asserts the AD and, optionally, the PE and PA lines. The termination sequence must stop the assertion of these lines by the Slave and the Master must be signalled that this has occurred.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

arrêter le positionnement de ces lignes par l'Esclave, et le Maître doit être informé que cela s'est produit.

Lorsque MS0 = 0, aucun transfert de données n'est associé à DS(d) et DK(d) et les circuits de sortie de l'Esclave sur AD sont coupés. Remarquer qu'un cycle de lecture de l'adresse secondaire (MS = 2, RD = 1) ne change pas l'état d'un Esclave, et peut ainsi être utilisé avec sécurité pour nettoyer le bus quand DS = 0 à la fin d'un transfert de bloc ou en pipe-line en lecture.

11.2 Incrémentation de l'adresse interne dans les transferts de bloc

Règle

Dans un transfert de bloc vers un dispositif qui associe une adresse différente à chaque mot transféré, chaque cycle de données vers l'espace données ou vers l'espace CSR, doit provoquer la modification du pointeur d'adresse interne de l'Esclave selon la tableau 9 page 60. Le pointeur d'adresse doit toujours pointer vers le mot suivant à être transféré ou vers sa destination.

Si le pointeur de l'adresse interne de l'Esclave est modifié tel qu'il correspond à une adresse inutilisable, l'Esclave doit répondre au cycle suivant de données, s'il se produit, en envoyant SS = 2. Il doit continuer à envoyer cette réponse à chaque cycle suivant de données jusqu'à ce que le pointeur de l'adresse interne de l'Esclave ait été changé par un cycle d'adressage primaire ou secondaire.

L'utilisation cohérente de la post-incrémentation permet une détermination facile du nombre de mots transférés, qui peut même être nul. La modification d'adresse n'est pas adaptée à des transferts vers des dispositifs tels que des FIFO ou des ports E/S qui acceptent des mots multiples à une seule adresse.

11.3 Les FIFO et les erreurs de transfert de données

Dans des réalisations qui peuvent détecter des erreurs de transfert de données, le Maître soit détecte l'erreur lui-même, soit reçoit de l'Esclave SS = 6 ou 7. L'Esclave n'est pas prévenu des erreurs de transmission sur le bus dans les cycles de lecture. Le Maître peut ignorer l'erreur, ou simplement noter son apparition, ou, si le circuit le permet, essayer de la corriger en demandant que les données soient de nouveau envoyées.

Les dispositifs à adresse unique comme les FIFO ou les ports E/S qui utilisent la même adresse FASTBUS pour tous les mots d'un bloc nécessitent l'utilisation d'une technique spéciale pour pouvoir corriger les erreurs de transfert de données sauf si l'Esclave répond aux données erronées par SS = 6 (données rejetées). Cette technique implique la réalisation d'un registre tampon qui conserve les données jusqu'à ce que le succès de la transmission ait été établi.

Règle

Les dispositifs à une seule adresse qui possèdent un registre tampon de protection pour permettre les corrections d'erreurs doivent se conformer aux règles suivantes.

Tous les cycles de données en lecture des transferts de bloc ou en pipe-line doivent copier chaque mot de données lorsqu'il est positionné sur les lignes AD dans un registre tampon. Les lectures individuelles de données envoyées à la même adresse FASTBUS que le transfert de bloc ou le transfert en pipe-line doivent accéder au registre tampon et ne doivent avoir aucun autre effet sur l'Esclave (voir article J.5 de l'annexe J).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

When MS0 = 0, no data transfers are associated with DS(d) and DK(d) and the Slave's AD drivers are turned off. Note that a Secondary Address Read cycle (MS = 2, RD = 1) does not change the state of a Slave, and hence can be safely used to clear the bus when DS = 0 at the end of a Block or Pipelined Transfer Read.

11.2 Block Transfer Internal Address Incrementation

Rule

In a Block Transfer to a Device which associates different addresses with each word transferred, each Data Cycle to Data Space or to Control Space shall cause the Internal Address pointer in the Slave to be modified as in Table 9 on page 60. The address pointer shall always point to the next word to be transferred or to its destination.

If the Slave's Internal Address pointer is modified to correspond to an unused address, the Slave shall respond to the next Data Cycle, if one occurs, by issuing SS = 2. This response shall continue to be given to further Data Cycles until the Slave's Internal Address pointer has been changed by a Secondary or by a Primary Address Cycle.

The consistent use of post-incrementing allows easy determination of the number of words transferred, which may even be zero. Modification is not appropriate for transfers to devices such as FIFOs and I/O ports that accept multiple words at a single address.

11.3 FIFOs and Errors in Data Transfer

In implementations which can detect data transfer errors, the Master either detects the error itself or sees SS = 6 or 7 from the Slave. The Slave is unaware of bus transmission errors in Read Cycles. The Master may ignore the error, or simply note its occurrence or, if the hardware allows, try to correct it by requesting the data be sent again.

Uni-address devices such as FIFOs and I/O ports which use the same FASTBUS address for all words of a block require the use of special techniques in order to correct data transfer errors unless the Slave responds to erroneous data with SS = 6 (data rejected). These techniques involve the implementation of a buffer register to hold the data until its successful transmission has been accomplished.

Rule

Uni-address Devices which implement a protective buffer register to allow error correction shall obey the following rules.

All Block or Pipelined Transfer Read Data Cycles shall copy each data word as it is asserted on the AD lines into the buffer register. Random Data Reads directed to the same FASTBUS address as the Block or Pipelined Transfer shall access the buffer register and shall have no other effect on the Slave (see Clause J.5 in Annex J).

IECNORM.COM : Click to view the full PDF of iec60935:1996

Remarquer que ces cycles de correction doivent se produire sans interférence avec les autres Maîtres. Ce principe évite le besoin d'allouer une adresse standard au registre tampon. A la place d'une adresse, l'état des lignes MS détermine l'effet du cycle. Il n'y a pas de compromis sur la fonction puisque des transferts de bloc ou en pipe-line d'un seul mot sont autorisés. Les corrections sont en général impossibles pour les transferts en pipe-line (voir Annexe J.5).

11.4 Transfert de données multi-module

On peut avoir besoin dans certaines réalisation de regrouper des blocs de données provenant dun ensemble de dispositifs distincts.

Pour se déconnecter d'un module physique et se connecter à un autre, le FASTBUS demande que le verrouillage d'adresses soit d'abord rompu puis repositionné en effectuant de nouveaux cycles d'adressage primaires et secondaires.

Une utilisation fréquente des lignes de guirlande supprime cette limitation en fournissant un chemin pour activer les modules individuels pour fournir leurs données s'ils en ont. Le résultat, lorsque l'on collecte les données de plusieurs module, apparaît comme collecter les données d'un seul module et est complètement transparente pour les algorithmes de transfert de données.

Un seul module est choisi pour être le port de cet ensemble de données. Il initialise l'opération utilisant la guirlande et gère l'adresse virtuelle à travers laquelle les mouvements de données sont contrôlés. Cependant, le flot de données est synchronisé par le dialogue normal DS/DK entre le Maître et la source activée.

Un exemple (MTD-1) d'un protocole de transfert de données multi-modules utilisant les lignes de guirlande est fourni à l'annexe N. Bien que l'accent soit mis sur la lecture de données, les caractéristiques n'excluent pas l'utilisation du mécanisme de scrutation pour écrire des données dans un ensemble de modules si besoin. D'autres protocoles sont également possibles pour des applications particulières.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Note that these corrective cycles must occur without interference from other Masters. The scheme avoids the need for allocating standard addresses to the buffer register. Instead of an address, the state of the MS lines determines the effect of the cycle. Function has not been compromised since single word Block and Pipelined Transfers are allowed. Correction is not possible in general for Pipelined Transfers (see annex J.5).

11.4 Multimodule Data Transfers

The concatenation of blocks of data which are derived from an array of separate devices may be desirable in some implementations.

In order to disconnect from one physical Module and attach to another, FASTBUS requires that the Address Lock first be broken and then reasserted by executing new Primary and Secondary Address Cycles.

A common use of the Daisy Chain lines overcomes this restriction by providing a path to activate individual Modules in sequence to enable them to deliver their data, if any. The resulting action, while accumulating data from a series of Modules, appears to collect data from a single source and is completely transparent to the data transfer algorithm.

A single module is designated the gateway to the dataset. It initiates Daisy Chain operation and supports the virtual address through which all data movement is controlled. Data flows, however, are synchronized by means of the normal DS/DK dialogue between Master and the activated data source.

One example (MDT-1) of a multimodule data transfer protocol utilizing the Daisy Chain In/Out lines is given in Annex N. Although the emphasis is placed on reading data, the specification does not preclude the use of the scan mechanism to write data to a module array if required. Other protocols are also possible for specific applications.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 12. Caractéristiques des signaux

12.1 Niveaux des signaux

Règle

Les niveaux des signaux sur le connecteur du segment-châssis doivent être conformes au standard industriel pour le type particulier de la logique utilisée (voir annexe A).

Les exemples de cette norme sont fondés sur la réalisation du FASTBUS en ECL. Cependant, on conserve la possibilité d'autres réalisations dans le futur. Les niveaux de signaux logiques à l'intérieur des modules ne sont pas spécifiés.

En dehors du connecteur de segment et de l'interconnexion de face avant (voir annexe B), tout niveau raisonnable de signal est permis sur les connecteurs. Les standards suivants, lorsqu'ils sont utilisés, devront suivre le code de couleurs, indiqué par une marque proche du connecteur considéré.

1. Standard industriel de logique à émetteurs couplés (ECL) utilisant l'état actif haut en entrée et en sortie. Code de couleur marron (voir annexe A).
2. Standard industriel TTL utilisant l'état actif bas en entrée et en sortie. Code de couleur bleu clair.
3. Standard NIM, signaux logiques rapides définis dans la table suivante. Code de couleur noir pour une adaptation interne; gris pour une adaptation extérieure.

	Courant de sortie sur l'émetteur (mA) dans 50Ω[1]	Tension d'entrée sur le récepteur (V) Réponse[1, 2]
Logique 1	-14 à -18	-0,6 max. à -1,8 min.
Logique 0	-1,0 à +1,0	-0,2 min. à +1,0 max.

4. Signaux logiques non standards de moins de 24 V. Code de couleur jaune.
5. Niveaux de signaux analogiques. Code de couleur vert.

[1] La réponse d'un récepteur à une tension d'entrée supérieure à +1,0 V ou inférieure à -1,8 V n'est pas définie.

[2] "Réponse" signifie qu'il doit répondre complètement dans les spécifications à n'importe quelle tension à l'intérieur de ces limites. Les concepteurs de circuits devront prendre garde au dépassement nécessaire à de nombreux circuits récepteurs pour assurer les performances complètes aux valeurs indiquées, ainsi qu'au choix du seuil de déclenchement correspondant.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 12. Signal Characteristics

12.1 Signal Levels

Rule

Signal levels at the Crate Segment connector shall conform to the industry standards for the particular type of logic used (see Annex A).

The examples in this standard are based on ECL implementations of FASTBUS. However, the possibility remains for other implementations in the future. Logic signal levels within Modules are not specified.

Other than for the Segment Connector and front panel interconnections (see Annex B), any reasonable signal levels are allowed at connectors. The following standards, when used, should be color coded with a marker located near the associated connector.

1. Industry standard Emitter Coupled Logic (ECL) employing active high inputs and outputs. Brown color code (see Annex A).
2. Industry standard Transistor Transistor Logic (TTL) employing active low inputs and outputs. Light blue color code.
3. NIM Standard, Fast Logic Signals, as shown in Table below. Black color for internal termination; gray for external termination.

	Output Driver Current (mA) Into 50 Ω[1]	Receiver Input Voltage (V) Response[1,2]
Logic 1	-14 to -18	-0.6 max. to -1.8 min.
Logic 0	-1.0 to +1.0	-0.2 min. to +1.0 max

4. Non-standard logic levels less than 24 V. Yellow color code.
5. Analog signal levels. Green color code.

1) Receiver response to input voltages more positive than +1.0 V or more negative than -1.8 V is not specified.

2) "Response" means shall respond fully within specifications to any voltage within this range. Circuit designers are alerted to the overdrive required in many receiver circuits to assure "full specification performance", and the need therefore to set the receiver trigger threshold accordingly.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 13. Les modules

Un module FASTBUS est un dispositif FASTBUS capable d'abriter un ensemble défini de logique en circuits intégrés et est prévu pour être inséré dans l'une des positions d'un châssis FASTBUS, ou dans différents châssis FASTBUS. Un module FASTBUS, lorsqu'il est inséré dans un châssis FASTBUS, est connecté au segment-châssis et répond au protocole FASTBUS. Les Maîtres, les Esclaves, les interconnexions, etc., qui peuvent être insérés dans des châssis FASTBUS sont appelés modules FASTBUS. Des dispositifs qui se conforment au protocole FASTBUS, et qui sont fonctionnellement identiques à des modules FASTBUS, mais qui ne sont pas prévus pour être insérés dans des châssis FASTBUS, sont désignés par le terme plus général de dispositifs FASTBUS.

Les modules FASTBUS posséderont au moins une carte de circuit imprimé. Des modules de largeur multiple, contenant plusieurs cartes, interfacées de la manière standard au fond de panier du segment-châssis, sont également réalisables; cela sera courant pour des contrôleurs complexes. La carte de base s'appelle la carte du circuit du module (MCB). Des cartes supplémentaires non connectées directement au segment-châssis peuvent également être montées dans un module; elles sont appelées des cartes supplémentaires. (Voir l'article 4.2 au sujet de l'adresse géographique des positions.)

Règle

Les modules FASTBUS doivent être conformes à la figure 28 page 129, et doivent fonctionner selon le protocole FASTBUS. Les réalisations en ECL doivent être conformes aux spécifications obligatoires de l'article A.1 de l'annexe A.

Un certain nombre de composants spécifiques du FASTBUS ont été étudiés. L'annexe F représente des exemples de réalisation de modules. Ces réalisations de modules, de châssis et d'alimentations peuvent être utiles à d'autres concepteurs. (Voir également les annexes E, G, H et I.)

L'article A.1 comprend à la fois des obligations et des recommandations pour les réalisations en ECL. La plupart des règles de conception données ici sont d'une application générale et peuvent ainsi être utiles dans d'autres réalisations.

13.1 Carte circuit du module

Règle

La carte circuit du module doit être conforme à la figure 29 page 130, et à la figure 30 page 131, et doit comporter un connecteur du module au segment qui soit conforme aux prescriptions obligatoires du paragraphe 13.2.1. L'espace indiqué sur la figure 29 page 130 doit être réservé pour un connecteur auxiliaire optionnel (voir paragraphe 14.2.2 et annexe L.2).

La hauteur des composants ne doit pas dépasser la surface de plus de 10,8 mm (voir la figure 28 page 129, détail A). Les défauts de planéité de la carte (voir note 5 de la figure 29 page 130 sont inclus dans ces 10,8 mm.

NOTE: Certaines cartes de circuits qui ont été construits ne sont pas conformes à la dimension minimale de 14,7 mm indiquée dans la figure 29 page 130 pour la zone réservée à l'extrémité du connecteur du circuit mais fonctionneront avec les connecteurs de segment-châssis et auxiliaires cités en annexe K et sont ainsi acceptables. Les cartes de circuits étudiés

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 13. Modules

A FASTBUS Module is a FASTBUS Device capable of housing sizeable arrays of integrated circuit logic and is intended to be inserted into any position in a FASTBUS Crate or into different FASTBUS Crates. A FASTBUS Module, when plugged into a FASTBUS Crate, connects to the Crate Segment and responds to the FASTBUS Protocol. Masters, Slaves, Interconnects, etc., that can be plugged into FASTBUS Crates are designated FASTBUS Modules. Devices conforming to FASTBUS Protocols and operationally identical to FASTBUS Modules but not intended to plug into FASTBUS Crates are referred to in more general terms as FASTBUS Devices.

FASTBUS Modules will have at least one printed circuit board. Multiple width Modules, containing several boards, interfaced in the standard way to the Crate Segment backplane, are also possible; this will be common in complex controllers. The basic board is referred to as the Module Circuit Board (MCB). Additional circuit boards not connected directly to the Crate Segment may also be mounted in a Module; these are referred to as Supplementary Circuit Boards. (See Clause 4.2 regarding Geographical Address slot locations.)

Rule

FASTBUS Modules shall conform with Figure 28 on page 129, and shall operate in conformance with the FASTBUS Protocol. ECL implementations shall conform to the mandatory requirements of Clause A.1 of Annex A.

A number of typical FASTBUS components have been designed. Annex F shows typical Module implementations. The Module, Crate and power supply implementations may prove helpful to other designers. (See also Annexes E, G, H and I.)

Clause A.1 includes both requirements and recommendations for ECL implementations. Many of the design practices given therein are generally applicable and hence are also useful for other implementations.

13.1 Module Circuit Board

Rule

The Module Circuit Board shall conform with Figure 29 on page 130, and Figure 30 on page 131, and shall contain a Module Segment Connector that conforms with the mandatory requirements of Sub-clause 13.2.1. The space indicated in Figure 29 on page 130 shall be reserved for an optional auxiliary connector (see Sub-clause 14.2.2 and Annex L.2).

Component height shall not exceed 10.8 mm (0.425 inch) plane (see Figure 28 on page 129, Detail A). Deviation from flatness of the board (see note 5 of Figure 29 on page 130) is inclusive in the 10.8 mm value.

NOTE: Some Circuit Boards that have been constructed do not conform with the 14.7 mm (0.579 in) minimum dimension specified in Figure 29 on page 130 for the restricted area at the connector end of the board but will function with the Crate Segment and Auxiliary Connectors listed in Annex K and are therefore acceptable. Circuit Boards designed after

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

après le 1er janvier 1988 doivent être conformes aux dimensions spécifiées sur la figure 29 page 130.

Un panneau avant recommandé peut être fixé sur le devant de la carte du module. Il est recommandé que l'épaisseur de la carte du module soit la plus épaisse disponible de la gamme.

Règle

Les cartes des modules qui n'ont pas de panneau avant doivent posséder des fixations qui permettent d'extraire la carte du châssis à l'aide d'un simple câble ou d'un autre dispositif adapté (voir article 13.4).

13.1.1 Zone de mise à la masse pour la décharge des charges statiques

Une zone de masse d'au moins 5,8 mm de hauteur verticale et de 50,8 mm de profondeur horizontale devra être disponible sur la carte du module proche du connecteur de segment (voir figure 30 page 131) pour fournir une liaison pour la décharge des charges électrostatiques dans la connexion de terre du châssis (voir article 14.7).

De même, pour certaines cartes montées à l'arrière (voir article 14.5), il est souhaitable que la zone de la figure 40 page 146, définie comme zone libre de composants, soit une surface conductrice au potentiel de la masse bien qu'aucune stipulation spécifique ne soit donnée dans cette norme pour la décharge de telles surfaces.

13.1.2 Raidisseurs

Des raidisseurs peuvent être nécessaires pour que la carte du module ait la planéité requise (note 5 de la figure 29 page 130) et pour que le bord de la carte côté connecteur ait une planéité suffisante pour permettre une insertion aisée du connecteur. Il est recommandé que la ligne centrale du raidisseur optionnel vertical ne soit pas à plus de 90 mm de la référence verticale du circuit, avec une place préférée à 70,0 mm de la référence verticale et que les trous de montage à la référence horizontale et 180,9 mm au dessus et 160,4 mm en dessous de la référence horizontale.

13.2 Connecteurs

Les connecteurs du module se composent du connecteur de segment du module (MSC) et du connecteur auxiliaire du module (MAC) tels qu'ils sont décrits ici.

13.2.1 Connecteur de segment

Le connecteur de segment se compose du connecteur de segment du module et des contacts correspondants du connecteur de segment du châssis. Le connecteur de segment fournit les connexions nécessaires pour la logique et les alimentations entre les modules et le segment-châssis.

Le connecteur du module possède des guides semi-cylindriques en haut et en bas de l'isolant suivant la figure 31 page 132. Ces guides glissent autour des demi-cylindres correspondants sur le segment pour aligner les contacts femelles du module sur les contacts mâles du segment avant leur entrée en contact. Voir la figure 37 page 143, et le paragraphe 14.2.3.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

January 1, 1988, shall conform fully with the dimensional specifications of Figure 29 on page 130.

A recommended front panel may be attached along the front of the Module Circuit Board. It is recommended that the Module Circuit Board thickness be at the high end of the allowable range.

Rule

Module Circuit Boards that do not have front panels shall have attachments that accommodate simple strap or other suitable devices for use in extracting the boards from Crates (see Clause 13.4).

13.1.1 Grounding Area for Static Charge Discharge

A grounded area of at least 5.8 mm (0.23 in) vertical height and 50.8 mm (2.00 in) horizontal length should be provided on the Module Circuit Board near the Module Segment Connector (see Figure 30 on page 131) to provide a path for electrostatic charge discharge via the grounding contact of the Crate (see Clause 14.7).

Similarly, for some rear-mounted boards (see Clause 14.5), it may be desirable that the areas on Figure 40 on page 146, designated as "area free of components" be conducting surfaces at ground potential though specific provision is not made in this specification for discharge of such surfaces.

13.1.2 Stiffener Bars

Stiffener bars may be required for Module Circuit Boards to meet the flatness requirements (Note 5 of Figure 29 on page 130) and for the connector edge of the board to be of such flatness as to permit ready mating of the connectors. It is recommended that the centerline of the optional vertical stiffener be not more than 90 mm (3.5 in) from the vertical datum of the board, with the preferred location 70.0 mm (2.756 in) from the vertical datum and bar mounting screw holes at the horizontal datum and 180.9 mm (7.122 in) above and 160.4 mm (6.315 in) below the horizontal datum.

13.2 Connectors

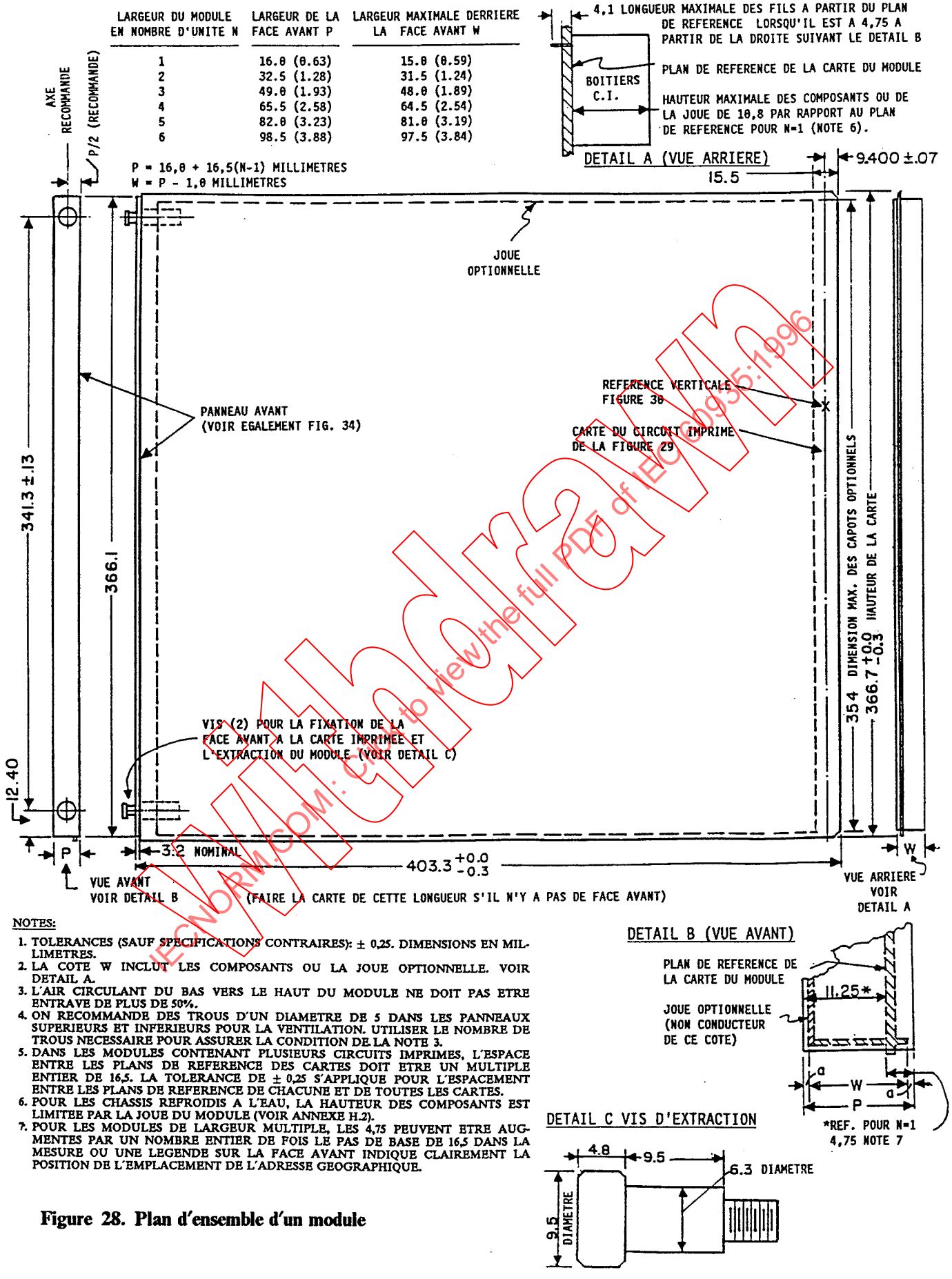
Module connectors consist of the Module Segment Connector (MSC) and the Module Auxiliary Connector (MAC) as described herein.

13.2.1 Segment Connector

The Segment Connector consists of the Module Segment Connector together with the mating pins of the Crate Segment Connector. The Segment Connector provides the necessary logic and power connections between Modules and the Crate Segment.

The Module connector has hemicylindrical guide notches at top and bottom of the blocks as in Figure 31 on page 132. These notches slide around corresponding hemicylinders at the Segment to align the Module contact sockets with the Segment contact pins prior to contact mating. See Figure 37 on page 143, and Sub-clause 14.2.3.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

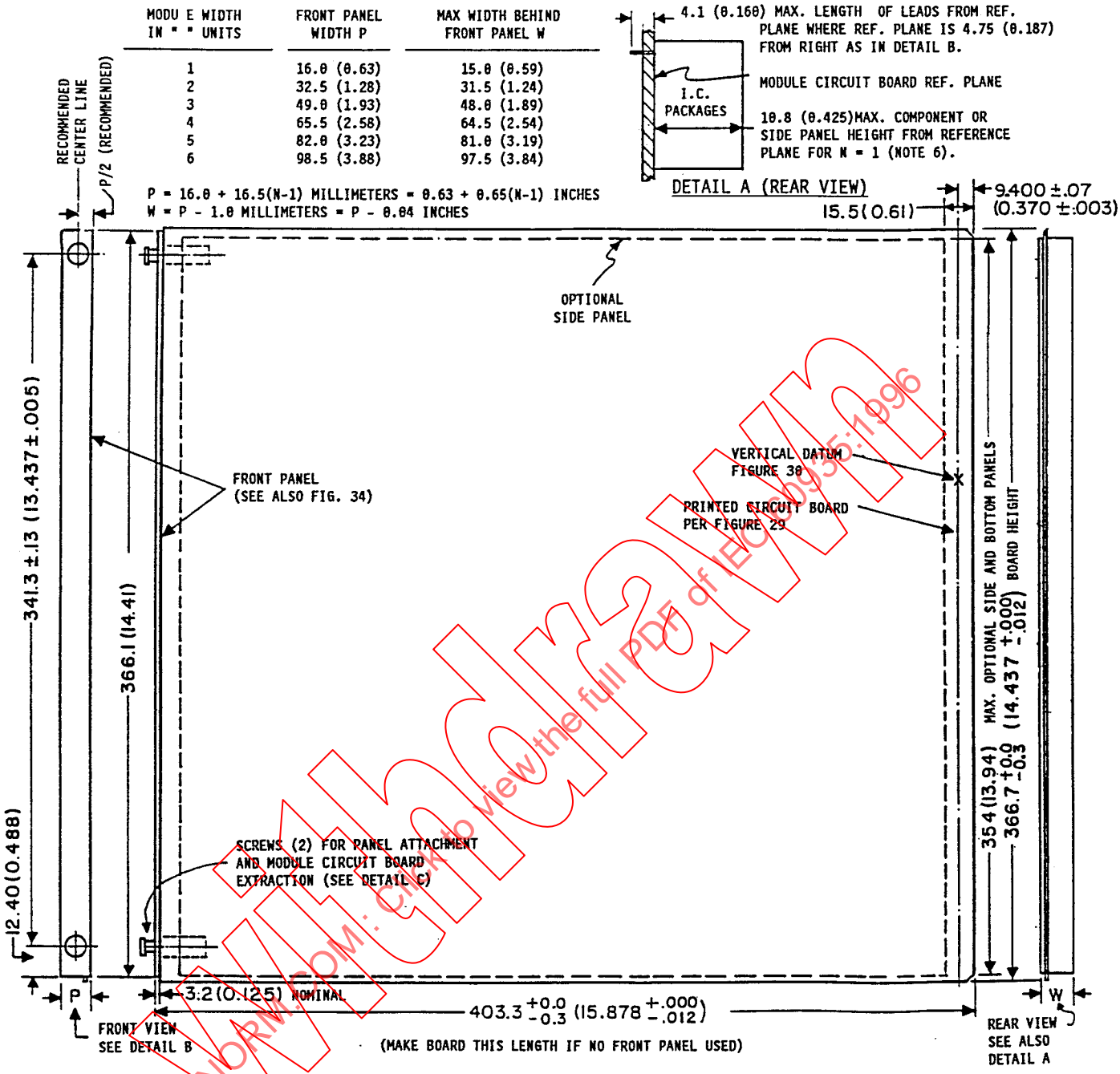


NOTES:

1. TOLERANCES (SAUF SPECIFICATIONS CONTRAIRES): ± 0,25. DIMENSIONS EN MILLIMETRES.
2. LA COTE W INCLUT LES COMPOSANTS OU LA JOUE OPTIONNELLE. VOIR DETAIL A.
3. L'AIR CIRCULANT DU BAS VERS LE HAUT DU MODULE NE DOIT PAS ETRE ENTRAVE DE PLUS DE 50%.
4. ON RECOMMANDE DES TROUS D'UN DIAMETRE DE 5 DANS LES PANNEAUX SUPERIEURS ET INFERIEURS POUR LA VENTILATION. UTILISER LE NOMBRE DE TROUS NECESSAIRE POUR ASSURER LA CONDITION DE LA NOTE 3.
5. DANS LES MODULES CONTENANT PLUSIEURS CIRCUITS IMPRIMES, L'ESPACE ENTRE LES PLANS DE REFERENCE DES CARTES DOIT ETRE UN MULTIPLE ENTIER DE 16,5. LA TOLERANCE DE ± 0,25 S'APPLIQUE POUR L'ESPACEMENT ENTRE LES PLANS DE REFERENCE DE CHACUNE ET DE TOUTES LES CARTES.
6. POUR LES CHASSIS REFROIDIS A L'EAU, LA HAUTEUR DES COMPOSANTS EST LIMITEE PAR LA JOUE DU MODULE (VOIR ANNEXE H.2).
7. POUR LES MODULES DE LARGEUR MULTIPLE, LES 4,75 PEUVENT ETRE AUGMENTES PAR UN NOMBRE ENTIER DE FOIS LE PAS DE BASE DE 16,5 DANS LA MESURE OU UNE LEGENDE SUR LA FACE AVANT INDIQUE CLAIREMENT LA POSITION DE L'EMPLACEMENT DE L'ADRESSE GEOGRAPHIQUE.

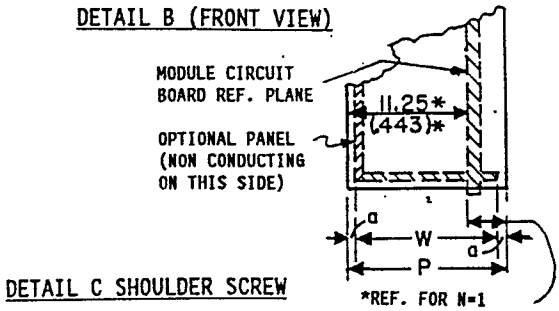
Figure 28. Plan d'ensemble d'un module

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996



NOTES:

1. TOLERANCES: (UNLESS OTHERWISE SPECIFIED) ± 0.25 (± 0.01). DIMENSIONS IN MILLIMETERS (INCHES).
2. DIMENSION W INCLUDES COMPONENT OR OPTIONAL SIDE PANEL. SEE DETAIL A.
3. AIR FLOW FROM BOTTOM TO TOP OF MODULES SHALL NOT BE IMPEDED BY MORE THAN 50%.
4. RECOMMENDED HOLE DIAMETER 5 (0.2) FOR VENTILATION IN OPTIONAL TOP OR BOTTOM PANELS. USE AS MANY HOLES AS NECESSARY TO OBTAIN CONDITIONS REQUIRED BY NOTE 3.
5. IN MODULES CONTAINING MULTIPLE MODULE CIRCUIT BOARDS (MCB) SPACING BETWEEN REF. PLANES OF MCB SHALL BE INTEGER MULTIPLES OF 16.5 (0.650). TOLERANCE OF ± 0.25 (0.010) APPLIES FOR SPACING BETWEEN REF. PLANES OF ANY AND ALL MCB'S.
6. FOR WATER COOLED CRATES COMPONENT HEIGHT LIMITED BY MODULE COVER PLATE (SEE ANNEX H.2).
7. FOR MULTIWIDTH MODULES THE 4.75 (0.187) CAN BE INCREASED BY AN INTEGER TIMES BASIC PITCH OF 16.5 (0.650) PROVIDED FRONT PANEL MARKING CLEARLY INDICATES SLOT POSITION OF GEOGRAPHICAL ADDRESS.



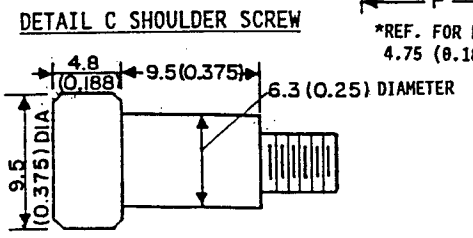
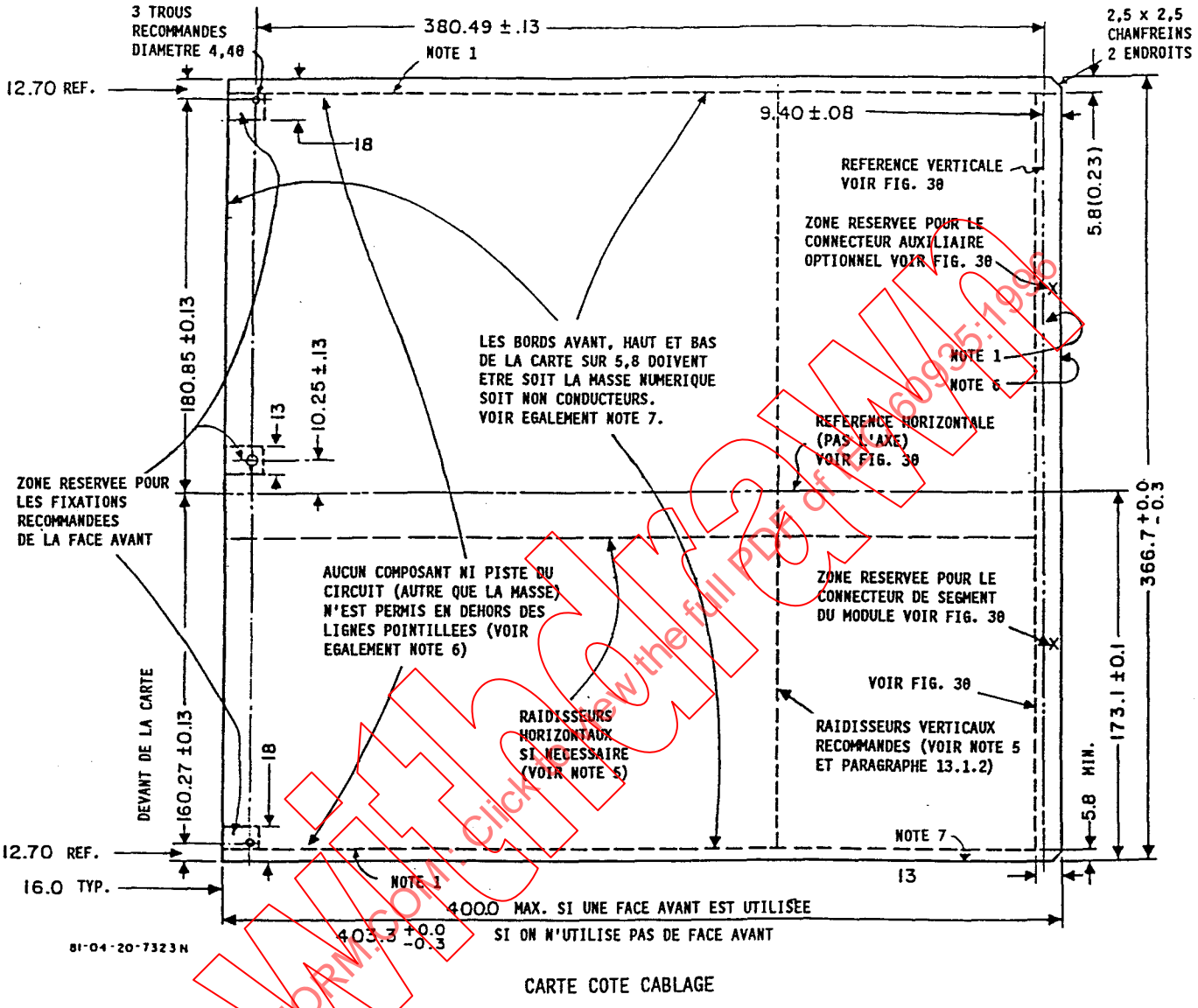


Figure 28. Module Outline

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

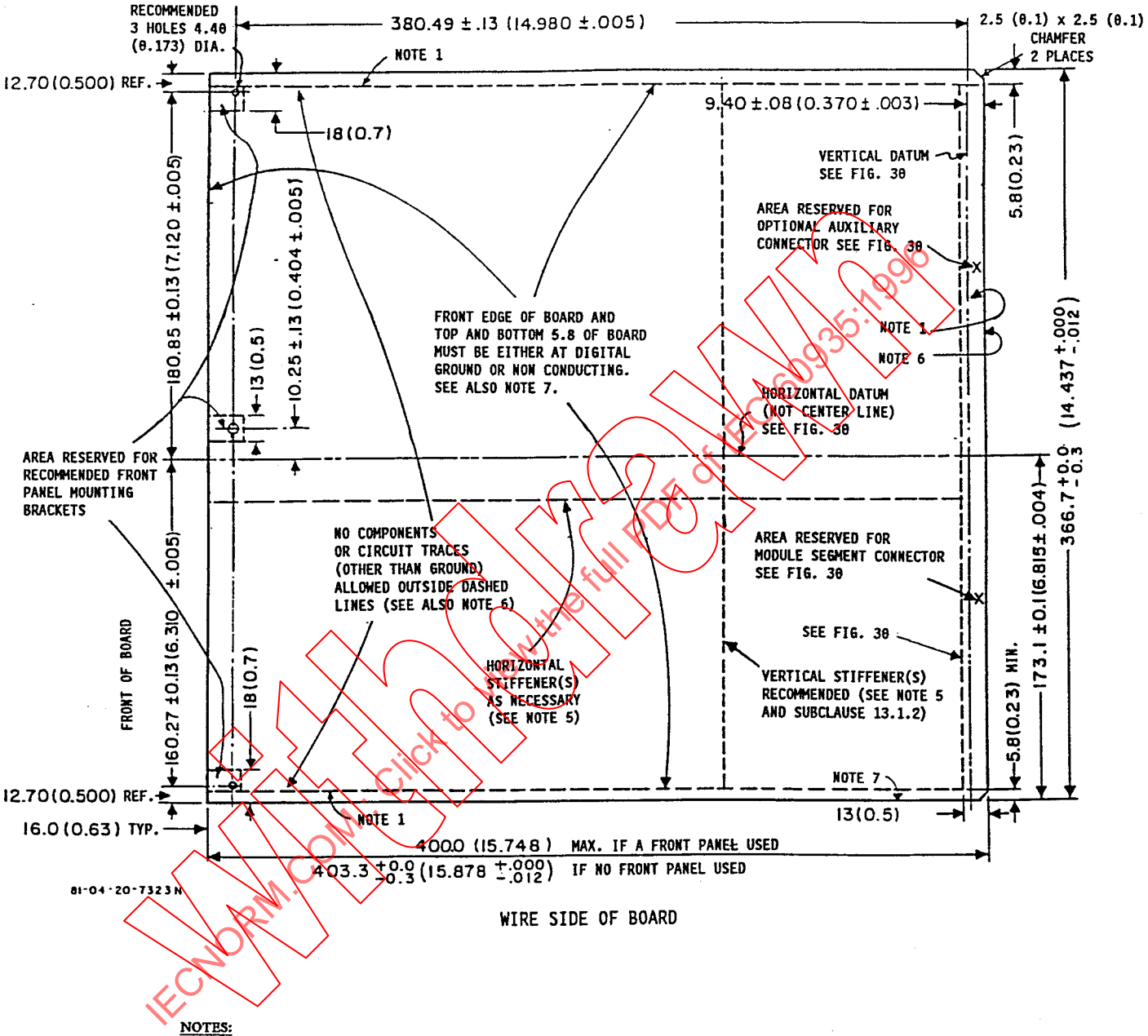


IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

NOTES:

1. L'EPAISSEUR DE LA CARTE DOIT ETRE 2,36 ± 0,2 SUR 5,8 EN HAUT ET EN BAS SUR TOUTE LA LONGUEUR DE LA CARTE ET SUR LA ZONE ARRIERE ENTRE LES CONNECTEURS SUIVANT LA FIGURE 30 APRES TOUTE METALLISATION, SOUDURE, ETC.. DES CALES DOIVENT ETRE UTILISEES AVEC DES CIRCUITS PLUS MINCES SUIVANT LA FIGURE 30.
2. LES COMPOSANTS ET LES CONNECTEURS SONT NORMALEMENT MONTES SUR LE COTE OPPOSE DU CIRCUIT.
3. ABATTRE TOUS LES BORDS VIFS DE LA CARTE.
4. DIMENSIONS EN MILLIMETRES. LES TOLERANCES NON INDIQUEES SONT DE ± 0,25. VOIR FIGURE 30, NOTES 4 ET 9.
5. LA FLECHE HORIZONTALE OU VERTICALE PAR RAPPORT AU PLAN NE DOIT PAS EXCEDER 1,0.
6. L'ARRIERE DE LA CARTE NE DOIT PAS ETRE CONDUCTEUR CAR IL PEUT TOUCHER LE FOND DE PANIER.
7. POUR LA MISE A LA MASSE DES CHARGES STATIQUES, VOIR PARAGRAPHE 13.1.1.

Figure 29. Plan du contour du circuit imprimé

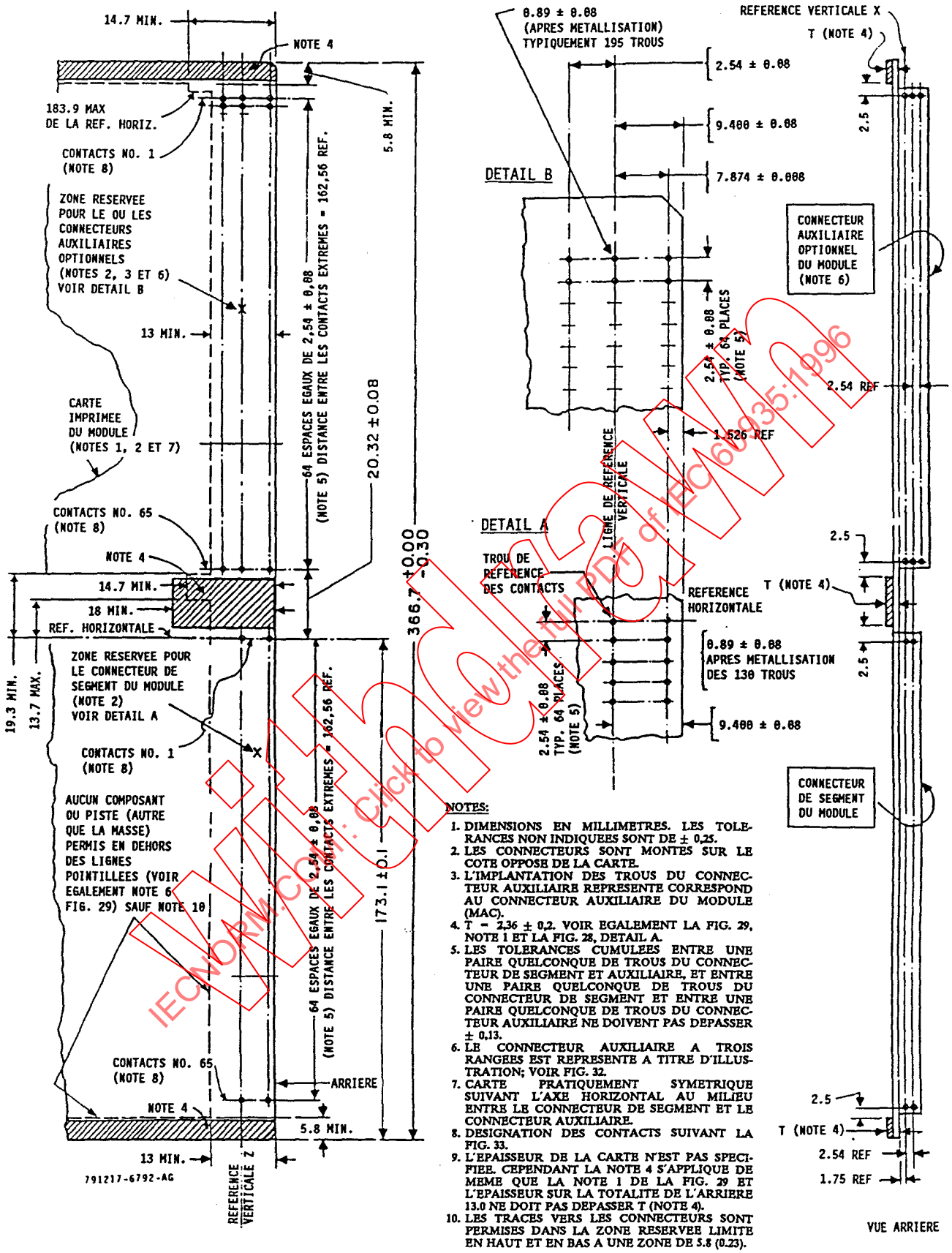


IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

NOTES:

1. BOARD THICKNESS SHALL BE 2.36 ± 0.2 (.093 ± .007) FOR TOP AND BOTTOM 5.8 (0.23) FOR FULL LENGTH OF BOARD AND FOR REAR AREA BETWEEN CONNECTORS PER FIGURE 30 AFTER ALL PLATING, SOLDERING, ETC.. PADS AS ON FIGURE 30 SHOULD BE USED WITH THINNER BOARDS.
2. COMPONENTS AND CONNECTORS NORMALLY MOUNT ON REVERSE SIDE OF BOARD.
3. REMOVE ALL SHARP EDGES ON BOARD.
4. DIMENSIONS IN MILLIMETERS (INCHES). TOLERANCES NOT SHOWN ± 0.25 (± 0.01) SEE FIG. 30. NOTES 4 AND 9.
5. VERTICAL AND HORIZONTAL DEVIATION FROM FLATNESS SHALL NOT EXCEED 1.0 (0.040).
6. REAR OF BOARD MUST BE NON CONDUCTING SINCE IT CAN TOUCH BACKPLANE.
7. FOR STATIC CHARGE GROUNDING, SEE SUB-CLAUSE 13.1.1

Figure 29. Module Circuit Board Outline

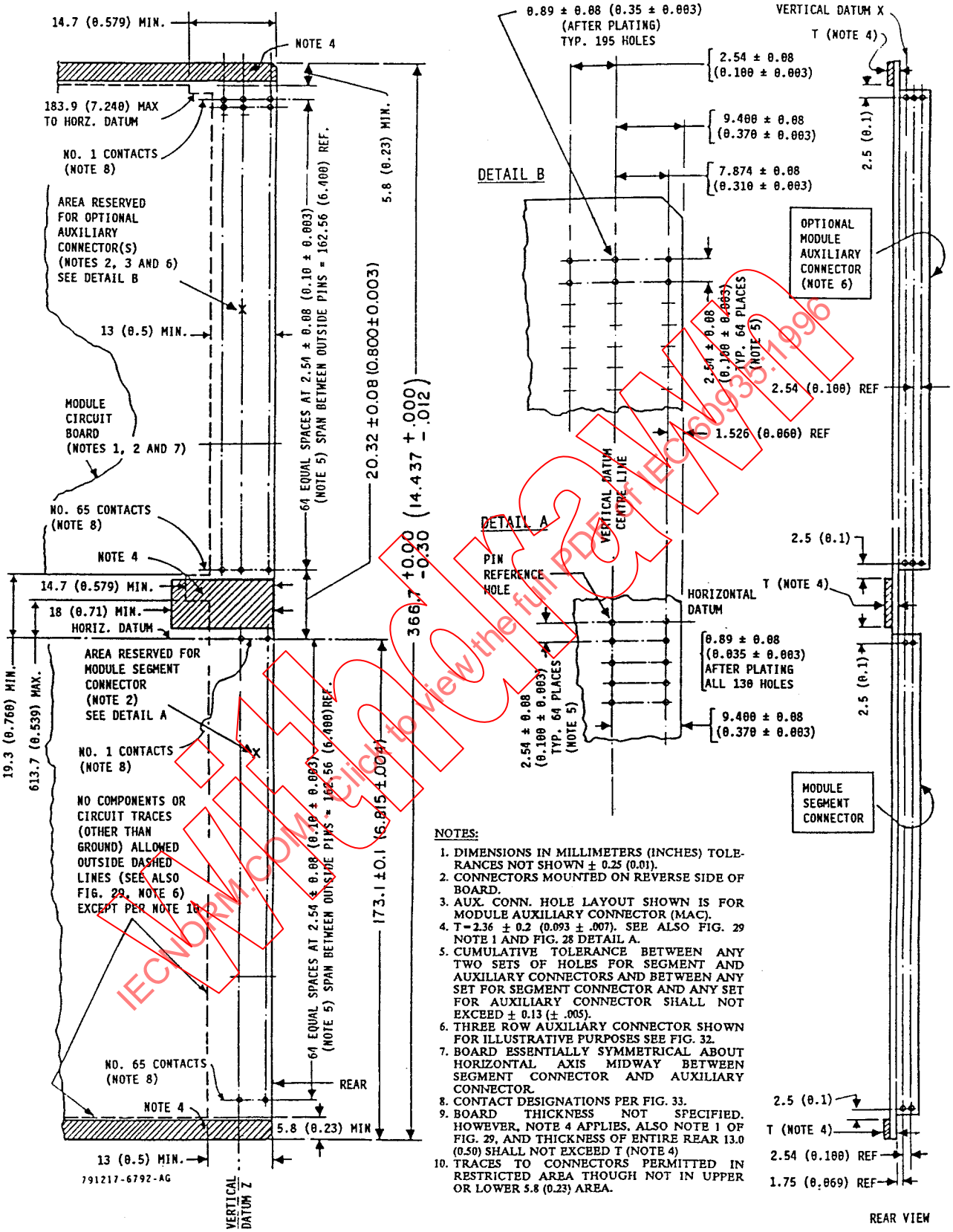


NOTES:

1. DIMENSIONS EN MILLIMETRES. LES TOLERANCES NON INDIQUEES SONT DE ± 0,25.
2. LES CONNECTEURS SONT MONTES SUR LE COTE OPPOSE DE LA CARTE.
3. L'IMPLANTATION DES TROUS DU CONNECTEUR AUXILIAIRE REPRESENTE CORRESPOND AU CONNECTEUR AUXILIAIRE DU MODULE (MAC).
4. T = 2,36 ± 0,2. VOIR EGALEMENT LA FIG. 29, NOTE 1 ET LA FIG. 28, DETAIL A.
5. LES TOLERANCES CUMULEES ENTRE UNE PAIRE QUELCONQUE DE TROUS DU CONNECTEUR DE SEGMENT ET AUXILIAIRE, ET ENTRE UNE PAIRE QUELCONQUE DE TROUS DU CONNECTEUR DE SEGMENT ET ENTRE UNE PAIRE QUELCONQUE DE TROUS DU CONNECTEUR AUXILIAIRE NE DOIVENT PAS DEPASSER ± 0,13.
6. LE CONNECTEUR AUXILIAIRE A TROIS RANGEES EST REPRESENTE A TITRE D'ILLUSTRATION; VOIR FIG. 32.
7. CARTE PRATIQUEMENT SYMETRIQUE SUIVANT L'AXE HORIZONTAL AU MILIEU ENTRE LE CONNECTEUR DE SEGMENT ET LE CONNECTEUR AUXILIAIRE.
8. DESIGNATION DES CONTACTS SUIVANT LA FIG. 33.
9. L'EPAISSEUR DE LA CARTE N'EST PAS SPECIFIEE. CEPENDANT LA NOTE 4 S'APPLIQUE DE MEME QUE LA NOTE 1 DE LA FIG. 29 ET L'EPAISSEUR SUR LA TOTALITE DE L'ARRIERE 13.0 NE DOIT PAS DEPASSER T (NOTE 4).
10. LES TRACES VERS LES CONNECTEURS SONT PERMISES DANS LA ZONE RESERVEE LIMITE EN HAUT ET EN BAS A UNE ZONE DE 5.8 (0.23).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Figure 30. Détails de la carte du module



NOTES:

1. DIMENSIONS IN MILLIMETERS (INCHES) TOLERANCES NOT SHOWN ± 0.25 (0.01).
2. CONNECTORS MOUNTED ON REVERSE SIDE OF BOARD.
3. AUX. CONN. HOLE LAYOUT SHOWN IS FOR MODULE AUXILIARY CONNECTOR (MAC).
4. T = 2.36 ± 0.2 (0.093 ± .007). SEE ALSO FIG. 29 NOTE 1 AND FIG. 28 DETAIL A.
5. CUMULATIVE TOLERANCE BETWEEN ANY TWO SETS OF HOLES FOR SEGMENT AND AUXILIARY CONNECTORS AND BETWEEN ANY SET FOR SEGMENT CONNECTOR AND ANY SET FOR AUXILIARY CONNECTOR SHALL NOT EXCEED ± 0.13 (± .005).
6. THREE ROW AUXILIARY CONNECTOR SHOWN FOR ILLUSTRATIVE PURPOSES SEE FIG. 32.
7. BOARD ESSENTIALLY SYMMETRICAL ABOUT HORIZONTAL AXIS MIDWAY BETWEEN SEGMENT CONNECTOR AND AUXILIARY CONNECTOR.
8. CONTACT DESIGNATIONS PER FIG. 33.
9. BOARD THICKNESS NOT SPECIFIED. HOWEVER, NOTE 4 APPLIES. ALSO NOTE 1 OF FIG. 29, AND THICKNESS OF ENTIRE REAR 13.0 (0.50) SHALL NOT EXCEED T (NOTE 4)
10. TRACES TO CONNECTORS PERMITTED IN RESTRICTED AREA THOUGH NOT IN UPPER OR LOWER 5.8 (0.23) AREA.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Figure 30. Module Circuit Board Details

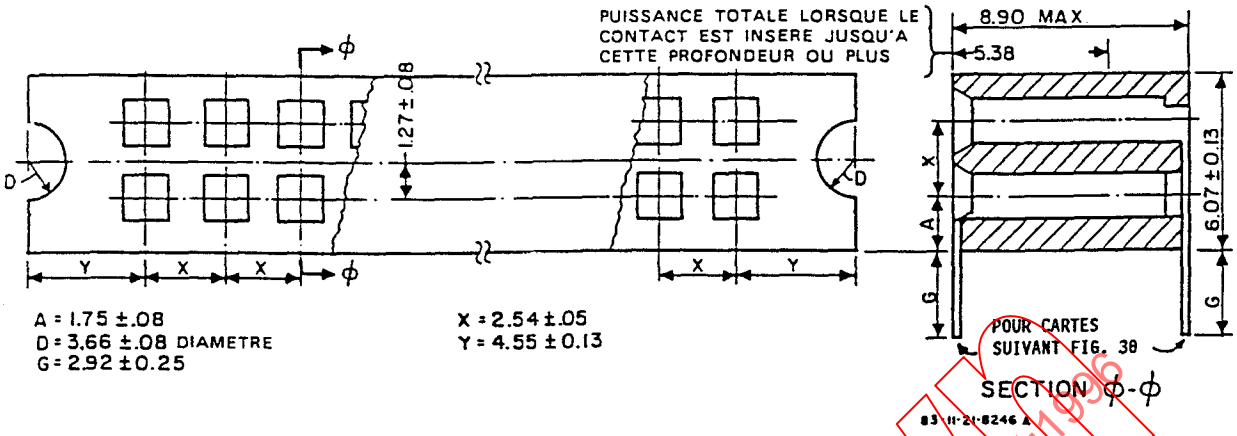


Figure 31. Dimensions des connecteurs de segment et auxiliaire à deux rangs du module

Règle

Le connecteur de segment du module doit être un connecteur de 130 contacts sur deux rangées, conforme à ce qui suit et monté sur la carte du module conformément à la figure 29 page 130, et à la figure 30 page 131.

1. *Le connecteur doit avoir des contacts femelles et doit convenablement s'adapter et s'utiliser avec le connecteur de segment du châssis (voir paragraphe 14.2.1).*
2. *Le connecteur doit être conforme à la figure 31.*
3. *Les contacts femelles, qui sont montés dans un bloc moulé (figure 28 page 129), doivent être positionnés par les broches de connexion soudées sur la carte du module (figure 29 page 130, et figure 30 page 131).*
4. *Les contacts femelles doivent être plaqués d'or d'une épaisseur minimale de $7{,}6 \times 10^{-4}$ mm sur la surface de contact.*
5. *Chaque contact doit être capable d'un fonctionnement continu jusqu'à un courant de 3,0 A.*
6. *Le connecteur doit être tel qu'un contact mâle inséré dans l'embase ne peut faire contact avec un autre contact de l'embase quelle que soit la longueur de ce contact mâle.*

L'affectation des contacts doit être conforme au tableau 25 page 133.

Le courant à travers un contact quelconque ne doit pas dépasser 3,0 A pour les lignes d'alimentation et de retour et ne doit pas dépasser 100 mA sur les contacts des autres lignes.

Le courant à travers le contact de la masse propre devra être minimisé (voir paragraphe 14.2.1).

On trouve au paragraphe K.1.1 de l'annexe K une liste partielle des connecteurs que les fabricants proposent comme conformes aux spécifications du connecteur de segment du module.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

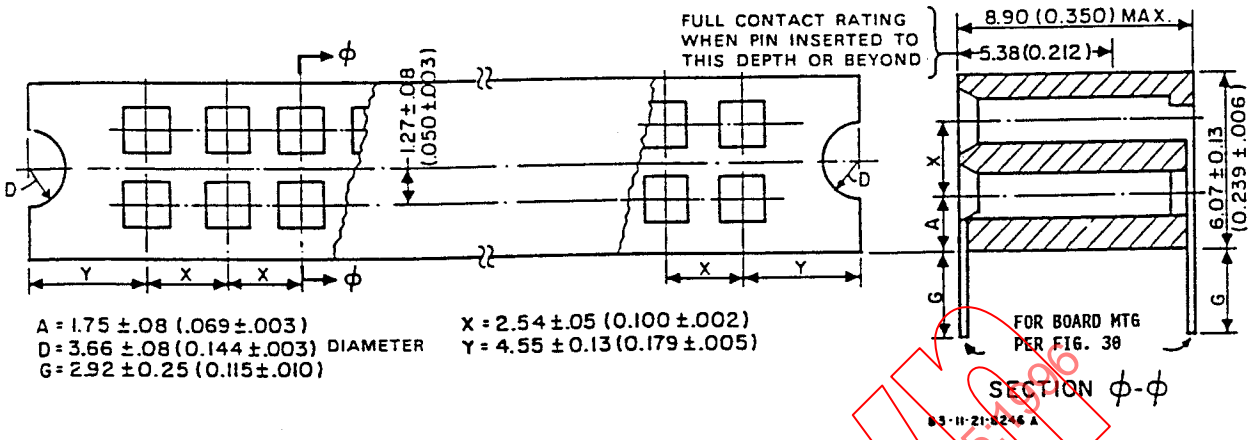


Figure 31. Dimensional Information for Module Segment and two-row Auxiliary connectors

Rule

The Module Segment Connector shall be a 130-contact double row connector conforming with the following, and mounted on the Module Circuit Board in conformance with Figure 29 on page 130, and Figure 30 on page 131.

1. ***The connector shall have contact sockets and shall be suitable for mating and use with the Crate Segment Connector (see Sub-clause 14.2.1).***
2. ***The connector shall conform with Figure 31.***
3. ***The socket contacts, mounted in a molded block (Figure 28 on page 129), shall be positioned by connecting pins soldered into the Module Circuit Board (Figure 29 on page 130, and Figure 30 on page 131).***
4. ***The socket contacts shall be plated with a minimum thickness of 7.6×10^{-4} mm (30 µin) of gold over the contact area.***
5. ***Each contact shall be capable of continuous operation at currents up to 3.0 A.***
6. ***The connector shall be such that a pin inserted into a socket cannot make contact with any other socket contact regardless of the length of the pin.***

Contact assignments shall conform to Table 25 on page 133.

The current through any contact shall not exceed 3.0 A for contacts used for power and power return lines and shall not exceed 100 mA for contacts for other lines.

Current through the Clean Earth pin should be minimized (see Sub-clause 14.2.1).

A partial listing of connectors that manufacturers indicate as conforming to the requirements for the Module Segment Connector is given in Sub-clause K.1.1 of Annex K.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 25 (page 1 / 2). Affectation des contacts du connecteur du segment-châssis. (voir aussi paragraphe 14.2.1). Par numéro de contact vu de l'avant du module ou du châssis.

N°	Nom	Fonction	N°	Nom	Fonction
B01	0 V	Retour de masse	A01	0 V	Retour de masse
B02	+28 V	Bus +28 V	A02	AL00	Niveau d'arbitrage 0
B03	+28 V	Bus +28 V	A03	AL01	Niveau d'arbitrage 1
B04	+15 V	Bus +15 V	A04	AL02	Niveau d'arbitrage 2
B05	-15 V	Bus -15 V	A05	0 V	Retour de masse
B06	0 VA	Masse propre	A06	AL03	Niveau d'arbitrage 3
B07	-5,2 V	Bus -5,2 V	A07	AL04	Niveau d'arbitrage 4
B08	-5,2 V	Bus -5,2 V	A08	AL05	Niveau d'arbitrage 5
B09	-5,2 V	Bus -5,2 V	A09	AR	Demande d'arbitrage
B10	AG	Octroi de l'arbitrage	A10	0 V	Retour de masse
B11	AI	Interdiction d'arbitrage	A11	GK	Acceptation de l'octroi
B12	SS0	Etat d'Esclave 0	A12	DK	Acceptation des données
B13	-2 V	Bus -2 V	A13	AK	Acceptation de l'adresse
B14	+5,0 V	Bus +5,0 V	A14	WT	Attente
B15	+5,0 V	Bus +5,0 V	A15	0 V	Retour de masse
B16	SS1	Etat d'Esclave 1	A16	AS	Synchro d'adresse
B17	SS2	Etat d'Esclave 2	A17	DS	Synchro de données
B18	RD	Lecture	A18	MS0	Sélection de mode 0
B19	MS2	Sélection de mode 2	A19	MS1	Sélection de mode 1
B20	LX	Réseau local	A20	0 V	Retour de masse
B21	EG	Adressage géograph. E.S.	A21	AD00	Adresse/données pds/faible
B22	+5,0 V	Bus +5,0 V	A22	AD01	Adresse/données
B23	SR	Demande de service	A23	AD02	Adresse/données
B24	RB	RAZ du bus	A24	AD03	Adresse/données
B25	BH	Arrêt du bus	A25	0 V	Retour de masse
B26	B26R	Réservé	A26	AD04	Adresse/données
B27	GA00	Adresse géograph. 0	A27	AD05	Adresse/données
B28	GA01	Adresse géograph. 1	A28	AD06	Adresse/données
B29	GA02	Adresse géograph. 2	A29	AD07	Adresse/données
B30	GA03	Adresse géograph. 3	A30	0 V	Retour de masse
B31	GA04	Adresse géograph. 4	A31	AD08	Adresse/données
B32	-2 V	Bus -2 V	A32	AD09	Adresse/données
B33	DLA[1]	Sortie guirlande gauche	A33	AD10	Adresse/données
B34	DRA[1]	Entrée guirlande droite	A34	AD11	Adresse/données
B35	DLB[1]	Entrée guirlande gauche	A35	0 V	Retour de masse
B36	DRB[1]	Sortie guirlande droite	A36	AD12	Adresse/données
B37	DAR	Retour guirlande A	A37	AD13	Adresse/données
B38	DBR	Retour guirlande B	A38	AD14	Adresse/données
B39	B39R	Réservé	A39	AD15	Adresse/données
B40	FP0	Contact libre (non bussé)	A40	0 V	Retour de masse
B41	FP1	Contact libre (non bussé)	A41	TP	Contact T
B42	-5,2 V	Bus -5,2 V	A42	A42R	Réservé
B43	FP2	Contact libre (non bussé)	A43	PE	Mise E.S. parité
B44	FP3	Contact libre (non bussé)	A44	PA	Parité
B45	B45R	Réservé	A45	0 V	Retour de masse
B46	TR0	Adapté usage limité	A46	AD16	Adresse/données
B47	TR1	Adapté usage limité	A47	AD17	Adresse/données
B48	TR2	Adapté usage limité	A48	AD18	Adresse/données
B49	TR3	Adapté usage limité	A49	AD19	Adresse/données
B50	TR4	Adapté usage limité	A50	0 V	Retour de masse
B51	TR5	Adapté usage limité	A51	AD20	Adresse/données

[1]) Les modules insérés sur la face avant doivent court-circuiter DLA à DRA et DLB à DRB s'ils ne les utilisent pas.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Table 25 (Page 1 of 2). Segment Connector Contact Assignments. (see also Sub-clause 14.2.1). In order of contact number as viewed from front of module or crate

N⁰	Mnemonic	Function	N⁰	Mnemonic	Function
B01	0 V	Power return	A01	0 V	Power return
B02	+28 V	+28 V bus	A02	AL00	Arbitration Level 0
B03	+28 V	+28 V bus	A03	AL01	Arbitration Level 1
B04	+15 V	+15 V bus	A04	AL02	Arbitration Level 2
B05	-15 V	-15 V bus	A05	0 V	Power return
B06	0 VA	Clean Earth	A06	AL03	Arbitration Level 3
B07	-5.2 V	-5.2 V bus	A07	AL04	Arbitration Level 4
B08	-5.2 V	-5.2 V bus	A08	AL05	Arbitration Level 5
B09	-5.2 V	-5.2 V bus	A09	AR	Arbitration Request
B10	AG	Arbitration Grant	A10	0 V	Power return
B11	AI	Arbitration Inhibit	A11	GK	Grant Acknowledge
B12	SS0	Slave Status 0	A12	DK	Data Acknowledge
B13	-2 V	-2 V bus	A13	AK	Address Acknowledge
B14	+5.0 V	+5.0 V bus	A14	WT	Wait
B15	+5.0 V	+5.0 V bus	A15	0 V	Power return
B16	SS1	Slave Status 1	A16	AS	Address Sync.
B17	SS2	Slave Status 2	A17	DS	Data Sync.
B18	RD	Read	A18	MS0	Mode Select 0
B19	MS2	Mode Select 2	A19	MS1	Mode Select 1
B20	LX	LAN Connection	A20	0 V	Power return
B21	EG	Enable Geog. Address	A21	AD00	Address/Data, LSB
B22	+5.0 V	+5.0 V bus	A22	AD01	Address/Data
B23	SR	Service Request	A23	AD02	Address/Data
B24	RB	Reset Bus	A24	AD03	Address/Data
B25	BH	Bus Halted	A25	0 V	Power return
B26	B26R	Reserved	A26	AD04	Address/Data
B27	GA00	Geog. Address 0	A27	AD05	Address/Data
B28	GA01	Geog. Address 1	A28	AD06	Address/Data
B29	GA02	Geog. Address 2	A29	AD07	Address/Data
B30	GA03	Geog. Address 3	A30	0 V	Power return
B31	GA04	Geog. Address 4	A31	AD08	Address/Data
B32	-2 V	-2 V bus	A32	AD09	Address/Data
B33	DLA[1]	Daisy Chain Out Left	A33	AD10	Address/Data
B34	DRA[1]	Daisy Chain In Right	A34	AD11	Address/Data
B35	DLB[1]	Daisy Chain In Left	A35	0 V	Power return
B36	DRB[1]	Daisy Chain Out Right	A36	AD12	Address/Data
B37	DAR	Daisy Chain A Return	A37	AD13	Address/Data
B38	DBR	Daisy Chain B Return	A38	AD14	Address/Data
B39	B39R	Reserved	A39	AD15	Address/Data
B40	FP0	Free Pin (not bussed)	A40	0 V	Power return
B41	FP1	Free Pin (not bussed)	A41	TP	T pin
B42	-5.2 V	-5.2 V bus	A42	A42R	Reserved
B43	FP2	Free Pin (not bussed)	A43	PE	Parity Enable
B44	FP3	Free Pin (not bussed)	A44	PA	Parity
B45	B45R	Reserved	A45	0 V	Power return
B46	TR0	Terminated Restricted	A46	AD16	Address/Data
B47	TR1	Terminated Restricted	A47	AD17	Address/Data
B48	TR2	Terminated Restricted	A48	AD18	Address/Data
B49	TR3	Terminated Restricted	A49	AD19	Address/Data
B50	TR4	Terminated Restricted	A50	0 V	Power return
B51	TR5	Terminated Restricted	A51	AD20	Address/Data

[1] Front inserted Modules shall short DLA to DRA and DLB to DRB if not used.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Tableau 25 (page 2 / 2). Affectation des contacts du connecteur du segment-châssis. (voir aussi paragraphe 14.2.1). Par numéro de contact vu de l'avant du module ou du châssis.

N°	Nom	Fonction	N°	Nom	Fonction
B52	+ 5,0 V	Bus + 5,0 V	A52	AD21	Adresse/données
B53	TR6	Adapté usage limité	A53	AD22	Adresse/données
B54	TR7	Adapté usage limité	A54	AD23	Adresse/données
B55	UR0	Non adapté usage limité	A55	0 V	Retour de masse
B56	UR1	Non adapté usage limité	A56	AD24	Adresse/données
B57	TX	Transmission série	A57	AD25	Adresse/données
B58	RX	Réception série	A58	AD26	Adresse/données
B59	-5,2 V	Bus -5,2 V	A59	AD27	Adresse/données
B60	-5,2 V	Bus -5,2 V	A60	0 V	Retour de masse
B61	-5,2 V	Bus -5,2 V	A61	AD28	Adresse/données
B62	-2 V	Bus -2 V	A62	AD29	Adresse/données
B63	+ 5,0 V	Bus + 5,0 V	A63	AD30	Adresse/données
B64	+ 5,0 V	Bus + 5,0 V	A64	AD31	Adresse/données pds/fort
B65	0 V	Retour de masse	A65	0 V	Retour de masse

1) Les modules insérés sur la face avant doivent court-circuiter DLA à DRA et DLB à DRB s'ils ne les utilisent pas.

13.2.2 Connecteur auxiliaire du module

Règle

Le connecteur multicontact optionnel monté sur la carte du module dans l'emplacement réservé indiqué sur la figure 29 page 130, doit être le connecteur auxiliaire de module (MAC) conforme à la spécification suivante et placé conformément à la figure 29 page 130, et à la figure 30 page 131:

1. *Le connecteur doit avoir des contacts femelles et doit convenablement s'adapter et s'utiliser avec le connecteur auxiliaire de châssis (voir paragraphe 14.2.2).*
2. *Le MAC à deux rangées doit être conforme à la figure 31 page 132. Pour un connecteur à une seule rangée, le rang supérieur doit être supprimé. Les connecteurs à trois rangées doivent être conformes à la figure 32 page 135.*
3. *Les contacts femelles, qui sont montés dans un bloc moulé (figure 31 page 132, et figure 32 page 135), doivent être positionnés par les broches de connexion soudées sur la carte du module.*
4. *Les contacts femelles doivent être plaqués d'or d'une épaisseur minimale de $7{,}6 \times 10^{-4}$ mm sur la surface de contact.*
5. *Chaque contact doit être capable d'un fonctionnement continu jusqu'à un courant de 3,0 A.*
6. *Pour les MAC à deux rangs, le connecteur doit être tel qu'un contact mâle inséré dans l'embase ne peut faire contact avec un autre contact de l'embase quelle que soit la longueur de ce contact mâle. Cela s'applique également aux MAC à trois rangs si la longueur des contacts mâles de la rangée supérieure est dans les spécifications (note 2 de la figure 35 page 139) et que la longueur d'aucun contact des rangs inférieurs ne dépasse celle du rang supérieur de plus de 0,8 mm.*

Le courant à travers un contact quelconque ne doit pas dépasser 3,0 A pour pour les lignes d'alimentation et de retour et ne doit pas dépasser 100 mA sur les contacts des autres lignes.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Table 25 (Page 2 of 2). Segment Connector Contact Assignments. (see also Sub-clause 14.2.1). In order of contact number as viewed from front of module or crate

N⁰	Mnemonic	Function	N⁰	Mnemonic	Function
B52	+ 5.0 V	+ 5.0 V bus	A52	AD21	Address/Data
B53	TR6	Terminated Restricted	A53	AD22	Address/Data
B54	TR7	Terminated Restricted	A54	AD23	Address/Data
B55	UR0	Unterm. Restricted	A55	0 V	Power return
B56	UR1	Unterm. Restricted	A56	AD24	Address/Data
B57	TX	Transmit Serial	A57	AD25	Address/Data
B58	RX	Receive Serial	A58	AD26	Address/Data
B59	-5.2 V	-5.2 V bus	A59	AD27	Address/Data
B60	-5.2 V	-5.2 V bus	A60	0 V	Power return
B61	-5.2 V	-5.2 V bus	A61	AD28	Address/Data
B62	-2 V	-2 V bus	A62	AD29	Address/Data
B63	+ 5.0 V	+ 5.0 V bus	A63	AD30	Address/Data
B64	+ 5.0 V	+ 5.0 V bus	A64	AD31	Address/Data, MSB
B65	0 V	Power return	A65	0 V	Power return

[1] Front inserted Modules shall short DLA to DRA and DLB to DRB if not used.

13.2.2 Module Auxiliary Connector

Rule

Optional multicontact connectors mounted on Module Circuit Boards in the reserved area indicated in Figure 29 on page 130, shall be the Module Auxiliary Connectors (MAC) conforming with the following and located in conformance with Figure 29 on page 130, and Figure 30 on page 131:

1. *The connector shall have contact sockets and shall be suitable for mating and use with the Crate Auxiliary Connector (see Sub-clause 14.2.2).*
2. *Two row MACs shall conform with Figure 31 on page 132. For single row connectors, the top row shall be omitted. Three row connectors shall conform with Figure 32 on page 135.*
3. *The socket contacts, mounted in a molded block (Figure 31 on page 132, and Figure 32 on page 135), shall be positioned by connecting pins soldered into the Module Circuit Board.*
4. *The socket contacts shall be plated with a minimum thickness of 7.6×10^{-4} mm (30 µin) of gold over the contact area.*
5. *Each contact shall be capable of continuous operation at currents up to 3.0 A.*
6. *For two-row MACs, the connector shall be such that a pin inserted into a socket cannot make electrical contact with any other socket contact regardless of the length of the pin. This shall apply also for three-row MACs if the length of the upper row pins is within specification (Note 2 of Figure 35 on page 139) and the length of no lower row pin exceeds that of the upper row pins by more than 0.8 mm (0.032 in).*

The current through any contact shall not exceed 3.0 A for contacts used for power and power return lines and shall not exceed 100 mA for contacts for other lines.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

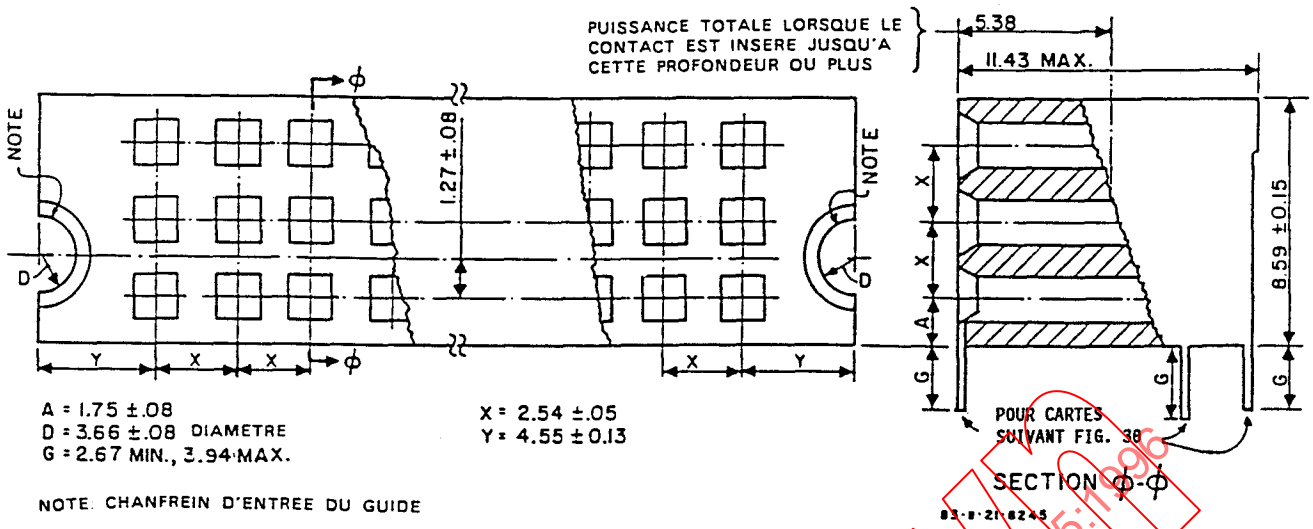


Figure 32. Dimensions du connecteur auxiliaire à trois rangs du module

La figure 30 page 131, représente la position des trous sur la carte du module pour un connecteur de 195 positions au maximum. Lorsque moins de connexions suffisent, un connecteur plus petit peut être utilisé (par exemple un connecteur à deux rangées de 65 positions pour un total de 130 points de contact, ou un connecteur qui n'utiliserait pas la totalité des 65 positions verticales). Les connecteurs de segment du module, à 130 contacts sur deux rangées (voir paragraphe 13.2.1) sont conformes aux spécifications du MAC. On trouve au paragraphe K.1.1 de l'annexe K une liste partielle des connecteurs que les fabricants proposent comme conformes aux spécifications du MAC à trois rangs.

Lorsque le module fournit des alimentations au connecteur auxiliaire, il est recommandé que l'affectation des contacts 1, 32, 33, 34 et 65 des rangs A, B et C, soit celle du tableau 29 page 152.

13.2.3 Autres connecteurs

Les connecteurs coaxiaux recommandés sont de la série SMB selon la Publication 169-10 de la CEI. L'annexe B donne des recommandations pour les interconnexions sur la face avant.

13.2.4 Désignations des contacts des connecteurs de segment et auxiliaires

Règle

La désignation des contacts sur le connecteur de segment du module et sur le connecteur auxiliaire du module, ainsi que sur l'implantation correspondante des connecteurs sur la carte du module (voir article 13.1 et la figure 30 page 131), doivent être conformes à la figure 33 page 136.

13.3 Considérations sur la température et la puissance dissipable

Les modules FASTBUS doivent fonctionner à une température qui garantit un fonctionnement fiable, sans maintenance et une longue durée de vie. Par conséquent, on doit porter une attention particulière à la puissance dissipée, à l'étude thermique et au système de refroidissement.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

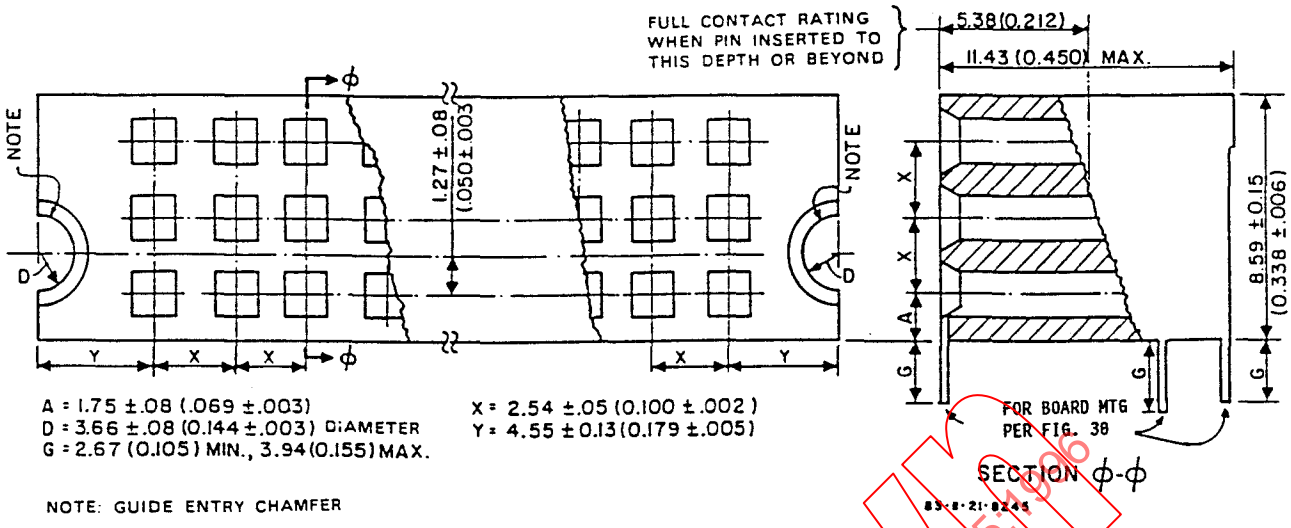


Figure 32. Dimensional Information for Three-row Module Auxiliary Connector

Figure 30 on page 131, shows the hole pattern on the Module Circuit Board for the maximum 195-position connector. When fewer connections will suffice, a smaller connector may be used (e.g. a two row by 65-position connector for a total of 130 connections, or a connector not using the full 65 vertical positions). The 130 contact two row Module Segment Connectors (see Sub-clause 13.2.1) conform to the requirements for MACs. A partial listing of connectors that manufacturers indicate as conforming to the requirements for three row MACs is given in Sub-clause K.1.1 of Annex K.

Where power is supplied from a Module to the Auxiliary Connector, it is recommended that the assignments be as shown in Table 29 on page 152, for contacts 1, 32, 33, 34 and 65 of rows A, B and C.

13.2.3 Other Connectors

Recommended coaxial connectors are the series SMB in accordance with IEC Publication 169-10. Annex B gives recommendations for front panel interconnections.

13.2.4 Segment and Auxiliary Connector Contact Designations

Rule

Contact designations for the Module Segment Connector and the Module Auxiliary Connector, and the corresponding connector "footprints" on the Module Circuit Board (see Clause 13.1 and Figure 30 on page 131), shall be as shown in Figure 33 on page 136.

13.3 Temperature Considerations and Power Dissipation

FASTBUS Modules must be operated at temperatures that ensure reliability, long life and maintenance-free operation. Therefore, careful attention must be paid to power dissipation, to the thermal design and to the cooling systems.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

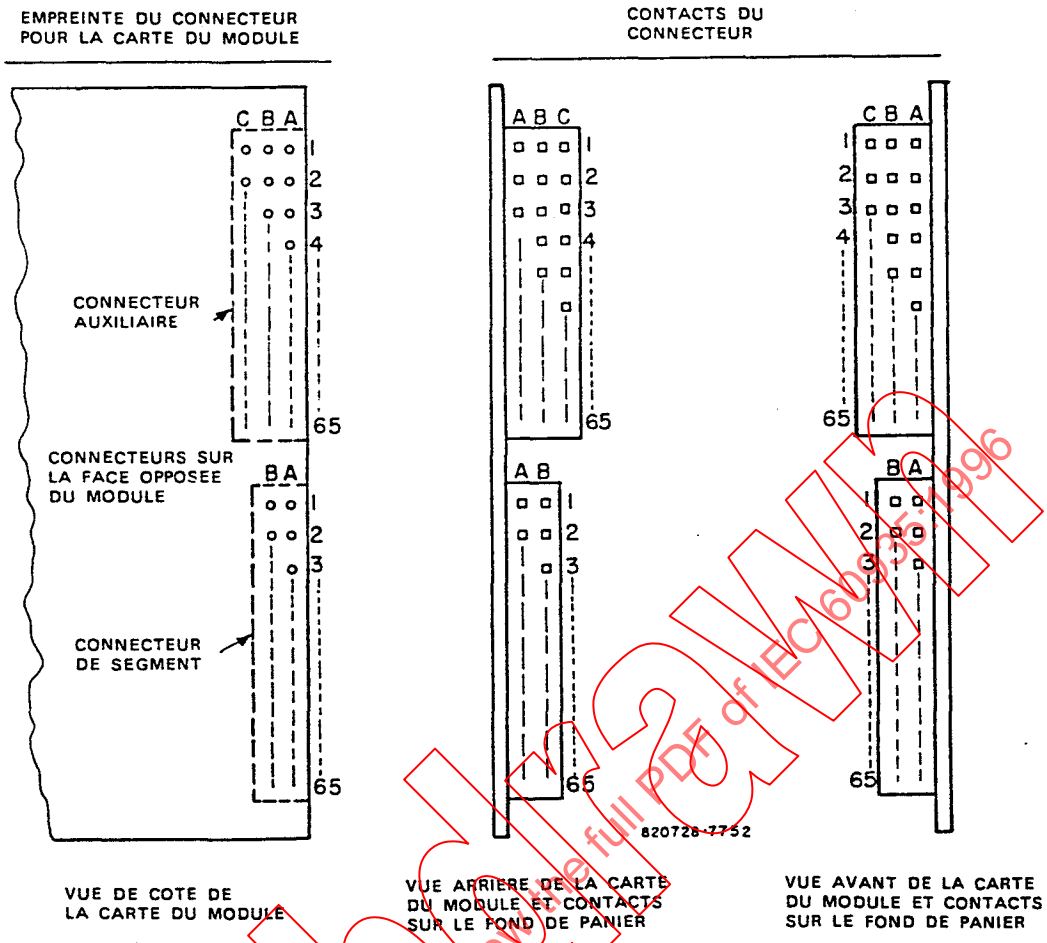


Figure 33. Désignations des contacts des connecteurs de segment et auxiliaire et implantation sur le circuit

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

13.3.1 Températures des puces et des modules

Règle

Ce qui suit doit s'appliquer aux dispositifs FASTBUS:

1. *La température de la puce des circuits intégrés ne doit pas dépasser 85 °C.*
2. *La différence de température entre les puces des circuits intégrés qui sont directement connectés entre eux ne doit pas dépasser les limites données dans l'annexe A.*
3. *Pour les modules qui sont refroidis à l'air, la température de l'air de refroidissement ne doit pas dépasser 60 °C en aucun point du module, et la différence de température de l'air de refroidissement, entre deux points d'un module, ne doit pas dépasser 20 °C. Ces spécifications de température et la température de la puce spécifiée en (1) et (2) ci-dessus, doivent être garanties pour un flux linéaire d'air de 2,00 m/s.*
4. *La mesure de la température de l'air doit être faite avec le module dans un châssis FASTBUS. Le module en essai doit avoir un module de chaque côté qui dissipe la même puissance que le module en essai. La mesure de température doit être faite dans le flux d'air de chaque côté du module en essai.*

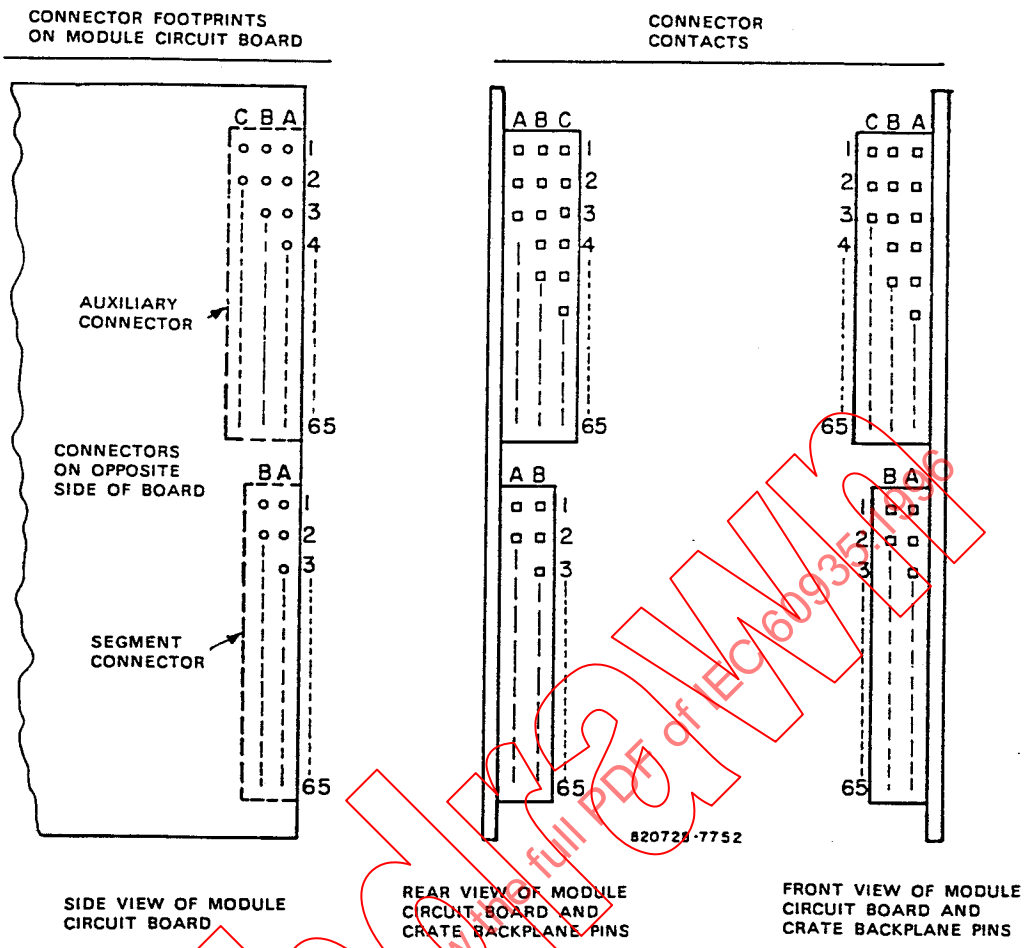


Figure 33. Segment and Auxiliary Connector Contact Designations and Corresponding circuit Board Footprints

13.3.1 Die and Module Temperatures

Rule

The following shall apply for FASTBUS Devices:

1. *The die temperatures of the integrated circuits shall not exceed 85 °C.*
2. *The temperature differential between the dies of integrated circuits that connect directly to each other shall not exceed the limits given in Annex A.*
3. *For Modules that are air cooled, the cooling air temperature shall not exceed 60 °C at any point in the Module and the temperature differential of the cooling air between any two points in the Module, shall not exceed 20 °C. These temperature specifications and the die temperature specifications of (1) and (2) above shall be maintained for a linear air flow through the Module of 2.0 m/s (400 ft/min).*
4. *The measurement of the air temperatures shall be made with the Module in a FASTBUS Crate. The Module under test shall have a Module on each side dissipating the same power as the test Module. The temperature measurements shall be made in the air stream on each side of the test Module.*

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

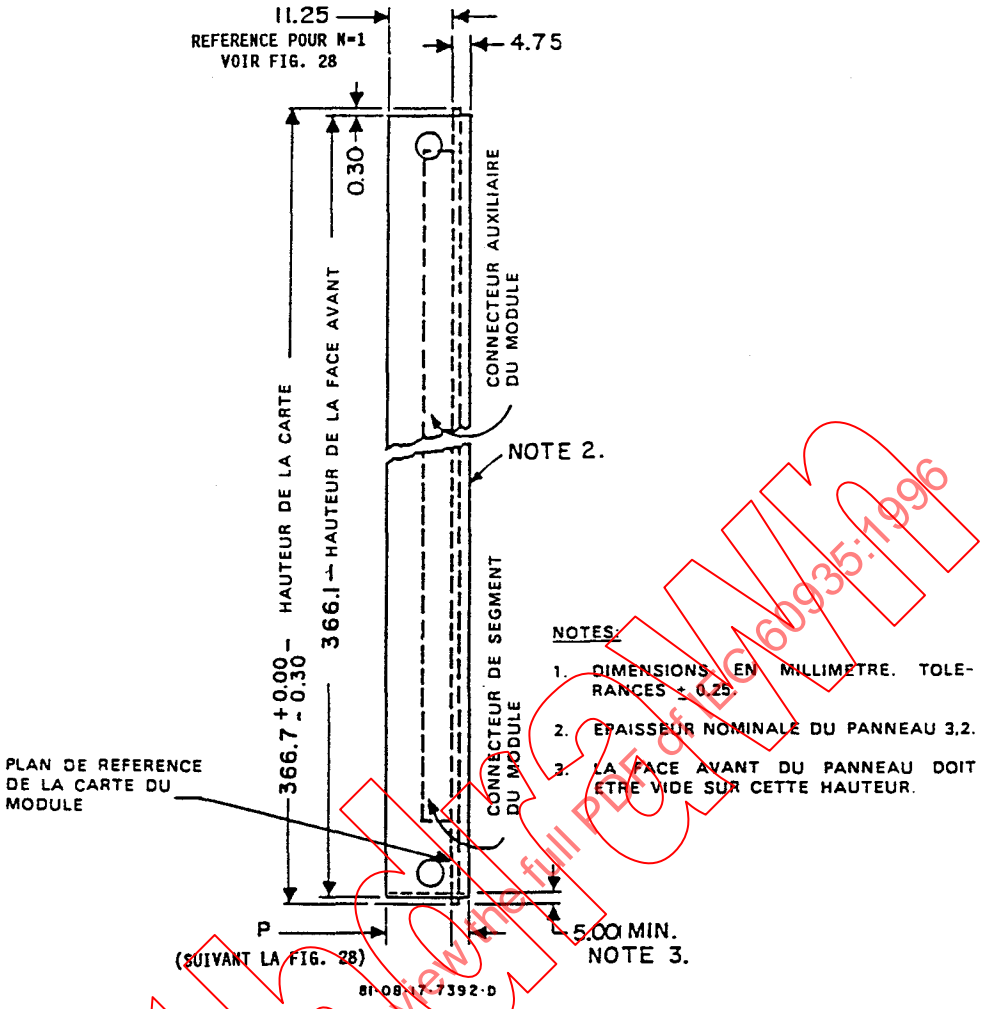


Figure 34. Position relative du panneau avant et de la carte du module

13.3.2 Puissance dissipée

Règle

La puissance dissipée ne doit pas dépasser 75 x N W où N est la largeur en unité du module, sauf pour les modules étudiés et clairement identifiés comme étant des modules à forte dissipation.

13.3.3 Refroidissement

Différents modes de refroidissement peuvent être utilisés pour les modules (voir annexes G et H par exemple). Le module, sans blocage, est destiné à être utilisé avec un refroidissement à l'air. Avec un capot approprié (plaque froide), il peut également être refroidi par conduction/eau. (Voir également l'annexe F.)

13.4 Panneau avant

Il est recommandé que chaque module FASTBUS possède un panneau avant tel qu'il est représenté sur les dessins de la section 13. Il est en plus recommandé qu'il soit fixé en un

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

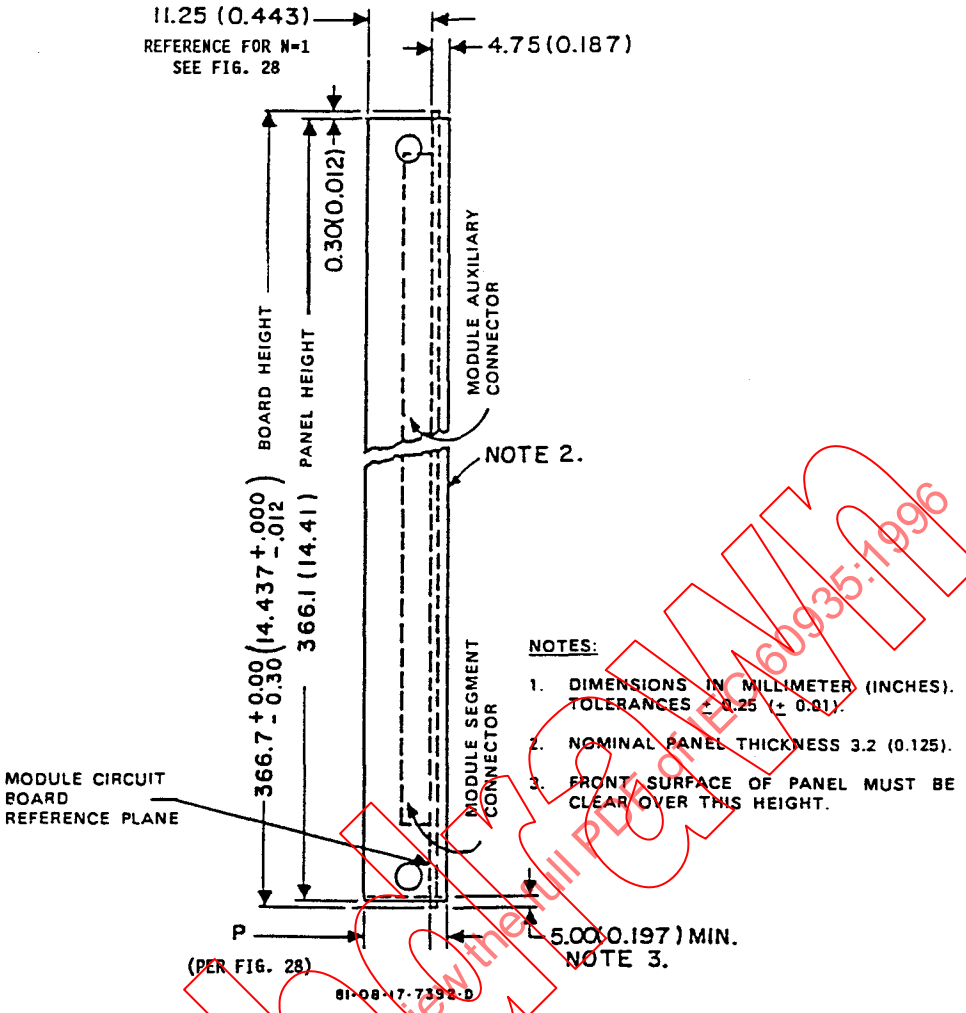


Figure 34. Module Front Panel in Relation to Module Circuit Board

13.3.2 Power Dissipation

Rule

The power dissipation in a Module shall not exceed 75 x N W where N is the unit width of the Module, except for Modules designated and clearly identified as high-power Modules.

13.3.3 Cooling

Various cooling schemes can be used for the Modules (see Annexes G and H for example). The Module, without attachments, is intended for use with air cooling. With an appropriate cover plate (cold plate), it can also be conduction/water cooled. (See also Annex F.)

13.4 Front Panel

It is recommended that each FASTBUS Module include a front panel as shown in the drawings in Section 13. It is further recommended that attachment be made in a sufficient

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

nombre suffisant de points (un minimum de trois est recommandé) pour éviter que la carte ne se déforme par rapport aux dimensions spécifiées.

Règle

Les vis de fixation du panneau avant doivent être conformes à la figure 28 page 129, et doivent servir pour extraire le module du châssis à l'aide d'un simple câble ou d'un autre dispositif valable.

13.5 Voyants indiquant l'activité du module

Règle

Un voyant LED jaune visible de l'avant, proche du haut du module, doit être allumé par un monostable[1] lorsque le dispositif se comporte en Esclave connecté sur le segment.

Un voyant LED vert, juste en dessous du voyant jaune (voir ci-dessus), doit être allumé par un monostable[1] lorsque le dispositif se comporte comme un Maître sur le segment.

13.6 Indication de la consommation

Les tensions et courants nécessaires devront être indiqués clairement et de manière permanente sur tous les modules, de préférence sur le panneau avant.

13.7 Transitoires

Les utilisateurs devront se méfier des transitoires produits sur les alimentations et les lignes des signaux lorsqu'un dispositif est connecté avec le châssis sous tension.

[1] L'indication du monostable doit être allumée pour une durée minimale définie (choisie pour être visible) quand le signal d'entrée est de courte durée, et doit être allumée en continu lorsque le signal se maintient.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

number of places (minimum of three recommended) so that the circuit board does not warp beyond the specified outline dimensions.

Rule

The front panel attaching screws shall conform with Figure 28 on page 129, and shall accommodate simple strap or other suitable devices for use in extracting Modules from Crates.

13.5 Module Activity Indicators

Rule

A yellow LED visible from the front, near the top of the Module, shall be lit by a monostable[1] whenever the Device is acting as an Attached Slave on the Segment.

A green LED just below the yellow LED (see above), shall be lit by a monostable[1] whenever the Device is acting as a Master on the Segment.

13.6 Labeling of Power Requirements

The voltage and current requirements should be clearly and permanently marked on all Modules, preferably on the front panel.

13.7 Transients

Users should be aware of transients generated on signal and power lines when Devices are connected with power on.

[1] A monostable indication has an "on" state of defined minimum duration (chosen for visibility) when the input signal is of short duration, and a continuous "on" state when the signal is maintained.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 14. Les châssis

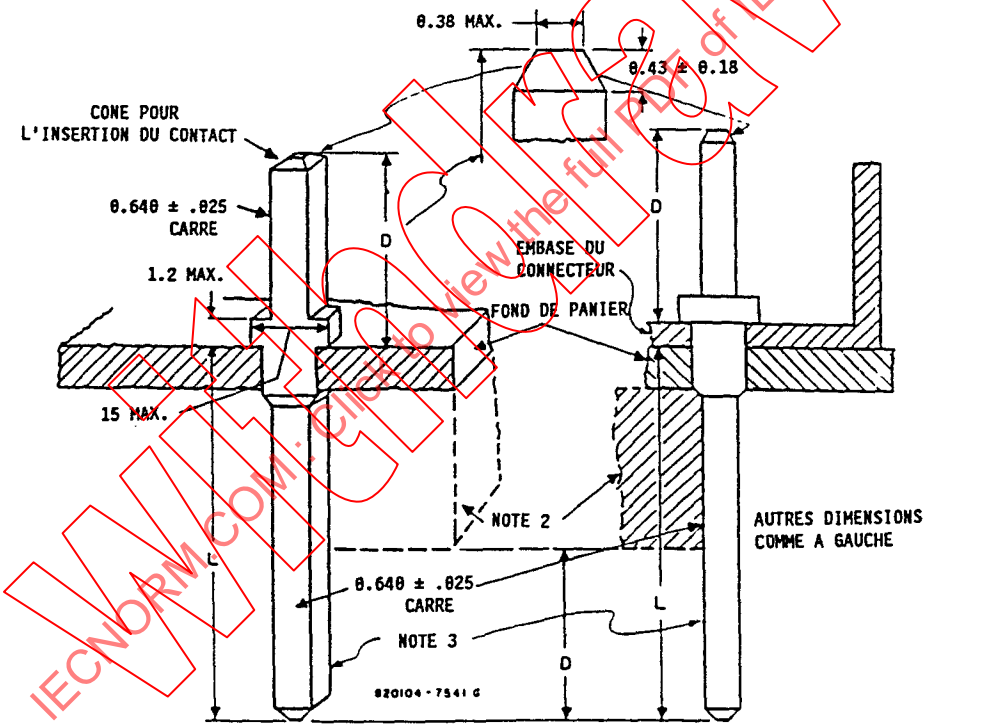
Les châssis FASTBUS (châssis) servent de logement commun pour un certain nombre de modules FASTBUS.

Règle

Un châssis FASTBUS doit être adapté aux modules FASTBUS qui sont conformes à la section 13. Le châssis doit comprendre un fond de panier qui sert de segment-châssis pour tous les modules qui sont situés dans le châssis. Le segment doit être adapté à la transmission des signaux numériques qui proviennent et qui vont vers les modules présents, à travers le connecteur de segment, suivant le protocole FASTBUS. Il doit également être prévu pour fournir les alimentations des modules à travers le connecteur de segment.

14.1 Construction des châssis

Des exemples de réalisation de châssis sont représentés dans les annexes G et H.



$D = 8.13^{+0.20}_{-0.25}$ VOIR NOTE 2

L = NOMINALEMENT $12.19^{+0.20}_{-0.25}$ OU $17.27^{+0.20}_{-0.25}$

NOTES:

1. DIMENSIONS EN MILLIMETRES
2. ANNEAU ISOLANT ADAPTE (OU AUTRE MOYEN) POUR LIMITER LA PROFONDEUR D'INSERTION DU CONTACTS A LA DIMENSION D.
3. EXTENSION ARRIERE POUR LE CABLAGE ENROULE, LES CARTES MONTEES A L'ARRIERE, ETC

Figure 35. Détails des contacts du fond de panier

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 14. Crates

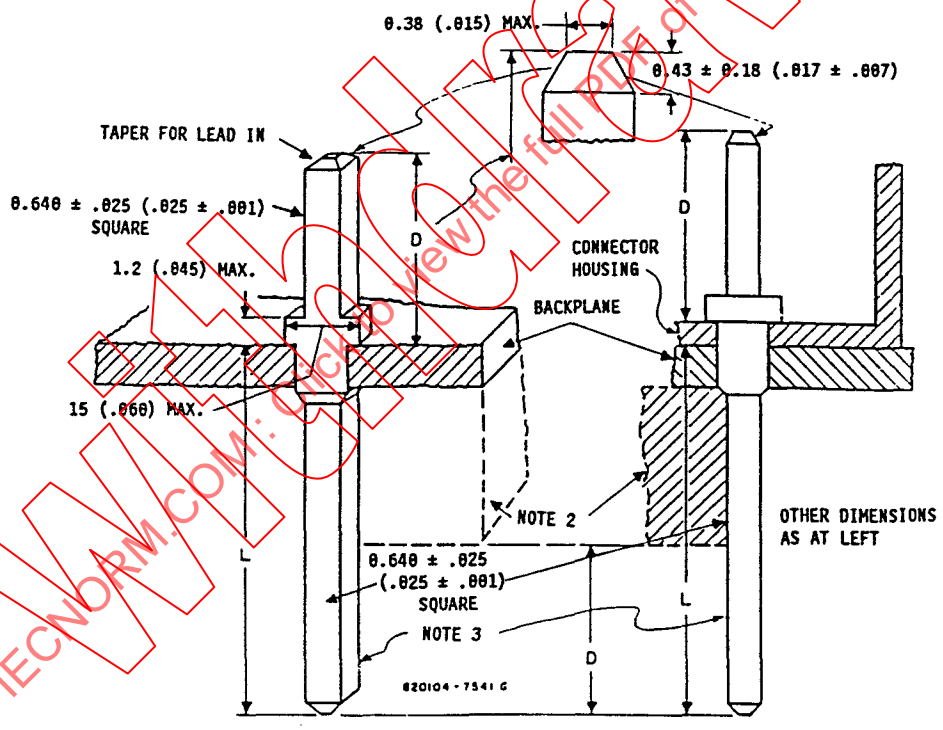
The FASTBUS Crate (Crate) serves as a common housing for a multiplicity of FASTBUS Modules.

Rule

A FASTBUS Crate shall accommodate FASTBUS Modules that are in accordance with Section 13. The Crate shall include a backplane that serves as the Crate Segment for all Modules housed in the Crate. The Segment shall be suitable for transmission of digital signals to and from the installed Modules via the Segment Connector in accordance with the FASTBUS protocol. It shall also be suitable for transmitting power to the Modules via the Segment Connector.

14.1 Crate Construction

Examples of Crate implementations are shown in Annexes G and H.



D = 8.13 $^{+0.20}_{-0.25}$ (0.320 $^{+.008}_{-.010}$) SEE NOTE 2

L = TYPICALLY 12.19 $^{+0.20}_{-0.25}$ (0.480 $^{+.008}_{-.010}$) OR 17.27 $^{+0.20}_{-0.25}$ (0.680 $^{+.008}_{-.010}$)

NOTES:

1. DIMENSIONS IN MILLIMETERS
2. SUITABLE INSULATING COLLAR (OR OTHER MEANS) FOR LIMITING INSERTION DEPTH OF PINS TO DIMENSION D
3. REAR EXTENSION FOR WIRE-WRAP, REAR MOUNTED BOARDS, ETC.

Figure 35. Backplane Pin Details

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

14.2 Fond de panier du châssis

Le fond de panier du châssis est une carte, généralement imprimée et en multicouche, à l'arrière du châssis qui constitue le segment-châssis et s'adapte au connecteur de segment du module FASTBUS. Le connecteur de segment du châssis et ses lignes associées pour la logique et les alimentations, le connecteur auxiliaire de châssis (optionnel) et les guides des connecteurs sont des éléments de l'ensemble fond de panier (voir figure 35 page 139, figure 36 page 141 et figure 37 page 143 et également l'annexe L.3).

On trouve à l'article K.1.2 de l'annexe K une liste partielle des contacts et des connecteurs que les fabricants présentent comme conformes aux spécifications des connecteurs de segment-châssis et des connecteurs auxiliaires du châssis.

Règle

Lorsque les contacts sont insérés, l'impédance caractéristique des bus signaux du fond de panier ne doit pas être inférieure à 55 Ω.

Les fonds de panier existants, lorsqu'ils sont chargés, c.-à-d. avec les modules connectés, présentent une impédance nettement inférieure à 50 Ω lors des transitions des signaux.

14.2.1 Connecteur de segment du châssis et câblage associé

Règle

Sur chaque position de module (emplacement châssis), le fond de panier du châssis doit comporter un connecteur de segment du châssis constitué de 130 contacts mâles qui doit s'adapter à la carte du module de la figure 29 page 130, et de la figure 30 page 131. Lorsque le connecteur de segment du module de la carte du module est complètement inséré, aucune partie de l'embase du connecteur de segment du châssis ne doit dépasser sur la surface de la carte sur laquelle aucun composant ou piste (autre que la masse) n'est autorisé comme défini sur la figure 29 page 130 et la figure 30 page 131. Les contacts mâles du connecteur de segment du châssis doivent être du type traversées selon la figure 35 page 139, et s'enficher d'un côté sur le connecteur de segment du module (MSC) comme spécifié au paragraphe 13.2.1, et de l'autre côté (arrière) sur un connecteur extérieur qui possède des contacts femelles de la même dimension que les contacts du MSC. L'arrière des contacts mâles doit également être capable d'accepter des fils de câblage enroulé. Les contacts doivent être plaqué d'or d'une épaisseur minimale de $7{,}6 \times 10^{-4}$ mm sur les zones de contact et sur $3{,}8 \times 10^{-4}$ mm sur la zone des connexions enroulées. La figure 35 page 139, représente le détail des contacts mâles et la figure 36 page 141 et l'annexe L.3.2, leurs positions.

Chaque contact doit être capable de fonctionner de manière continue avec un courant de 3,0 A à travers le contact avant et simultanément 3,0 A à travers le contact arrière.

L'affectation des contacts du connecteur de segment du châssis doit être conforme au tableau 25 page 133.

Tous les contacts des connecteurs de segment du châssis, sauf les contacts B06, B27, B28, B29, B30, B31, B33, B34, B35, B36, B40, B41, B43 et B44 doivent être interconnectés en bus sur le fond de panier (voir paragraphe 14.2.4).

Les contacts GA (contacts B27, B28, B29, B30 et B31) doivent être câblés sur le fond de panier pour leur codage logique conformément à la figure 39 page 144.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

14.2 Crate Backplane

The Crate backplane is a board, typically printed and multilayer, at the rear of a Crate that constitutes the Crate Segment and mates with the FASTBUS Module Segment Connectors. The Crate Segment Connector and associated busses for logic and power, the optional Crate Auxiliary Connector and the connector guides are part of the backplane assembly (see Figure 35 on page 139, Figure 36 on page 141, and Figure 37 on page 143 and also Annex L.3).

A partial listing of pin contacts and connector assemblies that manufacturers indicate as conforming to the requirements for the Crate Segment Connectors and Crate Auxiliary Connectors is given in Clause K.1.2 of Annex K.

Rule

With the pins inserted, the characteristic impedance of the backplane signal busses shall be not less than 55 Ω

Existing backplanes when loaded, that is with Modules connected, exhibit an impedance of appreciably less than 50 Ω to the signal transitions..

14.2.1 Crate Segment Connector and Associated Wiring

Rule

At each Module position (Crate slot) the Crate backplane shall contain a Crate Segment Connector consisting of 130 pin contacts and shall accommodate the Module Circuit Board assembly of Figure 29 on page 130, and Figure 30 on page 131. When fully mated with the Module Segment Connector on the Module Circuit Board, no part of the Crate Segment Connector assembly shall protrude over the area on Circuit Board on which no components or circuit traces (other than ground) are allowed as so stated in Figure 29 on page 130 or Figure 30 on page 131. The pin contacts of the Crate Segment Connector shall be feed-through type in accordance with Figure 35 on page 139, for mating on one side with the Module Segment Connector (MSC) as specified in Sub-clause 13.2.1 and on the other side (rear) with external connectors having contact sockets of the same cross-section as the MSC sockets. The rear of the pins shall also be suitable for accommodating wire wrap leads. The pins shall be plated with a minimum of 7.6×10^{-4} mm (30 µin) of gold over the contact area and 3.8×10^{-4} mm (15 µin) over the wire-wrap area. Details of the pins are shown in Figure 35 on page 139, and their locations in Figure 36 on page 141 and Annex L.3.2.

Each pin shall be capable of continuous operation at currents up to 3.0 A through its front contact and simultaneously up to 3.0 A through its rear contact.

The Crate Segment Connector pin assignments shall be in accordance with Table 25 on page 133.

All Crate Segment Connector pins, except pins B06, B27, B28, B29, B30, B31, B33, B34, B35, B36, B40, B41, B43 and B44 shall be bussed on the backplane (see Sub-clause 14.2.4).

The GA pins (pins B27, B28, B29, B30 and B31) shall be hardwired on the backplane for logic encoding in accordance with Figure 39 on page 144.

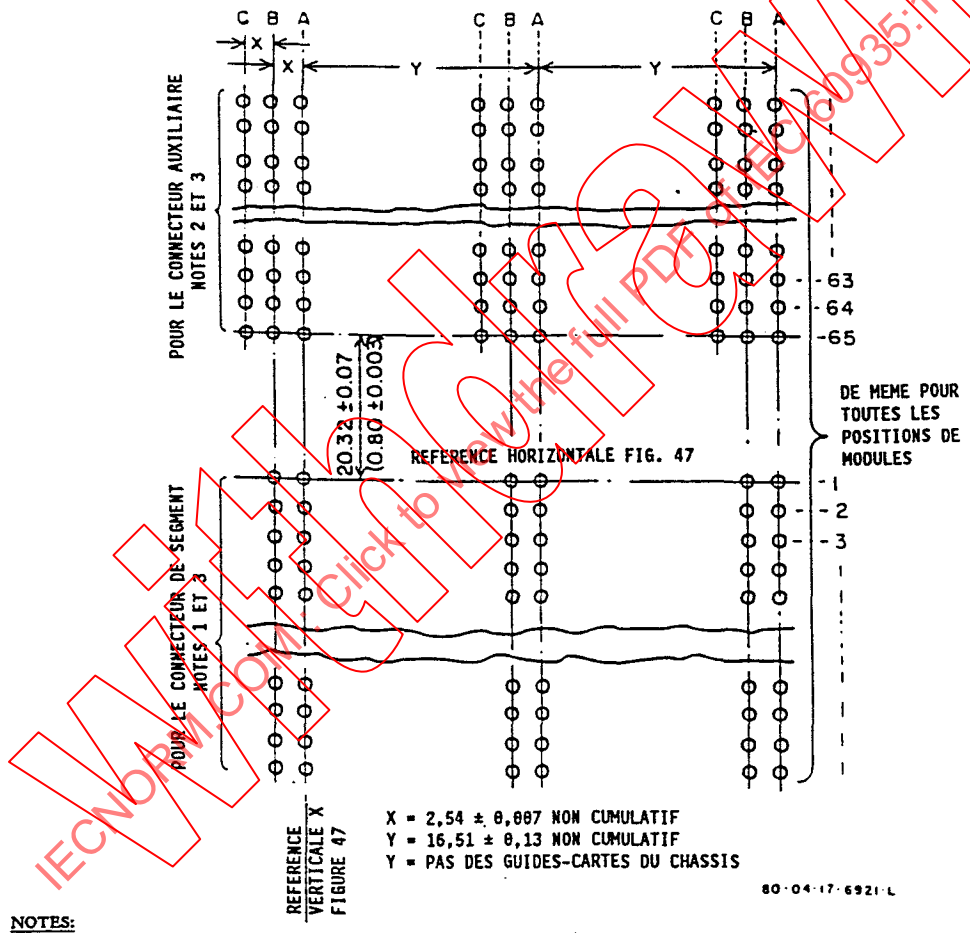
Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Règle, suite

Le contact B06 (voir tableau 25 page 133) sur chacune des positions de module est destiné à la masse de référence des tensions analogiques et doit être isolé du retour des tensions numériques. Ces contacts doivent être réunis par des lignes radiales (voir paragraphe 14.2.4) à deux points de connexion, un pour chaque moitié du plan de puissance, sur le fond de panier du segment-châssis de manière à éviter les tensions dues aux boucles de terre.

Le câblage de la guirlande du fond de panier (contacts B33, B34, B35 et B36), tel qu'il est vu du devant du châssis, doit être fait selon la figure 38 page 143.

Sur chacune des positions des modules sur le fond de panier, le contact T doit être connecté sur la ligne AD dont le numéro correspond à l'adresse géographique de la position.



NOTES:

1. 130 CONTACTS, 64 ESPACES EGAUX DE 2,54 ± 0,07, VOIR NOTE 3. ECARTEMENT ENTRE LES CONTACTS DU HAUT ET DU BAS: 162,56.
2. 195 CONTACTS, 64 ESPACES EGAUX DE 2,54 ± 0,07 VOIR NOTE 3. ECARTEMENT ENTRE LES CONTACTS DU HAUT ET DU BAS: 162,56.
3. LES TOLERANCES CUMULEES POUR UNE PAIRE DE TROUS QUELCONQUE DU CONNECTEUR DE SEGMENT ET DU CONNECTEUR AUXILIAIRE ET POUR TOUTE PAIRE DE TROUS DU CONNECTEUR DE SEGMENT ET TOUTE PAIRE DE TROUS DU CONNECTEUR AUXILIAIRE NE DOIT PAS DEPASSER ± 0,13.
4. CETTE IMPLANTATION EST VUE DU DEVANT DU FOND DE PANIER.
5. POUR L'APPELLATION DES CONTACTS VOIR LA FIGURE 33.

Figure 36. Implantation des contacts sur le fond de panier du châssis

La masse propre (0 VA), contact B06, est prévue comme référence commune de tension dans un châssis ou éventuellement sur plusieurs châssis. Les concepteurs de modules et de

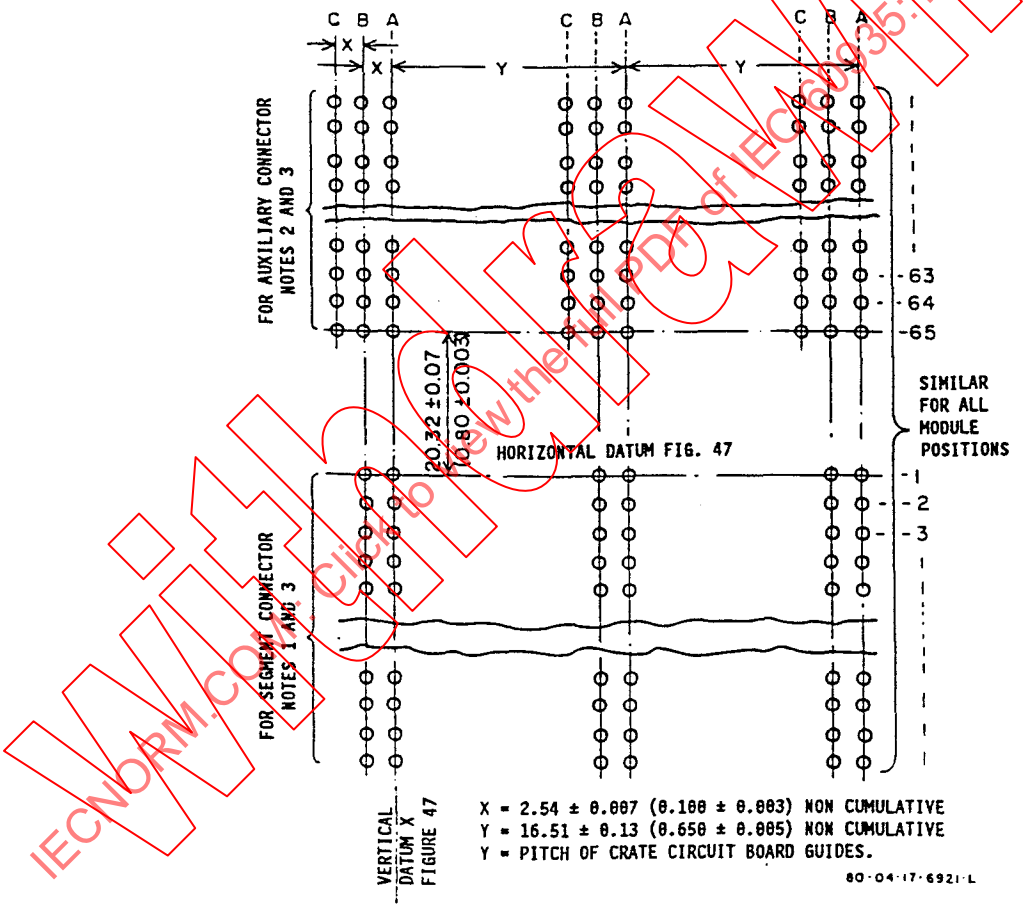
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Rule continued

Pin B06 (see Table 25 on page 133) at each Module position shall be for analog signal reference ground and shall be isolated from the digital voltage return. These pins shall be connected by radial lines (see Sub-clause 14.2.4) to two connection points, one for each half of the power plane, on the Crate Segment backplane in order to avoid potential ground loops.

Backplane daisy chain wiring (pins B33, B34, B35 and B36), as viewed from the front of the Crate, shall be as shown in Figure 38 on page 143.

At each Module position on the backplane, the T pin shall be connected to the AD line at that position whose number corresponds to the Geographical Address of the slot.



NOTES:

1. 130 PINS, 64 EQUAL SPACES OF 2.54 ± 0.07 (0.10 ± 0.003) SEE NOTE 3. SPAN BETWEEN TOP AND BOTTOM PINS: 162.56 (6.400) REF.
2. 195 PINS, 64 EQUAL SPACES OF 2.54 ± 0.07 (0.10 ± 0.003) SEE NOTE 3. SPAN BETWEEN TOP AND BOTTOM PINS: 162.56 (6.400) REF.
3. CUMULATIVE TOLERANCE FOR ANY TWO SETS OF HOLES FOR SEGMENT AND AUXILIARY CONNECTORS AND BETWEEN ANY SET FOR SEGMENT CONNECTOR AND ANY SET FOR AUXILIARY CONNECTOR SHALL NOT EXCEED ± 0.13 (± .005).
4. THIS LAYOUT IS AS VIEWED FROM FRONT OF BACKPLANE.
5. FOR PIN DESIGNATIONS SEE FIGURE 33.

Figure 36. Crate Backplane Pin Locations

Clean Earth (0 VA), pin B06, is intended as a common voltage reference throughout a crate or possibly over multiple crates. Module and system designers should minimize current in

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

systèmes doivent minimiser le courant dans cette ligne. Des câbles séparés devront être utilisés pour connecter chacun des deux contacts B06 (0 VA) du fond de panier sur un point commun de mise à la masse.

14.2.2 Connecteur auxiliaire de châssis

Règle

Les connecteurs auxiliaires de châssis doivent être disponibles sur le fond de panier du châssis sur demande de l'utilisateur. Le dessin du châssis doit être tel que la partie du fond de panier qui contient ou constitue le connecteur auxiliaire de châssis puisse être soit enlevée soit ajoutée au châssis par l'utilisateur. Dans le cas d'un châssis sans connecteur auxiliaire de châssis, on doit avoir un accès complet de l'arrière du châssis à l'arrière de la carte circuit du module au-dessus du connecteur de segment du module.

Les règles suivantes s'appliquent aux châssis où un connecteur auxiliaire de châssis est spécifié:

1. *Chaque connecteur auxiliaire de châssis sur le fond de panier du châssis doit être constitué de 195 contacts mâles pour s'adapter au connecteur auxiliaire de module tel qu'il est défini au paragraphe 13.2.2 et doit s'ajuster sur la carte circuit du module selon la figure 29 page 130, et la figure 30 page 131. Lorsque le connecteur auxiliaire de module de la carte du module est complètement inséré, aucune partie de l'embase du connecteur auxiliaire du châssis ne doit dépasser sur la surface de la carte sur laquelle aucun composant ou piste (autre que la masse) n'est autorisé comme défini sur la figure 29 page 130, et la figure 30 page 131. La position des contacts doit être celle représentée sur la figure 36 page 141.*
2. *Les contacts mâles du connecteur auxiliaire de châssis doivent être du type traversées selon la figure 35 page 139, et s'enficher d'un côté sur le connecteur auxiliaire du module (MAC) et de l'autre côté (arrière) sur un connecteur extérieur qui possède les mêmes contacts femelles de la même section que les contacts femelles du MAC. L'arrière des contacts mâles doit également être capable d'accepter des fils de câblage enroulé. Les contacts doivent être plaqués d'or d'une épaisseur minimale de $7{,}6 \times 10^{-4}$ mm sur les zones de contact et sur $3{,}8 \times 10^{-4}$ mm sur la zone des connexions enroulées. La figure 35 page 139, représente le détail des contacts mâles. (Voir également le paragraphe 13.2.2.)*
3. *Chaque contact mâle doit être capable de fonctionner en continu jusqu'à un courant de 3,0 A à travers les contacts avants et simultanément jusqu'à 3,0 A à travers les contacts arrières.*
4. *Les contacts mâles du connecteur auxiliaire de châssis ne doivent pas être câblés en bus.*

14.2.3 Guides des connecteurs

Règle

L'entrée des blocs des connecteurs du module dans les contacts du fond de panier doit être facilitée par des guides-connecteurs. Les guides des connecteurs doivent positionner le connecteur du module horizontalement et verticalement de manière telle que les contacts soient alignés avant l'entrée des contacts mâles dans les contacts femelles. Les guides doivent recevoir et guider l'ensemble carte/connecteur du module pour tous les connecteurs décrits aux paragraphes 13.2.1 et 13.2.2.

Les guides des connecteurs peuvent être soit une partie du logement du connecteur, soit en être séparés suivant les illustrations de la figure 37 page 143.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

this line. Separate cables should be used to connect each of the two B06 (0 VA) connection points on the backplane to a common grounding point.

14.2.2 Crate Auxiliary Connector

Rule

Crate Auxiliary Connectors shall be provided on the Crate backplane when so specified by the user. The Crate design shall be such that the portion of the backplane that contains or constitutes the Crate Auxiliary Connector assembly can be either omitted from or added to the Crate by the user. In the case of Crates without Crate Auxiliary Connectors, there shall be full access from the rear of the Crate to the rear of the Module Circuit Boards above the Module Segment Connectors.

The following applies where Crates with Crate Auxiliary Connectors are specified:

1. *Each Crate Auxiliary Connector on the Crate backplane shall consist of 195 pin contacts for mating with the Module Auxiliary Connector as specified in Sub-clause 13.2.2 and shall accommodate the Module Circuit Board assembly of Figure 29 on page 130, and Figure 30 on page 131. When fully mated with the Module Auxiliary Connector on the Module Circuit Board, no part of the Crate Auxiliary Connector assembly shall protrude over the area on Circuit Board on which no components or circuit traces (other than ground) are allowed as so stated in Figure 29 on page 130, or Figure 30 on page 131. The pin locations shall be as in Figure 36 on page 141.*

2. *The pin contacts of the Crate Auxiliary Connector shall be feed-through type in accordance with Figure 35 on page 139, that mate on one side with the Module Auxiliary Connector (MAC) and on the other side (rear) with external connectors having contact sockets of the same cross-section as the MAC sockets. The rear of the pins shall also be suitable for accommodating wire-wrap leads. The pins shall be plated with a minimum thickness of 7.6×10^{-4} mm (30 µin) of gold over the contact area and 3.8×10^{-4} mm (15 µin) over the wire-wrap area. Details of the pins are shown in Figure 35 on page 139. (See also Sub-clause 13.2.2.)*

3. *Each pin shall be capable of continuous operation at currents up to 3.0 A through its front contact and simultaneously up to 3.0 A through its rear contact.*

4. *The pin contacts of the Crate Auxiliary Connectors shall not be bussed.*

14.2.3 Connector Guides

Rule

Entry of the Module Connector blocks into the backplane contacts shall be facilitated by connector guides. The connector guides shall position the Module Connector blocks horizontally and vertically such that the pins are in alignment prior to the entry of the pins into the sockets. The guides shall accommodate and guide the Module Circuit Board/Connector assembly for all connectors listed in Sub-clauses 13.2.1 and 13.2.2.

The connector guides may be either part of the connector housing or separate as illustrated in Figure 37 on page 143.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

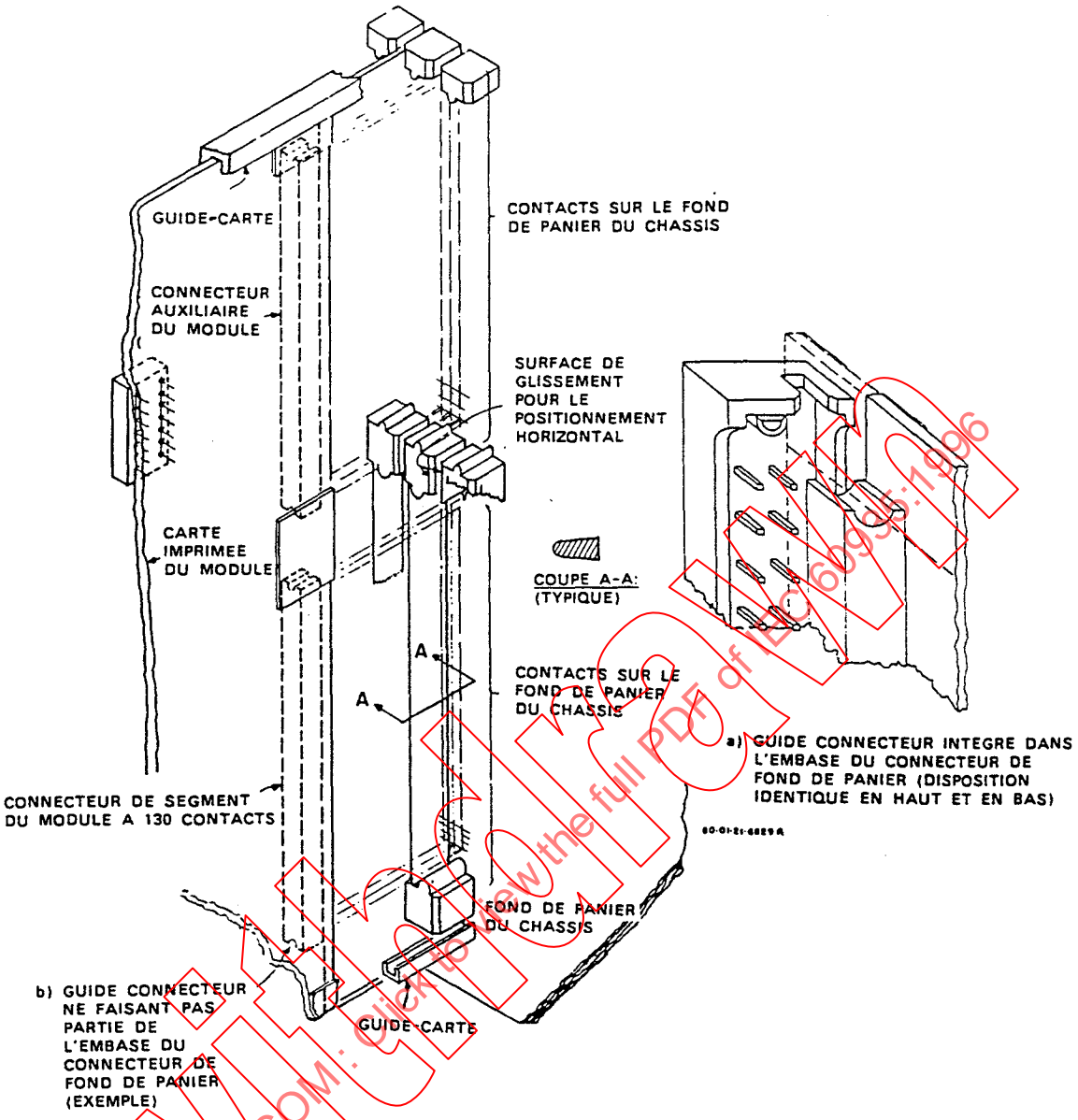


Figure 37. Guides du connecteur

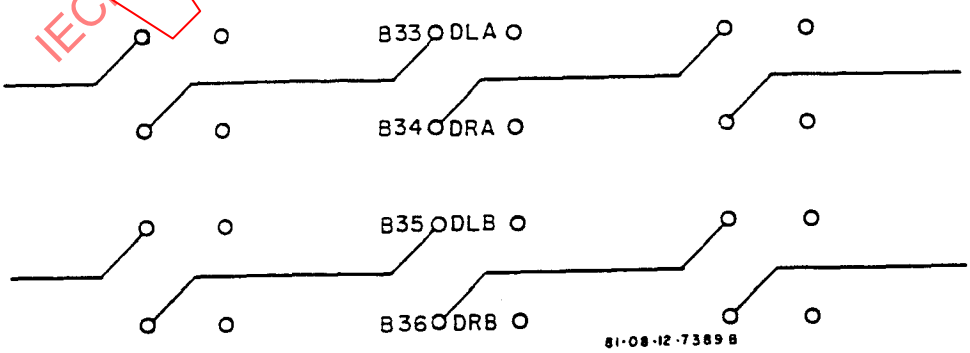


Figure 38. Câblage de la guirlande du fond de panier. (vu du devant du châssis)

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

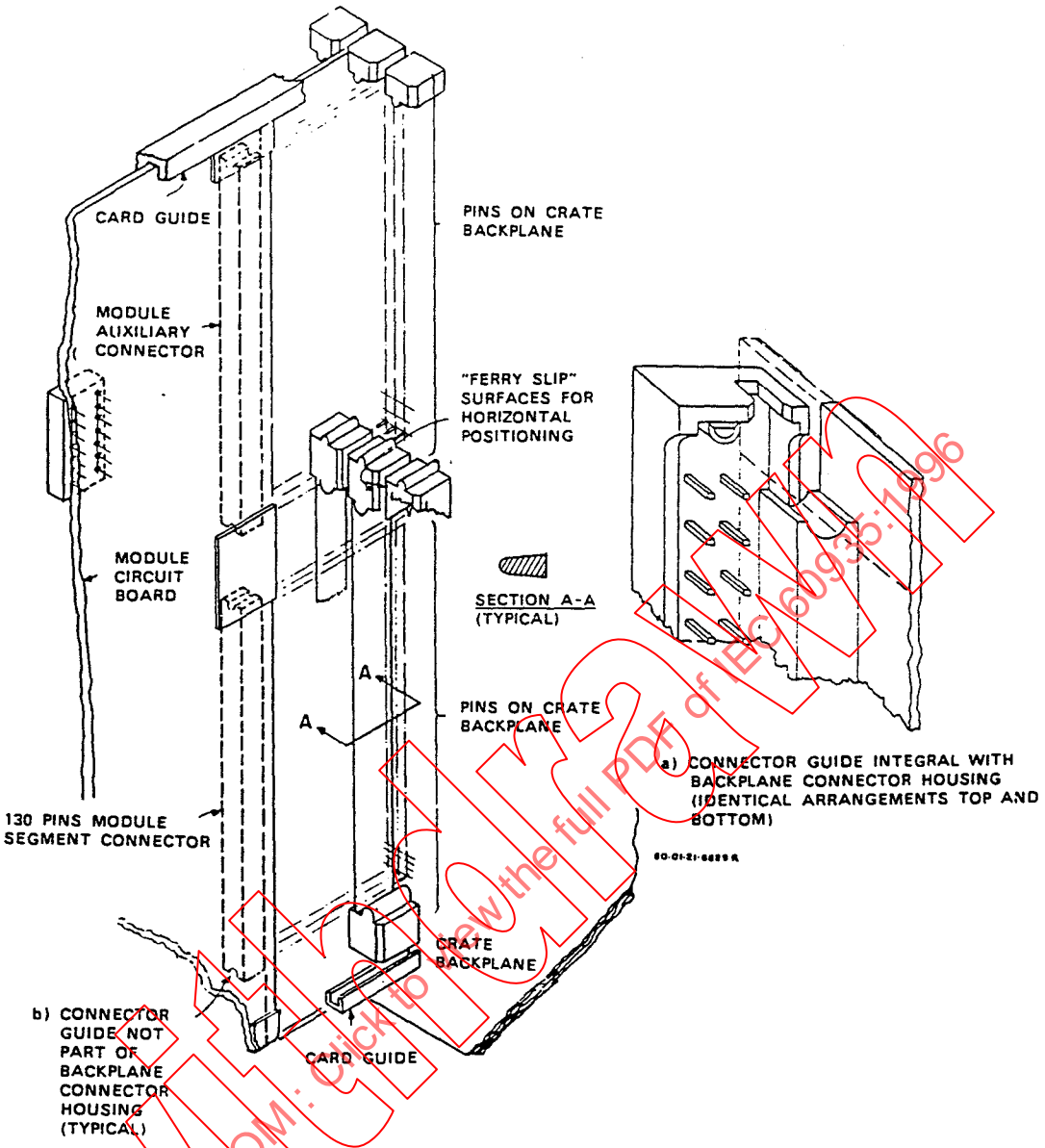


Figure 37. Connector Guides

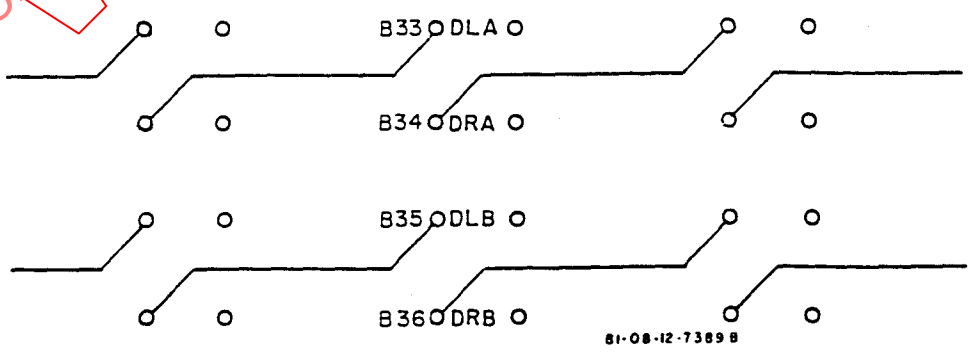


Figure 38. Backplane Daisy Chain Wiring. (Viewed from Front of Crate)

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

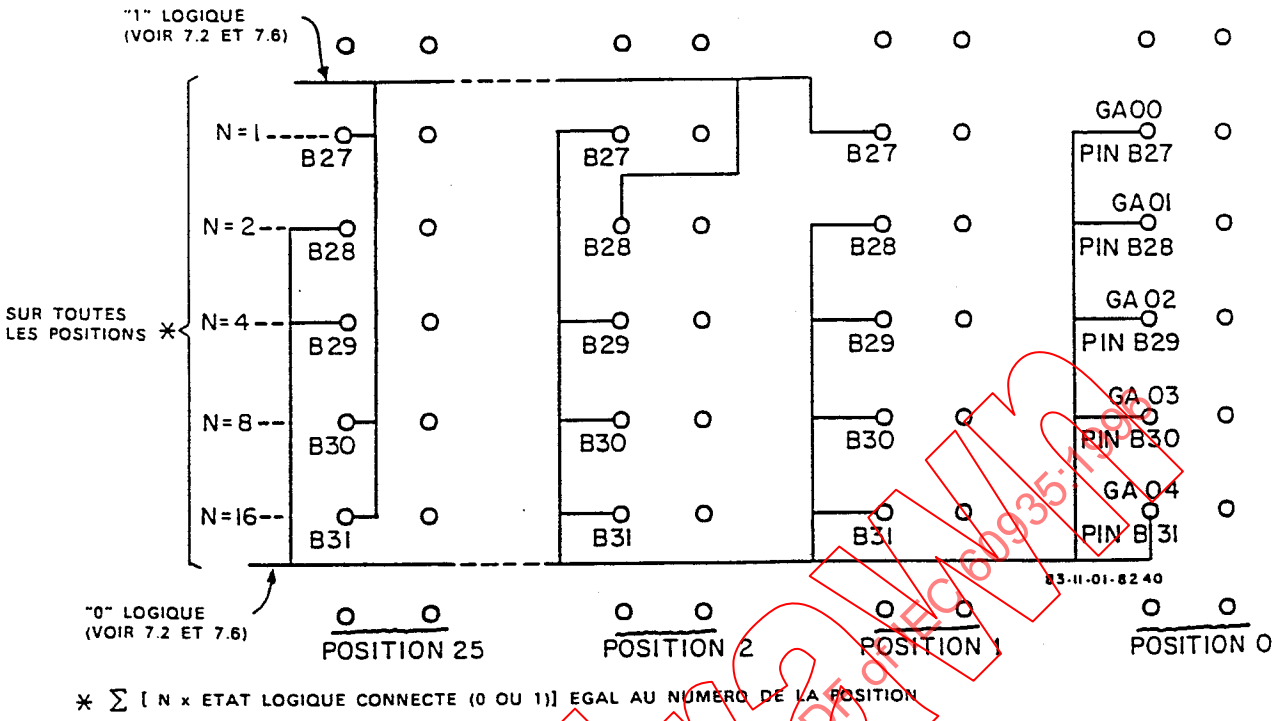


Figure 39. Câblage des contacts d'adressage géographique du fond de panier. (vu du devant du châssis)

14.2.4 Contraintes de courant sur le fond de panier

Règle

Le fond de panier du châssis doit comprendre des lignes du bus (plans) de masse, d'alimentation et de retour d'alimentation, pour leur distribution sur les contacts d'alimentation du segment-châssis. Les bus de puissance +5,0 V, -5,2 V et -2 V doivent être capables de transporter respectivement 300 A, 300 A et 200 A en permanence. Les bus de puissance +15 V, -15 V et les deux 28 V doivent être séparés au milieu du fond de panier et chaque moitié de chacun de ces bus de puissance doit être capable de transporter 25 A en permanence. La différence de tension le long du fond de panier, mesurée sur le connecteur de segment du châssis, ne doit pas dépasser 30 mV pour chacune des tensions d'alimentation et 10 mV pour le 0 V de retour des alimentations quelles que soient les conditions dans les limites de la puissance maximale du bus. (Voir également section 15 et annexe L.1.)

Les lignes radiales du fond de panier vers les contacts B06 (paragraphe 14.2.1) doivent être capables de conduire 3 A en permanence.

Toutes les autres lignes du fond de panier doivent être capables de supporter un fonctionnement continu de 500 mA.

14.2.5 Autres éléments du fond de panier

Les queues des contacts des connecteurs de segment du châssis et du connecteur auxiliaire du châssis (figure 35 page 139) peuvent être utilisées pour s'adapter à des connecteurs de câble ou à des cartes montées à l'arrière suivant l'article 14.5.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

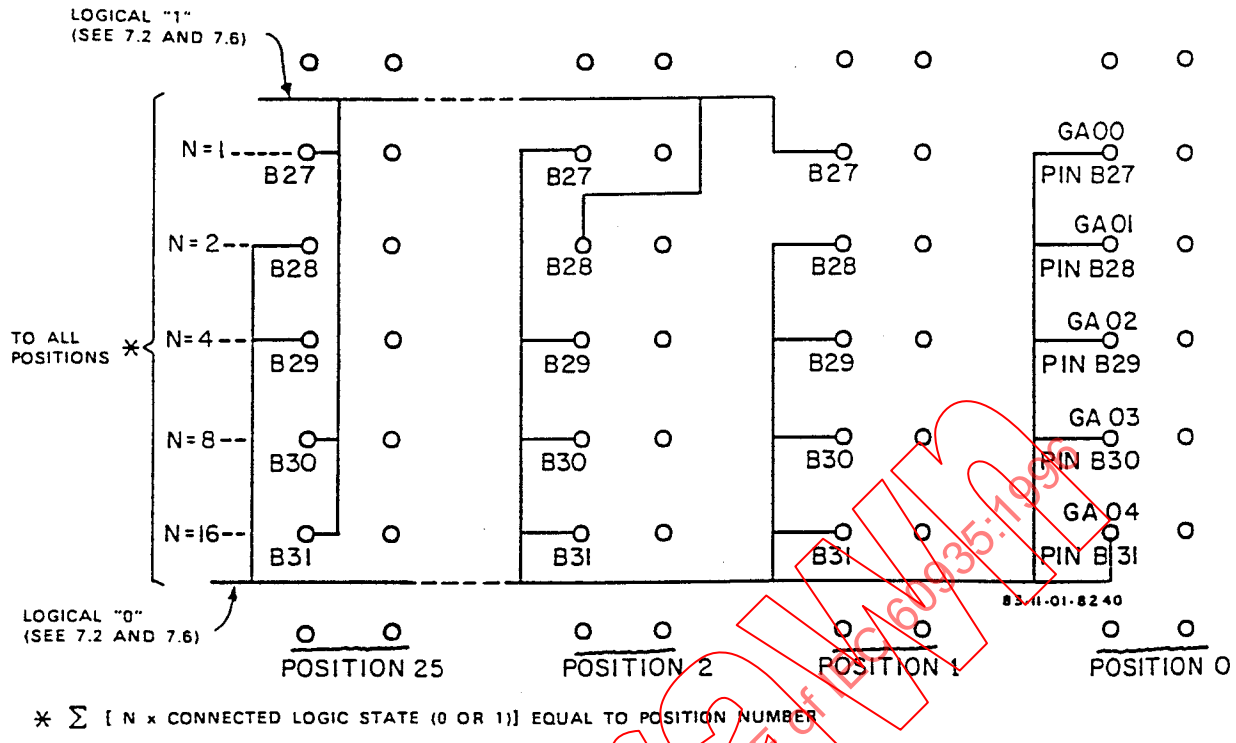


Figure 39. Backplane Geographical Addressing Pin Wiring. (viewed from front of crate)

14.2.4 Backplane Current Requirements

Rule

The Crate backplane shall contain ground and power and power return bus lines (planes) for distribution to the power pins on the Crate Segment. The +5.0 V, -5.2 V and -2 V power busses shall be capable of continuously carrying 300 A, 300 A and 200 A respectively. The +15 V, -15 V and the two 28 V power busses shall be split at the middle of the backplane and each half of each of these power busses shall be capable of carrying 25 A continuously. The differential voltage across the backplane, measured at the Crate Segment Connector, shall not exceed 30 mV for any of the power voltages and 10 mV for the 0 V power return under any conditions within the bus ratings. (See also Section 15. and Annex L.1)

The radial backplane lines to the B06 pins (Sub-clause 14.2.1) shall be capable of carrying 3 A continuously.

All other backplane bus lines shall be capable of continuous operation at currents up to 500 mA.

14.2.5 Other Backplane Items

The rear extensions of Crate Segment Connector and Crate Auxiliary Connector pins (Figure 35 on page 139) may be used to mate with cable connectors or rear-mounted circuit boards as in Clause 14.5.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

14.3 Refroidissement

Le principe du refroidissement doit maintenir les caractéristiques de température de tous les modules d'un châssis dans les limites spécifiées au paragraphe 13.3.1.

Pour les modules refroidis à l'air, les châssis devront être construits de manière à minimiser les obstacles à la circulation de l'air. Dans ces châssis, il devra exister un ouverture minimale de 60% pour la circulation de l'air dans un plan horizontal quelconque du châssis sur une profondeur d'au moins 360 mm commençant à 19 mm en avant du fond de panier. (Les seuls obstacles appréciables de cette zone relativement ouverte seront essentiellement les supports de guide-carte, qui ne devront pas être de moins de 100 mm en avant du fond de panier, les guides-cartes et le système de contacts pour décharger les charges électrostatiques de la carte du module (voir article 14.7).)

Le flux d'air dans un châssis où toutes les positions de module ne sont pas occupées sera supérieur pour les positions non occupées. Il peut en résulter un flux d'air non adapté à travers les modules, sauf si des mesures sont prises pour éviter un tel court-circuit de l'air de refroidissement. Cela s'applique également aux groupes de modules, aux modules de largeur multiple et aux modules sans panneau avant.

14.4 Ensemble commutateur marche/arrêt

Règle

Le châssis doit comprendre un ensemble commutateur marche/arrêt pour la commande de la logique marche/arrêt décrite à l'article 7.4. L'ensemble doit être constitué d'un inverseur, 1 circuit 2 positions, connecté à un câble 4 conducteur de longueur correcte branché sur un connecteur à quatre contacts sur une seule rangée au pas de 2,54 mm. Le câblage de l'inverseur sur la position arrêt sera le suivant:

Contact 1: Normalement ouvert

Contact 2: Normalement fermé

Contact 3: Détrompage

Contact 4: Commun

Ce connecteur à quatre contacts doit avoir des contacts adaptés au connecteur de commande marche/arrêt spécifié à l'article 7.6 (voir figure 49 page 173, note 3).

14.5 Cartes de circuit montées à l'arrière du fond de panier

L'extension arrière des connecteurs de segment du châssis et des connecteurs auxiliaires de châssis de la figure 35 page 139, et de la figure 37 page 143, peut s'adapter à des connecteurs de câble ou à des connecteurs montés sur des cartes. Par exemple, les cartes de la logique ancillaire ou des résistances d'adaptation peuvent être montées à l'arrière du fond de panier et être enfichées sur les queues arrière du connecteur de segment du châssis (voir article 7.6). Il est recommandé que les cartes montées à l'arrière soient conformes à la figure 40 page 146, et que les châssis aient le nécessaire pour l'installation optionnelle de guides pour les bords supérieurs et inférieurs des cartes qui soient conformes à la figure 40 page 146 (voir article G.3 de l'annexe G). Cette possibilité de guide s'applique à toutes les positions de module pour le connecteur auxiliaire de châssis et pour les deux positions extrêmes à chaque extrémité du fond de panier (0, 1, 24 et 25 pour un châssis à 26 positions) pour les connecteurs de segment. Les guides devront avoir une longueur minimale de 63 mm.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

14.3 Cooling

Cooling schemes should maintain the temperature specifications of all Modules in a Crate as detailed in Sub-clause 13.3.1.

Crates for air-cooled Modules should be constructed so as to minimize obstruction to air flow. In such Crates, a minimum air flow opening of 60% should exist in any horizontal plane of the Crate for a depth of at least 360 mm (14.2 in) beginning 19 mm (0.75 in) forward of the backplane. (The only appreciable obstruction in this relatively open area would typically be card guide supports, which should not be less than 100 mm (3.9 in) forward of the backplane, the card guides and the contact assembly for discharging static charge from Module Circuit Boards (see Clause 14.7).)

The air flow in a Crate in which not all Module positions are occupied will normally be higher for the unoccupied positions. This can result in inadequate air flow through the Modules unless steps are taken to prevent such shunting of the cooling air. This applies also for sparsely packed and multiwidth Modules and for Modules without front panels.

14.4 Run/halt Switch Assembly

Rule

The Crate shall contain the Run/Halt switch assembly for control of the Run/Halt logic as specified in Clause 7.4. The assembly shall consist of an SPDT switch wired via a 4-wire harness of suitable length to a single row four position 2.54 mm (0.100 in) grid connector. The following shows the switch wiring for the HALT position.

Pin 1: Normally open

Pin 2: Normally closed

Pin 3: Key

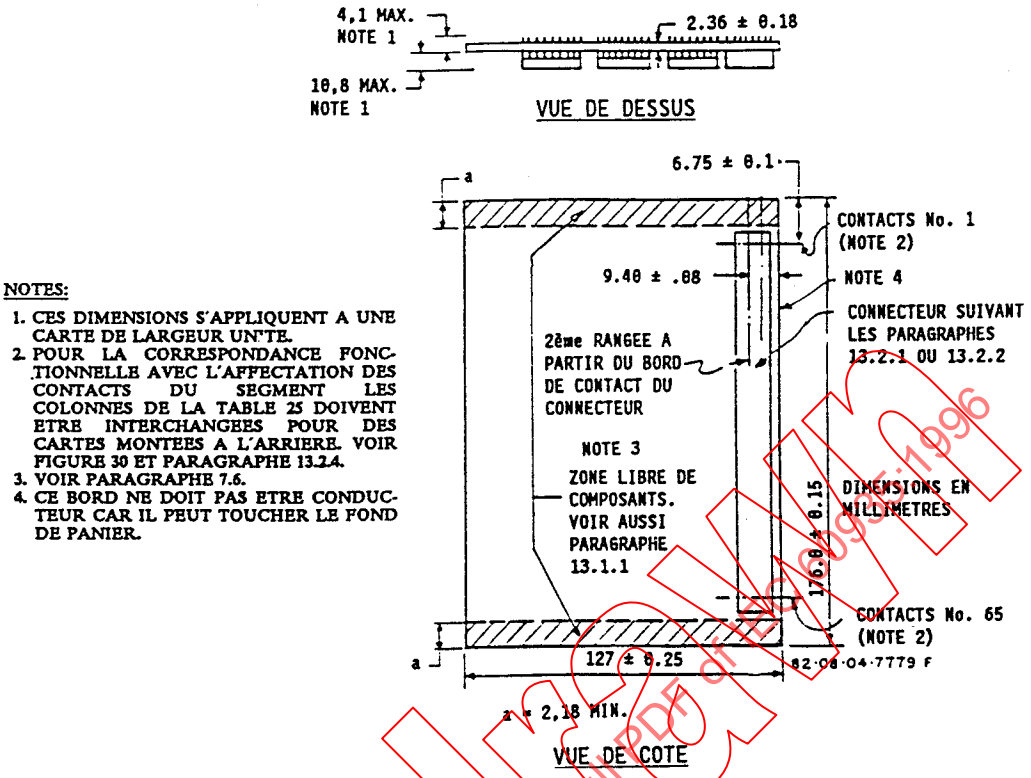
Pin 4: Common

This four position connector shall have receptacle contacts and shall be suitable for mating with the Run/Halt Control connector specified in Clause 7.6 (see Figure 49 on page 173, Note 3).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

14.5 Circuit Boards mounted at rear of Backplane

The rear extensions of the Crate Segment Connectors and Crate Auxiliary Connectors of Figure 35 on page 139, and Figure 37 on page 143, can mate with cable connectors or connectors mounted on circuit boards. For example, circuit boards with ancillary logic or terminators could be mounted at the rear of the backplane and mate with the rear extensions of the Crate Segment Connectors (see Clause 7.6). It is recommended that rear-mounted boards conform to Figure 40 on page 146, and that Crates have provision for optional installation of guides for the upper and lower edges of circuit boards that conform with Figure 40 on page 146 (see Clause G.3 of Annex G). This provision for guides applies for all Module positions for the Crate Auxiliary Connector and for the two endmost positions at each end of the backplane (0, 1, 24 and 25 for a 26 position Crate) for the Segment Connectors. The guides should have a minimum length of 63 mm (2.5 in).



NOTES:

1. CES DIMENSIONS S'APPLIQUENT A UNE CARTE DE LARGEUR UN'TE.
2. POUR LA CORRESPONDANCE FONCTIONNELLE AVEC L'AFFECTATION DES CONTACTS DU SEGMENT LES COLONNES DE LA TABLE 25 DOIVENT ETRE INTERCHANGEES POUR DES CARTES MONTEES A L'ARRIERE. VOIR FIGURE 30 ET PARAGRAPHE 13.2.4.
3. VOIR PARAGRAPHE 7.6.
4. CE BORD NE DOIT PAS ETRE CONDUCTEUR CAR IL PEUT TOUCHER LE FOND DE PANIER.

Figure 40. Circuit imprimé à monter à l'arrière du fond de panier

Règle

Les guides des cartes arrière eux-mêmes, ou en conjonction avec d'autres méthodes de guidage, doivent assurer un alignement correct du connecteur de la carte arrière avec les contacts du fond de panier.

On doit considérer, le cas échéant, la puissance dissipée et le refroidissement des cartes montées à l'arrière.

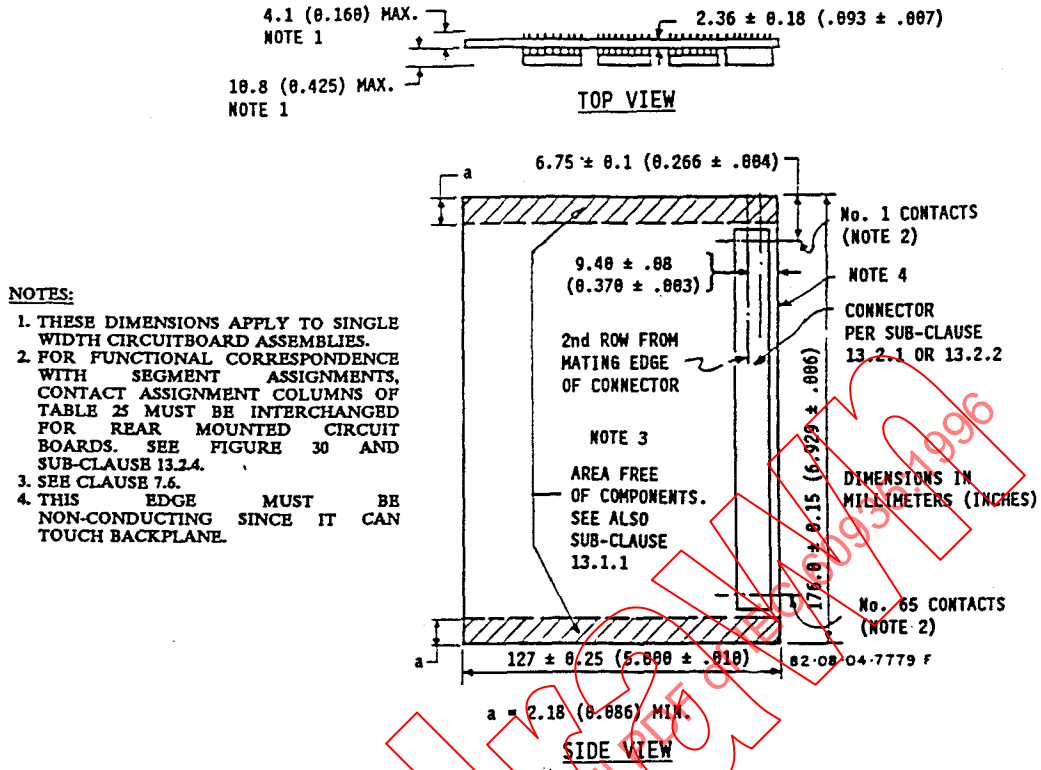
14.6 Marquage des châssis

Règle

Les numéros de position des modules (numéros d'emplacement du châssis) doivent être clairement indiqués sur le devant du châssis. Ces numéros doivent correspondre à l'adresse géographique avec la position "0" à la position la plus à droite lorsqu'elle est vue du devant du châssis et le numéro de position doit s'incrémenter de une unité à chaque position de module en allant vers la gauche.

Il est recommandé que les numéros de position des modules soient également marqués à l'arrière du châssis.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn



NOTES:

1. THESE DIMENSIONS APPLY TO SINGLE WIDTH CIRCUITBOARD ASSEMBLIES.
2. FOR FUNCTIONAL CORRESPONDENCE WITH SEGMENT ASSIGNMENTS, CONTACT ASSIGNMENT COLUMNS OF TABLE 25 MUST BE INTERCHANGED FOR REAR MOUNTED CIRCUIT BOARDS. SEE FIGURE 30 AND SUB-CLAUSE 13.2.4.
3. SEE CLAUSE 7.6.
4. THIS EDGE MUST BE NON-CONDUCTING SINCE IT CAN TOUCH BACKPLANE.

Figure 40. Circuit Board for Mounting at rear of Backplane

Rule

The rear circuit board guides themselves, or in conjunction with other guiding methods, shall ensure proper alignment of the rear circuit board connector with the backplane pins.

Due consideration should be given to power dissipation and cooling of the rear-mounted circuit boards.

14.6 Crate Markings

Rule

The Module position numbers (Crate slot numbers) shall be clearly marked at the front of the Crate. These numbers shall correspond to the Geographical Addresses with position 0 being the rightmost position when viewed from the front of the Crate and the position number increased by one for each Module position moved to the left.

It is recommended that Module position numbers be marked also on the rear of the Crate.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

14.7 Contacts de décharge des charges statiques

Règle

Le châssis doit fournir un moyen de décharger les charges électrostatiques des modules pendant leur insertion avant tout contact électrique avec les contacts du connecteur de segment. Un contact électrique au potentiel du bus 0 V, dimensionné pour un courant permanent d'au moins 3 A, doit fournir un contact glissant sur la ou les surfaces de la carte du module sur une largeur de 5,8 mm du bord de la carte. Les contacts doivent être disponibles à chaque position du connecteur de segment (dans ou derrière le guide-carte par exemple) à une position qui ne soit pas à plus de 50,8 mm en avant du fond de panier du segment.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

14.7 Contacts for Static Charge discharge

Rule

The Crate shall provide a means for discharging static charge from Modules during insertion, prior to electrical contact with the Segment Connector pins. An electrical contact at 0 V bus potential, with not less than 3 A continuous current rating, shall provide a wiping contact against the surface(s) of the Module Circuit Board within the bottom 5.8 mm (0.23 in) dimension of the card edge. The contact shall be provided for each Segment Connector position (in or behind the card guide, for example) in a location not more than 50.8 mm (2.00 in) forward of the Segment backplane.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 15. Alimentations

La dissipation des modules a été discutée à l'article 13.3. Ce qui suit est une discussion sur les tensions d'alimentation, les tolérances sur les tensions et les alimentations des segments.

On a la possibilité dans le segment-châssis de distribuer aux modules les alimentations à des tensions spécifiées. Des lignes pour les tensions normalisées sont disponibles pour le + 5,0 V, le -5,2 V, le -2 V, le + 15 V et le -15 V. En plus, deux lignes + 28 V sont disponibles pour des besoins spéciaux. Une des utilisations possibles de ces lignes est de fournir la puissance primaire pour des régulateurs ou des convertisseurs situés sur la carte du module. Les contacts et les lignes de retour de tension (0 V) sont prévues pour une intensité de courant de retour correspondant à toute la puissance fournie aux modules.

Il est recommandé que le + 5,0 V, le -5,2 V et le -2 V soient normalement disponibles sur le segment. Le concepteur d'un module doit pouvoir supposer que ces tensions sont normalement disponibles sur les contacts normalisés. Pour les systèmes utilisant des régulateurs sur les cartes, le 28 V continu doit être disponible. De plus, il est recommandé que l'utilisateur adopte le système d'alimentation qui fournit ces tensions avec les tolérances définies ci-dessous.

Règle

Les alimentations en + 5,00 V, -5,20 V, -2,00 V, + 15,00 V et -15,00 V doivent avoir une tolérance en tension au connecteur de segment de ±100 mV et les modules doivent fonctionner avec des variations de tension d'alimentation au connecteur de segment de ±150 mV.

Si on utilise une régulation sur la carte, les tolérances pour les lignes -5,20 V et -2,00 V doivent être maintenues à travers les différents modules d'alimentation dans le châssis. L'alimentation grossière en 28 V doit avoir une tolérance en tension au connecteur de segment de ±10%.

Tant pour les alimentations continues grossières que pour les alimentations régulées sur les cartes, les tolérances ci-dessus doivent être maintenues à travers la totalité de l'ensemble des châssis, lorsqu'elles sont mesurées entre la masse d'un certain châssis et un autre châssis quelconque, sauf si des techniques spéciales d'isolement des signaux sont utilisées entre les châssis ou les ensembles de châssis. (Voir également paragraphe 14.2.4.)

A travers cette norme les tensions 2,00, 5,00, 5,20 et 15,00 seront indiquées respectivement par 2, 5,0, 5,2 et 15.

L'utilisateur a une très large liberté pour la définition des alimentations d'un système FASTBUS. On trouve à l'annexe I des spécifications pour des alimentations typiques pour des applications FASTBUS. Voir également annexe L.1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Section 15. Power

Module power dissipation has been discussed in Clause 13.3. The following is a discussion of power voltages, voltage tolerances and Segment power supplies.

Provision is made in the Crate Segment to distribute power at specified voltages to the Modules. Standard voltage busses are provided for + 5.0 V, -5.2 V, -2 V, + 15 V and -15 V. In addition, two + 28 V lines have been provided for special power. One possible use for these lines is to provide primary power to on-board regulators or converters. The power return pins and lines (0 V) are intended for power return for all power provided to Modules.

It is recommended that + 5.0 V, -5.2 V and -2 V be normally provided on the Segment. The Module designer must be able to assume that these voltages are normally available at the standard pins. For systems using on-board regulators, 28 V dc should be provided. Therefore, it is recommended that the user adopt supply systems which provide these voltages with the tolerances stated below.

Rule

Power at + 5.00 V, -5.20 V, -2.00 V, + 15.00 V and -15.00 V shall have a voltage tolerance at the Segment Connector of ±100 mV and Modules shall operate within specifications with supply voltage variations at the Segment Connector of ±150 mV.

If on-board regulation is used, the tolerances for the -5.20 V and -2.00 V lines shall be maintained throughout every modular supply in the Crate. The 28 V bulk supply shall have a voltage tolerance at the Segment Connector of ±10%.

For either dc bulk supplies or on-board regulator supplies, the above tolerances shall be maintained throughout the entire assemblage of Crates, as measured from the Crate power ground of any Crate to any other Crate, unless special signal isolation techniques are used between Crates or assemblages of Crates. (See also Sub-clause 14.2.4.)

Throughout this standard, the 2.00, 5.00, 5.20 and 15.00 voltages are referred to as 2, 5.0, 5.2 and 15 respectively.

The user has broad discretion in the provision of power supplies for FASTBUS systems. Specifications for some typical power supplies for FASTBUS applications are included in Annex I. See also Annex L.1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 16. Segment-câble

Les segments-câbles sont utilisés pour interconnecter des segments via les interconnexions de segments et pour la connexion des dispositifs FASTBUS, y compris les processeurs. L'annexe C décrit la réalisation d'un segment-câble.

16.1 Signaux sur un segment-câble

Règle

La tableau 26 donne la liste des signaux qui doivent figurer sur le segment-câble.

Tableau 26. Signaux du segment-câble

AL<5:0>	DK
AG	SS<2:0>
AR	WT
AI	SR
GK	RB
AS	BH
AK	AD<31:00>
MS<2:0>	PE
RD	PA
DS	EG

16.2 Connecteurs du segment-câble et affectation des contacts

Règle

Les connecteurs du segment-câble doivent être compatibles et parfaitement connectables au connecteur auxiliaire de châssis du paragraphe 14.2.2. Si le segment-câble est réalisé en utilisant deux connecteurs de 60 contacts, ils doivent être du type autodénudant (IDC) (ou compatible avec ce type) suivant la description donnée à l'article B.3 de l'annexe B et l'affectation des contacts doit être conforme au tableau 27 page 150.

Pour la réalisation de modules connectés au segment-câble, le tableau 29 page 152, montre l'utilisation recommandée du connecteur auxiliaire avec les circuits d'émission/réception montés sur une carte auxiliaire. Une telle réalisation est recommandée, car elle permet d'échanger les cartes standards de transmission lorsque des composants améliorés du segment-câble seront disponibles. Si des signaux non différentiels sont connectés au module, la rangée A est utilisée pour les signaux unidirectionnels venant des sorties des récepteurs du segment-câble ou pour les signaux bidirectionnels venant de transmetteurs; la rangée B est utilisée pour les signaux unidirectionnels vers les entrées des émetteurs sur le segment-câble. Les contacts de la rangée C optionnelle sont affectés à l'utilisateur (UD), sont réservés (Res) ou sont des connexions de masse (0 V).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Section 16. Cable Segment

Cable Segments can be used for interconnection of Segments via Segment Interconnects and for connection to FASTBUS Devices, including processors. Annex C describes Cable Segment implementation.

16.1 Signals on a Cable Segment

Rule

The signals listed in Table 26 shall be on the Cable Segment.

Table 26. Cable Segment Signals

AL<5:0>	DK
AG	SS<2:0>
AR	WT
AI	SR
GK	RB
AS	BH
AK	AD<31:00>
MS<2:0>	PE
RD	PA
DS	EG

16.2 Cable Segment Connectors and Contact Assignments

Rule

The Cable Segment connectors shall be compatible with and fully mateable with the Crate Auxiliary Connector of Sub-clause 14.2.2. If the Cable Segment is implemented utilizing two 60 contact connectors, they shall be (or shall be compatible with) the IDC (Insulation Displacement Connector) type as described in Clause B.3 of Annex B and contact assignments shall be as in Table 27 on page 150.

For implementation of Modules connected to the Cable Segment, Table 29 on page 152, illustrates the recommended usage of the Auxiliary Connector with the driver/receiver components mounted on an Auxiliary board. Such implementation is recommended since it permits standardized transceiver boards to be interchanged as enhanced Cable Segment components become available. If single-ended signals are connected to the Module, column A is used for unidirectional signals from Cable Segment receiver outputs or for bidirectional signals from transceivers; column B is used for unidirectional signals to Cable Segment driver inputs. The optional column C contacts are assigned to user defined (UD), reserved (Res) and 0 V connections.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 27. Affectation des contacts du connecteur du segment-câble

Contacts du connecteur auxiliaire du châssis et du module	Ligne de fonction 1	Contacts du connecteur* numéro 2 du segment-câble	Contacts du connecteur auxiliaire du châssis et du module	Ligne de fonctions 0	Contacts du connecteur* numéro 2 du segment-câble
B01	0 V	-	A01	0 V	-
B02	AD31	59	A02	AD31	60
B03	AD30	57	A03	AD30	58
B04	AD29	55	A04	AD29	56
B05	AD28	53	A05	AD28	54
B06	AD27	51	A06	AD27	52
B07	AD26	49	A07	AD26	50
B08	AD25	47	A08	AD25	48
B09	AD24	45	A09	AD24	46
B10	AD23	43	A10	AD23	44
B11	AD22	41	A11	AD22	42
B12	AD21	39	A12	AD21	40
B13	AD20	37	A13	AD20	38
B14	AD19	35	A14	AD19	36
B15	AD18	33	A15	AD18	34
B16	AD17	31	A16	AD17	32
B17	AD16	29	A17	AD16	30
B18	PA	27	A18	PA	28
B19	PE	25	A19	PE	26
B20	AD15	23	A20	AD15	24
B21	AD14	21	A21	AD14	22
B22	AD13	19	A22	AD13	20
B23	AD12	17	A23	AD12	18
B24	AD11	15	A24	AD11	16
B25	AD10	13	A25	AD10	14
B26	AD09	11	A26	AD09	12
B27	AD08	09	A27	AD08	10
B28	AD07	07	A28	AD07	08
B29	AD06	05	A29	AD06	06
B30	AD05	03	A30	AD05	04
B31	AD04	01	A31	AD04	02
B32	+ 5,0 V	-	A32	-2,0 V	-
B33	+ 15 V	-	A33	-5,2 V	-
B34	-15 V	-	A34	0 V	-

* Les numéros des contacts sont ceux des connecteurs autodénudants (IDC).

Remarquer que les contacts 01 à 34 utilisent le connecteur de câble numéro 2 et que les contacts 35 à 65 du connecteur auxiliaire utilisent le connecteur de câble numéro 1.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Table 27. Cable Segment Connector Contact Assignments

Contact for Crate & Module Auxiliary Connector	Function 1 Line	Contact* for Cable Connector number 2	Contact for Crate & Module Auxiliary Connector	Function 0 Line	Contact* for Cable Connector number 2
B01	0 V	-	A01	0 V	-
B02	AD31	59	A02	AD31	60
B03	AD30	57	A03	AD30	58
B04	AD29	55	A04	AD29	56
B05	AD28	53	A05	AD28	54
B06	AD27	51	A06	AD27	52
B07	AD26	49	A07	AD26	50
B08	AD25	47	A08	AD25	48
B09	AD24	45	A09	AD24	46
B10	AD23	43	A10	AD23	44
B11	AD22	41	A11	AD22	42
B12	AD21	39	A12	AD21	40
B13	AD20	37	A13	AD20	38
B14	AD19	35	A14	AD19	36
B15	AD18	33	A15	AD18	34
B16	AD17	31	A16	AD17	32
B17	AD16	29	A17	AD16	30
B18	PA	27	A18	PA	28
B19	PE	25	A19	PE	26
B20	AD15	23	A20	AD15	24
B21	AD14	21	A21	AD14	22
B22	AD13	19	A22	AD13	20
B23	AD12	17	A23	AD12	18
B24	AD11	15	A24	AD11	16
B25	AD10	13	A25	AD10	14
B26	AD09	11	A26	AD09	12
B27	AD08	09	A27	AD08	10
B28	AD07	07	A28	AD07	08
B29	AD06	05	A29	AD06	06
B30	AD05	03	A30	AD05	04
B31	AD04	01	A31	AD04	02
B32	+ 5.0 V	-	A32	-2.0 V	-
B33	+ 15 V	-	A33	-5.2 V	-
B34	-15 V	-	A34	0 V	-

* Contact numbers are for Insulation Displacement Connectors (IDC).

Note that Auxiliary Connector contacts 01 through 34 use Cable Connector Number 2 and Auxiliary Connector contacts 35 through 65 use Cable Connector Number 1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 28. Table 27 (suite). - (Remarquer le changement du numéro des connecteurs.)

Contacts du connecteur auxiliaire du châssis et du module	Ligne de fonction 1	Contacts du connecteur* numéro 1 du segment-câble	Contacts du connecteur auxiliaire du châssis et du module	Ligne de fonctions 0	Contacts du connecteur* numéro 1 du segment-câble
B35	AD03	59	A35	AD03	60
B36	AD02	57	A36	AD02	58
B37	AD01	55	A37	AD01	56
B38	AD00	53	A38	AD00	54
B39	BH	51	A39	BH	52
B40	RB	49	A40	RB	50
B41	EG	47	A41	EG	48
B42	MS2	45	A42	MS2	46
B43	MS1	43	A43	MS1	44
B44	MS0	41	A44	MS0	42
B45	RD	39	A45	RD	40
B46	SS2	37	A46	SS2	38
B47	SS1	35	A47	SS1	36
B48	SS0	33	A48	SS0	34
B49	DS	31	A49	DS	32
B50	SR	29	A50	SR	30
B51	WT	27	A51	WT	28
B52	AR	25	A52	AR	26
B53	AS	23	A53	AS	24
B54	AK	21	A54	AK	22
B55	DK	19	A55	DK	20
B56	GK	17	A56	GK	18
B57	AI	15	A57	AI	16
B58	AG	13	A58	AG	14
B59	AL5	11	A59	AL5	12
B60	AL4	09	A60	AL4	10
B61	AL3	07	A61	AL3	08
B62	AL2	05	A62	AL2	06
B63	AL1	03	A63	AL1	04
B64	AL0	01	A64	AL0	02
B65	0 V	-	A65	0 V	-

* Les numéros des contacts sont ceux des connecteurs autodénudants (IDC).

Remarquer que les contacts 01 à 34 utilisent le connecteur de câble numéro 2 et que les contacts 35 à 65 du connecteur auxiliaire utilisent le connecteur de câble numéro 1.

Pour les connexions à l'arrière, le connecteur de câble numéro 1 est le connecteur du bas (contact 1 en bas).

Pour les connexions à l'avant, le connecteur de câble numéro 1 est le connecteur du haut (contact 1 en haut).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 28. Table 27 (Continued). - (Note change in connector numbers.)

Contact for Crate & Module Auxiliary Connector	Function 1 Line	Contact* for Cable Connector number 1	Contact for Crate & Module Auxiliary Connector	Function 0 Line	Contact* for Cable Connector number 1
B35	AD03	59	A35	AD03	60
B36	AD02	57	A36	AD02	58
B37	AD01	55	A37	AD01	56
B38	AD00	53	A38	AD00	54
B39	BH	51	A39	BH	52
B40	RB	49	A40	RB	50
B41	EG	47	A41	EG	48
B42	MS2	45	A42	MS2	46
B43	MS1	43	A43	MS1	44
B44	MS0	41	A44	MS0	42
B45	RD	39	A45	RD	40
B46	SS2	37	A46	SS2	38
B47	SS1	35	A47	SS1	36
B48	SS0	33	A48	SS0	34
B49	DS	31	A49	DS	32
B50	SR	29	A50	SR	30
B51	WT	27	A51	WT	28
B52	AR	25	A52	AR	26
B53	AS	23	A53	AS	24
B54	AK	21	A54	AK	22
B55	DK	19	A55	DK	20
B56	GK	17	A56	GK	18
B57	AI	15	A57	AI	16
B58	AG	13	A58	AG	14
B59	AL5	11	A59	AL5	12
B60	AL4	09	A60	AL4	10
B61	AL3	07	A61	AL3	08
B62	AL2	05	A62	AL2	06
B63	AL1	03	A63	AL1	04
B64	AL0	01	A64	AL0	02
B65	0 V	-	A65	0 V	-

* Contact numbers are for Insulation Displacement Connectors (IDC).

Note that Auxiliary Connector contacts 01 through 34 use Cable Connector Number 2 and Auxiliary Connector contacts 35 through 65 use Cable Connector Number 1.

For rear connections, Cable Connector Number 1 is the lower connector (Pin 1 at bottom).

For front panel connections, Cable Connector Number 1 is the upper connector (Pin 1 at top).

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 29. Utilisation recommandée du connecteur auxiliaire pour une réalisation d'un segment-câble. (UD = définis par l'utilisateur, Res = réservés)

	A	B	C		A	B	C
01	0 V	0 V	0 V	34	0 V	-15 V	-2 V
02	AD31	AD31	UD02	35	AD03	AD03	0 V
03	AD30	AD30	0 V	36	AD02	AD02	UD36
04	AD29	AD29	UD04	37	AD01	AD01	0 V
05	AD28	AD28	0 V	38	AD00	AD00	UD38
06	AD27	AD27	UD06	39	BH	BH	0 V
07	AD26	AD26	0 V	40	RB	RB	UD40
08	AD25	AD25	UD08	41	EG	EG	0 V
09	AD24	AD24	0 V	42	MS2	MS2	UD42
10	AD23	AD23	UD10	43	MS1	MS1	0 V
11	AD22	AD22	0 V	44	MS0	MS0	UD44
12	AD21	AD21	UD12	45	RD	RD	0 V
13	AD20	AD20	0 V	46	SS2	SS2	Res46
14	AD19	AD19	UD14	47	SS1	SS1	0 V
15	AD18	AD18	0 V	48	SS0	SS0	Res48
16	AD17	AD17	UD16	49	DS	DS	0 V
17	AD16	AD16	0 V	50	SR	SR	Res50
18	PA	PA	UD18	51	WT	WT	0 V
19	PE	PE	0 V	52	AR	AR	Res52
20	AD15	AD15	UD20	53	AS	AS	0 V
21	AD14	AD14	0 V	54	AK	AK	Res54
22	AD13	AD13	UD22	55	DK	DK	0 V
23	AD12	AD12	0 V	56	GK	GK	Res56
24	AD11	AD11	UD24	57	AI	AI	0 V
25	AD10	AD10	0 V	58	AG	AG	Res58
26	AD09	AD09	UD26	59	AL5	AL5	0 V
27	AD08	AD08	0 V	60	AL4	AL4	Res60
28	AD07	AD07	UD28	61	AL3	AL3	0 V
29	AD06	AD06	0 V	62	AL2	AL2	Res62
30	AD05	AD05	UD30	63	AL1	AL1	0 V
31	AD04	AD04	0 V	64	AL0	AL0	Res64
32	-2 V	+ 5,0 V	+ 5,0 V	65	0 V	0 V	0 V
33	-5,2 V	+ 15 V	-5,2 V				

Note: L'affectation des contacts du connecteur du câble figure dans le tableau 27 page 150. Pour les signaux du segment-câble, la rangée A est pour les lignes de fonction 0 et la rangée B pour les lignes de fonction 1.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 29. Recommended utilization of Auxiliary Connector for Cable Segment Implementation. (UD - User defined, Res - Reserved)

	A	B	C		A	B	C
01	0 V	0 V	0 V	34	0 V	-15 V	-2 V
02	AD31	AD31	UD02	35	AD03	AD03	0 V
03	AD30	AD30	0 V	36	AD02	AD02	UD36
04	AD29	AD29	UD04	37	AD01	AD01	0 V
05	AD28	AD28	0 V	38	AD00	AD00	UD38
06	AD27	AD27	UD06	39	BH	BH	0 V
07	AD26	AD26	0 V	40	RB	RB	UD40
08	AD25	AD25	UD08	41	EG	EG	0 V
09	AD24	AD24	0 V	42	MS2	MS2	UD42
10	AD23	AD23	UD10	43	MS1	MS1	0 V
11	AD22	AD22	0 V	44	MS0	MS0	UD44
12	AD21	AD21	UD12	45	RD	RD	0 V
13	AD20	AD20	0 V	46	SS2	SS2	Res46
14	AD19	AD19	UD14	47	SS1	SS1	0 V
15	AD18	AD18	0 V	48	SS0	SS0	Res48
16	AD17	AD17	UD16	49	DS	DS	0 V
17	AD16	AD16	0 V	50	SR	SR	Res50
18	PA	PA	UD18	51	WT	WT	0 V
19	PE	PE	0 V	52	AR	AR	Res52
20	AD15	AD15	UD20	53	AS	AS	0 V
21	AD14	AD14	0 V	54	AK	AK	Res54
22	AD13	AD13	UD22	55	DK	DK	0 V
23	AD12	AD12	0 V	56	GK	GK	Res56
24	AD11	AD11	UD24	57	AI	AI	0 V
25	AD10	AD10	0 V	58	AG	AG	Res58
26	AD09	AD09	UD26	59	AL5	AL5	0 V
27	AD08	AD08	0 V	60	AL4	AL4	Res60
28	AD07	AD07	UD28	61	AL3	AL3	0 V
29	AD06	AD06	0 V	62	AL2	AL2	Res62
30	AD05	AD05	UD30	63	AL1	AL1	0 V
31	AD04	AD04	0 V	64	AL0	AL0	Res64
32	-2 V	+5.0 V	+5.0 V	65	0 V	0 V	0 V
33	-5.2 V	+15 V	-5.2 V				

Note: Cable Connector contact assignments are as in Table 27 on page 150. For Cable Segment signals, column A is for Function 0 lines and column B for Function 1 lines.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Annexe A. Prescriptions pour différentes réalisations

A.1 Réalisation en ECL

A.1.1 Détails des connexions et des niveaux des signaux ECL

Règle

Les circuits d'attaque ECL des lignes du fond de panier doivent être des circuits intégrés ECL du standard industriel 10K ou 10KH garantis pour une gamme minimale de fonctionnement de 0 °C à 75 °C. Ils doivent fonctionner à -5,2 V à ±5%. Les tensions de sortie, garanties dans la gamme de fonctionnement lorsqu'elles sont terminées sur une charge de 50 Ω, vers le -2,0 V, sont les suivantes:

Sortie	*Logique*	*Tension*
Niveau haut	*1*	*-1,000 min., -0,700 max.*
Niveau bas	*0*	*-1,600 max.,*

Les circuits d'attaque du bus doivent disposer d'une source de courant d'au moins 50 mA continu.

Règle

Un dispositif connecté au bus doit avoir au maximum un émetteur et un récepteur comme charge sur le bus. Le courant maximal du récepteur doit être de moins de 300 µA lorsque le bus est à l'état haut, et de moins de 100 µA lorsque le bus est à l'état bas. Toutes les lignes de cadencement (AS, AK, DS, DK) doivent charger le bus d'un émetteur et d'un récepteur que le dispositif en ait besoin ou non.

Toutes les autres lignes n'ont besoin d'émetteur et de récepteur que lorsque c'est nécessaire.

Règle

Tous les émetteurs et récepteurs doivent être placés sur le circuit imprimé du dispositif de telle manière que la capacité présentée au bus ne dépasse pas 12 pF.

La conception d'un module FASTBUS dans une réalisation en ECL devra être telle qu'elle minimise la capacité présentée sur les lignes de signaux du bus. Les connexions partant des contacts du connecteur de segment devront avoir le minimum de longueur. Il est recommandé que la longueur de la connexion de chaque circuit d'attaque soit inférieure à 40 mm.

Règle

Chaque entrée sur les récepteurs de AS, AK, EG, DS, DK, SR et AG doit être isolée du bus par une résistance d'isolement d'une valeur nominale de 220 Ω.

Une résistance d'isolement sur les récepteurs devra être utilisée sur toutes les lignes de signaux où la charge capacitive est élevée. Si un émetteur-récepteur est connecté au bus, la résistance

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Annex A. Requirements for various Implementations

A.1 ECL Implementation

A.1.1 ECL Connections and Signal Level Details

Rule

ECL backplane data bus drivers shall be industry standard 10K or 10KH ECL devices specified for a minimum operating range of 0 °C to 75 °C. They shall be operated at -5.2 V within ±5%. The specified output voltages over the operating range when terminated into a 50 Ω load to -2.0 V are as follows:

Output	Logic	Voltage
High	1	-1.000 min., -0.700 max.
Low	0	-1.600 max.

Bus drivers shall have a continuous output source current rating of at least 50 mA dc.

Rule

A Device connected to the bus shall have a maximum of one driver and one receiver as a bus load. The maximum input current of the receiver shall be less than 300 μA when the bus is in the high state and less than 100 μA when the bus is in the low state. All timing lines (AS, AK, DS, DK) shall have one driver and one receiver as a bus load regardless of the needs of the Device.

All other lines need be provided with drivers and receivers only when required.

Rule

All drivers and receivers shall be placed on the Device printed circuit card such that the capacitance presented to the bus does not exceed 12 pF.

The design of FASTBUS Modules with an ECL bus implementation should be such as to minimize the capacitance presented to the signal lines of the bus. Stubs from the Segment Connector contacts should be of minimum length. It is recommended that the stub length to each driver be less than 40 mm (1.6 in).

Rule

Each receiver input for AS, AK, EG, DS, DK, SR and AG shall be isolated from the bus by means of a receiver isolating resistor of nominal 220 Ω.

A receiver isolating resistor should be used on any signal line where capacitance loading is high. If a driver-receiver is connected to the bus, the receiver isolating resistor should be

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

d'isolement du récepteur devra être connectée entre la connexion d'entrée du récepteur et celle de sortie de l'émetteur, avec une longueur minimale de connexion entre la sortie émetteur du circuit intégré et la résistance.

Il est préférable d'éviter l'utilisation de support pour les émetteurs sauf s'ils présentent une capacité minime et que la tension du transitoire produit sur le contact de la masse d'alimentation est de moins de 50 mV lorsque le circuit commute sur une combinaison quelconque des sorties. Certains supports de circuits à pression élevée ayant leurs contacts plaqués or remplissent ces conditions, mais une soudure de l'émetteur directement sur la carte donne de meilleures performances et est recommandée.

Tableau 30. Gammes de résistance pour des fils de cuivre divisés

Fils de jauge AWG	Fils de jauge métrique	Ω/m*
22	6	0,049 à 0,056
24	5	0,075 à 0,089
26	4	0,12 à 0,14
28	3	0,21 à 0,24

* Selon la division, le traitement et la dureté du cuivre.

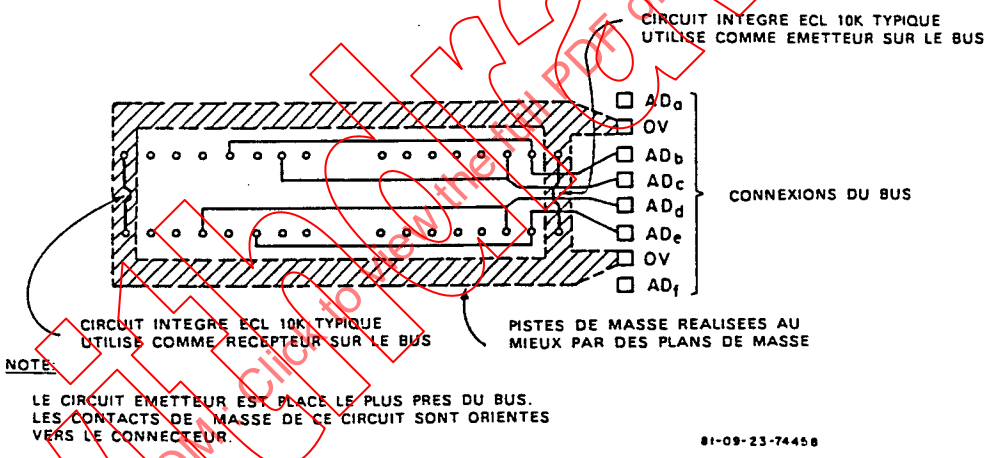


Figure 41. Schéma d'implantation d'un émetteur/récepteur de bus en ECL

Un contact sur cinq du connecteur de segment FASTBUS est un 0 V de retour de masse (voir tableau 25 page 133). Ces connexions sont destinées à minimiser les différences de retard dans les circuits de masse. La meilleure manière de réaliser ces circuits est d'utiliser un plan de masse (voir figure 41). Les émetteurs devront être orientés pour minimiser la distance entre leurs connexions de masse et les contacts du segment. L'utilisation d'une carte double face peut entraîner l'emploi de bus-barre ou de fils de grosse section pour acheminer les autres connexions d'alimentation vers l'intérieur. Le plan de masse des émetteurs et des récepteurs vers les contacts du connecteur de segment du châssis devra être continu. Les contacts d'alimentation des circuits ECL devront être découplés vers la masse par des condensateurs hautes fréquences. On peut suggérer un tel condensateur pour chaque contact d'alimentation tous les deux boîtiers.

Pour les segments-câbles la résistance maximale (signal plus retour de masse) ne doit pas dépasser environ le sixième de l'impédance du câble. Dans le cas de câbles 100 Ω, la résistance maximale est d'environ 16 Ω. Si un tel câble est réalisé en fil de cuivre jauge AWG#26, la longueur maximale sera environ de 58 m. Le tableau 30, donne les gammes de résistances pour des fils de cuivre divisés.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

connected between the receiver input and the driver output stub, with minimum lead length from the driver output at the driver chip to the resistor.

It is advisable to avoid the use of sockets for drivers unless they present minimum capacitance and the transient voltage developed across the power ground pin is less than 50 mV when the device is switching any combination of outputs. Some high pressure sockets with gold plated contacts meet these requirements but direct soldering of the driver into the circuit board gives better performance and is recommended.

Table 30. Resistance Ranges for Stranded Copper Wire

AWG Wire Gauge	Metric Wire Gauge	Ω/m*
22	6	0.049 to 0.056
24	5	0.075 to 0.089
26	4	0.12 to 0.14
28	3	0.21 to 0.24

* Depends on stranding, plating and copper hardness.

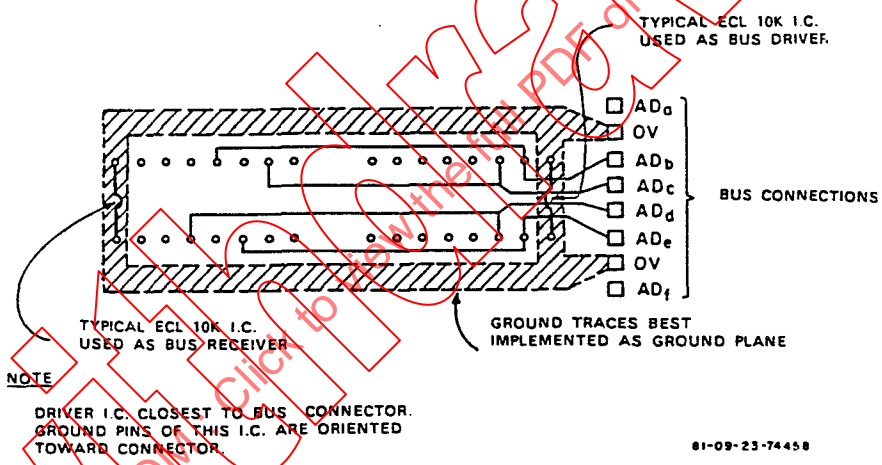


Figure 41. Typical ECL Driver-Receiver Layout

Every fifth pin on the FASTBUS Segment Connector is 0 V power return (see Table 25 on page 133). These connections are provided to minimize differential delays in the ground return paths. These paths are best implemented as a ground plane (see Figure 41). Drivers should be oriented such as to minimize the distance from their ground connections to the Segment contacts. If two-sided boards are used, this may require the use of bus bars or heavy wires to carry the other power connections to the interior. The ground plane from the drivers and receivers to the Crate Segment connector pins should be continuous. The power pins of the ECL devices should be decoupled to ground by high frequency capacitors. One such capacitor for each power pin for every two packages is suggested.

For Cable Segments, the maximum resistance (signal plus ground return) must be limited to approximately one-sixth of the cable impedance. In the case of 100 Ω cable, the maximum resistance is approximately 16 Ω. If such a cable were constructed from #26 gauge AWG copper wire the maximum length would be approximately 58 m (190 ft). Table 30, shows the resistance ranges for stranded copper wire.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

A.1.2 Détails du cadencement des signaux ECL

Voir le tableau 31 page 156.

Règle

Les dispositifs ne doivent pas répondre à AS(d), AK(d), EG(d), DS(d), DK(d), SR(d) et AG(d) pendant au moins 12 ns après le début des transitions de ces signaux, excepté pour les dispositifs dont le fonctionnement n'est pas affecté par les transitoires se produisant dans les 12 ns qui suivent l'une de ces transitions. On considère que le retard interne de la logique fait partie de ces 12 ns.

A.1.3 Délai de réessai

Le délai de réessai est le temps qu'un Maître attendra après avoir reçu une réponse SS non nulle ou après le déclenchement d'un temporisateur long, avant de réessayer une opération pour laquelle un nouvel essai est justifié. Pour éviter un blocage du système, ce temps sera choisi à chaque fois au hasard. (Le temps initial sera d'environ 1 µs.)

A.1.4 Temps de réponse

Voir le tableau 31 page 156.

A.1.5 Résistances d'adaptation

Les lignes de signaux du fond de panier seront terminées à chaque extrémité par 56 Ω vers le -2,0 V. Il en résulte une charge de 28 Ω en continu qui est acceptable avec des circuits d'attaque dimensionnés pour un courant de sortie continu d'au moins 50 mA. Pour les informations concernant l'adaptation des segments-câbles, voir l'annexe C.

A.1.6 Courant nécessaire pour le générateur de tension GA

Règle

Le générateur de tension GA doit être capable de fournir 50 mA dans la ligne de l'état "1". L'impédance interne des circuits fournissant aussi bien l'état "1" que l'état "0" ne doit pas dépasser 1000 Ω.

A.1.7 Différences de températures entre les puces

Règle

Pour des considérations sur les marges de bruit, les différences de températures entre les puces des circuits intégrés ECL qui sont directement connectés entre eux ne doivent pas dépasser 30 °C.

A.1.8 Distribution des modules sur un segment-châssis

Les règles suivantes concernant le positionnement des modules sur un segment-châssis doivent être observées pour minimiser les réflexions:

1. Un groupe unique de modules n'importe où dans un segment-châssis est satisfaisant.
2. Toute combinaison de modules approximativement équidistants dans un segment-châssis est satisfaisant.
3. Plusieurs groupes de modules dans un segment-châssis sont à éviter.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

A.1.2 ECL Timing Details

See Table 31 on page 156.

Rule

Devices shall not respond to AS(d), AK(d), EG(d), DS(d), DK(d), SR(d) and AG(d) for at least 12 ns after these signal transitions have begun except for those Devices whose operation is not affected by spurious transitions occurring within 12 ns after any of these transitions has begun. Internal logic delay is considered part of the 12 ns.

A.1.3 Retry Period

Retry Period is the time a Master waits after receiving a non-zero SS response or after a Long Timer time out before retrying an Operation for which a retry is appropriate. To avoid system deadlocks, this time should be chosen at random for each occurrence. (Initially the time should be approximately 1 μs.)

A.1.4 Response Times

See Table 31 on page 156.

A.1.5 Terminators

Backplane signal buses should be terminated at each end in 56 Ω to -2.0 V. This results in a 28 Ω dc load which is permissible with drivers rated at a continuous output source current of at least 50 mA dc. For information regarding terminating of Cable Segments, see Annex C.

A.1.6 GA Logic Generating Circuit Requirements

Rule

The GA logic generating circuitry shall be capable of providing 50 mA into the "1" state line. The source impedance for both the logical "1" and "0" circuitry shall not exceed 1000 Ω.

A.1.7 Differential Die Temperatures

Rule

Because of noise margin considerations, the temperature differential between dies of ECL integrated circuits that connect directly to each other shall not exceed 30 °C.

A.1.8 Module Distribution in Crate Segments

The following rules concerning the positioning of Modules in a Crate Segment should be observed to minimize reflections:

1. A single cluster of Modules anywhere in a Crate Segment is satisfactory.
2. Any combination of approximately equally spaced Modules in a Crate Segment is satisfactory.
3. Multiple clusters of Modules in a Crate Segment should be avoided.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Tableau 31. Caractéristiques temporelles pour une réalisation en ECL

		Type de Segment			
		Châssis de 482,6 mm (19″)	Châssis de 609,6 mm (24″)	Segment-câble***	Voir parag.
T_s temps minimal d'établissement		4ns	4ns	4ns + 0,33nsxCLx1,2 Notes 1, 3	
Durée du temporisateur d'un Maître ou d'un SI*	Adresse (min)	900ns	900ns	900ns + 13nsxCLx1,33 Notes 2, 3	5.1.1, 5.2.1, 5.2.3, 6.3.5
	Données (min)	1600ns	1600ns	1600ns + 13nsxCLx1,33 Notes 2, 3	
Temps de réponse de l'Esclave*	Adresse (max)	500ns	500ns	500ns	5.1.2, 5.2.2, 5.3.2
	Données (max)	1000ns	1000ns	1000ns	
Temps de réponse de diffusion+	Adresse	500ns min. 700ns max.	500ns min. 700ns max.	(750ns + 13nsxCL)(1±0,33) Notes 2, 3	7.3
	Données	1000ns min. 1400ns max.	1000ns min. 1400ns max.	(1500ns + 13nsxCL)(1±0,33) Notes 2, 3	
Retard du bus (max)		15ns	20ns	6,5nsxCL Notes 2, 3	
RB = 1 (min)		500ns	500ns	500ns + 13nsxCLx1,2 Notes 2, 3	
Retard de EG* (max.)		60ns	60ns	60ns	7.2
Délai de réponse à RB = 1		100ns min. 150ns max.	100ns min. 150ns max.	100ns min. 150ns max.	5.4.2
Temps d'arbitrage (AG = 1) min.		150ns**	180ns**	100ns + 26nsxCLx1,2** Notes 2, 3	6.3.4, 7.1.2
Temps de transit sur logique d'arbitrage		20ns Note 4	20ns Note 4	30ns Note 4	
Durée minimale des impulsions à l'état bas		40ns	50ns	40ns + 1,2nsxCLx1,2 Notes 2, 3	5.1.1, 5.2.1, 7.1.2, 7.4

Pour les notes, voir page suivante.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Table 31. Characteristic Times for ECL Implementation

		Segment Type			
		482.6 mm (19") Crate	609.6 mm (24") Crate	Cable Segment***	Ref. Sub-cl
Skew T_s Minimum		4ns	4ns	4ns + 0.33nsxCLx1.2 Notes 1, 3	
Master or SI response time out*	Address (min)	900ns	900ns	900ns + 13nsx.CLx1.33 Notes 2, 3	5.1.1, 5.2.1, 5.2.3, 6.3.5
	Data (min)	1600ns	1600ns	1600ns + 13nsxCLx1.33 Notes 2, 3	
Slave response time*	Address (max)	500ns	500ns	500ns	5.1.2, 5.2.2, 5.3.2
	Data (max)	1000ns	1000ns	1000ns	
Broadcast response time+	Address	500ns min. 700ns max.	500ns min. 700ns max.	(750ns + 13nsxCL)(1±0.33) Notes 2, 3	7.3
	Data	1000ns min. 1400ns max.	1000ns min. 1400ns max.	(1500ns + 13nsxCL)(1±0.33) Notes 2, 3	
Bus delay (max)		15ns	20ns	6,5nsxCL Notes 2, 3	
RB = 1 (min)		500ns	500ns	500ns + 13nsxCLx1.2 Notes 2, 3	
EG delay time* (max.)		60ns	60ns	60ns	7.2
Response delay to RB = 1		100ns min. 150ns max.	100ns min. 150ns max.	100ns min. 150ns max.	5.4.2
Arbitration time (AG = 1) min.		150ns**	180ns**	100ns + 26nsxCLx1.2** Notes 2, 3	6.3.4, 7.1.2
Arbitration logic delay		20ns Note 4	20ns Note 4	30ns Note 4	
Minimum pulse down time		40ns	50ns	40ns + 1.2nsxCLx1.2 Notes 2, 3	5.1.1, 5.2.1, 7.1.2, 7.4

For notes, see the following page.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

NOTES:

1. Le temps d'établissement sur le câble est basé sur 5% du temps de propagation sur le câble.

2. Basé sur un temps moyen sur une paire torsadée de 6,5 ns/m; peut être plus rapide ou plus lent suivant le type de câble.

3. CL = longueur du câble en mètres.

4. Retard le plus défavorable d'une ligne AL en entrée à une ligne AL en sortie.

\+ Pour la logique ancillaire. S'applique à la fois pour les transitions de 0 vers 1 et de 1 vers 0.

* S'applique pour les transitions de 0 vers 1 et, s'il y a lieu, de 1 vers 0.

** Pour des applications spéciales, il est possible de réduire le temps minimal de AG = 1.

*** Ces temps sont basés sur les premiers tests avec des circuits d'attaque ayant des temps de montée et de descente d'environ 5 ns sur un câble plat de 110 Ω nominal en paires torsadées de longueur ≤60 m. Ils peuvent varier légèrement avec les circuits en étude et des tests supplémentaires. Des spécifications supplémentaires seront ajoutées (telles que la longueur du segment en fonction de la jauge des fils et des limites de temps de montée et de descente des circuits d'attaque).

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

NOTES:

1. Cable skew based on 5% of cable propagation delay.

2. Based on average twisted pair with 6.5 ns/m; may be faster or slower depending on cable type.

3. CL = cable length in meters.

4. Worst case delay AL line input to AL line output.

\+ For ancillary logic. Applies for both 0 to 1 and for 1 to 0 transitions.

* Applies for 0 to 1 and, where applicable, 1 to 0 transitions.

** For special applications, it may be possible to decrease these AG=1 min. times.

*** Times based on early tests with drivers with rise and fall times approximately 5 ns and ≤60 m nominal 110 Ω flat twisted cable. May be changed slightly based on drivers under development and additional tests. Additional specifications (such as segment length versus wire gauge and cable segment driver rise and fall time limits) to be added.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Annexe B. Interconnexions en ECL sur la face avant

Cette spécification s'appuie sur les recommandations des principaux constructeurs de logique ECL pour les communications entre les différentes parties d'un système. Celles-ci conseillent l'utilisation de lignes différentielles, en émission et en réception, pour disposer d'une forte immunité au bruit et s'affranchir des différences de potentiel de masse.

B.1 Amplitude et niveaux des signaux

Règle

Les signaux doivent être compatibles avec l'ECL 10K ou 10KH, en paires différentielles, avec le niveau nominal de -0,9 V sur une ligne et le niveau nominal de -1,7 V sur l'autre ligne. (En ECL pour une logique positive, le niveau -0,9 V est le "1" logique et le niveau -1,7 V est le "0" logique suivant la tableau 32.)

Tableau 32. Niveaux logiques pour des interconnexions ECL en logique positive

Tension	Niveaux logiques
-0,9	1
-1,7	0

B.2 Câbles

Règle

Les interconnexions doivent être réalisées à l'aide de câble en paires différentielles simples ou multiples d'une impédance nominale de 100 Ω

B.3 Connecteurs

Règle

Les connecteurs doivent être du type IDC (connecteur autodénudant) ou équivalent au pas d'une grille de 2,54 mm x 2,54 mm. Le connecteur mâle ou embase (ensemble connecteur du module) doit être sur le module et le connecteur femelle ou prise (ensemble connecteur du câble) doit être sur le câble. Le connecteur du module doit avoir des contacts carrés de section 0,635 mm x 0,635 mm et de longueur de 6,20 mm ± 0,50 mm. Pour des connexions en paires torsadées individuelles le connecteur de câble ne doit pas avoir une épaisseur de plus de 2,54 mm.

Le terme "ensemble connecteur du module" tel qu'il est utilisé ici doit être interprété comme s'appliquant également aux embases montées sur le circuit et les cartes auxiliaires.

Le terme "multi-contact" doit être interprété comme référence aux connecteurs qui ont plus de deux contacts. Le terme "multi-contact" doit être interprété comme un terme général s'appliquant aussi bien aux connecteurs mâles que femelles.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Annex B. Front Panel Interconnections for ECL

This specification is based on the recommendations of the major ECL logic manufacturers for communication between different parts of a system. They advise differential line driving and receiving for high noise immunity and cancellation of ground potential differences.

B.1 Signal Amplitude and Levels

Rule

Signals shall be ECL 10K or 10KH compatible with differential pairs with nominal -0.9 V level on one line and nominal -1.7 V level on the other line. (For ECL positive logic a -0.9 V level is a logical 1 and a -1.7 V level is a logical 0 as in Table 32.)

Table 32. Logic Levels for Interconnections for ECL Positive Logic

Voltage	Logic Level
-0.9	1
-1.7	0

B.2 Cables

Rule

Interconnections shall be made with single or multiple pair cables of nominal 100 Ω impedance when driven differentially.

B.3 Connectors

Rule

Connectors shall be of the IDC (Insulation Displacement Connector) type or equivalent with a 2.54 mm x 2.54 mm (0.100 in x 0.100 in) grid. The pin connector or header assembly (Module connector assembly) shall be on the Module and the socket connector or receptacle assembly (cable connector assembly) shall be on the cable. The Module connector assembly shall have square pins with cross-section of 0.635 mm x 0.635 mm (0.025 in x 0.025 in) and length of 6.20 ± 0.50 mm (0.244 ± 0.020 in). For single twisted pair interconnections the cable connector assembly shall have a thickness of not more than 2.54 mm (0.100 in).

The term "module connector assembly" as used herein shall be interpreted to refer also to connector assemblies mounted on circuit and auxiliary boards.

The terms "multipin" and "multisocket" shall be interpreted to refer to connectors that have more than two pins or sockets, respectively. The term "multicontact" shall be interpreted to be a general term referring to either multipin or multisocket connectors.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

L'embase connecteur du câble devrait de préférence être détrompée ou posséder un codage de couleur et devrait posséder un système de verrouillage.

Règle

La position du connecteur doit être telle que le connecteur du câble lorsqu'il est branché ne dépasse pas les bords verticaux de la face avant.

B.3.1 Connecteurs multicontact

Les connecteurs à deux rangées du module, des cartes ou des cartes auxiliaires devraient posséder une embase ayant au moins trois côtés (une embase à quatre côtés est préférable). L'embase devrait posséder un détrompeur qui soit compatible avec le connecteur associé.

Règle

Une marque particulière (par exemple un triangle) sur l'embase du connecteur doit indiquer la position du contact numéro un. Le contact opposé doit être le contact numéro deux. La numérotation doit continuer alternativement en numérotant tous les contacts séquentiellement. Le système de détrompage doit être du côté des numéros de contacts impairs du connecteur.

L'identificateur du contact "1" ou le système de détrompage devrait être visible quand le connecteur est installé à sa place.

Règle

Si le connecteur est monté en retrait ou s'il est monté d'une manière telle que l'indicateur du contact "1" sur le connecteur n'est pas visible, le capot, la surface de montage ou le panneau doivent être marqués pour indiquer clairement le contact "1" (par exemple par un triangle équilatéral de 2,5 mm de côté minimum, près du contact "1" avec un angle pointant vers le contact "1"). Pour les connecteurs multicontact qui n'ont ni embase ni détrompage le capot, la surface de montage ou le panneau doivent indiquer clairement la position du contact "1".

Le connecteur multicontact correspondant du câble doit indiquer le contact femelle numéro "1". Ce contact doit correspondre au contact mâle numéro "1" de l'autre partie.

Il est recommandé que le connecteur multicontact du câble soit détrompé.

B.3.2 Signaux différentiels ECL sur les connecteurs multicontact

Règle

Pour les signaux différentiels ECL sur les connecteurs multicontact, la transition positive du signal doit être sur les contacts aux numéros impairs et la transition négative sur les contacts aux numéros pairs.

Lorsque les signaux différentiels utilisent les paires de contact 1-2, 3-4, etc., sans espace ni insertion, le marquage décrit ci-dessus suffira.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

The cable connector assembly should preferably be keyed or color coded and should have a locking mechanism.

Rule

The connector location shall be such that the mating cable connector does not extend beyond the vertical edges of the front panel.

B.3.1 Multipin Connectors

Two row connectors on modules, circuit boards, or auxiliary boards (mounted connectors) should have an integral shroud on at least three sides (four-sided shrouds are preferred). The shrouds should have a key that is compatible with the mating connector.

Rule

A special mark (for example, a triangle) on the connector housing shall indicate the position of pin number one. The pin opposite shall be designated pin number two. The numbering shall continue alternating with all pins numbered sequentially. The keying mechanism shall be along the odd pin number side of the connector.

The "pin one" designator or key mechanism should be visible when the connector is in the installed position.

Rule

If the mounted connector is recessed or mounted in such a manner that the "pin one" designation on the connector is not visible, the housing, mounting surface, or panel shall be marked to clearly denote "pin one" (for example, by an equilateral triangle, 2.5 mm minimum on a side, near "pin one" with a vertex pointing toward "pin one"). For mounted multipin connectors that have neither a shroud or keying, the housing, mounting surface, or panel shall clearly indicate the position of "pin one".

The mating multicontact cable connector shall identify socket contact number one. This contact shall mate with pin one of the connector pair.

It is recommended that the mating multicontact cable connectors be keyed.

B.3.2 ECL Differential Signals on Multicontact Connectors

Rule

For ECL differential signals on multipin connectors, the positive going signals shall be on the odd numbered pins and the negative going signals on the even numbered pins.

Where the differential signal pairs utilize the contact pairs 1-2, 3-4, etc., without gaps or interspersions, the markings described above will suffice.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Règle

Pour des configurations de signaux différentiels avec insertion de lignes de masse ou d'autres lignes, ou pour d'autres configurations qui ne seraient pas la simple disposition 1-2, 3-4..., la disposition des signaux sur le connecteur doit être indiquée.

B.3.3 Signaux différentiels ECL sur un connecteur à 2 contacts

Règle

Pour un câble qui ne contient qu'une paire différentielle et qui se connecte sur une embase multicontact, le capot du connecteur du câble doit être marqué pour indiquer clairement le contact qui doit aller sur la rangée impaire de l'embase du connecteur multicontact. L'embase du connecteur doit être marquée suivant la description donnée au paragraphe B.3.1.

Si l'embase est un connecteur à 2 contacts contenant une seule paire différentielle ECL, il doit y avoir une indication claire de la place du signal positif.

B.4 Emetteurs, récepteurs et résistances d'adaptation

Règle

Les émetteurs de sortie doivent être du type à sortie en tension (tel que les 10116, 10216, 10101, 10105, etc.) et doivent fournir nominalement une excursion de tension différentielle de 1,6 V crête à crête (0,8 V avec le changement de polarité) dans une charge de 100 Ω (câble).

Le circuit de commande doit posséder des résistances de charge d'une valeur telle qu'elles autorisent un courant qui fournisse une excursion en tension telle qu'elle est définie ci-dessus dans l'impédance du câble.

Les résistances d'adaptation du câble doivent être côté récepteur et doivent être de 100 Ω.

Pour les signaux dont les temps de montée et de descente sont inférieurs à la moitié du temps de propagation du câble, il est important d'adapter le câble par une résistance de terminaison égale à son impédance caractéristique différentielle. Pour les câbles à pertes, une adaptation correcte est moins importante bien qu'il faille faire attention à la qualité du signal.

Note : Pour des réalisations particulières, les câbles utilisés peuvent avoir des impédances caractéristiques qui diffèrent notablement de 100 Ω Dans ce cas, si le signal est tel qu'il nécessite une bonne adaptation, l'utilisateur peut désirer remplacer les résistances d'adaptation pour se rapprocher de l'impédance du câble. Une telle modification devrait être clairement notée sur le dispositif.

Il est recommandé que l'adaptation du câble soit symétrique; par exemple en connectant une résistance de 51 Ω entre chaque point d'entrée du récepteur et la tension de référence V_{bb} comme spécifié pour l'ECL 10K pour des câbles 100 Ω. Pour pouvoir limiter les courants en mode commun à V_{bb}, une résistance d'environ 100 Ω devrait être insérée entre V_{bb} et le point commun aux deux résistances de 51 Ω.

La figure 42 page 161 représente les éléments des circuits d'une liaison ECL.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Rule

For configurations of differential signals with interspersed ground lines or other lines or, of other configurations that are not the simple 1-2, 3-4, ... layout, the signal configuration of the connector shall be identified.

B.3.3 ECL Differential Signals on Two-Contact Connectors

Rule

For a cable that contains only one differential pair and that mates to a mounted multipin connector, the cable connector housing shall be marked to clearly indicate the contact that is to mate with the odd numbered row of the mounted multipin connector. The mounted connector shall be marked as described in *Sub-clause B.3.1.*

If the mounted connector is a two-pin connector containing a single differential ECL signal pair, there shall be a clear indication of the location of the positive signal.

B.4 Drivers, Receivers and Terminators

Rule

The output drivers shall be of the voltage output type (such as 10116, 10216, 10101, 10105, etc.) and shall deliver a nominal differential voltage swing of 1.6 V peak-to-peak (0.8 V with changing polarity) into the 100 Ω load (cable).

The driver shall have pulldown resistors of such value as to permit a current that provides a full voltage swing as specified above, into the cable's impedance.

The cable terminators shall be on the receiver side and shall be 100 Ω.

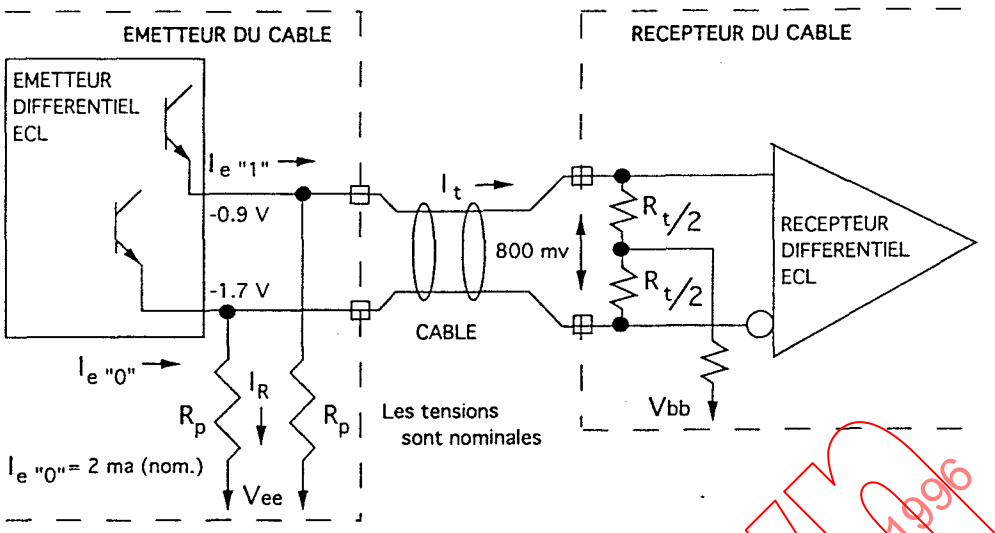
When driving signals whose rise or fall time are less than half the propagation time of the cable it is important that the differential characteristic impedance of the cable and the termination resistance are matched. For lossy cables proper termination is less important though attention should be paid to signal quality.

Note : In some specific implementations the cables used may have characteristic impedances that differ substantially from 100 Ω. In such instances, if the signals are such that a close termination match is necessary, the user may wish to replace the termination resistors in order to more closely match the cable impedance. Such a change should be clearly noted on the Device.

It is recommended that the cable terminators be made symmetrical; for example, by connecting a 51 Ω resistor from each input point to the receiver reference voltage V_{bb} as specified for 10K ECL with 100 Ω cable. In order to limit common mode currents to V_{bb} a resistor of approximately 100 Ω should be inserted between V_{bb} and the junction of the two 51 Ω resistors.

Figure 42 on page 161 shows the circuit elements for ECL cable drivers.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn



NOTES 1 En supposant que les résistances de terminaison adaptent l'impédance du câble pour les signaux rapides.

2 Les désignations des états logiques «0» et «1» sont conformes au tableau 32.

Figure 42. Circuits pour une liaison sur un câble

L'équation 1 garantit qu'au moins 2 mA circuleront dans l'émetteur sur le côté à l'état "0" pour maintenir le transistor conducteur, I_t est suffisant pour produire 800 mV aux bornes de la terminaison du câble. La résistance de charge peut être calculée ainsi:

$$R_p = \frac{(|V_{ee}| - 1{,}7)\, R_t}{(0{,}002\, R_t + 0{,}8)} \qquad \text{Equation 1}$$

Où : R_p est la valeur de la résistance de charge (en ohms)

V_{ee} est la valeur de la tension négative d'alimentation (−5,2V ou −4,5V typique)

R_t est la valeur de la résistance d'adaptation du câble (en ohms)

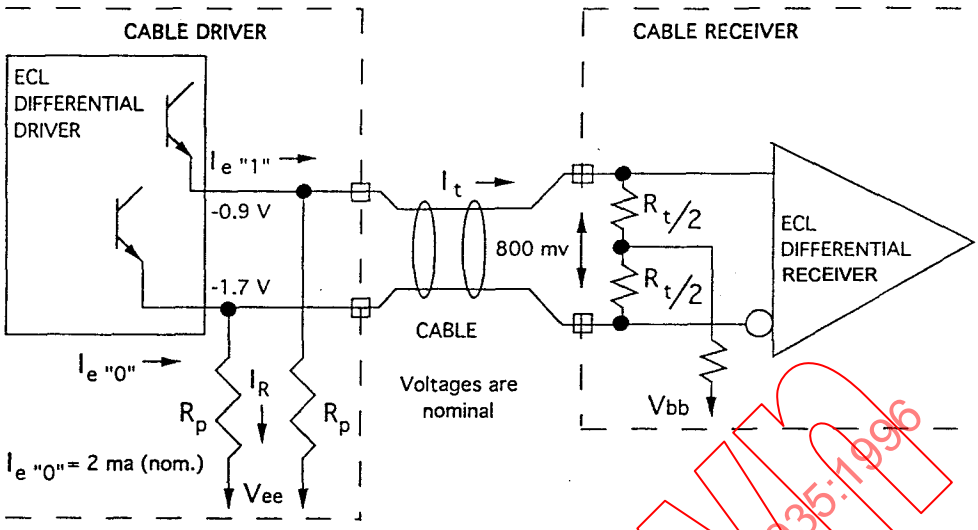
Lorsqu'il n'est pas nécessaire de minimiser la puissance, R_p peut être fixée à 240 Ω (V_{ee} = −5,2V) ou 200 Ω (V_{ee} = −4,5V). Cette valeur de R_p sera utilisable pour des impédances de câble allant de 70 à 140 Ω et limite le courant circulant de l'émetteur à l'état "1" à moins de 30 mA. La puissance dissipée dans les deux résistances est constante, 128 mW (pour -5,2V) ou 104 mW (pour -4,5V). Cette solution avec une seule valeur de résistance dissipera une puissance supérieure à l'optimal de 35-40% pour des câbles de 100 Ω d'impédance et de 80% pour des câbles de 140 Ω. Cette solution avec une seule valeur de résistance de charge a l'avantage que seule la résistance de terminaison doit être ajustée pour adapter l'impédance du câble.

Règle

Les sorties des récepteurs doivent être dans un état défini lorsque le câble n'est pas connecté.

Un état défini sur les sorties des récepteurs peut être obtenu en décalant une entrée d'au moins 70 mV. Certains récepteurs possèdent un état défini sans polarisation externe.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn



NOTES 1 Assume terminating resistor matches cable impedance for high speed signals.

2 Logic state designations "0" and "1" are according to table 32.

Figure 42. Cable Driving Circuit

Equation 1 ensures that at least 2 mA will flow from the emitter of the "0" state side to keep the transistor biased on. I_t is sufficient to generate 800 mV across the cable terminator. The pull-down resistor value may be calculated as follows:

$$R_p = \frac{(|V_{ee}| - 1{,}7)\, R_t}{(0{,}002\, R_t + 0{,}8)} \qquad \text{Equation 1}$$

Where: R_p is the value of the driver pull-down resistor (in ohms)
V_{ee} is the value of the negative power supply voltage (typically −5,2V or −4,5V)
R_t is the value of the cable terminating resistor (in ohms)

When minimizing power is not necessary, R_p can be set at 240 Ω (V_{ee} = −5,2V) or 200 Ω (V_{ee} = -4.5V). This value of R_p will accommodate cable impedances from 70 to 140 Ω and limit the current flowing from the "1" state emitter to less than 30 mA. The power dissipation for both resistors is a constant 128 mW (for -5.2V) or 104 mW (for -4.5V). This single value resistor approach will cause the power dissipated to be 35-40% higher than optimal for cables of 100 Ω impedance and up to 80% for 140 Ω cables. The single value pull-down resistor scheme has the advantage that only the terminator needs to be adjusted to match the cable impedance.

Rule

The receiver output shall be in a defined state when the cable is not connected.

The defined state of the receiver output may be produced by offsetting one input by not less than 70 mV. Some receivers achieve the defined state without external bias.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Annexe C. Réalisation du segment-câble

Les spécifications du segment-câble du FASTBUS sont données à la section 16. On espère que les informations suivantes seront complétées et modifiées au fur et à mesure que des réalisations de segments-câbles seront développées.

Les circuits qui accèdent au segment-câble du FASTBUS sont des circuits différentiels en courant. Les circuits d'attaque sont conçus de telle manière que dans leur état de repos aucun courant ne circule dans l'un ou l'autre des fils de la paire. Un circuit de compensation dans une terminaison absorbe un courant I pour polariser le câble de telle manière que la ligne "0" soit plus positive que la ligne "1". Lorsqu'un circuit attaque la paire à l'état "1", il absorbe un courant I sur le fil "0" et fournit un courant I sur la ligne "1". Cela produit une tension différentielle au borne de la paire qui va de $-0,5xIxR_t$ à $+0,5xIxR_t$. R_t est la valeur de la résistance d'adaptation de chaque ligne, qui est la moitié de l'impédance de la paire. Le changement de tension est perçu par un amplificateur différentiel connecté à la paire. L'amplificateur est conçu pour que sa sortie change d'un état logique "0" à un état logique "1" lorsque la ligne "1" devient plus positive que la ligne "0". La paire est polarisée à une tension, V_{term}, qui optimise la plage de mode commun pour les circuits d'attaque et de réception.

La figure 43 page 164 représente les états logiques du segment-câble.

Règle

Tous les circuits d'attaque du segment-câble du FASTBUS doivent:

1. ***Fournir un courant nul ±0,01xI sur chaque fil de la paire, lorsqu'ils attaquent le câble à l'état logique zéro.***
2. ***Fournir un courant I sur le fil "1" de la paire, et absorber un courant I du fil "0" de la paire, lorsqu'ils attaquent le câble à l'état logique un. La différence entre ces courants ne doit pas dépasser 0,01xI.***

Tous les récepteurs qui sont connectés au segment-câble du FASTBUS doivent être conçus pour fournir sur leur sortie un état logique "1" lorsque la ligne "1" est plus positive que la ligne "0" et un état logique "0" lorsque la ligne "0" est plus positive que la ligne "1". Le courant d'entrée doit être de moins de 0,3% de I sur chaque entrée.

La plage de mode commun pour les émetteurs et les récepteurs doit être celle indiquée dans l'article C.2.

Une extrémité du segment-câble doit être terminée par une résistance égale à l'impédance caractéristique du câble, Z_0, aux bornes de chaque paire de ligne de signaux. Cette adaptation doit être constituée de deux résistances, chacune de valeur $Z_0/2$, en série et d'un condensateur de 0,01 µF entre leur jonction et la masse.

L'adaptation à l'autre extrémité des paires de ligne du segment-câble doit posséder une résistance de $Z_0/2$ sur chaque ligne des paires vers la tension de terminaison. Elles doivent également fournir un courant de polarisation à travers la résistance d'adaptation du fil "1" d'une manière telle que lorsque aucun émetteur sur la ligne n'est actif, il y ait une tension de $-0,5xIxZ_0$ aux bornes de la paire.

La tension de polarisation sur la paire doit être telle que les émetteurs et les récepteurs fonctionnent au milieu de leur plage de mode commun.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Annex C. Cable Segment Implementation

Specifications for the FASTBUS Cable Segment are given in Section 16. The following information is expected to be amplified and modified as Cable Segment implementations are developed.

Circuits which attach to the FASTBUS Cable Segment are differential current drivers. The driver circuits are designed such that in their quiescent state no current is flowing to either of the wires of a pair. A compensation circuit at one terminator sinks a current of I to bias the cable such that the "0" line is more positive than the "1" line. When a circuit drives the signal pair to the "1" state, it sinks I current from the "0" line and sources a current I into the "1" line. This results in the differential voltage across the signal line changing from $-0.5 \times I \times R_t$ to $+0.5 \times I \times R_t$. R_t is the value of the terminating resistor for each line, which is 0.5 the impedance of the signal pair. The voltage change is sensed by a differential amplifier attached to the signal pair. The amplifier is designed such that its output changes from a logical 0 to a logical 1 when the "1" line is more positive than the "0" line. The signal pair is biased to a voltage, V_{term}, which optimizes the common mode range for the driver-receiver circuits.

Cable Segment logic states are shown in Figure 43 on page 164.

Rule

All drivers which attach to the FASTBUS Cable Segment shall:

1. ***When driving the cable to a logical zero, supply zero current $\pm 0.01 \times I$ to either side of a signal pair.***
2. ***When driving the cable to a logical one, source a current I to the "1" leg of the signal pair, and sink a current I from the "0" leg of the signal pair. The difference between these currents shall not exceed $0.01 \times I$.***

All receivers which attach to the FASTBUS Cable Segment shall be designed such that they develop at their output a logical one when the "1" line is more positive than the "0" line and a logical 0 when the "0" line is more positive than the "1" line. The input current shall be less than 0.3% of I on both inputs.

The common mode range for the drivers and receivers shall be as stated in Clause C.2.

One end of the Cable Segment shall be terminated by a resistance equal to the characteristic impedance of the cable, Z_0, across each signal line pair. This termination shall consist of two resistors, each of value $Z_0/2$, in series and with a 0.01 μF capacitor from their junction to ground.

The terminator at the other end of each signal line pair of the Cable Segment shall provide a resistor of $Z_0/2$ from each line of the signal line pair to the terminating voltage. It shall also provide a bias current through the "1" leg terminating resistor such that, when no driver on the line is active, the "1" line has a voltage equal to $-0.5 \times I \times Z_0$ relative to the "0" line.

The bias voltage on the signal line pairs shall be such that the drivers and receivers are operating in the middle of their common mode range.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

C.1 Caractéristiques électriques d'un segment-câble

Règle

Le segment-câble doit avoir une impédance caractéristique, Z_0, comprise entre 100 et 150 Ω. L'impédance caractéristique de tous les câbles formant un segment-câble FASTBUS doit être la même à ±10% près.

Les circuits d'attaque du segment-câble doivent avoir les caractéristiques suivantes:

I	=	*4,0 ±0,2 mA.*
Plage de mode commun de l'émetteur	=	*±3,0 V min.*
Courant à l'état zéro	=	*40 µA max.*
Equilibrage des sources de courant	=	*meilleur que 1%.*

Les récepteurs qui sont connectés au segment-câble doivent avoir les caractéristiques suivantes:

Courant d'entrée du récepteur	=	*100 µA max.*
Déséquilibre des courants du récepteur	=	*10 µA max.*

La figure 44 page 165 et la figure 45 page 165, représentent des exemples de réalisations de ces circuits qui peuvent être utilisés pour attaquer le bus.

C.2 Réalisation en ECL d'un segment-câble

Pour une réalisation en ECL d'un segment câble, on peut utiliser les différents récepteurs qui sont discutés ci-dessous. On trouvera à l'annexe K.2 une liste d'exemple de récepteurs et d'émetteurs disponibles.

Règle

Pour une réalisation en ECL, les récepteurs connectés au segment-câble doivent être soit du type 0.9 soit du type Z dont les caractéristiques sont les suivantes :

Type 0.9	*Plage de mode commun*	=	*+0,1 V à -2,0 V min.*
	Tension d'adaptation	=	*-0,9 V.*
Type Z	*Plage de mode commun*	=	*+3,1 V à -3,0 V min.*
	Tension d'adaptation	=	*0 V.*

Règle

Si le type 0.9 et le type Z sont tous les deux connectés au même segment, l'adaptation devra être celle pour le type 0.9. (La gamme de mode commun sera celle du type 0.9.)

Un émetteur/récepteur monolithique (le transmetteur CSX-E) actuellement en développement permettra de connecter de nombreux dispositifs sur un segment et sera économique en place sur la carte. Il nécessitera un radiateur car c'est un dispositif de puissance. La partie récepteur de ce dispositif est plus lente que le 10114 et que le F6901 qui figurent dans la liste de l'annexe K.2.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

C.1 Electrical Specification for Cable Segment

Rule

The Cable Segment shall have a characteristic impedance, Z_0, between 100 and 150 Ω. The characteristic impedance of all Cables forming a given FASTBUS Cable Segment shall be the same within ±10%.

The drivers that attach to the Cable Segment shall have the following specifications:

I	=	*4.0 ±0.2 mA*
Driver common mode range	=	*±3.0 V min.*
Zero state current	=	*40 µA max.*
Current source sink match	=	*better than 1%.*

The receivers that attach to the Cable Segment shall have the following specifications:

Receiver input current	=	*100 µA max.*
Receiver current imbalance	=	*10 µA max.*

Figure 44 on page 165 and Figure 45 on page 165, show suggested implementations of the circuits that may be used to drive the bus.

C.2 ECL Cable Segment Implementation

For ECL Cable Segment implementations, optional receivers as discussed below can be utilized. Examples of some available receivers are listed in annex K.2.

Rule

For an ECL implementation, the receivers that attach to the Cable Segment shall be of either Type 0.9 or Type Z with specifications as follows :

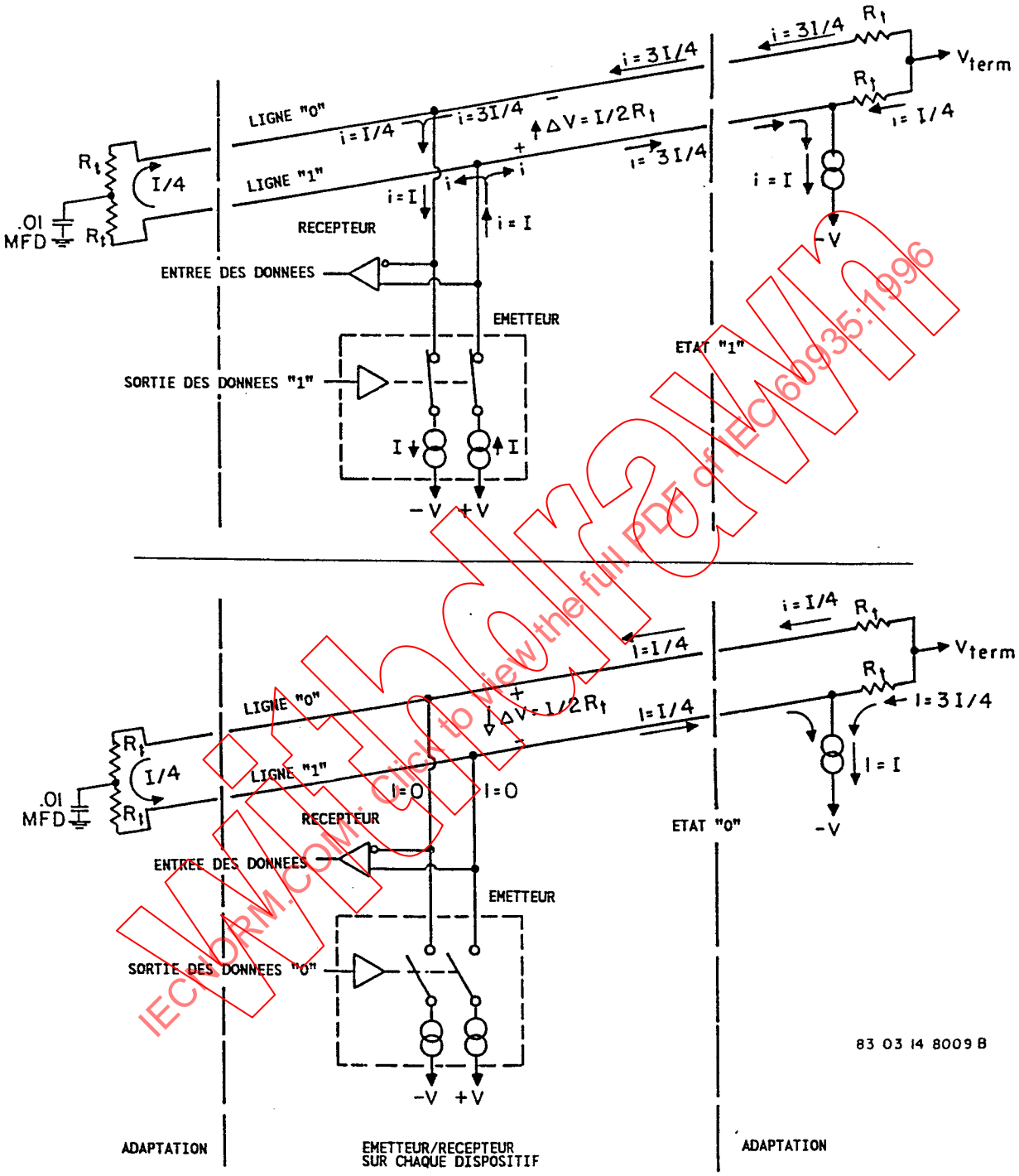
Type 0.9	*Common mode range*	=	*+0.1 V to -2.0 V min.*
	Terminating voltage	=	*-0.9 V*
Type Z	*Common mode range*	=	*+3.0 V to -3.0 V min.*
	Terminating voltage	=	*0 V*

Rule

If both type 0.9 and Type Z receivers are connected to the same segment, termination shall be for the type 0.9. (The common mode range will be that of the type 0.9.)

A monolithic receiver/driver (the CSX-E transceiver) currently under development will permit connecting many devices on a Segment and will be economical of board space. It will require a heat sink since it is a high power device. The receiver section is slower than the 10114 and the F6901 listed in annex K.2.

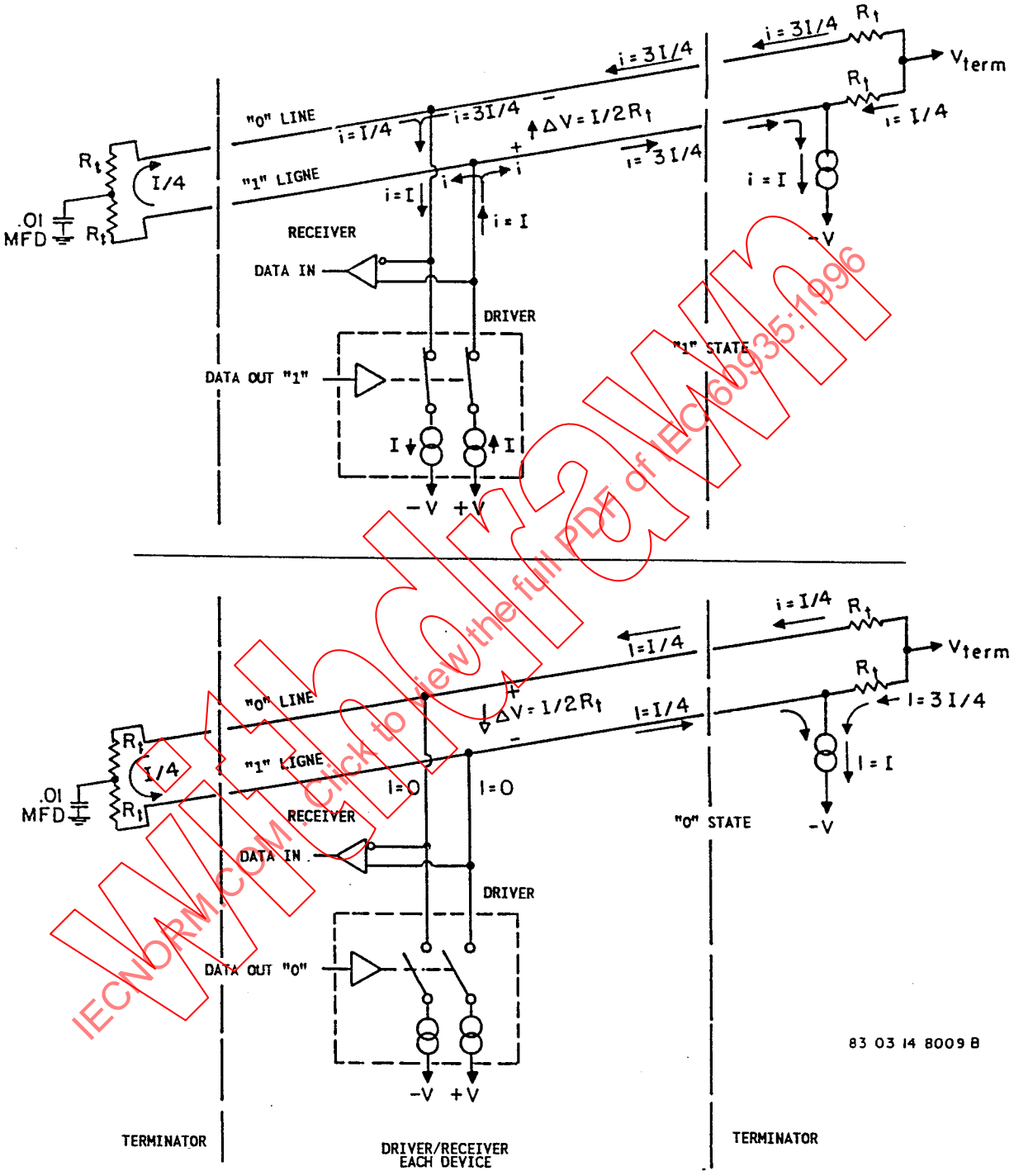
IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn



IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

(Les valeurs des courants représentés supposent des résistances de fils nulles.)

Figure 43. Etats logiques sur un Segment-câble



IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

(Values of currents shown are based on zero wire resistance.)

Figure 43. Cable Segment Logic States

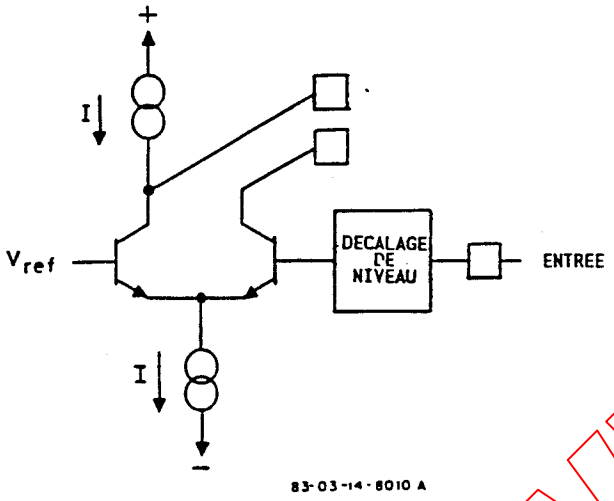


Figure 44. Schéma d'un circuit d'attaque de Segment-câble

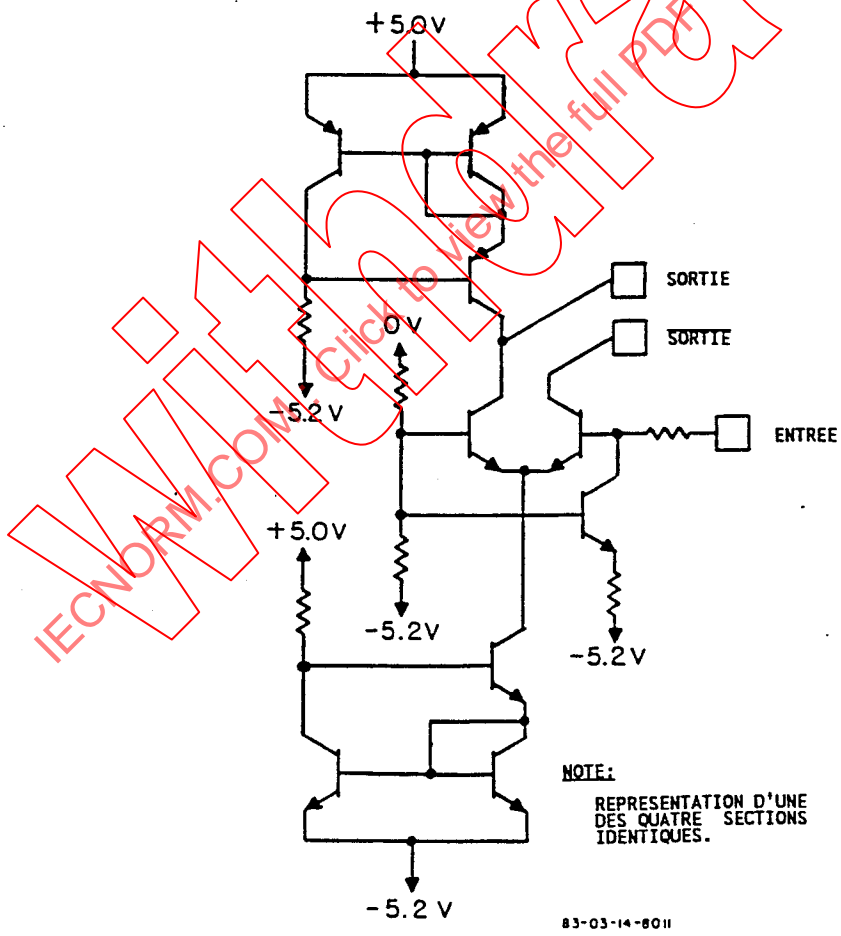


Figure 45. Exemple d'un circuit hybride d'attaque d'un Segment-câble

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

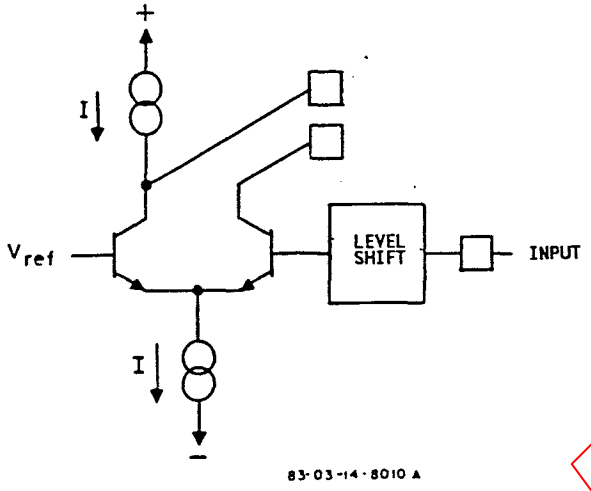


Figure 44. Schematic Diagram of Cable Segment Driver

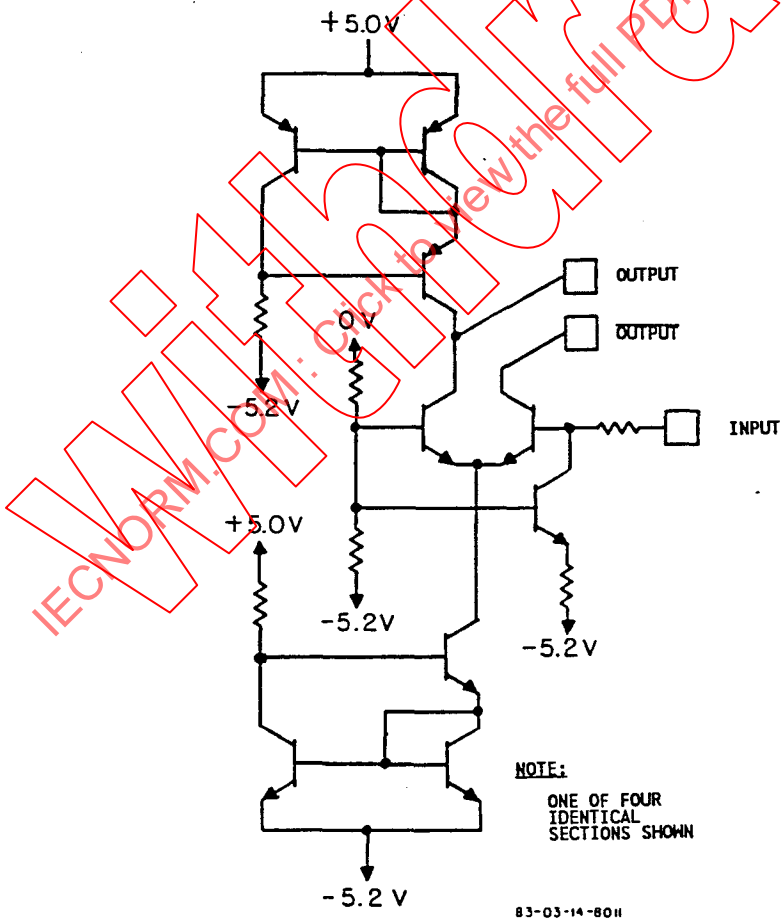


Figure 45. Example of Cable Segment Driver

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Annexe D. Exemples de réalisations d'éléments de maîtres

Cette annexe donne des exemples de réalisation de circuits pour des Maîtres FASTBUS.

D.1 Circuit d'arbitrage du maître

La figure 46 représente les détails de réalisation d'un circuit minimal utilisé dans un Maître pour participer à un cycle d'arbitrage.

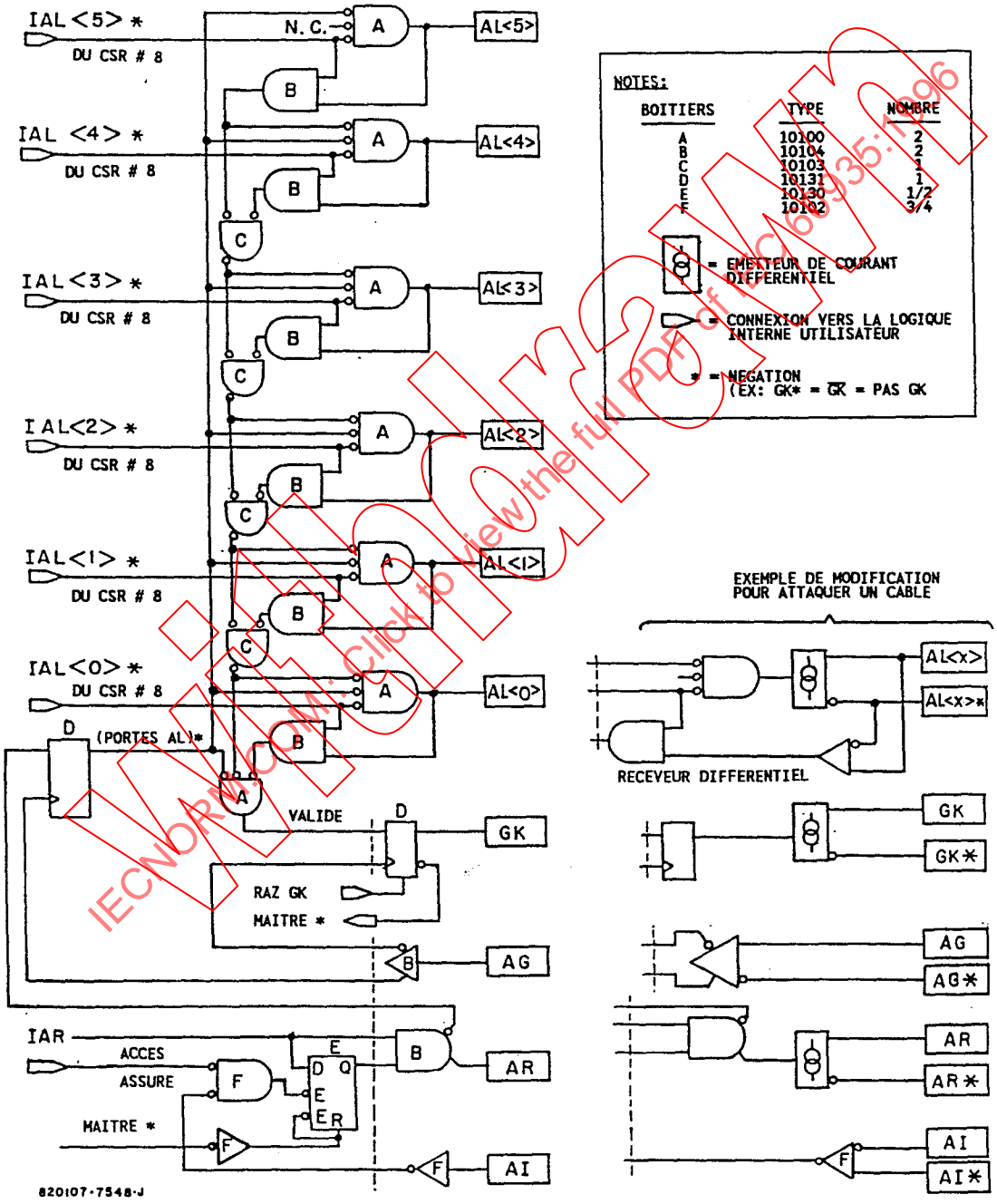


Figure 46. Exemple de logique d'arbitrage

IECNORM.COM: Click to view the full PDF of IEC 60935:1996
Withdrawn

Annex D. Implementation Examples of Master Requirements

This annex gives detailed examples of circuit implementations for FASTBUS Masters.

D.1 Master Arbitration Circuitry

Figure 46 is a minimum implementation of circuitry in a Master used for participation in an Arbitration Cycle.

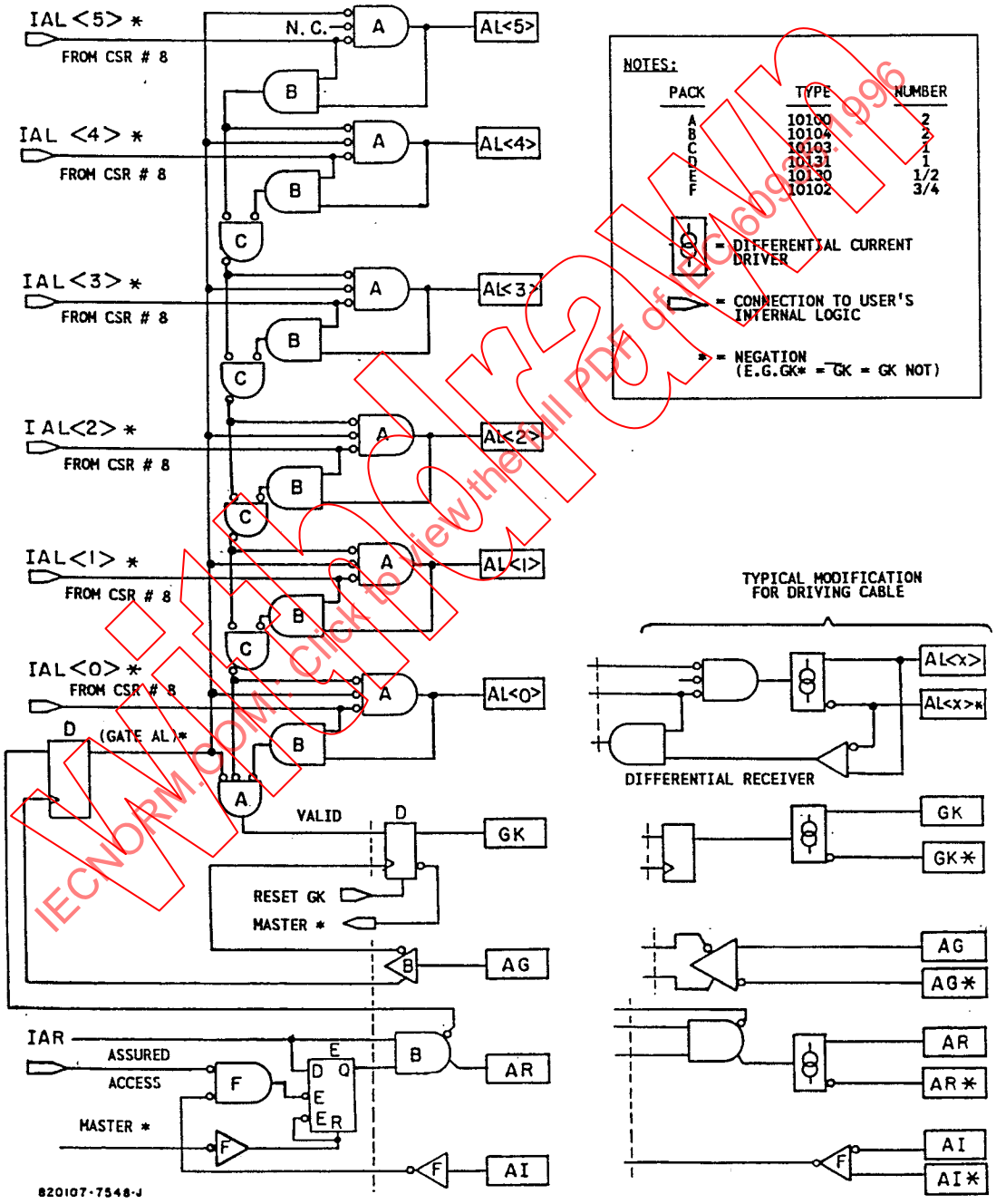


Figure 46. Example of Arbitration Logic

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Annexe E. Interconnexion de segments FASTBUS type S-1

L'interconnexion de segments type S-1 est conforme aux spécifications générales de la section 10 et aux caractéristiques supplémentaires définies dans cette annexe. Le type S-1 est défini comme une interconnexion de segments double, reliant un segment-châssis à un segment-câble. C'est la forme de SI la plus utile en général. Ce SI examine un champ GP de 8 bits de large qui sera plus que suffisant dans la plupart des applications.

Le type S-1 est spécifié de telle manière qu'il soit possible d'utiliser n'importe quel SI type S-1 en remplacement direct de n'importe quel autre, sans modifier les performances du fonctionnement logiciel ou matériel. Il peut cependant exister des différences dans des caractéristiques secondaires comme la structure interne, les possibilités de test, la configuration de la face avant, etc.

D'autres SI conformes au texte principal de cette norme peuvent ne pas nécessairement avoir les caractéristiques obligatoires du SI type S-1 et peuvent posséder des caractéristiques supplémentaires. Il est recommandé que de telles interconnexions de segments soient conformes au SI type S-1 pour les caractéristiques qu'elles ont en commun.

Règle

Pour pouvoir être conforme aux spécifications du SI type S-1, une interconnexion de segments doit être conforme à toutes les caractéristiques obligatoires de cette annexe, et à celles de la section 10 du texte principal de cette norme.

Un SI type S-1 ne doit avoir aucune autre particularité, en plus de celles demandées par cette annexe, qui puisse affecter la parfaite interchangeabilité opérationnelle avec d'autres interconnexions de segments conformes à cette annexe.

E.1 Caractéristiques générales d'une interconnexion de segment type S-1

E.1.1 Type

Règle

Un SI type S-1 doit être capable de fonctionner en interconnexion de segment double, sans transformation d'adresse, qui réunit un segment-châssis à un segment-câble.

La transformation des adresses dans la transmission des opérations (voir paragraphe 10.7.5) n'est nécessaire que pour les adressages géographiques et en diffusion. Un SI double permet la transmission des opérations dans les deux directions, c.-à-d. du segment-châssis vers le segment-câble ou du segment-câble vers le segment-châssis.

E.1.2 Format

Règle

Le SI type S-1 doit être un module FASTBUS, de préférence de largeur unité, conforme au standard mécanique FASTBUS tel qu'il est défini à la section 13 de cette norme.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Annex E. FASTBUS Segment Interconnect type S-1

The type S-1 Segment Interconnect is in conformity with the general specifications of Section 10 and with the additional requirements specified in this annex. The type S-1 is defined as a Duplex Segment Interconnect linking a Crate Segment and a Cable Segment. This is the most generally useful form of the SI. It examines an 8-bit wide GP field which should be more than adequate for most applications.

The Type S-1 is specified in such a way that it should be possible to use any SI Type S-1 as a direct replacement for any other, without affecting the nominal hardware or software operational performance. There may, however, be differences in secondary characteristics such as internal structure, test facilities, front panel layout, etc.

Other SIs conforming to the main text of this standard need not necessarily have all the mandatory features of SI Type S-1 and may have additional features. It is recommended that such Segment Interconnects should be uniform with SI Type S-1 with respect to those features that they have in common.

Rule

In order to conform to the specification of SI Type S-1, a Segment Interconnect shall conform to all the mandatory requirements of this annex, and to those of Section 10 of the main text of this standard.

An SI Type S-1 shall have no other features, in addition to those required by this annex, that could affect its full operational interchangeability with other Segment Interconnects conforming to this annex.

E.1 General Features of Segment Interconnect type S-1

E.1.1 Type

Rule

The SI type S-1 shall be capable of operating as a non-address-transforming, Duplex Segment Interconnect that links a Crate Segment with a Cable Segment.

Address transformation in passing operations (see Sub-clause 10.7.5) is only required for Broadcast and Geographical Addressing. A Duplex SI allows passing operations in either direction, that is from Crate Segment to Cable Segment or from Cable Segment to Crate Segment.

E.1.2 Format

Rule

SI Type S-1 shall be a FASTBUS Module, preferably single-width, conforming to the FASTBUS mechanical standard as set forth in Section 13.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Règle, suite

Un SI de type S-1 de largeur multiple doit utiliser le connecteur de segment-châssis et le connecteur auxiliaire le plus à gauche, tels qu'ils sont vus du devant du châssis FASTBUS, pour se connecter respectivement au segment-châssis et au segment-câble.

E.1.3 Segment-câble

Règle

Le SI type S-1 doit avoir un connecteur auxiliaire de 130 contacts à deux rangées monté à l'arrière, tel qu'il est spécifié au paragraphe 13.2.2, pour connecter le segment-câble au SI.

Le connecteur de segment du châssis sert de connexion pour l'autre port du SI.

Règle

Les niveaux des signaux sur le connecteur du segment-câble doivent être ceux spécifiés dans l'annexe C. L'affectation des contacts doit être celle spécifiée à l'article 16.2.

Pour minimiser le temps de transit du système, le standard des signaux internes au SI devrait également suivre les définitions de l'annexe A. L'adresse géographique du port segment-câble d'un SI est fixée par des commutateurs (voir article 4.2).

E.1.4 Champ d'adresse de groupe

Règle

La reconnaissance d'adresse par un SI type S-1 doit utiliser complètement le champ GP de 8 bits de large.

E.1.5 Réalisation des tables de routage

Règle

Le SI type S-1 doit posséder une table de routage, que l'on puisse lire et écrire, associée à chaque port. Le registre d'adresse de la table de routage CSR#40h, doit avoir une largeur de 8 bits et la table de routage doit avoir une profondeur de 256 mots (c.-à-d. 2^8).

Le registre des données de la table de routage, CSR#41h, dans le SI de type S-1 doit seulement être accédé par une opération verrouillée AS/AK unique dans laquelle le registre d'adresse de la table de routage, CSR#40h est accédé en premier.

Les SI qui utilisent un champ GP plus large que le type S-1 mais qui, par ailleurs, sont identiques peuvent être utilisés à la place d'un S-1. L'inverse, c.-à-d. l'utilisation d'un S-1 à la place d'un SI possédant un champ GP de plus de 8 bits, ne sera pas toujours possible.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996

Rule continued

A multiwidth SI Type S-1 shall use the left-most Crate Segment Connector and Auxiliary Connector space, as viewed from the front of a FASTBUS Crate, to connect to the Crate and Cable Segments, respectively.

E.1.3 Cable Segment

Rule

SI Type S-1 shall have a rear mounted two row 130 contact Auxiliary Connector, as specified in Sub-clause 13.2.2, to connect a Cable Segment to the SI.

The Crate Segment Connector serves as the other SI port connection.

Rule

The signal levels at the Cable Segment Connector shall be as specified in Annex C. The signal contact assignments shall be as specified in Clause 16.2.

In order to minimize system time overheads, signal standards internal to the SI Type S-1 should also follow the definitions of Annex A. The Geographical Address of the Cable Segment port of an SI is specified by switches (see Clause 4.2).

E.1.4 Group Address Field

Rule

Address recognition by an SI type S-1 shall make full use of an 8-bit wide GP field.

E.1.5 Route Table Implementation

Rule

The SI type S-1 shall have a read/write Route Table associated with each port. The Route Table address register CSR#40h shall be 8 bits wide and the Route Table shall be 256 (that is 2^8) words deep.

The Route Table data register, CSR#41h, in SI type S-1 shall only be accessed within a single AS/AK locked operation in which the Route Table address register, CSR#40h, is accessed first.

SIs that accommodate a wider GP field than the type S-1 but are otherwise identical can be used in place of the S-1. The converse, that is using the S-1 in place of an SI based on a greater than 8-bit wide GP, will not always be possible.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

E.1.6 CSR#0 - ID, état et contrôle

Règle

En plus des bits spécifiés au paragraphe 10.5.1, le SI type S-1 doit disposer de CSR#0<09> et CSR#0<25> comme fonction de positionnement et d'effacement sélectif commandant le contrôle de la parité. Si CSR#0<09> = 1, le contrôle de parité doit être en service. RB ne doit pas avoir d'effet sur l'état de CSR#0<09>. La mise sous tension et le RAZ doivent mettre en service le contrôle de parité.

E.1.7 Registre NTA

Règle

Le SI type S-1 doit posséder un registre NTA en lecture et écriture d'au moins 8 bits de large.

Si le NTA est seulement de 8 bits de large, les bits 6 à 0 devront spécifier l'adresse d'un registre CSR du SI et le bit 7 devra être chargé par le OU de AD<31:07> pendant le cycle d'adresse secondaire.

E.2 Caractéristiques de la face avant

Règle

Le SI type S-1 doit avoir les visualisations suivantes sur la face avant, en partant du haut du module et en descendant:

1. *Un voyant d'activité du segment-châssis tel qu'il est défini à l'article 13.5.*
2. *Un voyant d'arrêt du bus pour le segment-châssis.*
3. *Un affichage de l'adresse de base du segment-châssis en hexadécimal.*
4. *Un voyant d'activité du segment-câble tel qu'il est défini à l'article 13.5.*
5. *Un voyant d'arrêt du bus pour le segment-câble.*
6. *Un affichage de l'adresse de base du segment-câble en hexadécimal.*

Les voyants et les affichages doivent être clairement étiquetés, y compris le fait que l'adresse de base est dans un format hexadécimal. L'adresse de base visualisée sera justifiée à gauche, c.-à-d. que le bit d'adresse 31 correspond au "8" du chiffre le plus significatif de l'affichage hexadécimal.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

E.1.6 CSR#0 - ID, Status and Control

Rule

In addition to the bits specified in Sub-clause 10.5.1, the SI type S-1 shall implement CSR#0<09> and CSR#0<25> as a selective set/clear function controlling parity checking. If CSR#0<09> = 1, parity checking shall be enabled. RB shall not affect the state of CSR#0<09>. POWER ON and RESET shall enable parity checking.

E.1.7 NTA Register

Rule

The SI type S-1 shall implement a read/write NTA register at least 8 bits wide.

If the NTA is only 8 bits wide, then bits 6 to 0 should specify the address of an SI CSR register and bit 7 should be loaded with the OR of AD<31:07> during a Secondary Address Cycle.

E.2 Front Panel Features

Rule

The SI type S-1 shall have the following front mounted displays, starting at the top of the module and proceeding downward:

1. *Crate Segment activity indicators as defined in Clause 13.5.*
2. *Bus Halted indicator for the Crate Segment.*
3. *Crate Segment Base Address display in hexadecimal.*
4. *Cable Segment activity indicators as defined in Clause 13.5.*
5. *Bus Halted indicator for the Cable Segment.*
6. *Cable Segment Base Address display in hexadecimal.*

The indicators and displays should be clearly labeled including the fact that the Base Address is in hexadecimal format. The Base Address displayed should be left justified, that is address bit 31 corresponds to "8" in the most significant hexadecimal display digit.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

Annexe F. Réalisation de modules

F.1 Exemple de réalisation de modules

La figure 47 donne des exemples de réalisation de modules. Les modules peuvent être installés directement dans le châssis type A à refroidissement par air de l'annexe G. L'addition d'une joue (plaque froide) au module est nécessaire lorsqu'il est placé dans le châssis type W à refroidissement par eau de l'annexe H.

IECNORM.COM : Click to view the full PDF of IEC 60935:1996
Withdrawn

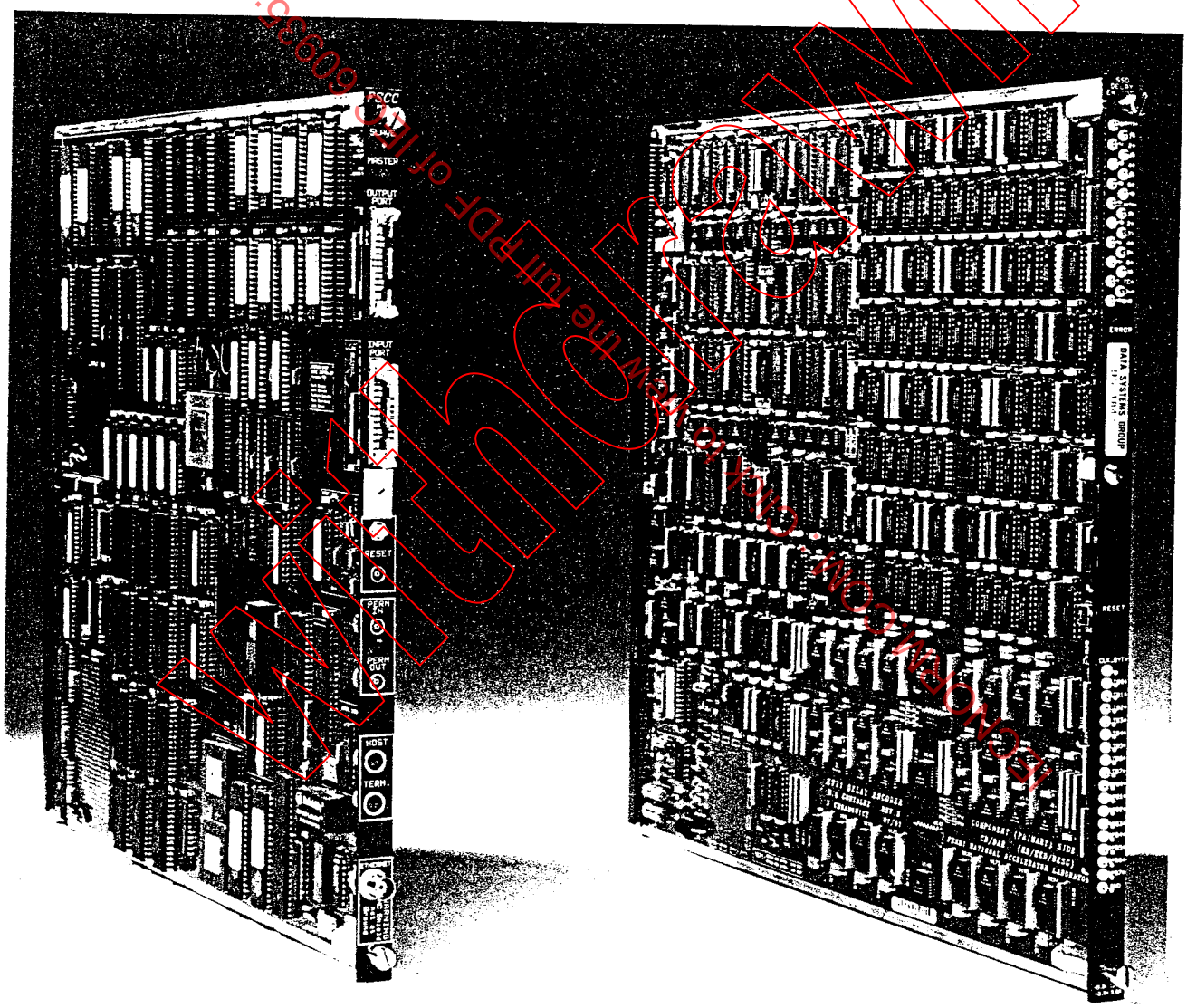
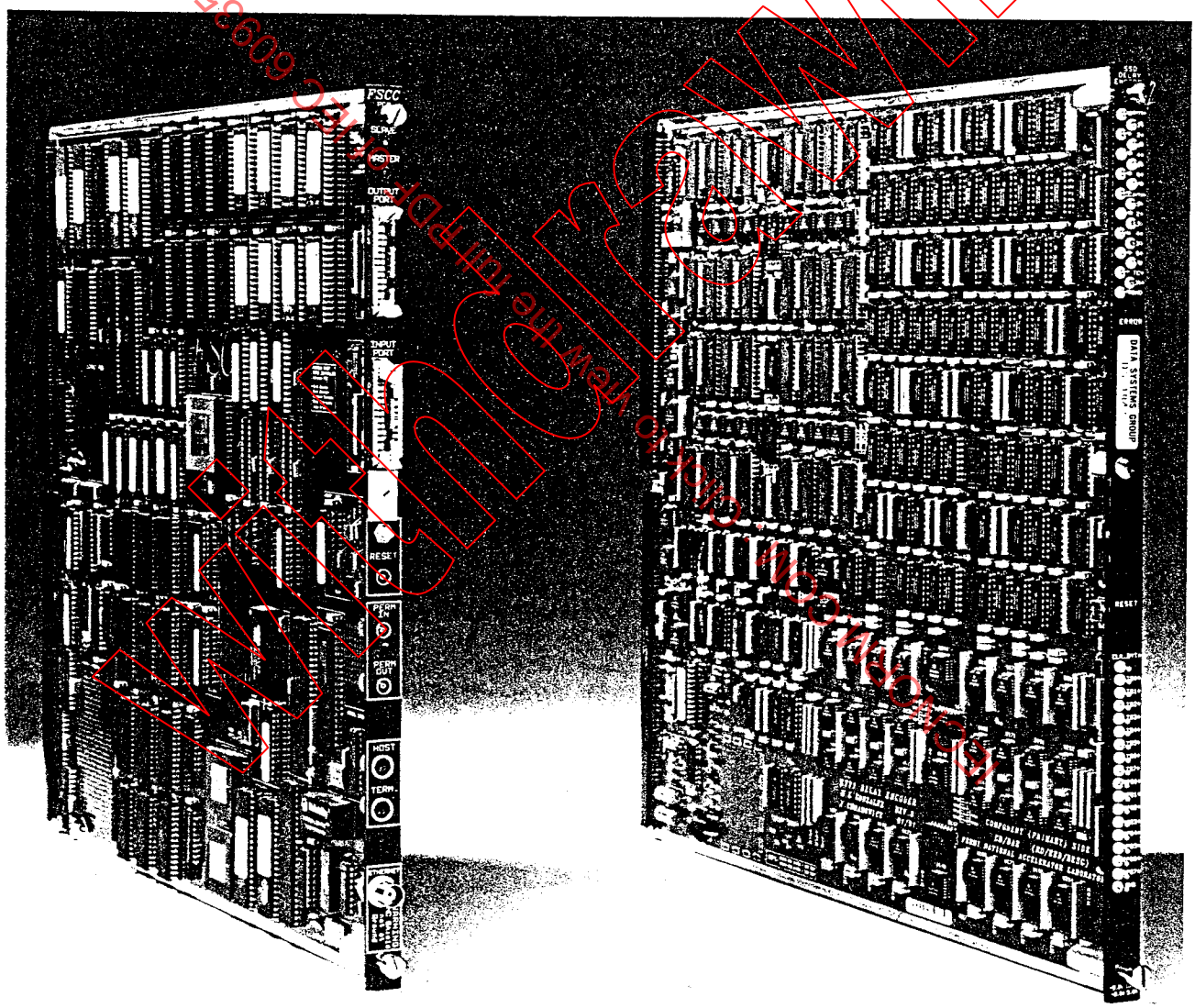


Figure 47. Modules FASTBUS

Annex F. Module Implementation

F.1 Typical Module Implementations

Figure 47 shows typical Module implementations. The Modules can be installed directly in the Type A air-cooled Crates of Annex G. Addition of a cover plate (cold plate) to the Module is required when it is installed in the Type W water-cooled Crate of Annex H.



IEC 60935:1996 Withdrawn

Figure 47. FASTBUS Modules