

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Mechanical and climatic test methods –
Part 41: Standard reliability testing methods of non-volatile memory devices**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques
et climatiques –
Partie 41: Méthodes d'essai normalisées pour la fiabilité des dispositifs
à mémoire non volatile**

IECNORM.COM : Click to view the full PDF of IEC 60749-41:2020



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2020 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 000 terminological entries in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC -

webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 000 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Mechanical and climatic test methods –
Part 41: Standard reliability testing methods of non-volatile memory devices**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques
et climatiques –
Partie 41: Méthodes d'essai normalisées pour la fiabilité des dispositifs
à mémoire non volatile**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.01

ISBN 978-2-8322-8640-1

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Normative references	6
3 Terms and definitions	6
4 Apparatus.....	9
5 Procedure.....	9
5.1 Qualification specifications.....	9
5.2 Program/erase endurance.....	10
5.2.1 Test setup	10
5.2.2 Data cycling.....	11
5.2.3 Electrical test verification.....	14
5.3 Data retention	14
5.3.1 Data programming	14
5.3.2 Electrical testing and pattern verification (excluding any EEPROM program/erase testing).....	15
5.3.3 Data retention stress	15
5.3.4 Electrical testing and pattern verification	15
5.4 Precautions.....	15
5.5 Measurements	15
5.5.1 Electrical measurements.....	15
5.5.2 Required measurements	15
5.5.3 Measurement conditions	16
6 Failure criteria and calculation	16
6.1 Failure definition	16
6.2 Handling of transient failures	16
6.3 Separation of failures into data errors and device failures	16
6.4 Calculation of UBER	17
6.4.1 UBER definition calculation.....	17
6.4.2 Calculation of UBER in the ideal case.....	17
6.4.3 Calculation of UBER in other cases	18
7 Summary.....	18
Annex A (informative) Supplementary test condition	19
Bibliography.....	20
Figure 1 – Schematic flow.....	10
Figure A.1 – Endurance-retention testing model.....	19
Figure A.2 – Test concept of data retention bake as a function of endurance	19

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
MECHANICAL AND CLIMATIC TEST METHODS –****Part 41: Standard reliability testing methods
of non-volatile memory devices**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60749-41 has been prepared by IEC technical committee 47: Semiconductor devices. This standard is based on JEDEC Standard 22-A117. It is used with permission of the copyright holder, JEDEC Solid State Technology Association.

The text of this International Standard is based on the following documents:

FDIS	Report on voting
47/2631/FDIS	47/2643/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 60749 series, published under the general title *Semiconductor devices – Mechanical and climatic test methods*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM : Click to view the full PDF of IEC 60749-41:2020

INTRODUCTION

The stress tests described in this part of IEC 60749 are intended to determine the ability of an EEPROM integrated circuit or an integrated circuit with an EEPROM module (such as a microprocessor) to sustain repeated data changes without failure (program/erase endurance) and to retain data for the expected life of the EEPROM (data retention).

The program/erase endurance and data retention test for qualification and monitoring, using the parameter levels specified in JESD47, is considered destructive. The data retention stress can be used as a proxy to replace the high temperature storage life test when the temperature and time meet or exceed qualification requirements. Cross-temperature testing for writing and reading across the data sheet temperature range can be considered when there are demonstrated sensitivities for programming at low and reading at high temperatures or vice versa. Lesser test parameter levels (e.g., of temperature, number of cycles, retention bake duration) can be used for screening as long as these parameter levels have been verified by the device manufacturer to be nondestructive; this can be performed anywhere from wafer level to finished device.

IECNORM.COM : Click to view the full PDF of IEC 60749-41:2020

SEMICONDUCTOR DEVICES – MECHANICAL AND CLIMATIC TEST METHODS –

Part 41: Standard reliability testing methods of non-volatile memory devices

1 Scope

This part of IEC 60749 specifies the procedural requirements for performing valid endurance, retention and cross-temperature tests based on a qualification specification. Endurance and retention qualification specifications (for cycle counts, durations, temperatures, and sample sizes) are specified in JESD47 or are developed using knowledge-based methods such as in JESD94.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60749-6, *Semiconductor devices – Mechanical and climatic test methods – Part 6: Storage at high temperature*

IEC 60749-23, *Semiconductor devices – Mechanical and climatic test methods – Part 23: High temperature operating life*

JESD47, *Stress-Test-Driven Qualification of Integrated Circuits*

JESD94, *Application Specific Qualification Using Knowledge Based Test Methodology*

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1

cross-temperature test

CTT

data read verification across the opposite end of the operating temperature range such that when programming occurs at low temperature it is properly read at hot temperature or vice versa

Note 1 to entry: This note applies to the French language only.

3.2

cross-temperature test failure

CTTF

data read verification failure across the opposite end of the operating temperature range where it was programmed

Note 1 to entry: This note applies to the French language only.

3.3

electrically erasable programmable read-only memory

EEPROM

reprogrammable read-only memory in which the cells at each address can be erased electrically and reprogrammed electrically

Note 1 to entry: The term EEPROM in this document includes all such memories, including flash EEPROM integrated circuits and embedded memory in integrated circuits such as Erasable Programmable Logic Devices (EPLDs) and microcontrollers. Destructive-read memories such as ferroelectric memories, in which the read operation re-writes the data in the memory cells, are beyond the scope of this document.

Note 2 to entry: This note applies to the French language only.

3.4

data pattern

mix of several 1s and 0s in the memory and their physical or logical positions

Note 1 to entry: A device can be single-bit-per-cell (SBC), meaning that one physical memory cell stores a "0" or a "1", or multiple-bits-per-cell (MBC), meaning that one cell stores typically two bits of data: "00", "01", "10", or "11". In some MBC memories, the two bits represent logically-adjacent bit-pairs in each byte of data. For example, for 2 bits per cell, a byte containing binary data 10110001 would correspond to four physical cells with data 2301 in base-four logic. In other MBC memories, the two bits can represent bits in entirely different address locations. For an SBC memory a physical checkerboard pattern consists of alternating 0s and 1s, with each 0 surrounded by 1s on either side and above and below; a logical checkerboard pattern consists of data bytes AAH or 55H in which each 0 is logically adjacent to 1s. In some qualifications only logical positions are known.

3.5

endurance

ability of a reprogrammable read-only memory to withstand data rewrites and still comply with applicable specifications

Note 1 to entry: EEPROM device specifications often require an erase step before reprogramming data; in this case a data rewrite includes both erase and programming steps, which together are called a program/erase cycle. Direct-write memories allow data to be written directly over old, without an erase; in this case the use of the generic term "program/erase cycle" will refer to a single rewrite with no erase. For single-bit-per-cell (SBC) memories that require an erase step, one program/erase cycle consists of programming cells (typically to "0") and then erasing ("1"). For the comparable multiple-bits-per-cell (MBC) case, a cycle would consist of programming cells (to "0", "1", or "2" for two bits per cell) and then erasing ("3" for two bits per cell).

Note 2 to entry: Endurance cycling consists of performing multiple rewrites in succession, and the data pattern or patterns for these rewrites must be chosen. There is no one data pattern or set of patterns that is worst-case for all failure mechanisms. For example, for floating-gate memories a fully programmed pattern is worst-case for charge transfer, but a physical checkerboard pattern is worst-case for spurious programming of adjacent cells, and a mostly erased pattern can be worst-case for mechanisms related to erase-preconditioning algorithms. For MBC memories, programming to the highest state is worst-case for charge transfer, but intermediate-state cells can experience more programming time and also have less sensing margin. Finally, in some memories, the margin of a cell is influenced by the data states of the physically adjacent cells.

3.6

endurance failure

failure caused by endurance cycling

Note 1 to entry: An endurance failure occurs if, as a result of program/erase cycling, an EEPROM fails to complete the program or erase operations within the datasheet-specified times or if it fails to meet any of its other datasheet requirements. A program operation that results in incorrect data being stored in the device counts as an endurance failure. However, if an error-management method such as an error-correction code is built into the device or specified to be applied by the system, then failure is taken to occur only if the error is not properly managed by the specified method.

Note 2 to entry: Certain EEPROMS are specified to operate with either internal or external bad-block management system (BBM). When the BBM system detects an endurance failure it directs the data to another (spare) block and removes the address of the failing block from an appropriate address table. An endurance failure of such product is taken to occur when a pre-set number of spare blocks of the product had been consumed within that product datasheet specified cycle count.

Note 3 to entry: A number of distinct failure mechanisms are responsible for endurance failures, and in general these are accelerated in different ways by temperature and other adjustable qualification parameters such as cycling delay between cycles. For example, in floating-gate memories, failure may be caused by charge trapping (normally accelerated by lower temperatures and/or shorter cycling delay) in the charge transfer dielectric or by oxide rupturing (normally accelerated by higher temperatures) in the transfer dielectric or in peripheral dielectrics.

3.7 failure

loss of the ability of a component to meet the electrical or physical performance specifications that (by design or testing) it was intended to meet

Note 1 to entry: The term "failure" is often qualified by an adjective describing the type of failure. For example, a component is a functional failure if it fails to function and a parametric failure if it functions but does not meet a datasheet specification for a parameter such as power consumption. Endurance and retention failures are defined in 3.6 and 3.9.

Note 2 to entry: Failures can be firm or transient. For the purpose of this standard, a firm failure is a component that fails sometime during a reliability stress and continues to fail at the final test at the end of that same stress. A transient failure is a component that fails during a reliability stress but passes in the final test at the end of that stress.

3.8 data retention retention

ability of EEPROM cell to retain data over time

Note 1 to entry: The one-word term "retention" is usually used when context ensures that no confusion is likely; otherwise, the full term "data retention" is used.

Note 2 to entry: The term data retention can refer to the ability of a device to retain data in the unbiased state, but the term will sometimes be used to include the ability to retain data under bias. The term "disturb" refers unambiguously to the ability of an EEPROM cell to retain data over time under bias. For example, read disturb refers to the ability of an EEPROM cell to retain data after being read a given number of times. A detailed discussion of disturbs is beyond the scope of this document.

Note 3 to entry: Retention stressing consists of writing a data pattern into a device and then verifying that the pattern is intact after a specified time at a specified temperature. There is no single data pattern that is worst-case for all retention mechanisms, cell designs, or process architectures. There are generally some failure mechanisms which primarily affect programmed cells and some which primarily affect erased cells, and there are also failure mechanisms which depend on the data in adjacent cells.

3.9 data retention failure retention failure

change of stored data by one bit or more detected when the device is read according to applicable specifications after an extended period of time following the previous write

Note 1 to entry: The short-term "retention failure" is usually used when context ensures that no confusion is likely, otherwise the full term "data retention failure" is used.

Note 2 to entry: It is necessary to distinguish whether or not retention failure was caused by charge loss or some other mechanism. Endurance cycling with shorter cycling delay between cycles might induce apparent bit change or pseudo-bit-flip.

Note 3 to entry: If an error-management method such as an error-correction-code is built into the device or specified to be applied by the system, then failure is taken to occur only if the error is not properly managed by the specified method.

Note 4 to entry: A number of distinct failure mechanisms are responsible for retention failures, and in general these are accelerated in different ways by temperature and other adjustable qualification parameters. For example, in floating-gate memories, failure can occur due to defects that allow charge to leak through the transfer dielectric or by the detrapping of charge in the transfer dielectric; the former can be weakly accelerated or even decelerated by high temperature, and the latter can be highly temperature-accelerated.

3.10

uncorrectable bit-error rate

UBER

metric for the rate of occurrence of data errors, equal to the bit error rate (BER) after applying any specified error-correction method

Note 1 to entry: The uncorrectable bit error rate is calculated from the following equation:

$$k = \frac{e}{b_r} \quad (1)$$

where k is UBER,

e is the cumulative number of data errors and

b_r is the cumulative number of bits read

For non-error-corrected devices, any data bit in error counts as a data error. For error-corrected devices, any codeword or sector (as defined in the product data sheet) returning incorrect data after applying the specified error correction scheme counts as a data error. Transient data errors, such as data errors that occur at a given program/erase cycle but not at later ones, are counted as data errors. Standard statistical confidence levels can be applied to the numerator.

The cumulative number of bits read is the sum of all bits of data read back from the device, with multiple reads of the same memory bit counting as multiple bits read. For example, if a 1-Gb device is read 10 times, then there would be 10 Gb bits read.

Note 2 to entry: Some devices can be specified to have a certain UBER value, and in this case the qualification must determine that the device meets the UBER specification. Clause 5 discusses details regarding calculation of the UBER value.

4 Apparatus

The apparatus required for this test shall consist of a controlled temperature chamber capable of maintaining the specified temperature conditions to within ± 5 °C. Sockets or other mounting means shall be provided within the chamber so that reliable electrical contact can be made to the device terminals in the specified circuit configuration. Power supplies and biasing networks shall be capable of maintaining the specified operating conditions throughout the test. Also, the test circuitry should be designed so that the existence of abnormal or failed devices will not alter the specified conditions for other units on test. Care should be taken to avoid possible damage from transient voltage spikes or other conditions that might result in electrical, thermal or mechanical overstress.

5 Procedure

5.1 Qualification specifications

Qualification specifications, including those in JESD47, commonly require that some devices undergo endurance cycling followed by retention stressing. There may also be retention requirements for uncycled devices and for the optional cross-temperature testing across the temperatures specified in the data sheet. Qualification specifications commonly call for endurance cycling to be performed at multiple temperatures within the datasheet range, and retention stress to be performed both at elevated temperatures, such as 125 °C, and room temperature. Figure 1 schematically illustrates the flow, with references to the paragraphs describing the procedure.

A supplementary test condition is given in Annex A.

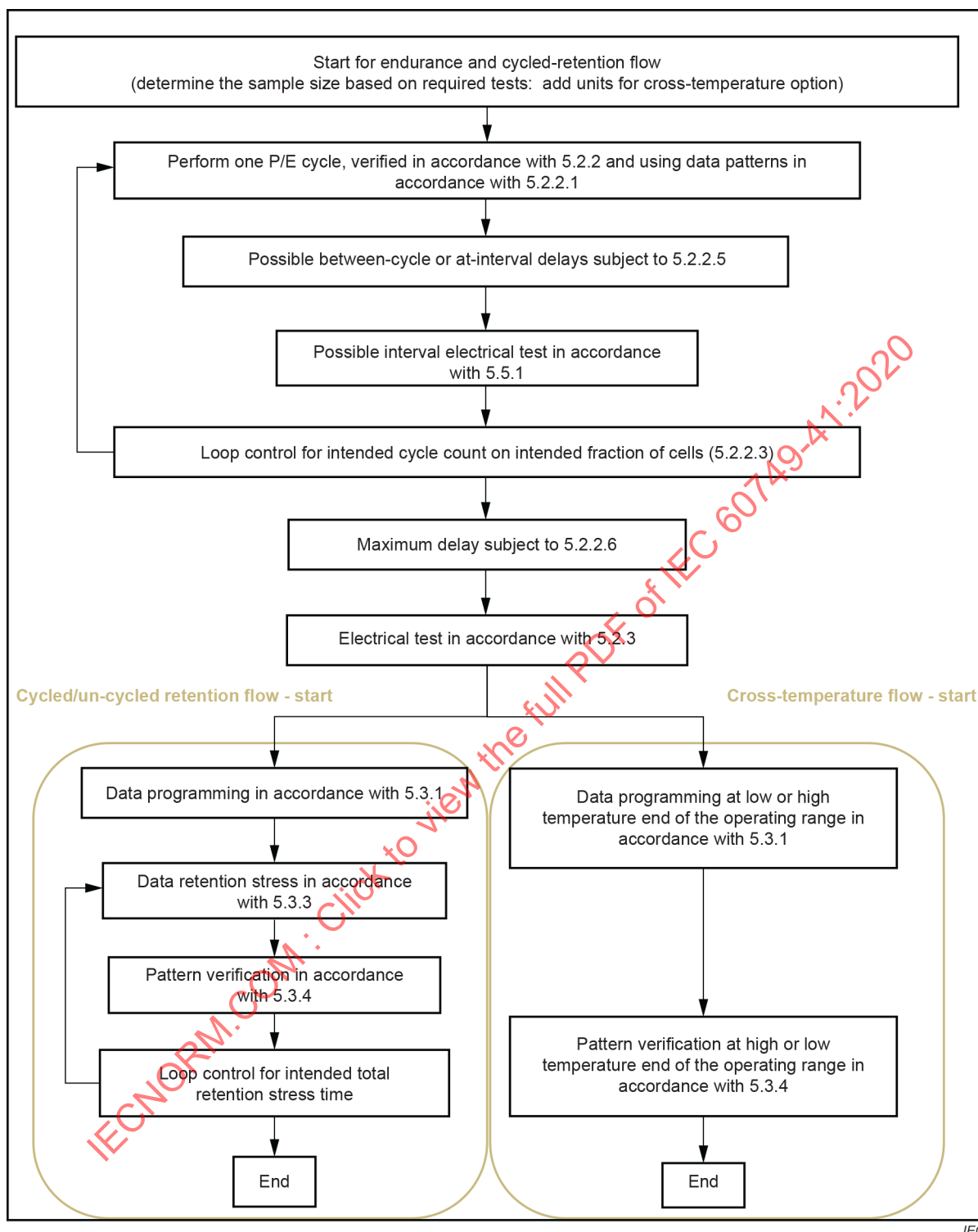


Figure 1 – Schematic flow

5.2 Program/erase endurance

5.2.1 Test setup

Devices shall be placed in the chamber so there is no substantial obstruction to the flow of air across and around each unit. The power shall be applied and suitable checks made to assure that all devices are properly energized. When special mounting or heat sinking is required, the details shall be specified in the applicable device specification and/or test specification.

5.2.2 Data cycling

5.2.2.1 Program and erase verification

Program and erase operations during the endurance test shall be verified to have been properly executed in accordance with the device specification or the supplier's internal stress test specification (see Clause 7).

5.2.2.2 Data patterns during cycling

The data pattern used for endurance cycling shall be agreed upon between supplier and user, and the rationale documented. It is important to cycle enough sectors of blocks during the cycling period taking into account for the target application models. See Note 1 to Entry 3.4 for a discussion of the trade-offs involved in the selection of data pattern for cycling.

The purpose of many qualifications is to test the device for the broadest possible range of failure mechanisms. The broadest possible range of failure mechanisms can be detected when the data pattern includes the full range of logic levels and adjacency conditions that would occur in actual use. For example, this full range can be achieved if the following three conditions are met. First, the data in the memory cells is cycled between all available logic states in equal measure. For example, in an SBC memory half the cells would be programmed and half left erased in any one cycle, whereas in a 4-level cell memory one-quarter of the cells would be written to each of the four available levels in any given cycle. Second, the positions of 1s and 0s are non-uniform, ideally quasi-random, so that all possible adjacency configurations are represented. For example, a data pattern consisting of a mix of bytes with data patterns 00H (zero zero hexadecimal), 55H, AAH, 33H, CCH, and FFH would create a wide range of adjacency patterns. Third, the data pattern in successive cycles is not the same, but rather follows a sequence. Best practice is to ensure, in this sequence, that some cells are written to all available logic states while other cells are re-written to the same logic state in every cycle. For example, in an SBC memory, a byte that was cycled to AAH in even-numbered cycles and 5AH in odd-numbered cycles would have four cells that would be written to 0s and 1s in alternating cycles, two cells that are re-written to 0 in every cycle, and two cells that are re-written to 1 in every cycle.

In some knowledge-based qualifications, endurance tests can be defined for specific failure mechanisms. Such tests can use different data patterns from that described above, optimized to increase the sensitivity to the targeted mechanisms. Examples of acceptable data patterns for such purposes include a solid programmed pattern, checkerboard/inverse-checkerboard sequence, and checkerboard with subsequent filling-in of the pattern.

Some flash EEPROM devices employ a built-in scrambling mechanism. When testing endurance of such devices, the scrambling mechanism should be enabled; disabling the scrambler for endurance cycling can stress the product beyond the stress a user can experience. A quasi-random pattern is best for testing endurance when employing scrambling.

5.2.2.3 Fraction of cells to be cycled

Qualification specifications, whether from JESD47 or developed using knowledge-based methods (JESD94) will generally require that some fraction of the memory to be cycled to the maximum number of program/erase cycles specified in the device specification and other fractions to be cycled to lesser amounts. In large memories, it can take a prohibitively long time to cycle all cells to the maximum specification, and in knowledge-based qualifications it is possible that application use conditions do not require all cells to be so cycled. The actual fraction of cells cycled to 100 % of the maximum specification, and the fraction cycled to other percentages of the specification, shall be agreed upon between supplier and user and documented, along with the rationale for the chosen fractions.

5.2.2.4 Cycling conditions

The mode, voltages, temperature, and frequency of cycling should be agreed to between the supplier and user, and documented along with the rationale. Mode refers to different operational modes for program and/or erase, such as address, page, and block (or sector) program and erase modes. Voltages refer to all relevant supply voltages, including the logic-level supply and, if applicable, any high-voltage supply required for program or erase. Temperature refers to the temperature of the chamber in which the devices are cycled. Qualification specifications will often specify that some devices be cycled at low temperature and other devices be cycled at higher temperature. Frequency of cycling refers to the number of cycles performed per unit time.

5.2.2.5 Intentional delays between cycles

The degradation rate of EEPROM products can depend strongly on the cycling frequency. That is because some cycling-induced damage mechanisms exhibit partial recovery in between cycles; increasing the cycling rate can prevent that recovery and lead to early failures. Typical recoverable degradation mechanisms are the detrapping of charge trapped during cycling in the transfer-dielectric layer of floating gate devices, or detrapping of excess trapped charge in trapping-based non-volatile memories. Under user-mode application the product cycle count is spread over few years and the excess trapped charge can detrapp between cycles, but if the product is run to maximum cycle count in few hours or days under qualification test mode, excess trapped charge will accumulate, leading to early product failure during the endurance cycling itself or in the following data retention test.

To avoid unrealistic cycling during qualification testing the qualification flow can specify intentional delays to be added between cycles. This 5.2.2.5 describes methods for inserting relaxation delays during cycling and the rules and limitations that apply. The methods comprise:

- i) Cycling at elevated temperature (relaxation delays distributed evenly between cycles);
- ii) Cycling at elevated temperature at reduced cycle frequency (delays entered between each two cycles and / or between groups of cycles);
- iii) Ambient temperature cycling with high-temperature bake intervals inserted between groups of cycles.

The rule governing the insertion of cycling delays is that the resultant relaxation due to insertion of bake delays should not exceed the matching relaxation under user mode conditions. The total duration of inserted delays should be calculated from the difference between the intended use temperature and the delay temperatures, using the activation energy of the recovery mechanism. Combination of the above methods is allowed as long as the combination obeys this rule.

For cycling at elevated temperature according to method (ii), the supplier can specify that cycling shall not exceed certain number of cycles per day. During the rest of the day the devices can stay idle at the cycling temperature. The devices can be kept idle also at a different temperature, provided the total time at cycling temperature and the time at the idle temperature do not exceed together the matching cycling duration of the product at the intended use temperature (see Example 1 below).

To avoid exaggerated recovery effect towards end of cycling, cycling delays and/or bake intervals calculated for given group of cycles shall be inserted at the beginning of each group of cycles. For example, if the supplier elects 4 even groups of cycles with even idling intervals between groups, and if the total allowed idle time at the idle temperature is calculated to be t_T , then fraction $t_T/4$ of the total idle time may be inserted at the beginning of the second, third and fourth cycling groups. No relaxation delay is allowed at the end of the fourth group besides unavoidable logistical delay subject to the maximum specified in 5.2.2.6.

If the supplier elects to segment the cycling delays using non-even groups of cycles, the bake intervals shall be proportional to the fraction of cycles in the consecutive cycling group. The rationale for selecting non-even cycling groups is that bake delays at the early portion of the cycling flow are generally less effective for relaxing the device than delays towards the end of cycling, so the supplier may elect to skip early bake intervals and save in total stress test time.

Since the recovery effect may also depend on cell level, the supplier should specify the cell level used during delays between cycles. A cell level rotation among delays should also be used to simulate the usage conditions.

The supplier shall document the method elected for inserting bake delays, report the data pattern used during delays, specify the recovery mechanism and provide the source for its activation energy. The supplier shall also document the rationale for selecting the specific delays / bake intervals / temperatures during cycling.

The cycling and data retention capability are calculated using the target cycling condition. The supplier shall calculate data retention under various target cycling delays and temperatures. Data retention failure estimates are calculated by applying the appropriate device junction temperature (T_J) during cycling as determined by the supplier. Use cycling and retention may be calculated at different temperatures corresponding to the target conditions such that the endurance T_J is greater than the read cycling T_J .

Two examples illustrating how to select bake intervals are shown below:

– Example 1 [method (ii)]:

Product cycle count = 10 k-cycle

Time for 10 k-cycle at intended application of 2 y = 17 520 h

User mode cycling temperature = 55 °C

Desired endurance qualification time = 10 days

Cycle time per day = 1 k-cycle over a period of 14 h

Qualification cycling temperature = 85 °C

Detrapping (relaxation) activation energy = 1,1 eV

What is the maximum allowed temperature during the idle period of 10 h per day?

- 10 d × 14 h of cycling per day at 85 °C are equivalent to 140 h × 26,1 = 3 652 h at use temperature (Acceleration factor is 26,1 from 55 °C to 85 °C for $E_{aa} = 1,1$ eV)
- Remaining equivalent user-mode cycling life is 17 520 h – 3 652 h = 13 868 h
- The total idling time is 100 h
- The thermal acceleration factor (A_T) from 100 h to 13 868 h is 138,68
- To reach $A_T = 138,6$ with $E_{aa} = 1,1$ eV and $T_{use} = 55$ °C, $T_{relax} = 102,6$ °C

Answer: The maximum allowed temperature during the idle time is 102,6 °C. No delay is allowed on the last day after cycling besides the allowance for up to 12 h at cycling temperature in accordance with 5.2.2.6.

– Example 2 [method (iii)]:

Product cycle count = 10 k-cycle

Time for 10 k-cycle at intended application = 2 years = 17 520 h

User mode cycling temperature = 35 °C

Qualification cycling temperature = 25 °C

Detrapping (relaxation) activation energy = 0,9 eV

Supplier wishes to insert bake intervals after 5 k-cycle and after 9 k-cycle. Bake temperature is 125 °C.

What is the maximum allowed duration of each bake interval?

- a) fraction of cycles of the second group is $(9 \text{ k-cycle} - 5 \text{ k-cycle})/10 \text{ k-cycle} = 0,4$
- b) fraction of cycles of the third group is $(10 \text{ k-cycle} - 9 \text{ k-cycle})/10 \text{ k-cycle} = 0,1$
- c) Thermal acceleration factor from 35 °C to 125 °C at $E_{aa} = 0,9 \text{ eV} = X 2^{139}$
- d) Total allowed relaxation time = $17\,520 \text{ h} / 2^{139} = 8,19 \text{ h}$
- e) Maximum cycling delay before the second group = $8,19 \times 0,4 = 3,28 \text{ h}$
- f) Maximum cycling delay before the third group = $8,19 \times 0,1 = 0,82 \text{ h}$

Answer: The maximum allowed bake interval at 125 °C after 5 k-cycle is 3,28 h, and after 9 k-cycle it is 0,82 h.

NOTE Activation energies of in-cycling recovery mechanisms can vary between 0,8 eV and 1,2 eV according to technology and materials. See, for example, JEP122H, 5.5 – 5.6.

5.2.2.6 Delay at the end of endurance cycling

For cycling performed at elevated temperature, devices shall not remain in the cycling chamber for more than 12 h after completion of elevated-temperature cycling. For cycling at room temperature or below, any delay in the cycling chamber prior to removal of the devices shall be counted in the overall 96 h allowance discussed in 5.5.1. For devices with multiple regions that are independently cycled, these limits shall be calculated starting from the time at which the first region finishes cycling. It may be necessary to stagger the cycling of the regions in order to meet these requirements. For example, if two regions are cycled, one to "n" cycles and one to "2n" cycles, then this may be accomplished by cycling the first region once and the second region twice, and then repeating this sequence a total of "n" times.

5.2.3 Electrical test verification

Verification of functional testing to the device specification after program/erase cycling shall be performed in accordance with 5.5.

5.3 Data retention

5.3.1 Data programming

Cycled devices completing the requirements of 5.2 and/or uncycled devices, as specified by the qualification specification, shall be programmed for subsequent retention testing. See 3.4 and 3.5 for a discussion of the trade-offs involved in selecting the data pattern to be programmed. For qualifications whose purpose is to test the device for the broadest possible range of failure mechanisms, the memory should be written to all available logic states in equal measure, with the full range of adjacency configurations, as described in 5.2.2.2. Data should be written using the mode of programming specified on the datasheet. In some knowledge-based qualifications, retention tests may be defined for specific failure mechanisms. Such tests may use different data patterns from that described above, optimized to increase the sensitivity to the targeted mechanisms. Examples of acceptable data patterns for such purposes include a solid programmed pattern, a solid erased pattern, a checkerboard pattern, and (for MBC) patterns with only some of the four logic levels represented. In such qualifications, data may also be written using a mode of programming that is different from that specified in the datasheet, to modify the margins of the cells and obtain additional acceleration.

The supplier shall document the method used and the rationale for that method.

5.3.2 Electrical testing and pattern verification (excluding any EEPROM program/erase testing)

Perform pattern verification and full functional testing to the applicable device specification, excluding any EEPROM program/erase testing. In some knowledge-based qualifications, special tests such as margin tests may be added to increase sensitivity to certain mechanisms, such as those which are poorly accelerated by temperature.

5.3.3 Data retention stress

Qualification specifications (such as those documented in JESD47 or in knowledge-based qualification plans based on JESD94) will call out retention durations and temperatures for both uncycled and cycled devices.

Retention stress may consist of an unbiased bake in accordance with IEC 60749-6 or a biased life stress in accordance with IEC 60749-23.

5.3.4 Electrical testing and pattern verification

Perform pattern verification and full functional testing to the applicable device specification. In addition, special tests such as margin testing can be used, as described in 5.3.2.

5.4 Precautions

Precautions shall be taken to ensure that no devices can be damaged by thermal runaway and to preclude electrical damage. The test setup should be monitored initially and at the conclusion of a test interval to establish that all devices are being cycled and stressed to the specified requirements. The bias voltages and currents on each device shall be noted and corrected prior to further temperature exposure. If a device is not biased properly when checked at the conclusion of a test interval, it shall be determined if the device has changed or if the test circuit has changed so that the validity of the data for qualification can be established.

5.5 Measurements

5.5.1 Electrical measurements

The electrical measurements shall be made at the completion of endurance and retention stresses, and may also be made at intervals (of retention cycle count and/or retention stress time) per the qualification specification. Interim read-points may be tested to less than full device specification values. Ideal practice for endurance testing is to verify the data written after every cycle so that transient endurance failures are detected. If this is not practicable because of the time involved, then a method to account for such transient failures shall be agreed upon between supplier and user (see 6.2). Final testing for endurance testing shall test program/erase operation. Interim measurements in retention tests shall not rewrite the data. Interim and final electrical measurements shall be completed within 96 h after removal of the devices from the specified test conditions. For endurance, this time includes any time spent in the cycling chamber following completion of cycling for any region of the device (see 5.2.2.6). For cycled units that subsequently enter retention stressing, the 96-hour limit applies to the entire delay time from completion of cycling on any region to the data programming step prior to data retention stress.

5.5.2 Required measurements

The electrical measurements shall consist of parametric, functional and timing tests specified in the applicable device specification.

5.5.3 Measurement conditions

Before removing the devices from the chamber, the ambient temperature shall be returned to room temperature while maintaining the specified voltages on the devices. Testing at room (or cold temperature if required per the device specification) shall be performed prior to testing at high temperature unless otherwise specified in the device specification.

6 Failure criteria and calculation

6.1 Failure definition

A device is defined as a failure if the parametric limits are exceeded or if functionality cannot be demonstrated (e.g. data loss) as specified in the device specification. Any error management techniques that are part of the device specification should be applied in determining whether an event is to be considered a failure.

6.2 Handling of transient failures

For devices subject to transient failures, effort shall be made to count all transient failures that occur in the cyclic or stress. 5.5.1 requires electrical testing only at the end of cycling or stress, but this test will not detect earlier transient failures. Therefore, best practice is to test more frequently. For example, transient data errors are known to occur in some devices during endurance cycling, and the best practice is then to read back and verify the data after every cycle. If this is not possible, then some method shall be used to estimate the occurrence of transient failures. This method shall be documented and agreed upon between supplier and user (modelling and extrapolation methods beyond the scope of this document can be needed). If a device is not subject to transient errors in a particular cycling or stress (such as is generally believed for retention stresses) then testing at the end of stress is sufficient.

For endurance cycling, an acceptable though conservative method is to scale the number of failures by the ratio of the number of cycles to the number of reads. For example, if data are read back and verified every tenth cycle, one would multiply the number of failures detected by 10 to estimate the total number of failures that occurred. The rationale is that performing a read every tenth cycle will detect only 10 % of the failures if the failures are highly transient, occurring only in one cycle at the time of failure. If a qualification is to be performed to a stated upper confidence limit, then that confidence limit is to be applied before the multiplication. For example, if in the previous example the number of actual failures was zero but the upper confidence limit was 1, the total failures estimated with this method would be 10 rather than 1.

6.3 Separation of failures into data errors and device failures

Some devices may be specified to meet a UBER value. In that case, data-error failures will be separated from device failures. Device failures shall meet the qualification criterion (such as the allowed number of failures specified in JESD47). Data errors shall be within the product UBER specification. A device that fails is to be counted only as a single device failure, but under some circumstances a repeating data error should be counted multiple times (see 6.4).

6.4 Calculation of UBER

6.4.1 UBER definition calculation

Device qualification often contains endurance cycling operation followed by non-cycling stress such as a retention stress. In that case, the governing UBER definition of Equation (1) may be related as follows:

$$k = \frac{e}{\sum_b (n \times r + r_1)} \quad (2)$$

where k is UBER,

e is the cumulative number of data errors;

b is the memory bits in sample;

n is the endurance cycles;

r is the reads per cycle;

r_1 is the reads after cycling.

The denominator is the number of bits read, starting from the first endurance cycle and extending through post-cycling (if such cycling exists). The denominator is the sum over all memory bits in the devices sampled, each of which can in theory have a different value for endurance cycles, reads per cycle, and/or reads after cycling. The numerator is the number of data errors over the same time period (cycling followed by any post-cycling). As a general rule, a single memory location which has repeating data errors at multiple times during the cycling shall be counted only once in the numerator, and reads of that location after the point of failure shall not be counted in the denominator. This general case follows from the assumption that locations with errors will be retired from use once an error occurs. A special case arises when the intended application will not retire such locations. In that case, a repeating data error shall be counted multiple times, once for each repetition, and all reads of that location shall be included in the denominator. The number of times that an error should be counted depends on the intended application and shall be agreed upon between supplier and user.

6.4.2 Calculation of UBER in the ideal case

At the end of an ideal endurance cycling (data verified after every cycle), the numerator shall include all transient and firm errors from cycling, and the denominator shall have one read per cycle but no reads after cycling. Even if the endurance cycling performs more than one read per cycle, the value used for reads per cycle shall be one unless the supplier states some other assumption and this is agreed upon with the user. At the end of a post-cycling, the numerator would include all errors during both cycling and the post-cycling, and the denominator would include both the cycling term and any reads after cycling. For a biased retention stress, as when read disturb is characterized, the reads after cycling shall be the actual number of reads performed. For an unbiased retention stress, the supplier may include some assumed non-zero number of reads after cycling (even if these reads were not actually performed during the stress) based upon the number of such reads expected in actual use over a time period believed equivalent to the retention stress. The rationale for any such assumption shall be documented, and the assumption agreed to between supplier and user. For a device to be qualified to a UBER specification, separate UBER calculations shall be performed at the end of endurance cycling and at the end of each post-cycling, and all such UBER values shall meet the UBER specification. The statistical confidence limit, if any, applied to the numerator is to be stated and agreed to between supplier and user.

For example, if 100 devices of 1 Gbit density were each subjected to 1 000 endurance cycles with the data read once per cycle and no reads after cycling, then at the end of cycling the number of bits read would be 10^{14} ($= 10^2 \times 10^9 \times 10^3$). The same denominator would be obtained if 10 % of the memory bits were cycled 10 000 times and the remaining bits not cycled at all ($10 \% \times 10^2 \times 10^9 \times 10^4$). Any single error during endurance cycling would result in a nominal UBER at the end of cycling of 10^{-14} , or a 90 % upper confidence limit of $3,9 \times 10^{-14}$.

If the devices then underwent an additional cycling of 10 000 reads after cycling, then in the calculation of the UBER at the end of that post-cycling the denominator would increase by 10^{15} ($10^2 \times 10^9 \times 10^4$) to $1,1 \times 10^{15}$. Then one single error either in cycling or in the post-cycling would result in a nominal UBER of 9×10^{-16} , or a 90 % upper confidence limit of $3,5 \times 10^{-15}$. The UBER values calculated at the end of endurance and at the end of the cycling would both need to meet the UBER specification.

6.4.3 Calculation of UBER in other cases

The UBER calculated in the ideal case of 6.4.2 is considered here to be the true UBER for the device. If a qualification does not perform a read and data verification after every cycle, the calculation shall be modified to estimate the true value as closely as possible. Therefore, the numerator is to consist of the total failures during the cycling (transient failures estimated if necessary as described in 6.2) and the denominator is to include one read per cycle (unless otherwise specified per 6.4.2).

7 Summary

The following details shall be specified in the applicable device specification and/or the supplier's internal stress test specification, along with the rationale:

- a) special mounting, if applicable;
- b) test condition;
- c) biasing conditions;
- d) measurements before, at intermediate test points, (if applicable) and after test;
- e) maximum number of logic transitions in the memory cell, and the cycling patterns;
- f) period between program cycles;
- g) alternative program/erase procedures, requested by the EEPROM manufacturer, to guarantee the endurance requirement. This proposal shall be approved by the user;
- h) data retention pattern, duration and temperature;
- i) cycling mode (e.g., sector mode, block mode, page mode);
- j) memory size under test;
- k) temperature during the program/erase cycling;
- l) duration and temperature of any delays inserted at intermediate points during endurance cycling;
- m) measured or presumed activation energy for selecting the relaxation bakes/cycling delays and selecting the data retention bake durations;
- n) data pattern used for any delays inserted at intermediate points during endurance cycling;
- o) if UBER is reported – number of bit-reads in each experiment included in the cumulative bit-reads number, and method of extrapolation, if any;
- p) method used to account for transient endurance failures.

Annex A (informative)

Supplementary test condition

An example of testing conditions is given below. Since the non-volatile memory reliability depends on the combination of the number of program/erase cycles and the storage time, the number of preconditioning cycles and the data retention period tested are varied according to the designed reliability specification.

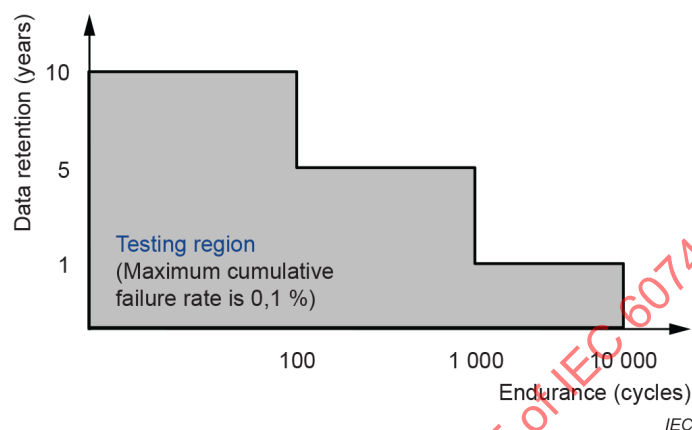


Figure A.1 – Endurance-retention testing model

Figure A.2 shows the corresponding test conditions of program/erase cycles and data retention bake to verify the endurance-retention testing model as described in Figure A.1. Test conditions of data retention bake are accelerated by using higher temperature conditions.

Reliability test region on condition for this case is:

- 1) Retention specification is ten years for 1-100 program/erase cycles.
- 2) Retention specification is five years for 101-1 000 program/erase cycles.
- 3) Retention specification is one year for 1 001-10 000 program/erase cycles.

(1) Test condition #1	Program/erase: 1-100 cycles	Data retention bake at 150 °C: 2 000 h
(2) Test condition #2	Program/erase: 101-1 000 cycles	Data retention bake at 150 °C: 1 000 h
(3) Test condition #3	Program/erase: 1 001-10 000 cycles	Data retention bake at 150 °C: 168 h

IEC

Figure A.2 – Test concept of data retention bake as a function of endurance

The apparent activation energy varies from 0,3 eV to 1,5 eV, depending on the failure mechanism that the semiconductor manufacturer identifies.

Given that the apparent activation energy of the failure mechanism is 0,5 eV and that field data retention temperature is 40 °C, passing the test condition #1 in Figure A.2 indicates that the projected lifetime is far beyond ten years in the use condition.

Bibliography

JEP122H, 2016, *Failure Mechanisms and Models for Semiconductor Devices*

JEDEC Standard 22-A117, *Electrically Erasable Programmable ROM (EEPROM) Program/Erase Endurance and Data Retention Stress Test*

IECNORM.COM : Click to view the full PDF of IEC 60749-41:2020

IECNORM.COM : Click to view the full PDF of IEC 60749-41:2020

SOMMAIRE

AVANT-PROPOS	23
INTRODUCTION.....	25
1 Domaine d'application	26
2 Références normatives	26
3 Termes et définitions	26
4 Appareillage	30
5 Procédure.....	30
5.1 Spécifications de qualification	30
5.2 Endurance sur les cycles de programmation/effacement	32
5.2.1 Montage d'essai	32
5.2.2 Application des cycles de données	32
5.2.3 Vérification de l'essai électrique	36
5.3 Conservation de données	36
5.3.1 Programmation de données	36
5.3.2 Essais électriques et vérification des schémas de données (excluant un quelconque essai de programmation/effacement de l'EEPROM)	37
5.3.3 Contrainte de conservation de données	37
5.3.4 Essais électriques et vérification des schémas de données	37
5.4 Précautions.....	37
5.5 Mesures.....	37
5.5.1 Mesures électriques.....	37
5.5.2 Mesures exigées	38
5.5.3 Conditions de mesure	38
6 Critères de défaillance et calcul.....	38
6.1 Définition d'une défaillance.....	38
6.2 Traitement des défaillances transitoires	38
6.3 Distinction entre les défaillances d'erreur de données et les défaillances de dispositif	39
6.4 Calcul de la valeur UBER.....	39
6.4.1 Calcul définissant la valeur UBER	39
6.4.2 Calcul de la valeur UBER dans le cas idéal	40
6.4.3 Calcul de la valeur UBER dans les autres cas	40
7 Résumé.....	41
Annexe A (informative) Condition d'essai supplémentaire	42
Bibliographie.....	44
Figure 1 – Schéma fonctionnel.....	31
Figure A.1 – Modèle pour l'essai de conservation de données en fonction de l'endurance.....	42
Figure A.2 – Concept d'essai de l'étuvage pour la conservation de données en fonction de l'endurance	43

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**DISPOSITIFS À SEMICONDUCTEURS –
MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –****Partie 41: Méthodes d'essai normalisées pour la fiabilité
des dispositifs à mémoire non volatile**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 60749-41 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs. La présente norme est basée sur la norme JESD22-A117 de l'organisme de normalisation des semiconducteurs JEDEC (Joint Electron Device Engineering Council). Elle est utilisée avec l'autorisation du détenteur des droits de copyright correspondants, la JEDEC Solid State Technology Association.

Le texte de cette Norme internationale est issu des documents suivants:

FDIS	Rapport de vote
47/2631/FDIS	47/2643/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 60749, publiées sous le titre général *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

IECNORM.COM : Click to view the full PDF of IEC 60749-41:2020

INTRODUCTION

Les essais de contrainte décrits dans la présente partie de l'IEC 60749 sont destinés à déterminer l'aptitude d'un circuit intégré à EEPROM, ou d'un circuit intégré doté d'un module EEPROM (tel qu'un microprocesseur) à supporter des modifications de données répétées sans présenter de défaillance (endurance sur les cycles de programmation/effacement) et à conserver des données pendant la durée de vie attendue de l'EEPROM (conservation des données).

L'essai d'endurance sur les cycles de programmation/effacement et de conservation de données, réalisé à des fins de qualification et de surveillance et en utilisant les paramètres dont le niveau est spécifié dans le document JESD47, est considéré comme un essai destructif. La contrainte de conservation de données peut être utilisée comme un élément de substitution à l'essai de durée de vie en stockage à haute température, sous réserve que la température et la durée soient au moins équivalentes aux exigences de qualification. L'essai à températures opposées pour les opérations d'écriture et de lecture sur la plage de températures donnée par la fiche technique peut être envisagé lorsque des sensibilités ont été établies pour la programmation à basse température et la lecture à haute température, ou inversement. Des niveaux moindres des paramètres d'essai (relatifs par exemple à la température, au nombre de cycles, à la durée de l'étuvage pour la conservation de données) peuvent être utilisés pour la vérification de la conformité, sous réserve que le fabricant du dispositif ait vérifié que ces niveaux de paramètres soient non destructifs; cette vérification peut être effectuée sur une quelconque entité, depuis une plaquette jusqu'au dispositif finalisé.

IECNORM.COM : Click to view the full PDF of IEC 60749-41:2020

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

Partie 41: Méthodes d'essai normalisées pour la fiabilité des dispositifs à mémoire non volatile

1 Domaine d'application

La présente partie de l'IEC 60749 spécifie les exigences relatives aux procédures permettant de réaliser des essais valides d'endurance, de conservation de données et à températures opposées, basées sur une spécification de qualification. Les spécifications de qualification des essais d'endurance et de conservation de données (pour les nombres de cycles, durées, températures et tailles d'échantillon) sont données dans le document JESD47 ou sont développées en utilisant des méthodes à base de connaissances, telles que celles données dans le document JESD94.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60749-6, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 6: Stockage à haute température*

IEC 60749-23, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 23: Durée de vie en fonctionnement à haute température*

JESD47, *Stress-Test-Driven Qualification of Integrated Circuits* (disponible en anglais seulement)

JESD94, *Application Specific Qualification Using Knowledge Based Test Methodology* (disponible en anglais seulement)

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>;
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>.

3.1

essai à températures opposées

CTT

vérification de la lecture de données à une valeur extrême de la plage de températures de fonctionnement, de sorte que pour une programmation intervenant à basse température, les données soient lues correctement à haute température, ou inversement

Note 1 à l'article: L'abréviation "CTT" est dérivée du terme anglais développé correspondant "Cross Temperature Test".

3.2

défaillance à l'essai à températures opposées

CTTF

échec de la vérification de la lecture de données à une valeur extrême de la plage de températures de fonctionnement opposée à celle utilisée pour la programmation

Note 1 à l'article: L'abréviation "CTTF" est dérivée du terme anglais développé correspondant "Cross Temperature Test Failure".

3.3

mémoire morte programmable et effaçable par signal électrique

EEPROM

mémoire morte reprogrammable dont les cellules peuvent être effacées électriquement et reprogrammées électriquement

Note 1 à l'article: Dans le présent document, le terme EEPROM englobe toutes les mémoires de ce type, dont les circuits intégrés à mémoire flash EEPROM et la mémoire embarquée présente dans les circuits intégrés tels que les circuits logiques reprogrammables (EPLD, Erasable Programmable Logic Device) et les microcontrôleurs. Les mémoires à lecture destructive, telles que les mémoires ferroélectriques, dans lesquelles l'opération de lecture consiste à réécrire les données dans les cellules mémoire, ne relèvent pas du domaine d'application du présent document.

Note 2 à l'article: L'abréviation "EEPROM" est dérivée du terme anglais développé correspondant "Electrically Erasable Programmable Read-Only Memory".

3.4

schéma de données

suite de plusieurs 1 et 0 dans la mémoire, associés à leurs positions physiques ou logiques

Note 1 à l'article: Un dispositif peut être un dispositif à un seul bit par cellule (SBC, Single-Bit-per-Cell), ce qui signifie qu'une cellule de mémoire physique donnée stocke un "0" ou un "1", ou bien un dispositif à plusieurs bits par cellule (MBC, Multiple-Bits-per-Cell), ce qui signifie qu'une cellule stocke typiquement deux bits de données: "00", "01", "10" ou "11". Dans certaines mémoires MBC, les deux bits représentent des paires logiquement adjacentes dans chaque octet de données. Par exemple, avec 2 bits par cellule, un octet contenant la suite binaire "10110001" correspondrait à quatre cellules physiques, rendant la donnée "2301" dans le système de numération de base 4. Dans d'autres mémoires MBC, les deux bits peuvent représenter des bits correspondant à des emplacements d'adresse totalement différents. Pour une mémoire SBC, un modèle physique en damier se compose d'une suite de 0 et de 1 en alternance, chaque 0 étant entouré de 1, de chaque côté, au-dessus et en dessous; un modèle logique en damier se compose d'octets de données AAH ou 55H, dans lesquels chaque 0 est logiquement adjacent à des 1. Dans certaines qualifications, seules les positions logiques sont connues.

3.5

endurance

aptitude d'une mémoire morte reprogrammable à supporter des réécritures de données tout en restant conforme aux spécifications applicables

Note 1 à l'article: Les spécifications des dispositifs EEPROM exigent souvent une étape d'effacement avant la reprogrammation de données; dans ce cas, une réécriture de données englobe les étapes d'effacement et de programmation, qui forment à elles deux un cycle de programmation/effacement. Les mémoires à écriture directe permettent l'écriture de données directement sur d'anciennes données, sans effacement; dans ce cas, l'utilisation de l'expression générique "cycle de programmation/effacement" fait référence à une seule réécriture, sans effacement. Pour les mémoires SBC exigeant une étape d'effacement, un cycle de programmation/effacement consiste à programmer des cellules (en les définissant typiquement sur "0") puis à les effacer (en les définissant sur "1"). Pour le cas comparable des mémoires MBC, un cycle consiste à programmer des cellules (en les définissant sur "0", "1" ou "2", pour deux bits par cellule) puis à les effacer (en les définissant sur "3" pour deux bits par cellule).

Note 2 à l'article: Les cycles d'endurance consistent à réaliser successivement plusieurs réécritures, le ou les schémas de données correspondant à ces réécritures devant être choisis. Il n'existe pas de schéma de données, ou d'ensemble de schémas de données, qui corresponde au cas le plus défavorable pour l'intégralité des mécanismes de défaillance. Par exemple, pour les mémoires à grille flottante, un schéma entièrement programmé correspond au cas le plus défavorable pour un transfert de charge, mais un schéma physique en damier correspond au cas le plus défavorable pour la programmation indésirable de cellules adjacentes, et un schéma quasi intégralement effacé peut correspondre au cas le plus défavorable pour les mécanismes associés aux algorithmes de préconditionnement avant effacement. Pour les mémoires MBC, la programmation au plus haut niveau correspond au cas le plus défavorable pour un transfert de charge, mais les cellules de niveau intermédiaire peuvent subir un temps de programmation plus long et disposer également d'une marge de détection inférieure. Enfin, dans certaines mémoires, la marge d'une cellule est influencée par l'état des données dans les cellules physiquement adjacentes.

3.6

défaillance d'endurance

défaillance découlant de l'application des cycles d'endurance

Note 1 à l'article: Une défaillance d'endurance se produit si, à l'issue de l'application de cycles de programmation/effacement, une EEPROM ne parvient pas à finaliser les opérations de programmation ou d'effacement dans les délais spécifiés dans la fiche technique, ou si elle ne parvient pas à se conformer à une quelconque autre exigence de sa fiche technique. Une opération de programmation qui engendre le stockage de données incorrectes dans le dispositif est comptabilisée comme une défaillance d'endurance. Cependant, si une méthode de gestion d'erreurs, telle qu'un code de correction d'erreurs, est intégrée au dispositif ou que son application est spécifiée par le système, alors l'occurrence d'une défaillance n'est avérée que si l'erreur n'est pas gérée correctement par la méthode spécifiée.

Note 2 à l'article: Certaines EEPROM sont spécifiées pour fonctionner avec un système de gestion des blocs défectueux (BBM, Bad-Block Management) interne ou externe. Si le système BBM détecte une défaillance d'endurance, il dirige les données vers un autre bloc (de rechange) et supprime l'adresse du bloc défaillant dans la table d'adressage appropriée. Une défaillance d'endurance d'un tel produit se constate lorsqu'un nombre prédéfini de blocs de rechange du produit a été consommé, pendant le nombre de cycles spécifié dans la fiche technique de ce produit.

Note 3 à l'article: Les défaillances d'endurance sont engendrées par différents mécanismes de défaillance, et généralement ceux-ci sont accélérés de différentes manières, par la température et d'autres paramètres de qualification ajustables, tels que la temporisation entre deux cycles. Par exemple, pour les mémoires à grille flottante, une défaillance peut résulter d'un piégeage de charge (normalement accéléré par des basses températures et/ou une temporisation plus courte entre deux cycles) dans le diélectrique de transfert de charge, ou d'une rupture par oxydation (normalement accélérée par des hautes températures) dans le diélectrique de transfert ou en périphérie du diélectrique.

3.7

défaillance

perte d'aptitude d'un composant à satisfaire aux spécifications de performances électriques ou physiques auxquelles il est destiné à satisfaire (par conception ou par essais)

Note 1 à l'article: Le terme "défaillance" est souvent associé à un adjectif qualificatif décrivant le type de défaillance. Par exemple, un composant présente une défaillance fonctionnelle s'il ne fonctionne pas, ou bien une défaillance paramétrique s'il ne satisfait pas à une spécification de fiche technique concernant un paramètre tel que la consommation électrique. Les défaillances d'endurance et de conservation de données sont définies en 3.6 et 3.9.

Note 2 à l'article: Les défaillances peuvent être permanentes ou transitoires. Aux fins de la présente norme, une défaillance permanente correspond à un composant qui présente une défaillance lors de l'application d'une contrainte de fiabilité, et dont cette défaillance persiste à l'issue de l'essai, à la fin de l'application de cette même contrainte. Une défaillance transitoire correspond à un composant qui présente une défaillance lors de l'application d'une contrainte de fiabilité, mais dont l'essai s'avère concluant à la fin de l'application de cette même contrainte.

3.8

conservation de données

conservation

aptitude de la cellule EEPROM à conserver des données au fil du temps

Note 1 à l'article: Le terme "conservation" utilisé seul est généralement réservé aux cas où le contexte permet d'éviter toute confusion; dans le cas contraire, la forme développée "conservation de données" est utilisée.

Note 2 à l'article: L'expression "conservation de données" peut faire référence à l'aptitude d'un dispositif à conserver des données sans polarisation, mais l'expression peut parfois être utilisée pour inclure l'aptitude à conserver des données soumises à polarisation. Le terme "perturbation" fait référence sans ambiguïté à l'aptitude d'une cellule EEPROM à conserver des données au fil du temps lorsqu'elles sont soumises à polarisation. Par exemple, la perturbation en lecture fait référence à l'aptitude d'une cellule EEPROM à conserver des données après un nombre spécifique d'opérations de lecture. Des considérations plus détaillées sur le concept de perturbation ne relèvent pas du domaine d'application du présent document.

Note 3 à l'article: La contrainte de conservation consiste à écrire un schéma de données dans un dispositif, puis à vérifier que le schéma est intact à l'issue d'une exposition à une température spécifiée pendant un délai spécifié. Il n'existe pas de schéma de données qui corresponde au cas le plus défavorable pour l'intégralité des mécanismes de défaillance, des conceptions de cellule ou des architectures de processus. Il y a généralement quelques mécanismes de défaillance qui affectent principalement les cellules programmées, et quelques mécanismes qui affectent principalement les cellules effacées. Il y a aussi des mécanismes de défaillance qui dépendent des données figurant dans les cellules adjacentes.

3.9

défaillance de conservation de données

défaillance de conservation

modification d'au moins un bit des données conservées, détectée lors de la lecture du dispositif conformément aux spécifications applicables, après une période prolongée suivant l'opération d'écriture précédente

Note 1 à l'article: L'expression "défaillance de conservation" est généralement réservée aux cas où le contexte permet d'éviter toute confusion, dans le cas contraire la forme développée "défaillance de conservation de données" est utilisée.

Note 2 à l'article: Il est nécessaire de faire la distinction entre une défaillance de conservation provoquée par une perte de charge et une défaillance de conservation résultant d'un autre mécanisme. Les cycles d'endurance soumis à des temporisations plus courtes entre deux cycles peuvent induire une manipulation de bit manifeste ou une pseudo-inversion de bit.

Note 3 à l'article: Si une méthode de gestion d'erreurs, telle qu'un code de correction d'erreurs, est intégrée au dispositif ou que son application est spécifiée par le système, alors l'occurrence d'une défaillance n'est avérée que si l'erreur n'est pas gérée correctement par la méthode spécifiée.

Note 4 à l'article: Les défaillances de conservation sont engendrées par différents mécanismes de défaillance, et généralement ceux-ci sont accélérés de différentes manières, par la température et d'autres paramètres de qualification ajustables. Par exemple, dans les mémoires à grille flottante, une défaillance peut se produire en raison de défauts permettant une fuite de la charge à travers le diélectrique de transfert, ou du fait du dépiégeage de charge dans le diélectrique de transfert; le premier de ces deux phénomènes peut être faiblement accéléré, voire même ralenti, par des hautes températures, tandis que le deuxième phénomène peut être fortement accéléré par la température.

3.10

taux d'erreurs non corrigées sur les bits

UBER

indicateur du taux d'occurrence des erreurs de données, égal au taux d'erreurs de données après application d'une quelconque méthode de correction d'erreur spécifiée

Note 1 à l'article: Le taux d'erreurs non corrigées sur les bits est calculé à partir de l'équation suivante:

$$k = \frac{e}{b_r} \quad (1)$$

Où:

k désigne la valeur UBER;

e désigne le nombre cumulé d'erreurs de données; et

b_r désigne le nombre cumulé de lectures de bits.

Pour les dispositifs sans correction d'erreur, un quelconque bit de données erroné est comptabilisé comme une erreur de données. Pour les dispositifs avec correction d'erreur, un quelconque mot code ou secteur (comme défini dans la fiche technique du produit) renvoyant des données incorrectes après application du schéma de correction d'erreur spécifié est comptabilisé comme une erreur de données. Les erreurs de données transitoires, telles que celles survenant lors d'un cycle de programmation/effacement donné, sans se répéter sur les cycles ultérieurs, sont comptabilisées comme des erreurs de données. Les niveaux de confiance statistiques normalisés peuvent être appliqués au numérateur.

Le nombre cumulé de lectures de bits correspond à la somme de tous les bits de données lus à partir du dispositif, plusieurs lectures du même bit de mémoire étant comptabilisées comme une lecture de bits multiple. Si par exemple un dispositif de 1 Go est lu 10 fois, une lecture de bits de 10 Go est comptabilisée.

Note 2 à l'article: Certains dispositifs peuvent être spécifiés pour avoir une valeur UBER spécifique, auquel cas la qualification doit déterminer que le dispositif satisfait à la spécification UBER. L'Article 5 présente dans le détail le calcul de la valeur UBER.

Note 3 à l'article: L'abréviation "UBER" est dérivée du terme anglais développé correspondant "Uncorrectable Bit-Error Rate".

4 Appareillage

L'appareillage exigé pour cet essai doit se composer d'une enceinte thermorégulée capable de maintenir les conditions de température spécifiées à ± 5 °C. L'enceinte doit être équipée de socles ou d'autres organes de montage, de sorte qu'un contact électrique fiable puisse être établi avec les bornes du dispositif dans la configuration de circuit spécifiée. Les alimentations électriques et les réseaux de polarisation doivent être capables de maintenir les conditions de fonctionnement spécifiées tout au long de l'essai. Il convient également de concevoir le circuit d'essai de sorte que la présence de dispositifs anormaux ou défectueux n'altère pas les conditions spécifiées pour les autres unités soumises à essai. Il convient de veiller à éviter les dommages éventuels résultant de pics de tension transitoire, ou d'autres conditions pouvant engendrer des contraintes électriques, thermiques ou mécaniques excessives.

5 Procédure

5.1 Spécifications de qualification

Les spécifications de qualification, comprenant celles données dans le document JESD47, exigent généralement de soumettre quelques dispositifs à des cycles d'endurance, suivis de contraintes de conservation. Il peut également exister des exigences de conservation pour les dispositifs non soumis à des cycles, et pour les essais facultatifs à températures opposées, selon la plage de températures spécifiée dans la fiche technique. Les spécifications de qualification préconisent généralement d'effectuer des cycles d'endurance à différentes températures, dans la plage spécifiée dans la fiche technique, et d'appliquer la contrainte de conservation à des températures élevées, par exemple 125 °C, ainsi qu'à la température de la salle. La Figure 1 représente le schéma fonctionnel, en incluant les références aux paragraphes correspondants décrivant la procédure.

Une condition d'essai supplémentaire est donnée à l'Annexe A.

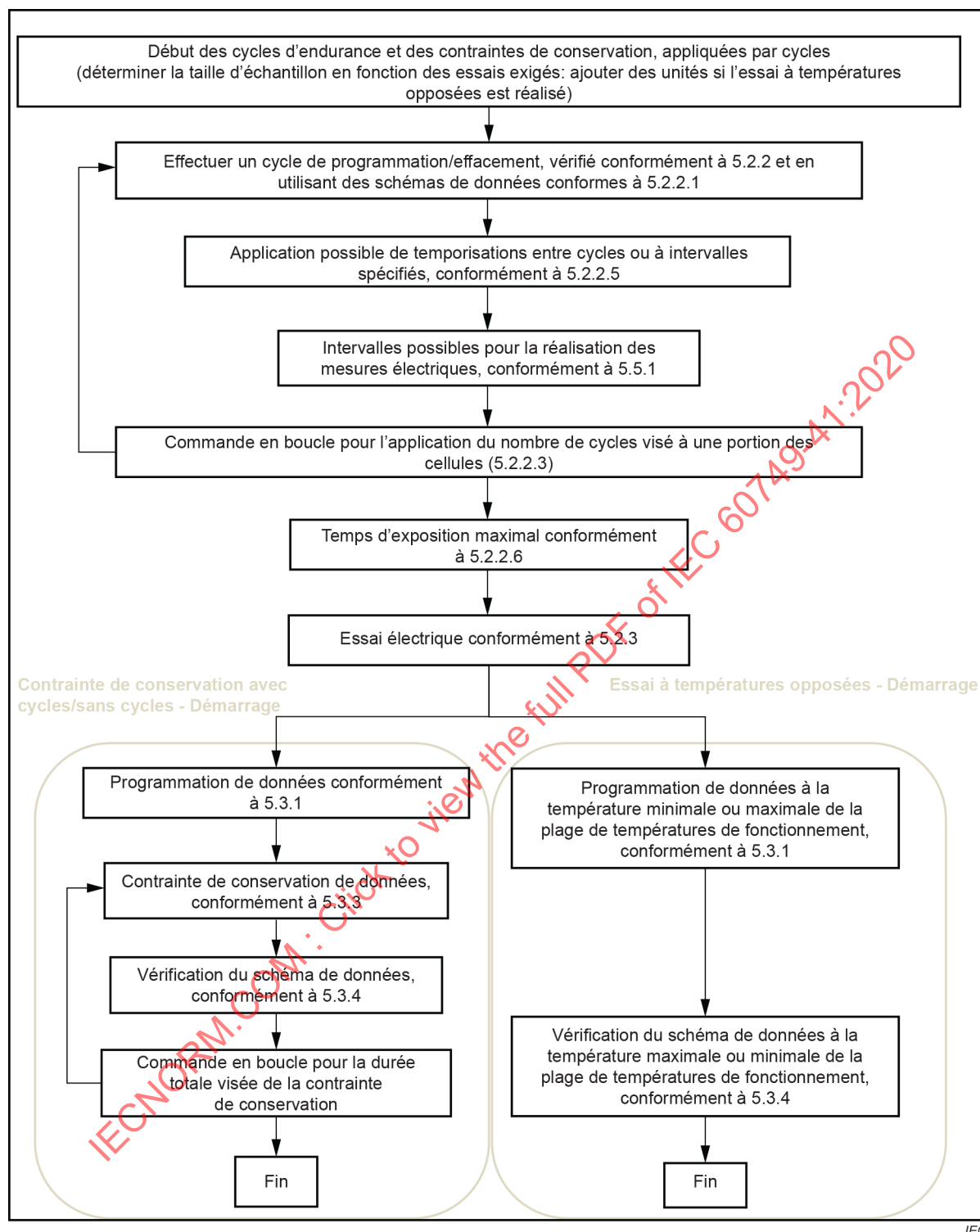


Figure 1 – Schéma fonctionnel

5.2 Endurance sur les cycles de programmation/effacement

5.2.1 Montage d'essai

Les dispositifs doivent être placés dans l'enceinte de sorte qu'il n'y ait pas d'obstacle substantiel à la circulation d'air entre les unités et autour de chaque unité. L'alimentation doit être appliquée et les vérifications appropriées effectuées afin de s'assurer que tous les dispositifs sont correctement alimentés. Lorsqu'un montage spécial ou un radiateur est exigé, les détails doivent être indiqués dans la spécification applicable au dispositif et/ou dans la spécification d'essai.

5.2.2 Application des cycles de données

5.2.2.1 Vérification des programmations et effacements

La bonne exécution des opérations de programmation et d'effacement lors de l'essai d'endurance doit être vérifiée, conformément à la spécification du dispositif ou à la spécification interne du fournisseur concernant l'essai de contrainte (voir l'Article 7).

5.2.2.2 Schémas de données lors de l'application des cycles

Le schéma de données utilisé pour l'application des cycles d'endurance doit faire l'objet d'un accord entre le fournisseur et l'utilisateur, et les justifications sous-jacentes doivent être documentées. Il est important de soumettre un nombre suffisant de secteurs de blocs aux cycles, en tenant compte des modèles d'application cibles. Voir la Note 1 à l'article en 3.4 pour une étude des compromis intervenant dans le choix du schéma de données pour l'application des cycles.

L'objet de nombreuses qualifications est de soumettre le dispositif à essai afin de l'éprouver selon la gamme de mécanismes de défaillance la plus étendue possible. Cette gamme de mécanismes de défaillance la plus étendue possible peut être établie lorsque le schéma de données inclut la plage complète de niveaux logiques et de conditions d'adjacence susceptibles de se produire en utilisation réelle. Par exemple, cette plage complète peut être atteinte si les trois conditions suivantes sont réunies. Tout d'abord, les cellules mémoire sont soumises de manière cyclique à l'intégralité des états logiques disponibles, et dans des proportions égales pour chacun de ces états. Par exemple, dans une mémoire SBC, la moitié des cellules est programmée et la moitié est laissée effacée lors d'un cycle. Tandis que dans une mémoire à cellules sur 4 niveaux, lors d'un cycle quelconque, un quart des cellules subit une opération d'écriture sur chacun des quatre niveaux disponibles. Deuxièmement, les positions des 1 et des 0 sont non uniformes et idéalement quasi aléatoires, de sorte que toutes les configurations d'adjacence possibles soient représentées. Par exemple, un schéma de données constitué d'un mélange d'octets avec les schémas de données 00H (double zéro en base hexadécimale), 55H, AAH, 33H, CCH et FFH permet de créer une large gamme de schémas d'adjacence. Troisièmement, le schéma de données n'est pas identique lors de cycles successifs: il suit une séquence. Les meilleures pratiques consistent à s'assurer que dans cette séquence, certaines cellules subissent une opération d'écriture sur chacun des états logiques disponibles, tandis que d'autres cellules subissent à chaque cycle une opération de réécriture du même état logique. Par exemple, dans une mémoire SBC, un octet passant cycliquement de la valeur AAH sur les cycles pairs à la valeur 5AH sur les cycles impairs dispose de quatre cellules subissant par cycles alternatifs des opérations d'écriture à 0 et à 1, de deux cellules subissant à chaque cycle une opération de réécriture à 0, et de deux cellules subissant à chaque cycle une opération de réécriture à 1.

Dans certaines qualifications à base de connaissances, les essais d'endurance peuvent être définis pour des mécanismes de défaillance spécifiques. De tels essais peuvent utiliser des schémas de données différents de ceux décrits ci-dessus, optimisés pour augmenter la sensibilité aux mécanismes ciblés. Entre autres exemples de schémas de données acceptables à ces fins figurent un schéma programmé sur support solide, une séquence en damier/en damier inverse, et un damier avec remplissage ultérieur du schéma.

Certains dispositifs EEPROM de type flash exploitent un mécanisme de brouillage intégré. Lors des essais d'endurance réalisés sur de tels dispositifs, il convient d'activer le mécanisme de brouillage; la désactivation du brouilleur pour les cycles d'endurance peut exercer une contrainte sur le produit supérieure à celle que l'utilisateur peut constater. Un schéma quasi aléatoire constitue la solution idéale pour les essais d'endurance lorsqu'un mécanisme de brouillage est employé.

5.2.2.3 Portion de cellules à soumettre aux cycles

Les spécifications de qualification, qu'elles proviennent du document JESD47 ou qu'elles aient été développées à partir de méthodes à base de connaissances (JESD94), exigent généralement qu'une portion de la mémoire soit soumise au nombre maximal de cycles de programmation/effacement, indiqué dans la spécification du dispositif, tandis que les autres portions de mémoire sont soumises à des cycles moins contraignants. Sur des mémoires de grande taille, l'application des cycles sur toutes les cellules et selon la spécification maximale peut prendre un temps exagérément long. En outre, dans les qualifications à base de connaissances, il est possible que les conditions d'application n'exigent pas de soumettre toutes les cellules à de pareils cycles. La portion réelle de cellules soumises à des cycles correspondant à 100 % de la spécification maximale, et la portion soumise à des cycles correspondant à d'autres pourcentages de la spécification, doivent faire l'objet d'un accord entre le fournisseur et l'utilisateur, et être documentées, en incluant les justifications sous-jacentes pour les portions choisies.

5.2.2.4 Conditions d'application des cycles

Il convient que le mode, les tensions, la température et la fréquence des cycles fassent l'objet d'un accord entre le fournisseur et l'utilisateur, et qu'ils soient documentés en incluant les justifications sous-jacentes. Le mode fait référence aux différents modes opérationnels pour la programmation et/ou l'effacement, tels que les modes de programmation et d'effacement par adresse, par page et par bloc (ou secteur). Les tensions font référence à toutes les tensions d'alimentation appropriées, comprenant l'alimentation de niveau logique et, le cas échéant, une quelconque alimentation haute tension exigée pour la programmation ou l'effacement. La température fait référence à la température de l'enceinte dans laquelle les dispositifs sont soumis aux cycles. Les spécifications de qualification indiquent souvent que certains dispositifs sont à soumettre à des cycles à basse température, tandis que d'autres dispositifs sont à soumettre à des cycles à une température plus élevée. La fréquence d'application des cycles fait référence au nombre de cycles effectués par unité de temps.

5.2.2.5 Temporisations intentionnelles entre cycles

La vitesse de dégradation des produits EEPROM peut dépendre largement de la fréquence d'application des cycles. Cela est dû au fait que certains mécanismes de dommage induits par les cycles sont associés à une phase de récupération partielle entre cycles; dès lors, l'augmentation du taux d'application des cycles peut empêcher cette récupération et entraîner des défaillances prématurées. Les mécanismes de dégradation associés à une phase de récupération sont typiquement le dépiégeage de la charge piégée lors des cycles dans la couche du diélectrique de transfert des dispositifs à grille flottante, ou le dépiégeage de la charge piégée excédentaire, dans les mémoires non volatiles basées sur le piégeage. Dans les applications d'exploitation par l'utilisateur, le nombre de cycles du produit est réparti sur plusieurs années, et la charge piégée excédentaire peut être dépiégée entre deux cycles, mais si le produit est soumis au nombre de cycles maximal en l'espace de quelques heures ou de quelques jours, dans le cadre d'un essai de qualification, la charge piégée excédentaire s'accumule, entraînant une défaillance prématurée du produit lors des cycles d'endurance, ou lors de l'essai de conservation de données qui s'ensuit.

Pour éviter des cycles irréalistes lors des essais de qualification, le schéma fonctionnel de la qualification peut spécifier l'ajout de temporisations intentionnelles entre les cycles. Le présent paragraphe 5.2.2.5 décrit les méthodes d'insertion de temporisations de relaxation entre les cycles, ainsi que les règles et les limites s'y rapportant. Ces méthodes comprennent:

- i) des cycles à température élevée (distribution homogène des temporisations de relaxation entre les cycles);
- ii) des cycles à température élevée et à fréquence de cycles réduite (temporisations insérées entre chacun des cycles et/ou entre des groupes de cycles);
- iii) des cycles à température ambiante avec des intervalles d'étuvage à haute température insérés entre des groupes de cycles.

La règle régissant l'insertion de temporisations entre cycles est la suivante: il convient que la relaxation résultant de l'insertion des temporisations d'étuvage ne dépasse pas la relaxation correspondante dans les conditions d'exploitation par l'utilisateur. Il convient que la durée totale des temporisations insérées soit calculée à partir de la différence entre la température d'utilisation prévue et la température des temporisations, en utilisant l'énergie d'activation du mécanisme de récupération. La combinaison de plusieurs des méthodes ci-dessus est admise, sous réserve que la combinaison obtenue respecte cette règle.

Pour les cycles à température élevée, conformément à la méthode (ii), le fournisseur peut spécifier que le nombre de cycles par jour ne doit pas dépasser une certaine valeur. Pendant le reste de la journée, les dispositifs peuvent rester au repos à la température d'application des cycles. Les dispositifs peuvent également être conservés au repos à une autre température, sous réserve que la somme de la durée totale d'exposition à la température d'application des cycles et de la durée d'exposition à la température au repos ne dépasse pas la durée correspondante des cycles du produit à la température d'utilisation prévue (voir Exemple 1 ci-après).

Pour éviter un effet de récupération exagéré vers la fin de l'application des cycles, les temporisations entre cycles et/ou les intervalles d'étuvage calculés pour un groupe de cycles donné doivent être insérés au début de chaque groupe de cycles. Par exemple, si le fournisseur désigne 4 groupes de cycles homogènes, avec des intervalles de repos homogènes entre les groupes, et si le temps de repos total autorisé à la température de repos est calculé comme étant t_T , alors la portion $t_T/4$ du temps de repos total peut être insérée au début des deuxième, troisième et quatrième groupes de cycles. Aucune temporisation de relaxation n'est admise à la fin du quatrième groupe, en dehors de la temporisation logistique inévitable, soumise au respect de la valeur maximale spécifiée en 5.2.2.6.

Si le fournisseur choisit de segmenter les temporisations entre cycles en formant des groupes de cycles non homogènes, les intervalles d'étuvage doivent être proportionnels à la portion de cycles composant le groupe de cycles consécutif. Les justifications sous-jacentes au choix de groupes de cycles non homogènes sont que les temporisations d'étuvage appliquées aux premiers cycles assurent généralement une relaxation moins efficace du dispositif par rapport aux temporisations survenant vers la fin de l'application des cycles. Le fournisseur peut donc choisir d'ignorer les premiers intervalles d'étuvage pour réduire la durée totale de l'essai de contrainte.

Comme l'effet de la récupération peut également dépendre du niveau des cellules, il convient que le fournisseur spécifie le niveau de cellule utilisé pendant les temporisations entre cycles. Il convient également d'appliquer une rotation du niveau de cellule entre les temporisations, afin de simuler les conditions d'utilisation.

Le fournisseur doit documenter la méthode retenue pour l'insertion des temporisations d'étuvage, stipuler le schéma de données utilisé pendant les temporisations, spécifier le mécanisme de récupération et indiquer la source de son énergie d'activation. Le fournisseur doit également documenter les justifications sous-jacentes au choix des temporisations/intervalles d'étuvage/températures spécifiques pendant l'application des cycles.

L'application des cycles et l'aptitude de conservation de données sont calculées en utilisant la condition cible d'application des cycles. Le fournisseur doit calculer la conservation de données selon différentes temporisations et températures cibles pour l'application des cycles. Les estimations de la défaillance de conservation de données sont calculées en appliquant pendant les cycles la température de jonction appropriée au dispositif (T_J), telle qu'elle est déterminée par le fournisseur. Les cycles d'utilisation et la conservation peuvent être calculés selon différentes températures, correspondant à des conditions cibles telles que la température de jonction T_J des cycles d'endurance soit supérieure à la température de jonction T_J des cycles de lecture.

Deux exemples illustrant le mode de sélection des intervalles d'étuvage sont représentés ci-après:

– Exemple 1 [méthode (ii)]:

Nombre de cycles appliqués au produit = 10 k cycles

Durée des 10 k cycles pour l'application visée de 2 ans = 17 520 h

Température d'application des cycles dans les conditions d'exploitation par l'utilisateur = 55 °C

Durée souhaitée de la qualification d'endurance = 10 jours

Temps de cycle par jour = 1 k cycles sur une période de 14 h

Température d'application des cycles dans les conditions de qualification = 85 °C

Energie d'activation pour le dépiégeage (relaxation) = 1,1 eV

Quelle est la température maximale autorisée pendant la période de repos de 10 h par jour?

- 10 d x 14 h d'application des cycles par jour, à une température de 85 °C, sont équivalents à 140 h x 26,1 = 3 652 h à la température d'utilisation (le facteur d'accélération est de 26,1 entre 55 °C et 85 °C pour $E_{aa} = 1,1$ eV)
- La durée d'application de cycles équivalente restante, dans les conditions d'exploitation par l'utilisateur, est de 17 520 h – 3 652 h = 13 868 h
- Le temps de repos total est de 100 h
- Le facteur d'accélération thermique (AT) entre 100 h et 13 868 h est de 138,68
- Pour atteindre $A_T = 138,6$ avec $E_{aa} = 1,1$ eV et $T_{use} = 55$ °C, $T_{relax} = 102,6$ °C

Réponse: La température maximale autorisée pendant la période de repos est de 102,6 °C. Aucune temporisation n'est autorisée lors du dernier jour après l'application des cycles, à l'exception de celle découlant du délai de conservation maximal de 12 h à la température d'application des cycles, conformément à 5.2.2.6.

– Exemple 2 [méthode (iii)]:

Nombre de cycles appliqués au produit = 10 k cycles

Durée des 10 k cycles pour l'application visée = 2 ans = 17 520 h

Température d'application des cycles dans les conditions d'exploitation par l'utilisateur = 35 °C

Température d'application des cycles dans les conditions de qualification = 25 °C

Energie d'activation pour le dépiégeage (relaxation) = 0,9 eV

Le fournisseur souhaite insérer des intervalles d'étuvage au bout de 5 k cycles et de 9 k cycles. La température d'étuvage est de 125 °C.

Quelle est la durée maximale autorisée de chaque intervalle d'étuvage?

- La portion représentée par les cycles du deuxième groupe est de (9 k cycles – 5 k cycles)/10 k cycles = 0,4
- La portion représentée par les cycles du troisième groupe est de (10 k cycles – 9 k cycles)/10 k cycles = 0,1

- c) Le facteur d'accélération thermique entre 35 °C et 125 °C pour $E_{aa} = 0,9$ eV est de $2\,139 \times$
- d) Durée de relaxation totale autorisée = $17\,520 \text{ h} / 2\,139 = 8,19 \text{ h}$
- e) Temporisation maximale entre deux cycles avant le deuxième groupe = $8,19 \times 0,4 = 3,28 \text{ h}$
- f) Temporisation maximale entre deux cycles avant le troisième groupe = $8,19 \times 0,1 = 0,82 \text{ h}$

Réponse: L'intervalle d'étuvage maximal autorisé à 125 °C, au bout de 5 k cycles, est de 3,28 h, et de 0,82 h au bout de 9 k cycles.

NOTE Les énergies d'activation des mécanismes de récupération intervenant lors de l'application des cycles peuvent varier entre 0,8 eV et 1,2 eV, selon la technologie et les matériaux employés. Voir par exemple les paragraphes 5.5 à 5.6 du document JEP122H.

5.2.2.6 Temporisation à la fin de l'application des cycles d'endurance

Pour les cycles appliqués à température élevée, les dispositifs ne doivent pas rester dans l'enceinte d'application des cycles pendant plus de 12 h après la fin des cycles à température élevée. Pour les cycles appliqués à la température de la salle ou à une température inférieure, une quelconque temporisation dans l'enceinte d'application des cycles avant le retrait des dispositifs doit être comptabilisée dans la durée totale admissible de 96 h stipulée en 5.5.1. Pour les dispositifs présentant plusieurs régions soumises à des cycles indépendants, ces limites doivent être calculées en partant de la fin d'application des cycles dans la première région. Il peut être nécessaire d'échelonner l'application des cycles sur les régions, afin de satisfaire à ces exigences. Par exemple, si deux régions sont soumises à des cycles, l'une à "n" cycles et l'autre à "2n" cycles, alors cet échelonnement peut être réalisé en appliquant un cycle sur la première région, puis en appliquant deux cycles sur la deuxième région, puis en répétant "n" fois cette séquence.

5.2.3 Vérification de l'essai électrique

La vérification de la conformité des essais fonctionnels à la spécification du dispositif à l'issue des cycles de programmation/effacement doit être effectuée conformément à 5.5.

5.3 Conservation de données

5.3.1 Programmation de données

Les dispositifs soumis à des cycles et satisfaisant aux exigences de 5.2, et/ou les dispositifs non soumis à des cycles, selon ce qui est indiqué dans la spécification de qualification, doivent être programmés pour des essais de conservation ultérieurs. Voir 3.4 et 3.5 pour une étude des compromis intervenant dans le choix du schéma de données à programmer. Pour les qualifications dont l'objet est de soumettre le dispositif à essai selon la plus large gamme possible de mécanismes de défaillance, il convient d'écrire la mémoire sur l'intégralité des états logiques disponibles, dans des proportions égales pour chacun de ces états et selon la plage complète des configurations d'adjacence, comme décrit en 5.2.2.2. Il convient d'écrire les données en utilisant le mode de programmation spécifié dans la fiche technique. Dans certaines qualifications à base de connaissances, les essais de conservation peuvent être définis pour des mécanismes de défaillance spécifiques. De tels essais peuvent utiliser des schémas de données différents de ceux décrits ci-dessus, optimisés pour augmenter la sensibilité aux mécanismes ciblés. Entre autres exemples de schémas de données acceptables à ces fins figurent un schéma programmé sur support solide, un schéma effacé sur support solide, une séquence en damier et (pour les mémoires MBC), des schémas où seuls certains des quatre niveaux logiques sont représentés. Dans de telles qualifications, les données peuvent également être écrites en utilisant un mode de programmation différent de celui spécifié dans la fiche technique, afin de modifier les marges des cellules et d'obtenir une accélération supplémentaire.