

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Mechanical and climatic test methods –
Part 37: Board level drop test method using an accelerometer**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques –
Partie 37: Méthode d'essai de chute au niveau de la carte avec utilisation d'un
accéléromètre**

IECNORM.COM : Click to view the full PDF of IEC 60749-37:2008



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2008 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch

Tel.: +41 22 919 02 11

Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch

Tél.: +41 22 919 02 11

Fax: +41 22 919 03 00



INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Mechanical and climatic test methods –
Part 37: Board level drop test method using an accelerometer**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques –
Partie 37: Méthode d'essai de chute au niveau de la carte avec utilisation
d'un accéléromètre**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

R

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope and object.....	6
2 Normative references	6
3 Terms and definitions	6
4 Test apparatus and components.....	7
4.1 Test apparatus	7
4.2 Test components.....	8
4.3 Test board	8
4.4 Test board assembly	8
4.5 Number of components and sample size	9
5 Test procedure	9
5.1 Test equipment and parameters	9
5.2 Pre-test characterization	10
5.3 Drop testing.....	12
6 Failure criteria and failure analysis	12
7 Summary.....	14
Annex A (informative) Preferred board construction, material, design and layout	15
Bibliography.....	19
Figure 1 – Typical drop test apparatus and mounting scheme for PCB assembly	10
Figure 2 – Typical shock test half sine pulse graphic and formulae	11
Figure 3 – Fundamental mode of vibration of PCB supported with four screws.....	14
Figure A.1 – Recommended test board size and layout.....	18
Table 1 – Quantity of test boards and components required for testing	9
Table 2 – Component locations for test boards	13
Table A.1 – Test board stack-up and material.....	15
Table A.2 – Mechanical property requirements for dielectric materials	16
Table A.3 – Recommended test board pad sizes and solder mask openings	17
Table A.4 – X, Y locations for components' centre	18

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
MECHANICAL AND CLIMATIC TEST METHODS –****Part 37: Board level drop test method using an accelerometer**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60749-37 has been prepared by IEC technical committee 47: Semiconductor devices.

This standard cancels and replaces IEC/PAS 62050 published in 2004. This first edition constitutes a technical revision.

The text of this standard is based on the following documents:

FDIS	Report on voting
47/1937/FDIS	47/1948/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts of the IEC 60749 series, under the general title *Semiconductor devices – Mechanical and climatic test methods*, can be found in the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the maintenance result date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

IECNORM.COM : Click to view the full PDF of IEC 60749-37:2008

INTRODUCTION

Handheld electronic products fit into the consumer and portable market segments. Included in handheld electronic products are cameras, calculators, cell phones, cordless phones, pagers, palm size PCs, personal computer memory card international association (PCMCIA) cards, smart cards, personal digital assistants (PDAs) and other electronic products that can be conveniently stored in a pocket and used while held in user's hand.

These handheld electronic products are more prone to being dropped during their useful service life because of their size and weight. This dropping event can not only cause mechanical failures in the housing of the device but also create electrical failures in the printed circuit board (PCB) assemblies mounted inside the housing due to transfer of energy through PCB supports. The electrical failures may result from various failure modes such as cracking of the circuit board, track cracking on the board, cracking of solder interconnections between the components and the board, and component cracks. The primary driver of these failures is excessive flexing of the circuit board due to input acceleration to the board created from dropping the handheld electronic product. This flexing of the board causes relative motion between the board and the components mounted on it, resulting in component, interconnect or board failures. The failure is a function of the combination of the board design, construction, material, thickness and surface finish; interconnect material and standoff height and component size.

Correlation between test and field conditions is not yet fully established. Consequently, the test procedure is presently more appropriate for relative component performance than for use as a pass/fail criterion. Rather, results should be used to augment existing data or establish a baseline for potential investigative efforts in package/board technologies.

The comparability between different test sites, data acquisition methods, and board manufacturers has not been fully demonstrated by existing data. As a result, if the data are to be used for direct comparison of component performance, matching studies must first be performed to prove that the data are in fact comparable across different test sites and test conditions.

This method is not intended to substitute for full characterization testing, which might incorporate substantially larger sample sizes and increased number of drops. Due to limited sample size and number of drops specified here, it is possible that enough failure data may not be generated in every case to perform full statistical analysis.

SEMICONDUCTOR DEVICES – MECHANICAL AND CLIMATIC TEST METHODS –

Part 37: Board level drop test method using an accelerometer

1 Scope and object

This part of IEC 60749 provides a test method that is intended to evaluate and compare drop performance of surface mount electronic components for handheld electronic product applications in an accelerated test environment, where excessive flexure of a circuit board causes product failure. The purpose is to standardize the test board and test methodology to provide a reproducible assessment of the drop test performance of surface-mounted components while producing the same failure modes normally observed during product level test.

The purpose of this standard is to prescribe a standardized test method and reporting procedure. This is not a component qualification test and is not meant to replace any system level drop test that may be needed to qualify a specific handheld electronic product. The standard is not meant to cover the drop test required to simulate shipping and handling-related shock of electronic components or PCB assemblies. These requirements are already addressed in test methods such as IEC 60749-10. The method is applicable to both area array and perimeter-leaded surface mounted packages.

This test method uses an accelerometer to measure the mechanical shock duration and magnitude applied which is proportional to the stress on a given component mounted on a standard board. The test method described in the future IEC 60749-40¹ uses strain gauge to measure the strain and strain rate of a board in the vicinity of a component. The detailed specification states which test method is to be used.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60749-10:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 10: Mechanical shock*

IEC 60749-20, *Semiconductor devices – Mechanical and climatic test methods – Part 20: Resistance of plastic-encapsulated SMDs to the combined effect of moisture and soldering heat*

IEC 60749-20-1, *Semiconductor devices – Mechanical and climatic test methods – Part 20-1: Handling, packing, labelling and shipping of surface-mount devices sensitive to the combined effect of moisture and soldering heat*²

3 Terms and definitions

For purposes of this document, the following terms and definitions apply.

¹ Under consideration.

² In preparation.

3.1**component**

packaged semiconductor device

3.2**single-sided PCB assembly**

printed circuit board assembly with components mounted on only one side of the board

3.3**double-sided PCB assembly**

printed circuit board assembly with components mounted on top and bottom sides of the board

3.4**handheld electronic product**

product that can conveniently be stored in a pocket (of sufficient size) and used when held in user's hand

NOTE Handheld electronic products include cameras, calculators, cell phones, pagers, palm-size PCs (formerly called 'pocket organizers'), personal computer memory card international association (PCMCIA) cards, smart cards, mobile phones, personal digital assistants (PDAs) and other communication devices.

3.5**peak acceleration**

maximum acceleration during the dynamic motion of the test apparatus

3.6**pulse duration****acceleration interval**

time interval between the instant when the acceleration first reaches 10 % of its specified peak level and the instant when the acceleration first returns to 10 % of the specified peak level after having reached that peak level

3.7**table drop height**

free-fall drop height of the drop table needed to attain the prescribed peak acceleration and pulse duration

3.8**event**

electrical discontinuity of resistance greater than 1 000 Ω lasting for 1 μs or longer

3.9**event detector**

continuity test instrument capable of detecting electrical discontinuity of resistance greater than 1 000 Ω lasting for 1 μs or longer

4 Test apparatus and components**4.1 Test apparatus**

The shock-testing apparatus shall be capable of providing shock pulses up to a peak acceleration of 2 900 $\text{m}\cdot\text{s}^{-2}$ with a pulse duration between 0,3 ms and 8,0 ms to the body of the device and a velocity change of 710 $\text{mm}\cdot\text{s}^{-1}$ to 5 430 $\text{mm}\cdot\text{s}^{-1}$.

The acceleration pulse shall be a half-sine waveform with an allowable deviation from specified acceleration level not greater than $\pm 20\%$ of the specified peak acceleration. This is determined by a transducer having a natural frequency 5 times the frequency of the shock pulse being established and measured through a low pass filter having a band width

preferably at least 5 times the frequency of the shock pulse being established. It is very important that the transducer resonance does not approach the measured value. Filtering should not be used in lieu of good measurement set-up and procedure practices. The pulse duration shall be measured between the points at 10 % of the peak acceleration during rise time and 10 % of the peak acceleration during decay time. Absolute tolerances of the pulse duration shall be ± 30 % of the specified duration. It is recommended that the test velocity change should be ± 10 % of the specified level.

4.2 Test components

This standard covers all area arrays and perimeter-leaded surface-mountable packaged semiconductor devices such as ball grid arrays (BGA), land grid arrays (LGA), chip scale packages (CSP), thin small outline packages (TSOP) and quad flat no-lead packages (QFN) typically used in handheld electronic product. All components used for this testing must be daisy-chained. The daisy chain should either be made at the die level or by providing daisy chain links at the lead-frame or substrate level. In case of non-daisy chain die, a mechanical dummy die shall be used inside the package to simulate the actual structure of the package. The die size and thickness should be similar to the functional die size to be used in application. The component materials, dimensions and assembly processes shall be representative of typical production device.

4.3 Test board

Since the drop test performance is a function of the test board used for evaluation, this standard describes a preferred test board construction, dimensions, and material that is representative of those used in handheld electronic products. If another board construction/material better represents a specific application, the test board construction, dimensions and material should be documented. The test data generated using such a board shall be correlated at least once by generating the same data on the same component using the preferred board defined in this document (see Annex A for recommendations).

4.4 Test board assembly

Prior to board assembly, all devices shall be inspected for missing balls or bent leads. Board thickness, warpage and pad sizes shall also be measured using a sampling plan. A visual inspection shall be performed on all boards for solder mask registration, contamination and daisy chain connection. It is recommended that boards should be inspected and accepted in accordance with a relevant national or international standard. One board shall also be used to measure the mechanical properties (modulus and glass transition temperature, T_g) of the board at the component location using dynamic mechanical analysis (DMA) and thermomechanical analysis (TMA) methods. It is highly recommended that the coefficient of thermal expansion (CTE) of the board be also measured in X, Y and Z direction. The mechanical property measurements are not required for every board lot, unless the fabrication process, material or vendor is changed from lot to lot.

The components shall be baked according to IEC 60749-20 and the future IEC 60749-20-1 prior to board assembly. The test boards shall be assembled using best known methods of printed circuit assembly process, representative of production methods. At least one board shall be used to adjust the board mounting process such as paste printing, placement and reflow profile. All assemblies shall be single-sided only, unless the component is anticipated for use in mirror-sided board assemblies. In that case, the components shall be mounted on each side of the board.

A 100 % X-ray inspection is recommended on assembled units to check for voids, short-circuits and other abnormalities. Electrical continuity test shall also be performed on all mounted units to detect any open-circuits or short-circuits.

4.5 Number of components and sample size

The board design recommended in Annex A allows up to 15 locations for component mounting and it is preferred that components be mounted on all 15 locations. Since the drop performance is a function of component location on the board, testing with components mounted on all 15 locations will provide useful information to the users of this data in proper layout of their product board. With the board supported at four corners, these locations cover the worst case board curvature (U8 location), the effect of proximity to support locations (U1, U5, U11, and U15 locations) and various locations in between. Because of various designs for tests, and designs for failure analysis practices used in the industry, it is recognized that populating boards with all 15 locations may not leave enough room between components for a large number of test points to properly identify the exact failure location. Therefore, options are provided for mounting just 1 or 5 components on the board using the following locations:

- 1-component configurations: location U8
- 5-component configurations: locations U2, U4, U8, U12, and U14

Table 1 – Quantity of test boards and components required for testing

Number of components per board	Number of boards		Total number of components
	Side A assembly (via in pad)	Side B assembly (not via in pad)	
15	4	4	120
5	4	4	40
1	10	10	20

Since the number and size of the components mounted on the board may influence the dynamic response of the test board assembly during drop, it is required that additional data are provided whenever these 1-component or 5-component configurations are employed. The additional data shall directly compare the effect of optional component mounting (1- or 5-component) to the preferred 15-component mounting configuration. This comparison shall be provided for a component similar in size (within 20 % in both length and width) to the component, which has been tested using 1- or 5-component per board configuration only.

Depending on the number of components mounted per board, Table 1 shall be used to determine the minimum quantity of assembled boards required for testing and the total number of components to be tested. Sample sizes greater than specified in Table 1 can be used to generate statistically sufficient data. In case of rectangular components, the longer side of the component should be parallel to the longer side of the board when mounted.

5 Test procedure

5.1 Test equipment and parameters

The shock testing apparatus shall be mounted on a sturdy laboratory table or equivalent base and levelled before use. Means shall be provided in the apparatus (such as an automatic braking mechanism) to eliminate bounce and to prevent multiple shocks to the board. Figure 1 shows the typical drop test apparatus where the drop table travels down on guide rods and strikes the rigid fixture. The rigid fixture typically is covered with some form of material to achieve the desirable pulse and acceleration levels. The bottom of the drop table is usually rounded slightly to ensure a very small area of contact with the strike surface.

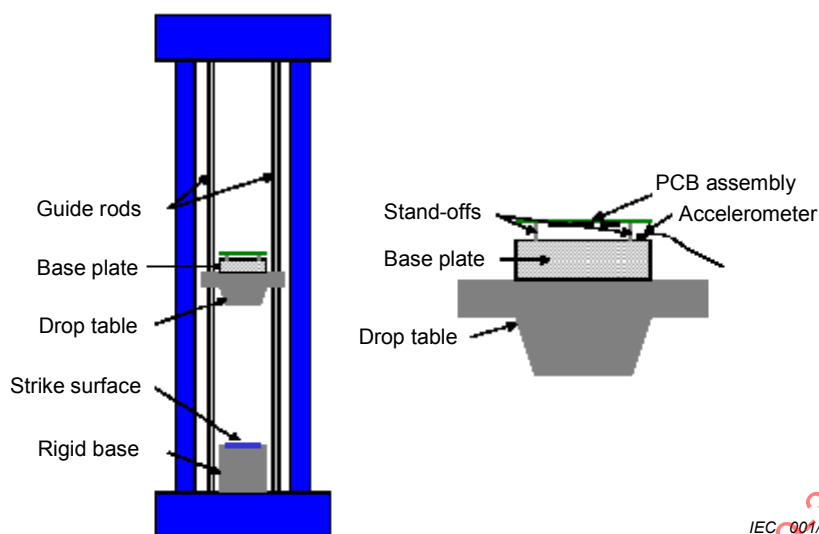


Figure 1 – Typical drop test apparatus and mounting scheme for PCB assembly

A base plate with suitable standoffs (e.g. 6 mm hexagonal outside diameter / M3 × 0,5 inside diameter, 10 mm long) shall be rigidly mounted on the drop table. The thickness and mounting locations of the base plate shall be selected such that there is no relative movement between the drop table and any part of base plate during drop testing. This plate will serve as the mounting structure for the PCB assemblies. This is pictorially shown in Figure 1. The PCB assembly shall be mounted to the base plate standoffs using four screws, one at each corner of the board. The board shall be mounted using four suitable precision shoulder screws (e.g. M3 × 0,5). Test data suggests that the variations in response acceleration and strain are reduced significantly dependant upon the choice of screw. Since the length of shoulder is nominal, a number of washers should be placed between the screw head and the top surface of the board (nominal 1,0 mm thick) to avoid any gap between the top of the standoffs and the bottom surface of the board. Due to tolerance stack up, a small gap is still possible but this gap shall not exceed 50 µm. The use of shoulder screw eliminates the need to re-tighten screws between drops. The screws shall be tightened in a diagonal pattern in the order of SW, NE, SE, and NW corners of the board. The screw shall be tightened until the shoulder of the screw bottoms out against the standoff. The number of washers used shall be the same for all four screws. A custom board jig may be used instead of mounting the board directly to the plate.

Experience with different board orientations has suggested that the horizontal board orientation with components facing down results in maximum PCB flexure and, thus, the worst orientation for failures. Therefore, this standard requires that the board shall be horizontal in orientation with components facing in downward direction during the test. Drop testing using other board orientations is not required but may be performed if deemed necessary. However, this is an additional test option and not a replacement for testing in the required orientation.

This standard requires test condition B ($1\,500\text{ m}\cdot\text{s}^{-2}$, 0,5 ms duration, half-sine pulse), as listed in Table 1 of IEC 60749-10, as the input shock pulse to the printed circuit assembly. This is the applied shock pulse to the base plate and shall be measured by accelerometer mounted at the centre of base plate or close to the support posts for the board. Other shock conditions, such as $2\,900\text{ m}\cdot\text{s}^{-2}$, 0,3 ms duration, in addition to the required condition can also be used.

5.2 Pre-test characterization

A set-up board with components mounted on it shall be used to adjust and characterize the drop test parameters and board response. A lightweight accelerometer should be attached with beeswax (or equivalent adhesive) on top of the component located at position U8 to

characterize the output acceleration response of the PCB assembly. It should be noted, however, that any additional mass will add significant dynamic weight to the board and may alter its dynamic response. Therefore, it is recommended that this characterization should only be carried out on a set-up board. In addition, a 45 ° rectangular rosette strain gauge shall be mounted on this set-up board underneath position U8 on the other side (non-component) side of the board to characterize strains in the X and Y directions as well as the principal strain and principal strain angle. Both the accelerometer and the strain gauge shall be connected to a data acquisition system capable of measuring at a scan frequency of 20 kHz and greater with a 16 bit signal width. Additional strain gauges may also be mounted at different locations on the board to fully characterize the strain response of the assembly.

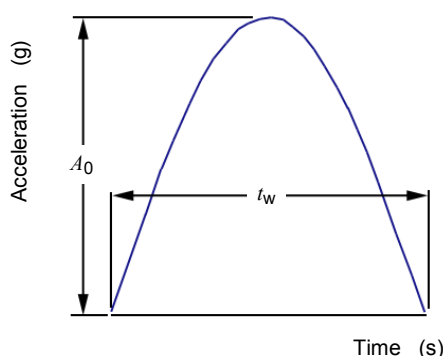
The board assembly shall then be mounted on the drop test fixture using four screws. The screws shall be tightened in diagonal pattern in the order of SW, NE, SE, and NW corners of the board. An additional accelerometer may also be mounted on the board assembly at or close to one of the support locations to ensure that the input pulse to the base plate is transmitted to the PCB without any distortion. The drop table shall then be raised to the height required to meet test condition B of Table 1 of IEC 60749-10 and dropped on to the strike surface while measuring the G level, pulse duration, and pulse shape.

Multiple drops might be required whilst adjusting the drop height and strike surface to achieve the specified acceleration levels and pulse duration (1 500 m·s⁻², 0,5 ms half-sine pulse). It should be noted that the peak acceleration and the pulse duration is a function of not only the drop height but also the strike surface. Depending on the strike surface, the same drop height could result in different acceleration levels and pulse durations. Theoretically, the drop height needed to achieve the appropriate acceleration levels can be determined from Equations (1) and (2) and the associated Figure 2, where H is the drop height and C is the rebound coefficient (1,0 for no rebound, 2,0 for full rebound). However, this equation does not include the strike surface effect.

Experiments with different strike surface may be needed to achieve the desired peak value and duration.

$$A(t) = A_0 \sin\left(\frac{\pi t}{t_w}\right) \quad (1)$$

$$\sqrt{2gH} = A_0 \sin\left(\frac{2A_0 t_w}{C\pi}\right) \quad (2)$$



IEC 002/08

Figure 2 – Typical shock test half-sine pulse graphic and formulae

Once the specified drop parameters (acceleration level, duration and pulse shape) are achieved, the PCB response acceleration and strain shall be measured. The strain rate shall also be calculated by dividing the change in strain value by the time interval during which this change occurred. The characterized board response (acceleration, strain and strain rate) and its variation shall be documented and provided with the test data. Although it is recommended that this characterization be performed for previously untested components, this may not be required if such characterization data are available for a similar sized component.

5.3 Drop testing

With test parameters adjusted and PCB response characterized, the PCB assemblies shall be prepared for drop testing. This involves soldering cables to the plated through holes on one end of the board, mounting the board on the drop fixture with components facing down, and connecting cables to the event detector/data logger. Since the dynamic response of the board can be affected by the mass and stiffening of the connector, it is recommended that no connectors are used and wires are directly soldered to the board.

The event detector's threshold resistance shall be set to no more than 1 000 Ω . Proper strain relief should also be provided to cables/wires to avoid a failure at wires to board interconnects. All cables shall be cleared from the drop path. The initial resistance of all nets for each assembly shall be measured and logged before conducting the first drop. The drop test shall be conducted by releasing the drop table from the pre-established height. The electrical resistance of each net shall be measured in situ during each drop and all failures shall be logged. The board shall be dropped a required maximum number of times or until a percentage of all devices has failed, whichever is earlier. The maximum number of drops or percentage of devices failing shall be consistent with the application. The maximum number of drops shall be irrespective of single or double-sided assembly. In the event that a shock condition in addition to the required condition B is used to conduct the test, the maximum number of drops shall be determined using the acceleration factor between the two conditions for similar sized components. This acceleration factor shall be reported with the test data.

During the test, the shock pulse shall be measured for each drop to ensure that the input pulse remains within the specified tolerance. Adjustments in drop height or replacement of strike surface shall be made if the pulse deviates from that specified.

Depending on number of components per board, Table 1 shall be used to determine the number of boards to be tested per component type.

6 Failure criteria and failure analysis

In-situ electrical monitoring of daisy chain nets for failure is required during each drop. The electrical continuity of all nets should either be detected by an event detector or by a high-speed data acquisition system. The event detector should be able to detect any intermittent discontinuity of resistance greater than 1000 Ω lasting for 1 μ s or longer. The high-speed data acquisition system should be able to measure resistance with a sampling rate of 50,000 samples per second or greater.

Depending on the monitoring system used, the failure is defined as follows:

- **event detector:** the first event of intermittent discontinuity as defined above followed by 3 additional such events during 5 subsequent drops.
- **high speed data acquisition:** the first indication of resistance value of 100 Ω or 20 % increase in resistance from the initial resistance if initial resistance is greater than 85 Ω followed by 3 additional such indications during 5 subsequent drops.

A visible partial separation of component from the test board, even without a significant increase in resistance or intermittent discontinuity, shall also be considered as a failure. This can occur if the PCB tracks come off the board with the component while maintaining electrical continuity.

As wires soldered to the board for electrical continuity test can also come off during the test, it is highly recommended that all electrical connections be checked once a failure is indicated to ensure that the failure is due to a component to board interconnection failure.

All failures after each drop shall be logged. A sufficient number of components from the test lot shall be subjected to failure analysis to determine the root cause and to identify failure mechanism. The selection of components should cover different locations on the board. Different methods and equipment, such as visual inspection, cross-section, dye and pry, chemical etching, scanning electron microscopy, and scanning acoustic tomography can be employed to determine the root cause of failure. The failure site shall be clearly identified as 'component failure', 'interconnect failure' or 'board failure'. For the purpose of this standard, the "interconnect failure" is defined as any failure

- a) on the package pad – joint interface or intermetallics,
- b) through the joint material,
- c) on the PCB pad joint interface or intermetallics.

The above criteria may always be overridden by an applicable procurement document.

Data analysis shall be conducted showing mean and standard deviation of failure data according to component groupings. Weibull and/or log normal analysis result should also be included if sufficient quantities have failed for such analyses. Because of symmetric component design and support locations, grouping (see Table 2) can be used for data analysis for boards mounted with 15 components (refer to Figure A.1).

Table 2 – Component locations for test boards

Group	Number of components in the group	Component locations on the board	Sample size	
			Side A assembly	Side B assembly
A	4	U1, U5, U11, U15	8	8
B	4	U2, U4, U12, U14	8	8
C	2	U6, U10	4	4
D	2	U7, U9	4	4
E	2	U3, U13	4	4
F	1	U8	2	2

Failure data for components in group E and F can also be combined into one group as the PCB curvature underneath these components is expected to be very similar during the fundamental mode of vibration, as shown in Figure 3. The fundamental mode results in maximum displacements and is typically most damaging. Similarly, a larger group containing components in groups B and D may also exist. It is recommended first to analyse the component reliability data at individual locations without assuming any grouping. The failure data can only be pooled together when they have been proved to be statistically equivalent.

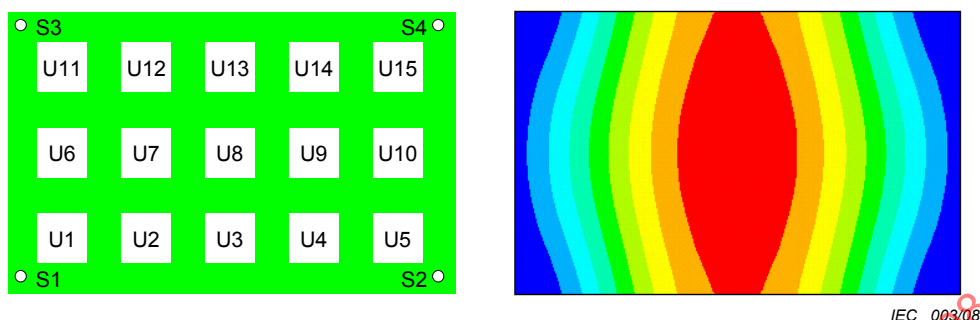


Figure 3 – Fundamental mode of vibration of PCB supported with four screws

For the cases where component design is not symmetric about the X- and Y-axis, the above grouping may not work. This may require additional boards to be tested to achieve the sample sizes given above.

7 Summary

All test reports shall include the following information:

- a) Package and PCB assembly weight.
- b) Package geometrical details including body size, lead size, ball size, layer thickness and die size.
- c) Package materials including mould compound, die attach, substrate.
- d) Board geometry, material and material properties such as thickness, pad size, modulus and T_g .
- e) Board assembly details including stencil thickness, apertures, stencil material, solder alloy and paste, reflow profile and other board assembly process details.
- f) Test details: drop height, strike surface, shock pulse profile.
- g) Board response (acceleration, strain and strain rate).
- h) Initial resistance of daisy chain nets.
- i) Failure detection equipment and failure criteria.
- j) Test results including the number of drops to failure for each location on each test board, failure mechanisms and representative pictures.
- k) Data analysis showing mean and standard deviation of failure data according to component groupings.

Annex A (informative)

Preferred board construction, material, design and layout

A.1 Preferred board construction, material and design

The preferred test board should use built-up multilayer technology incorporating microvias using 1+6+1 stack-up. This is recommended because typical PCB assemblies used in handheld electronic systems are constructed using high density, build-up technology. The test board should have a nominal thickness of 1,0 mm. Table A.1 provides the thickness, copper coverage and material for each layer. The dielectric materials should meet the mechanical properties requirements given in Table A.2. The PCB should have organic solderability preservatives (OSP) as surface finish to avoid any copper oxidation before component mounting. The glass transition temperature, T_g , of each dielectric material, as well as of the composite board, should be 125 °C or greater. The modulus and T_g of the dielectric materials should be specified. The composite values (modulus and T_g) should be measured on at least one representative test board at the component mounting location. The boards should be symmetrical in construction about the mid-plane of the board, except for the minor differences in the top and bottom two layers.

Table A.1 – Test board stack-up and material

Board layer	Thickness μm	Copper coverage %	Material
Solder mask	20		LPI ^a
Layer 1	35	Pads + tracks	Copper
Dielectric 1-2	65		RCC ^b
Layer 2	35	40 % including daisy chain links	Copper
Dielectric 2-3	130		FR4
Layer 3	18	70 %	Copper
Dielectric 3-4	130		FR4
Layer 4	18	70 %	Copper
Dielectric 4-5	130		FR4
Layer 5	18	70 %	Copper
Dielectric 5-6	130		FR4
Layer 6	18	70 %	Copper
Dielectric 6-7	130		FR4
Layer 7	35	40 %	Copper
Dielectric 7-8	65		RCC ^b
Layer 8	35	Pads + tracks + daisy chain links	Copper
Solder mask	20		LPI ^a
^a Liquid photo-imageable.			
^b Resin-coated copper.			

Table A.2 – Mechanical property requirements for dielectric materials

Property	Unit	FR4	RCC
Tensile strength	MPa	>100	>50
Tensile modulus	GPa	20 ± 2	2 ± 1
Tensile elongation	%	>3	>3
In-plane CTE (below T_g)	ppm/°C	15 ± 2	60 to 80
T_g	°C	>130	>130
Cu peel	N/mm	>1	>1

Since a typical product board may have a combination of microvias in pad and no vias in pad for area array packages for routing purposes, it is required that such components (BGAs, CSPs, etc.) be tested on boards with both microvia and non-microvia PCB pads. This should be accomplished by designing double-sided boards with mirror component footprints on each side (top and bottom) of the board. The board side A should have microvias in pads (“via in pad”) on all component mounting pads while the board side B should have no microvias in pads (“no via in pads”). For board side A, the microvias in pads should be created with laser ablation with a via diameter of 110 µm. The vias should then be plated resulting in straight or near straight walls. The capture pad diameter should be at least 220 µm. Although two-sided boards should be designed, the component should only be mounted on one side at a time, resulting in two, single-sided assemblies (“side A assembly” and “side B assembly”), unless the component is anticipated for use in mirror-sided board assemblies. In that case, the components should be mounted on each side of the board.

As perimeter-leaded devices do not typically require microvia in pad, the test board for such devices (TSOP, quad flat pack, etc.) does not need to include microvias. The board should still be designed as double-sided with footprint of similar sized components on each side.

Although daisy-chain nets will typically not require plated-through holes (PTH) other than those required for manual probe pads and connectors, the test board should contain PTH in the component region (1,2 × the area covered by component) to approximate the mechanical effect of vias on actual application boards.

It is recommended that there should be 20 plated-through holes per square centimetre in the component region. The actual location and distribution of plated-through holes will depend on component size and I/O. The through holes should have a drill diameter of 300 µm and a finished plated hole diameter of 250 µm. The PTH pad diameters should measure 550 µm for the outer layer and 600 µm for the inner layers. It is recommended that the component mounting pads on the PCB be designed in accordance with the specification in Table A.3 for area array devices. The pad design for leaded and perimeter I/O devices should be in accordance with relevant national or international guidelines. All component attachment pads should be non-solder-mask-defined (NSMD) with solder mask clearance of 75 µm between the edge of the pad and the edge of solder mask. A smaller clearance can be used, as long as it does not cause any solder mask encroachment on pads due to mis-registrations.

Solder mask registration tolerance should not exceed 50 µm.

Table A.3 – Recommended test board pad sizes and solder mask openings

Component I/O pitch mm	PCB pad diameter mm	Solder mask opening mm
0,50	0,28	0,43
0,65	0,30	0,45
0,75 to 0,80	0,35	0,50
1,00	0,45	0,60

The track widths on the suggested test board should be 75 µm within the component area. This includes all tracks making contact with solder joint interconnect as well as with all internal layers. A track width of 100 µm should be used for all tracks outside of the component region. The board should have a matching daisy chain pattern such that one or multiple nets are formed through all interconnects after component mounting. Wherever necessary, additional test points within each net may be incorporated for failure location identification. Each additional test point should be clearly labelled using the row column format of the package. All routing and tracks within and just outside the component footprint should be done on layer 2 and layer 8 for area array packages and layer 1 and layer 8 for perimeter leaded packages.

The suggested test board should have component mounting features such as Pin 1 identification and global/local fiducials.

A.2 Preferred test board size, layout, and component locations

The board footprint and layout are shown in Figure A.1. The overall board size should be 132 mm × 77 mm such that it can accommodate up to 15 components of the same type in a 3 row by 5 column format. The preferred maximum component size is 15 mm in length or width and there should be at least a 5 mm and 8 mm gap between the components in X- and Y-direction, respectively. If larger components, up to 18 mm in length or width, are tested using this method, the gap between components cannot be less than 2 mm. All 15 sites on each side of the board (top and bottom) should have the same component footprint.

A “common” footprint for multiple components can also be used if daisy chain requirements, as specified in 5.2, are met. For example, a 9 × 9 pad array can be designed to accommodate suitably designed daisy chain components with 8 × 8, 7 × 7, 8 × 9, or any other ball array combination. However, a mix of different component sizes and styles should not be used on the same board, as this will affect the dynamic response of the board, making the results difficult to analyze. There should be four holes on the board to be used for mounting board on drop test fixture. The locations of these holes are shown in Figure A.1. All components should be located within the 95 mm × 61 mm box (shown by the dashed line in Figure A.1) defined by the outer edges of all outer components. The outer edges of out side components (U1 through U6 and U10 through U15) should align with the boundary of this box, guaranteeing a fixed diagonal distance of 4 mm between the outer edge of the screw head and the component's corner closest to the screw head (components U1, U3, U5, U11, U13, and U15) irrespective of component size. The X, Y location of the centre of each component location is listed in Table A.4, using the centre of the lower, left screw hole as datum.

The area of the board in the length direction outside of the components should be restricted for labelling, through holes, edge fingers, and any other fixtures, if needed. Plated-through holes or edge fingers should be provided on each end of the board for soldering wires, one for each side (top and bottom) of the board.

132

8,54

105

13,5

5

U11A

U12A

U13A

U14A

U15A

U6A

U7A

U8A

U9A

U10A

8

71

77

2,54

PIN 1

2,54

U1A

U2A

U3A

U4A

U5A

15

15

5

5

Ø3,2

Ø6

Full PDF of IEC 60749-37:2008

IEC 004/08

Figure A.1 – Recommended test board size and layout

Table A.4 – X and Y locations for component's centre

Component ID	X location of component centre mm	Y location of component centre mm
U1	$5 + L_c/2$	$5 + W_c/2$
U2	$28,75 + L_c/4$	$5 + W_c/2$
U3	52,5	$5 + W_c/2$
U4	$76,25 - L_c/4$	$5 + W_c/2$
U5	$100 - L_c/2$	$5 + W_c/2$
U6	$5 + L_c/2$	35,5
U7	$28,75 + L_c/4$	35,5
U8	52,5	35,5
U9	$76,25 - L_c/4$	35,5
U10	$100 - L_c/2$	35,5
U11	$5 + L_c/2$	$66 - W_c/2$
U12	$28,75 + L_c/4$	$66 - W_c/2$
U13	52,5	$66 - W_c/2$
U14	$76,25 - L_c/4$	$66 - W_c/2$
U15	$100 - L_c/2$	$66 - W_c/2$

L_c and W_c = component length and width.

NOTE Centre of lower left screw hole as datum.

Bibliography

IEC 60749-40, *Semiconductor devices – Mechanical and climatic test methods – Part 40: Board level drop test method using strain gauges*³

IECNORM.COM : Click to view the full PDF of IEC 60749-37:2008

³ Under consideration.

SOMMAIRE

AVANT-PROPOS	21
INTRODUCTION	23
1 Domaine d'application et objet	24
2 Références normatives	24
3 Termes et définitions	25
4 Appareillage d'essai et composants d'essai	26
4.1 Appareillage d'essai	26
4.2 Composants d'essai	26
4.3 Carte d'essai	26
4.4 Assemblage de cartes d'essai	26
4.5 Nombre de composants et nombre d'échantillons	27
5 Procédure d'essai	28
5.1 Matériels et paramètres d'essai	28
5.2 Caractérisation de pré-essai	29
5.3 Essai de chute	30
6 Critères de défaillances et analyse de défaillances	31
7 Résumé	33
Annexe A (informative) Construction, matériau, conception et disposition de la carte privilégiée	34
Bibliographie	39
Figure 1 – Appareillage d'essai de chute typique et schéma de montage pour la carte à circuit imprimé équipée	28
Figure 2 – Graphique et formules de l'impulsion semi-sinusoïdale de l'essai de choc typique	30
Figure 3 – Mode fondamental de vibrations de la PCB maintenue par quatre vis	32
Figure A.1 – Taille et disposition recommandées de la carte d'essai	37
Tableau 1 – Quantité de cartes d'essai et de composants exigés pour les essais	27
Tableau 2 – Emplacements de composants pour les cartes d'essai	32
Tableau A.1 – Empilement et matériau pour la carte d'essai	34
Tableau A.2 – Exigences de propriétés mécaniques pour matériaux diélectriques	35
Tableau A.3 – Tailles de pastilles de cartes d'essai et ouvertures d'épargne de brasage recommandées	36
Tableau A.4 – Emplacements X, Y pour le centre des composants	38

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**DISPOSITIFS À SEMICONDUCTEURS –
MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –****Partie 37: Méthode d'essai de chute au niveau de la carte
avec utilisation d'un accéléromètre**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI n'a prévu aucune procédure de marquage valant indication d'approbation et n'engage pas sa responsabilité pour les équipements déclarés conformes à une de ses Publications.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60749-37 a été établie par le comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

La présente norme annule et remplace la CEI/PAS 62050 publiée en 2004. Cette première édition constitue une révision technique.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47/1937/FDIS	47/1948/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Une liste de toutes les parties de la série CEI 60749, présentée sous le titre général *Dispositifs à semiconducteurs – Méthodes d'essai mécaniques et climatiques*, peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de maintenance indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

IECNORM.COM : Click to view the full PDF of IEC 60749-37:2008

INTRODUCTION

Les produits électroniques portatifs s'adaptent aux segments du marché de consommation et des portables. Les produits électroniques portatifs comprennent les appareils photo, les calculatrices, les téléphones cellulaires, les téléphones sans fils, les appareils de messagerie, les PC en format de poche, les cartes des l'association internationale pour la carte à mémoire pour ordinateur personnel (PCMCIA), les cartes à puce intelligentes, les assistants personnels numériques (« PDAs » en anglais) et les autres produits électroniques que l'on peut ranger de manière pratique dans la poche et utiliser en le tenant dans la main.

Ces produits électroniques portatifs sont davantage sujets à une chute au cours de leur durée de vie utile du fait de leur taille et de leur poids. Cet événement de chute peut non seulement provoquer des défaillances mécaniques dans le boîtier du dispositif, mais aussi créer des défaillances électriques aux cartes de circuit imprimé (PCB) équipées montées à l'intérieur du boîtier, en raison du transfert d'énergie à travers les supports PCB. Les défaillances électriques peuvent résulter de divers modes de défaillances tels que les craquelures de la carte de circuit imprimé, les craquelures de pistes sur la carte, les craquelures des interconnexions soudées entre les composants et la carte et les fissures de composants. Ce qui motive essentiellement ces défaillances est la flexion excessive de la carte de circuit imprimé en raison de l'accélération produite sur la carte par la chute du produit électronique portatif. Cette flexion de la carte provoque un mouvement relatif entre la carte et les composants montés sur celle-ci, donnant lieu à des défaillances de composants, d'interconnexion ou de carte. La défaillance est fonction de la combinaison de la conception de la carte, de sa construction, de son matériau, de son épaisseur et de sa finition de surface; du matériau d'interconnexion et dimension des supports de la carte et de la taille des composants.

La corrélation entre les conditions d'essai et sur site n'est pas encore totalement établie. En conséquence, la procédure d'essai est actuellement plus appropriée pour une performance relative de composants que pour une utilisation en tant que critère d'acceptation/de refus. Plus exactement, il convient d'utiliser les résultats pour accroître les données existantes ou établir une ligne de base en vue d'efforts d'investigation potentiels dans les technologies de boîtiers/cartes.

La comparabilité entre les différents sites d'essai, méthodes d'acquisition de données et fabricants de cartes n'a pas encore été totalement démontrée par les données existantes. Par conséquent, si les données doivent être utilisées pour une comparaison directe de performance de composants, il faut que des études adaptées soient d'abord réalisées pour prouver que les données sont en fait comparables à travers les différents sites d'essai et conditions d'essai.

Cette méthode n'est pas destinée à remplacer les essais de caractérisation complète qui pourraient incorporer des nombres d'échantillons beaucoup plus grands et un nombre accru de chutes. En raison du nombre d'échantillons limité et du nombre de chutes limité spécifiés ici, il est possible que des données de défaillances suffisantes ne puissent pas être produites dans chaque cas pour réaliser l'analyse statistique complète.

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

Partie 37: Méthode d'essai de chute au niveau de la carte avec utilisation d'un accéléromètre

1 Domaine d'application et objet

La présente partie de la CEI 60749 fournit une méthode d'essai destinée à évaluer et comparer la performance de chute des composants à montage en surface dans des applications de produits électroniques portatifs dans un environnement d'essai accéléré, où une flexion excessive d'une carte de circuit imprimé provoque une défaillance de produit. Le but est de normaliser la carte d'essai et la méthodologie d'essai pour fournir une évaluation reproductible de la performance d'essai de chute des composants à montage en surface, en reproduisant les mêmes modes de défaillances que ceux observés normalement au cours d'un essai au niveau du produit.

L'objet de cette norme est de prescrire une méthode d'essai normalisée et une procédure de rapport. Il ne s'agit pas d'un essai d'homologation de composants et il n'est pas destiné à remplacer un essai de chute au niveau système qui peut être nécessaire pour homologuer un produit électronique portatif spécifique. La norme n'est pas prévue pour couvrir l'essai de chute requis pour simuler les chocs liés au transport et à la manipulation de composants électroniques ou des cartes à circuit imprimé équipées. Ces exigences sont déjà abordées dans des méthodes d'essai telles que celles de la CEI 60749-10. La méthode est applicable tant aux boîtiers à montage en surface en groupement bidimensionnel qu'aux sorties placées au périmètre du composant.

Cette méthode d'essai utilise un accéléromètre pour mesurer la durée des chocs mécaniques et l'amplitude appliquée qui est proportionnelle à la contrainte sur un composant donné monté sur une carte normalisée. La méthode d'essai décrite dans la future CEI 60749-40¹ utilise une jauge de contrainte pour mesurer la contrainte et le taux de contrainte d'une carte au voisinage d'un composant. La spécification particulière indique quelle procédure est à utiliser.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60749-10:2002, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 10: Chocs mécaniques*

CEI 60749-20, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 20: Résistance des CMS à boîtier plastique à l'effet combiné de l'humidité et de la chaleur de soudage*

CEI 60749-20-1, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 20-1: Manipulation, emballage, étiquetage et transport des composants pour montage en surface sensibles à l'effet combiné de l'humidité et de la fusion*²

¹ A l'étude.

² En préparation.

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

3.1

composant

dispositif à semiconducteurs encapsulé (sous boîtier)

3.2

carte de circuit imprimé équipée simple face

carte de circuit imprimé équipée dont les composants sont montés sur un seul côté de la carte

3.3

carte de circuit imprimé équipée double face

carte de circuit imprimé équipée dont les composants sont montés sur les faces supérieure et inférieure de la carte

3.4

produit électronique portable

produit que l'on peut ranger de manière pratique dans une poche (de taille suffisante) et utiliser en le tenant dans la main

NOTE Les produits électroniques portatifs comprennent les appareils photo, les calculatrices, les téléphones cellulaires, les appareils de messagerie, les PC tenant dans la paume de la main (précédemment appelés « organisateurs de poche », les cartes de l'association internationale pour la carte à mémoire pour ordinateur personnel (PCMCIA), les cartes à puce intelligentes, les téléphones mobiles, les assistants personnels numériques (PDA) et autres dispositifs de communication.

3.5

accélération maximale

accélération maximale au cours du mouvement dynamique de l'appareillage d'essai

3.6

durée d'impulsion

intervalle d'accélération

intervalle de temps entre l'instant où l'accélération atteint en premier lieu 10 % de son niveau de crête spécifié et l'instant où l'accélération revient pour la première fois à 10 % du niveau de crête spécifié après avoir atteint ce niveau de crête

3.7

hauteur de chute d'une table de chute

hauteur de chute libre de la table de chute nécessaire pour atteindre l'accélération de crête et la durée d'impulsion prescrites

3.8

événement

discontinuité électrique de résistance supérieure à 1 000 Ω d'une durée de 1 μ s ou supérieure

3.9

détecteur d'événement

appareil de contrôle de la continuité capable de détecter la discontinuité électrique de résistance supérieure à 1 000 Ω d'une durée de 1 μ s ou supérieure

4 Appareillage d'essai et composants d'essai

4.1 Appareillage d'essai

L'appareillage d'essai de chocs doit être capable de procurer des impulsions de choc jusqu'à une accélération de crête de $2\,900\text{ m}\cdot\text{s}^{-2}$ avec une durée d'impulsion comprise entre 0,3 ms et 8,0 ms au corps du dispositif et une variation de la vitesse de $710\text{ mm}\cdot\text{s}^{-1}$ à $5\,430\text{ mm}\cdot\text{s}^{-1}$.

L'impulsion d'accélération doit être une forme d'onde semi-sinusoïdale avec un écart admissible par rapport au niveau d'accélération spécifié non supérieur à $\pm 20\%$ de l'accélération de crête spécifiée. Cela est déterminé par un transducteur ayant une fréquence naturelle de 5 fois la fréquence de l'impulsion de choc établie et mesurée par l'intermédiaire d'un filtre passe-bas dont la largeur de bande représente de préférence au moins 5 fois la fréquence de l'impulsion de choc établie. Il est très important que la résonance du transducteur n'approche pas la valeur mesurée. Il convient de ne pas utiliser le filtrage à la place de bonnes pratiques de montages et procédures de mesure. La durée d'impulsion doit être mesurée entre les points à 10 % de l'accélération de crête au cours du temps de montée et à 10 % de l'accélération de crête au cours du temps de descente. Les tolérances absolues de la durée d'impulsion doivent être de $\pm 30\%$ de la durée spécifiée. Il est recommandé que la variation de la vitesse d'essai soit de $\pm 10\%$ du niveau spécifié.

4.2 Composants d'essai

Cette norme couvre tous les dispositifs à semiconducteurs sous boîtier à montage en surface en groupement bidimensionnel et à sorties localisées en périphérie de boîtier, tels que les boîtiers à billes (BGA), les boîtiers à aires de brasure (LGA), les boîtiers de taille proche de celle des puces (CSP), les boîtiers minces de faible encombrement (TSOP), et les boîtiers minces carrés sans pattes (QFN) généralement utilisés dans les produits électroniques portatifs. Il faut que tous les composants utilisés pour cet essai soient de type test à connexion en chaîne. Il convient que cette connexion en chaîne soit faite au niveau de la puce ou en établissant des liaisons de connexion en chaîne au niveau de la grille de connexion ou au niveau du matériau de base. Dans le cas de puce sans chaîne de connexion, une puce fictive mécanique doit être utilisée à l'intérieur du boîtier pour simuler la structure réelle du boîtier. Il convient que la taille et l'épaisseur de la puce soient analogues à la taille fonctionnelle de la puce à utiliser dans l'application. Les matériaux, les dimensions et les processus d'assemblage du composant doivent être représentatifs du dispositif de production typique.

4.3 Carte d'essai

Sachant que la performance d'essai de chute dépend de la carte d'essai utilisée pour l'évaluation, cette norme décrit une construction, des dimensions et un matériau de carte d'essai préférentiels qui sont représentatifs de ceux utilisés dans les produits électroniques portatifs. Si un autre matériau ou une autre construction représente mieux une application spécifique, il convient de documenter la construction, les dimensions et le matériau de la carte d'essai. Les données d'essai générées en utilisant une telle carte doivent être corrélées au moins une fois en générant les mêmes données sur le même composant en utilisant la carte privilégiée définie dans ce document (voir les recommandations de l'Annexe A).

4.4 Assemblage de cartes d'essai

Avant l'assemblage des cartes, tous les dispositifs doivent être examinés pour détecter des billes manquantes ou des connexions pliées. L'épaisseur de la carte, le gauchissement et les tailles des puces doivent également être mesurés en utilisant un plan d'échantillonnage. Un examen visuel doit être réalisé sur toutes les cartes pour le positionnement du vernis épargne, la contamination et la connexion en chaîne. Il est recommandé d'examiner et d'accepter les cartes conformément à une norme nationale ou internationale appropriée. Une carte doit également être utilisée pour mesurer les propriétés mécaniques (module et température de transition vitreuse, T_g) de la carte à l'emplacement du composant en utilisant des méthodes d'analyse mécanique dynamique (DMA) et d'analyse thermomécanique (TMA). Il est hautement recommandé de mesurer aussi le coefficient de dilatation thermique (CTE)

de la carte dans les sens X, Y, et Z. Les mesures des propriétés mécaniques ne sont pas exigées pour chaque lot de cartes, à moins qu'il ne soit intervenu un changement de processus de fabrication, de matériau ou de vendeur de lots en lots.

Les composants doivent être étuvés selon la CEI 60749-20 et la future CEI 60749-20-1 avant l'assemblage de cartes. Les cartes d'essai doivent être assemblées en utilisant les meilleures méthodes connues du processus d'assemblage des circuits imprimés, représentatives des méthodes de production. On doit utiliser au moins une carte pour régler le procédé de montage de carte tel que le dépôt de pâte à braser par impression, le positionnement de la pâte et le profil de refusion. Tous les ensembles doivent être à simple face uniquement, sauf si on prévoit une utilisation du composant dans les ensembles de cartes à face en miroir. Dans ce cas, les composants doivent être montés sur chaque face de la carte.

Un examen au rayonnement X 100 % est recommandé sur les unités assemblées pour vérifier les vides, les courts-circuits et autres anomalies. L'essai de continuité électrique doit également être réalisé sur toutes les unités montées pour détecter tout circuit ouvert ou court-circuit.

4.5 Nombre de composants et nombre d'échantillons

La conception de la carte recommandée dans l'Annexe A permet jusqu'à 15 emplacements pour le montage des composants et un montage des composants sur l'ensemble des 15 emplacements est préféré. Sachant que la performance de chute dépend de l'emplacement des composants sur la carte, les essais avec des composants montés sur 15 emplacements fourniront des informations utiles aux utilisateurs de ces données dans la disposition appropriée de la carte de leur produit. Alors que la carte est soutenue aux quatre coins, ces emplacements couvrent la courbure de la carte du cas le plus défavorable (emplacement U8), l'effet de proximité pour servir de support aux emplacements (emplacements U1, U5, U11, et U15) et divers emplacements entre les deux. En raison de diverses conceptions pour l'essai et pour les pratiques d'analyses des défaillances utilisées dans l'industrie, il est reconnu que le fait d'équiper des cartes avec les 15 emplacements peut ne pas laisser suffisamment de place entre les composants pour un grand nombre de points d'essai en vue d'identifier de manière appropriée l'emplacement exact des défaillances. De ce fait, des options sont fournies pour ne monter que 1 à 5 composants sur la carte en utilisant les emplacements suivants:

- Configurations à 1 composant: emplacement U8
- Configurations à 5 composants: emplacements U2, U4, U8, U12, et U14

Tableau 1 – Quantité de cartes d'essai et de composants exigés pour les essais

Nombre de composants par carte	Nombre de cartes		Nombre total de composants
	Assemblage face A (via de liaison dans la pastille)	Assemblage face B (pas de via de liaison dans la pastille)	
15	4	4	120
5	4	4	40
1	10	10	20

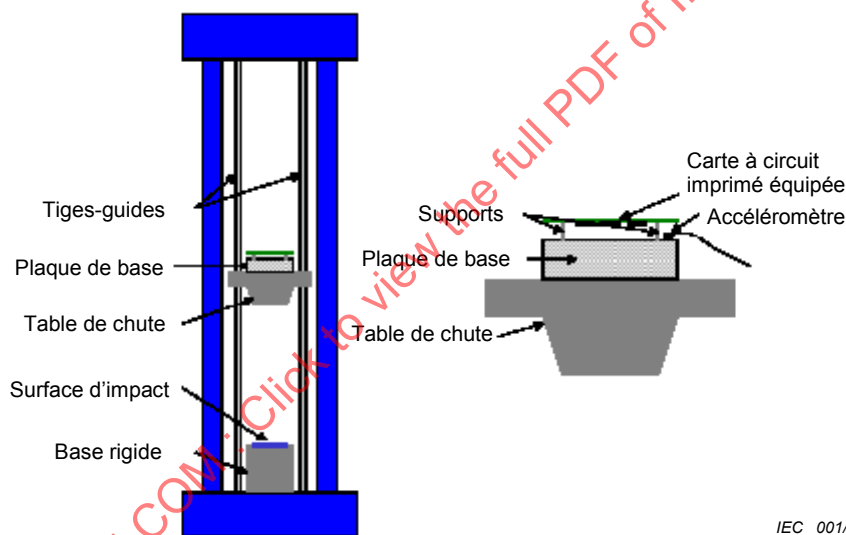
Sachant que le nombre et la taille des composants montés sur la carte peuvent influencer la réponse dynamique de la carte d'essai équipée au cours de la chute, il est exigé que des données supplémentaires soient fournies toutes les fois que l'on utilise les configurations à 1 ou à 5 composants. Les données supplémentaires doivent comparer directement l'effet du montage de composants facultatifs (1 ou 5 composants) à la configuration de montage à 15 composants privilégiée. Cette comparaison doit être fournie pour un composant similaire du point de vue de la taille (de l'ordre de 20 % tant en longueur qu'en largeur) au composant qui a été essayé en utilisant la configuration à 1 ou à 5 composants uniquement par carte.

En fonction du nombre de composants montés par carte, le Tableau 1 doit être utilisé pour déterminer la quantité minimale de cartes assemblées nécessaire pour les essais et le nombre total de composants à essayer. Des nombres d'échantillons supérieurs à ceux spécifiés dans le Tableau 1 peuvent être utilisés pour produire des données statistiquement suffisantes. Dans le cas de composants rectangulaires, il convient que le côté le plus long du composant une fois monté soit parallèle au côté le plus long de la carte.

5 Procédure d'essai

5.1 Matériels et paramètres d'essai

L'appareillage d'essais de chocs doit être monté sur une table robuste de laboratoire ou une base équivalente et mis à niveau avant utilisation. Des dispositifs doivent être fournis dans l'appareillage (tels qu'un mécanisme de freinage automatique) pour éliminer les rebonds et pour prévenir les chocs multiples sur la carte. La Figure 1 illustre l'appareillage d'essai de chute typique où la table de chute effectue une course descendante sur des tiges-guides et vient heurter l'installation rigide. L'installation rigide est généralement couverte d'un certain type de matériau pour obtenir les niveaux d'impulsion et d'accélération souhaités. La partie inférieure de la table de chute est habituellement légèrement arrondie pour garantir une très petite zone de contact avec la surface d'impact.



IEC 001/08

Figure 1 – Appareillage d'essai de chute typique et schéma de montage pour la carte à circuit imprimé équipée

Une plaque de base avec des supports adaptés (par exemple diamètre extérieur hexagonal 6 mm/diamètre intérieur M3 × 0,5, 10 mm de long) doit être montée de manière rigide sur la table de chute. L'épaisseur et les emplacements de montage de la plaque de base doivent être sélectionnés de sorte qu'il n'y ait aucun mouvement relatif entre la table de chute et n'importe quelle partie de la plaque de base au cours de l'essai de chute. Cette plaque servira de structure de montage pour les cartes de circuit imprimé équipées. Cela est illustré dans la Figure 1. La carte de circuit imprimé équipée doit être montée sur des supports de la plaque de base au moyen de quatre vis, une à chaque coin de la carte. La carte doit être montée au moyen de quatre vis à épaulement de précision adaptées (telles que M3 × 0,5). Les données d'essai suggèrent que les variations de l'accélération de la réponse et de la contrainte sont réduites de manière significative en fonction du choix des vis. Etant donné que la longueur d'épaulement est nominale, il convient de placer un certain nombre de rondelles entre la tête de vis et la surface supérieure de la carte (épaisseur de 1,0 mm nominale) pour éviter tout espace entre la partie supérieure des supports et la surface inférieure de la carte. Du fait de l'empilage de tolérance, un petit espace est toutefois

possible mais celui-ci ne doit pas dépasser 50 μm . L'utilisation de vis à épaulement élimine la nécessité de resserrer les vis entre les chutes. Les vis doivent être serrées selon un schéma diagonal dans l'ordre des coins SO, NE, SE et NO de la carte. La vis doit être serrée jusqu'à ce que l'épaulement de la vis atteigne son plus bas niveau en se plaçant contre le support. Le nombre de rondelles utilisées doit être le même pour l'ensemble des quatre vis. Un gabarit adapté pour la carte peut être utilisé à la place du montage de la carte directement sur la plaque.

L'expérience avec différentes orientations de carte suggère que l'orientation horizontale de la carte dont les composants sont orientés vers le bas donne lieu à une flexion maximale de la carte (PCB) et, de ce fait, à l'orientation la plus défavorable pour les défaillances. Par conséquent, cette norme exige que la carte adopte une orientation horizontale et que les composants soient orientés vers le bas au cours de l'essai. L'essai de chute selon une autre orientation de carte n'est pas exigé mais peut être réalisé si on le juge nécessaire. Cependant, il s'agit d'une option d'essai additionnelle qui ne remplace pas l'essai dans l'orientation exigée.

La présente norme nécessite la condition d'essai B ($1\,500\text{ m}\cdot\text{s}^{-2}$, 0,5 ms de durée, impulsion semi-sinusoïdale), comme l'indique la CEI 60749-10, Tableau 1, comme l'impulsion de choc en entrée sur l'assemblage de circuits imprimés. Il s'agit de l'impulsion de choc appliquée à la plaque de base et elle doit être mesurée par l'accéléromètre monté au centre de la plaque de base ou à proximité des montants supports de la carte. D'autres conditions de choc, telles que celles de $2\,900\text{ m}\cdot\text{s}^{-2}$, 0,3 ms de durée, en plus de la condition requise, peuvent également être utilisées.

5.2 Caractérisation de pré-essai

Une carte pour les réglages, avec les composants montés, doit être utilisée pour régler et caractériser les paramètres d'essai de chute et la réaction de la carte. Il convient de fixer un accéléromètre léger à l'aide de cire d'abeille (ou d'adhésif équivalent) sur la partie supérieure du composant situé en position U8 pour caractériser la réponse d'accélération en sortie de la carte à circuit imprimé équipée. Cependant, il convient de noter que toute masse additionnelle ajoute un poids dynamique significatif à la carte et est susceptible de modifier la réponse dynamique. Pour cette raison, il est recommandé que cette caractérisation soit uniquement effectuée sur une carte destinée aux réglages. En outre, une jauge de contrainte en rosette rectangulaire de 45° doit être montée sur cette carte de réglages à la position U8 sur l'autre face (sans composants) de la carte pour caractériser les contraintes dans les sens X et Y ainsi que la contrainte principale et l'angle de contrainte principale. Tant l'accéléromètre que la jauge de contrainte doivent être connectés à un système d'acquisition de données capable d'effectuer la mesure à une fréquence de balayage d'au moins 20 kHz avec une largeur de signal de 16 bits. Des jauges de contrainte supplémentaires peuvent également être montées en différents emplacements de la carte pour caractériser pleinement la réponse de contrainte de l'assemblage.

La carte équipée doit ensuite être montée sur le dispositif d'essai de chute au moyen de quatre vis. Les vis doivent être serrées selon un schéma diagonal dans l'ordre des coins SO, NE, SE et NO de la carte. Un accéléromètre supplémentaire peut également être monté sur la carte équipée au niveau ou à proximité d'un des emplacements de support pour s'assurer que l'impulsion en entrée sur la plaque de base est transmise à la PCB sans aucune distorsion. La table de chute doit ensuite être élevée jusqu'à la hauteur requise pour remplir la condition d'essai B du Tableau 1 de la CEI 60749-10 et ensuite lâchée sur la surface d'impact en mesurant le niveau G, durée d'impulsion et forme d'impulsion.

Des chutes multiples pourraient être exigées en réglant la hauteur de chute et la surface d'impact pour obtenir les niveaux d'accélération spécifiés et la durée d'impulsion ($1\,500\text{ m}\cdot\text{s}^{-2}$, 0,5 ms impulsion semi-sinusoïdale). Il convient de noter que le pic d'accélération et la durée d'impulsion dépendent non seulement de la hauteur de chute mais aussi de la surface d'impact. En fonction de la surface d'impact, la même hauteur de chute peut donner lieu à différents niveaux d'accélération et durées d'impulsion. Théoriquement, la hauteur de chute nécessaire pour obtenir les niveaux d'accélération appropriés peut être déterminée par les

Equations (1) et (2) et la Figure 2 associée, où H est la hauteur de chute et C est le coefficient de rebond (1,0 pour absence de rebond, 2,0 pour un rebond complet). Cependant, cette équation n'inclut pas l'effet de la surface d'impact.

Des expériences avec différentes surfaces d'impact peuvent être nécessaires pour obtenir la valeur de crête et la durée souhaitées.

$$A(t) = A_0 \sin \left(\frac{\pi t}{t_w} \right) \quad (1)$$

$$\sqrt{2 g H} = A_0 \sin \left(\frac{2 A_0 t_w}{C \pi} \right) \quad (2)$$

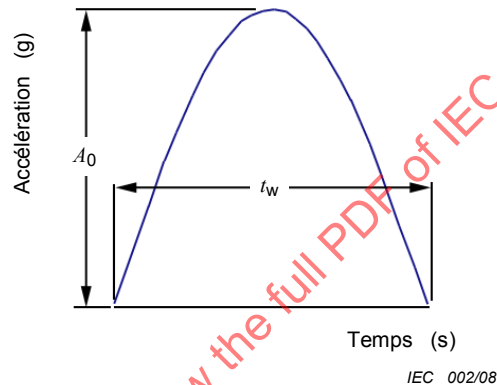


Figure 2 – Graphique et formules de l'impulsion semi-sinusoidale de l'essai de choc typique

Une fois que les paramètres de chute spécifiés sont obtenus (niveau d'accélération, durée, et forme d'impulsion), l'accélération de réponse et la contrainte de la carte (PCB) doivent être mesurées. Le taux de contrainte doit également être calculé en divisant la variation de la valeur de contrainte par l'intervalle de temps au cours duquel cette variation a eu lieu. La réponse caractérisée de la carte (accélération, contrainte et taux de contrainte) et sa variation doivent être documentées et fournies avec les données d'essai. Bien qu'il soit recommandé que cette caractérisation soit réalisée pour des composants non préalablement essayés, on peut ne pas l'exiger si de telles données de caractérisation sont disponibles pour un composant de taille analogue.

5.3 Essai de chute

En réglant les paramètres d'essai et caractérisant la réponse de la carte (PCB), les cartes à circuit imprimé équipées doivent être préparées en vue de l'essai de chute. Cela implique le soudage de câbles aux trous métallisés à une extrémité de la carte, le montage de la carte sur le dispositif de chute en orientant les composants vers le bas et le raccordement des câbles au détecteur d'événements/à l'enregistreur de données. Sachant que la réponse dynamique de la carte peut être affectée par la masse et le raidissement du connecteur, il est recommandé qu'aucun connecteur ne soit utilisé et que les fils soient directement soudés à la carte.

La résistance de seuil du détecteur d'événements doit être réglée à une valeur inférieure à 1 000 Ω . Il convient de fournir également un serre-câble approprié aux câbles/fils pour éviter une défaillance au niveau des fils pour les interconnexions sur la carte. Tous les câbles doivent être dégagés du trajet de la chute. La résistance initiale de tous les fils pour chaque

ensemble doit être mesurée et enregistrée avant d'effectuer la première chute. L'essai de chute doit être réalisé en lâchant la table de chute de la hauteur préétablie. La résistance électrique de chaque fil doit être mesurée in situ au cours de chaque chute et toutes les défaillances doivent être enregistrées. La carte doit être lâchée le nombre maximal de fois requis ou jusqu'à ce que l'on atteigne un certain pourcentage de la totalité des dispositifs ne passant pas l'essai, selon ce qui se produit le plus vite. Le nombre maximal de chutes ou le pourcentage de dispositifs défectueux doit être cohérent avec l'application. Le nombre maximal de chutes doit être déterminé indépendamment de l'ensemble qu'il soit simple face ou double face. Dans le cas où l'on utilise une condition de choc en plus de la condition B exigée pendant l'essai, le nombre maximal de chutes doit être déterminé au moyen du facteur d'accélération entre les deux conditions pour des composants de tailles similaires. Ce facteur d'accélération doit être consigné avec les données d'essai.

Au cours de l'essai, l'impulsion de choc doit être mesurée pour chaque chute pour s'assurer que l'impulsion en entrée demeure dans la limite de la tolérance spécifiée. Les réglages de hauteur de chute ou le remplacement de la surface d'impact doivent être faits si l'impulsion diverge de celle qui est spécifiée.

En fonction du nombre de composants par carte, le Tableau 1 doit être utilisé pour déterminer le nombre de cartes à essayer par type de composant.

6 Critères de défaillances et analyse de défaillances

La surveillance électrique in situ des chaînes de connexions pour détecter une défaillance est exigée au cours de chaque chute. Il convient de détecter la continuité électrique de tous les réseaux soit par un détecteur d'événements soit par un système d'acquisition de données à grande vitesse. Il convient que le détecteur d'événements soit capable de détecter toute discontinuité intermittente de résistance supérieure à 1 000 Ω dont la durée est de 1 μ s ou supérieure. Il convient que le système d'acquisition de données à grande vitesse soit capable de mesurer la résistance avec un taux d'échantillonnage de 50 000 échantillons par seconde ou supérieur.

Selon le système de surveillance utilisé, la défaillance est définie comme suit:

- **détecteur d'événements**: le premier événement de discontinuité intermittente comme défini ci-dessus suivi par 3 événements supplémentaires au cours de 5 chutes suivantes.
- **acquisition de données à grande vitesse**: la première indication de valeur de résistance de 100 Ω ou 20 % d'augmentation de la résistance par rapport à la résistance initiale si la résistance initiale est supérieure à 85 Ω suivie par 3 indications supplémentaires telles au cours de 5 chutes suivantes.

Une séparation partielle visible de composant de la carte d'essai, même sans une augmentation significative de résistance ou de discontinuité intermittente doit également être considérée comme une défaillance. Cela peut se produire si les pistes de la PCB se détachent de la carte avec le composant en maintenant la continuité électrique.

Etant donné que des fils soudés à la carte pour l'essai de continuité électrique peuvent également se détacher au cours de l'essai, il est hautement recommandé que toutes les connexions électriques soient vérifiées une fois la défaillance indiquée, pour s'assurer que la défaillance est due à une défaillance d'interconnexion d'un composant sur la carte.

Toutes les défaillances doivent être enregistrées après chaque chute. Un nombre suffisant de composants du lot d'essai doit être soumis à une analyse de défaillance pour déterminer la cause première de refus et identifier le mécanisme de défaillance. Il convient que la sélection de composants couvre différents emplacements sur la carte. Différentes méthodes et différents équipements, tels que l'examen visuel, la microsection transversale, le test par colorant (« dye and pry » en anglais), la gravure chimique, la microscopie électronique à balayage et la tomographie acoustique à balayage peuvent être employés pour déterminer la cause première de la défaillance. L'emplacement de la défaillance doit être clairement

identifié comme « défaillance de composant », « défaillance d'interconnexion », ou « défaillance de la carte ». Dans le cadre de cette norme, la « défaillance d'interconnexion » est définie comme une défaillance sur

- a) la pastille de brasage du composant – joint de brasage ou composés intermétalliques,
- b) le matériau de serre-fils,
- c) les composés intermétalliques ou interface de raccord de pastille de la carte (PCB).

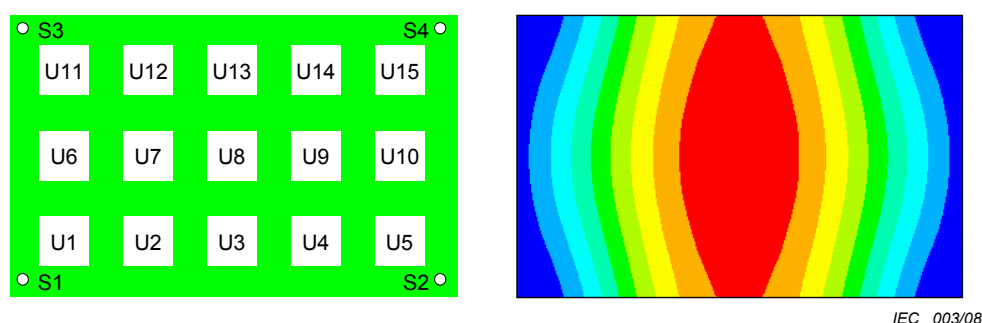
Les critères ci-dessus peuvent toujours être annulés par un document d'approvisionnement applicable.

L'analyse des données doit être conduite en montrant les valeurs d'écart moyen et type des données de défaillance selon les groupements de composants. Il convient d'inclure également les résultats de l'analyse de Weibull et/ou de l'analyse log-normale si des quantités suffisantes ont échoué pour de telles analyses. Du fait d'emplacements de support et d'une conception de composants symétriques, le groupement (voir le Tableau 2) peut être utilisé pour l'analyse de données pour des cartes montées avec 15 composants (se référer à la Figure A.1).

Tableau 2 – Emplacements de composants pour les cartes d'essai

Groupe	Nombre de composants dans le groupe	Emplacements des composants sur la carte	Nombre d'échantillons	
			Assemblage face A	Assemblage face B
A	4	U1, U5, U11, U15	8	8
B	4	U2, U4, U12, U14	8	8
C	2	U6, U10	4	4
D	2	U7, U9	4	4
E	2	U3, U13	4	4
F	1	U8	2	2

Les données de défaillances pour les composants des groupes E et F peuvent également être combinées en un groupe car on s'attend à ce que la courbure de la carte (PCB) en dessous de ces composants soit très similaire au cours du mode fondamental de vibration, comme le montre la Figure 3. Le mode fondamental donne lieu à des déplacements maximaux et est généralement très préjudiciable. De même, un groupe plus grand contenant des composants des groupes B et D peut également exister. Il est recommandé d'analyser d'abord les données de fiabilité des composants aux emplacements individuels sans supposer aucun groupement. Les données de défaillances peuvent seulement être regroupées lorsqu'elles se sont avérées statistiquement équivalentes.



IEC 003/08

Figure 3 – Mode fondamental de vibrations de la PCB maintenue par quatre vis

Pour les cas où la conception des composants n'est pas symétrique autour des axes X et Y, le groupement ci-dessus peut ne pas fonctionner. Cela peut nécessiter des cartes supplémentaires devant être essayées pour obtenir les nombres d'échantillons indiqués ci-dessus.

7 Résumé

Tous les rapports d'essai doivent contenir les informations suivantes:

- a) Le poids du boîtier et de la carte de circuit imprimé équipée.
- b) Les détails géométriques du boîtier, y compris la taille du corps, la taille des sorties, la taille des billes, l'épaisseur des couches et la taille des pastilles.
- c) Les matériaux du boîtier, y compris le composé de moulage, la fixation de la pastille, le matériau de base du boîtier (substrat, grille).
- d) La géométrie de la carte, le matériau et ses propriétés telles que l'épaisseur, la taille des pastilles, le module et T_g .
- e) Les détails d'assemblage de carte, y compris l'épaisseur du stencil, les ouvertures, le matériau du stencil, la pâte à souder et l'alliage de soudure, le profil de refusion et autres détails de procédés d'assemblage de cartes.
- f) Les détails d'essai: hauteur de chute, surface d'impact, profil d'impulsion de choc.
- g) La réponse de la carte (accélération, contrainte et taux de contrainte).
- h) La résistance initiale des réseaux de connexions.
- i) L'équipement de détection des défaillances et les critères de défaillances.
- j) Les résultats d'essai, y compris le nombre de chutes avant défaillance pour chaque emplacement sur chaque carte d'essai, mécanismes de défaillances et images représentatives.
- k) L'analyse des données montrant les valeurs d'écart moyen et le type des données de défaillance selon les groupements de composants.