

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Mechanical and climatic test methods –
Part 26: Electrostatic discharge (ESD) sensitivity testing – Human body model
(HBM)**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques –
Partie 26: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle du
corps humain (HBM)**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2018 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 21 000 terms and definitions in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 21 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Mechanical and climatic test methods –
Part 26: Electrostatic discharge (ESD) sensitivity testing – Human body model
(HBM)**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques –
Partie 26: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle du
corps humain (HBM)**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.01

ISBN 978-2-8322-5256-7

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	5
1 Scope	7
2 Normative references	7
3 Terms and definitions	7
4 Apparatus and required equipment	10
4.1 Waveform verification equipment	10
4.2 Oscilloscope	11
4.3 Additional requirements for digital oscilloscopes	11
4.4 Current transducer (inductive current probe)	11
4.5 Evaluation loads	11
4.6 Human body model simulator	12
4.7 HBM test equipment parasitic properties	12
5 Stress test equipment qualification and routine verification	12
5.1 Overview of required HBM tester evaluations	12
5.2 Measurement procedures	13
5.2.1 Reference pin pair determination	13
5.2.2 Waveform capture with current probe	13
5.2.3 Determination of waveform parameters	14
5.2.4 High voltage discharge path test	17
5.3 HBM tester qualification	17
5.3.1 HBM ESD tester qualification requirements	17
5.3.2 HBM tester qualification procedure	17
5.4 Test fixture board qualification for socketed testers	18
5.5 Routine waveform check requirements	19
5.5.1 Standard routine waveform check description	19
5.5.2 Waveform check frequency	19
5.5.3 Alternate routine waveform capture procedure	20
5.6 High voltage discharge path check	20
5.6.1 Relay testers	20
5.6.2 Non-relay testers	20
5.7 Tester waveform records	20
5.7.1 Tester and test fixture board qualification records	20
5.7.2 Periodic waveform check records	20
5.8 Safety	21
5.8.1 Initial set-up	21
5.8.2 Training	21
5.8.3 Personnel safety	21
6 Classification procedure	21
6.1 Devices for classification	21
6.2 Parametric and functional testing	21
6.3 Device stressing	21
6.4 Pin categorization	22
6.4.1 General	22
6.4.2 No connect pins	22
6.4.3 Supply pins	23
6.4.4 Non-supply pins	23

6.5	Pin groupings.....	24
6.5.1	Supply pin groups.....	24
6.5.2	Shorted non-supply pin groups	24
6.6	Pin stress combinations	24
6.6.1	Pin stress combination categorization.....	24
6.6.2	Non-supply and supply to supply combinations (1, 2, ... N).....	26
6.6.3	Non-supply to non-supply combinations.....	27
6.7	HBM stressing with a low-parasitic simulator.....	28
6.7.1	Low-parasitic HBM simulator	28
6.7.2	Requirements for low parasitics	28
6.8	Testing after stressing	28
7	Failure criteria	28
8	Component classification.....	28
Annex A (informative)	HBM test method flow chart.....	30
Annex B (informative)	HBM test equipment parasitic properties	33
B.1	Optional trailing pulse detection equipment / apparatus	33
B.2	Optional pre-pulse voltage rise test equipment.....	34
B.3	Open-relay tester capacitance parasitics.....	36
B.4	Test to determine if an HBM simulator is a low-parasitic simulator	36
Annex C (informative)	Example of testing a product using Table 2, Table 3, or Table 2 with a two-pin HBM tester.....	38
C.1	General.....	38
C.2	Procedure A (following Table 2):	39
C.3	Alternative procedure B (following Table 3):.....	40
C.4	Alternative procedure C (following Table 2):.....	41
Annex D (informative)	Examples of coupled non-supply pin pairs.....	43
Annex E (normative)	Cloned non-supply (I/O) pin sampling test method	44
E.1	Purpose and overview.....	44
E.2	Pin sampling overview and statistical details.....	44
E.3	IC product selections	45
E.4	Randomly selecting and testing cloned I/O pins	46
E.5	Determining if sampling can be used with the supplied Excel spreadsheet.....	46
E.5.1	Using the supplied Excel spreadsheet	46
E.5.2	Without using the Excel spreadsheet	46
E.6	HBM testing with a sample of cloned I/O pins	46
E.7	Examples of testing with sampled cloned I/Os.....	47
Bibliography		50
Figure 1	– Simplified HBM simulator circuit with loads	12
Figure 2	– Current waveform through shorting wires	15
Figure 3	– Current waveform through a 500 Ω resistor	16
Figure 4	– Peak current short circuit ringing waveform.....	17
Figure A.1	– HBM test method flow chart (1 of 3)	30
Figure B.1	– Diagram of trailing pulse measurement setup.....	33
Figure B.2	– Positive stress at 4 000 V	34
Figure B.3	– Negative stress at 4 000 V	34

Figure B.4 – Illustration of measuring voltage before HBM pulse with a Zener diode or a device	35
Figure B.5 – Example of voltage rise before the HBM current pulse across a 9,4 V Zener diode	35
Figure B.6 – Diagram of a 10-pin shorting test device showing current probe.....	37
Figure C.1 – Example to demonstrate the idea of the partitioned test.....	38
Figure E.1 – SPL, V1, VM, and z with the Bell shape distribution pin failure curve	45
Figure E.2 – I/O sampling test method flow chart	49
Table 1 – Waveform specification	19
Table 2 – Preferred pin combinations sets	25
Table 3 – Alternative pin combinations sets	26
Table 4 – HBM ESD component classification levels.....	29
Table C.1 – Product testing in accordance with Table 2	40
Table C.2 – Product testing in accordance with Table 3	41
Table C.3 – Alternative product testing in accordance with Table 2.....	42

IECNORM.COM : Click to view the full PDF of IEC 60749-26:2018

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
MECHANICAL AND CLIMATIC TEST METHODS –****Part 26: Electrostatic discharge (ESD) sensitivity testing –
Human body model (HBM)**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60749-26 has been prepared by IEC technical committee 47: Semiconductor devices in collaboration with technical committee 101: Electrostatics.

This fourth edition cancels and replaces the third edition published in 2013. This edition constitutes a technical revision. This standard is based upon ANSI/ESDA/JEDEC JS-001-2014. It is used with permission of the copyright holders, ESD Association and JEDEC Solid state Technology Association.

This edition includes the following significant technical changes with respect to the previous edition:

- a) a new subclause relating to HBM stressing with a low parasitic simulator is added, together with a test to determine if an HBM simulator is a low parasitic simulator;

- b) a new subclause is added for cloned non-supply pins and a new annex is added for testing cloned non-supply pins.

The text of this International Standard is based on the following documents:

FDIS	Report on voting
47/2438/FDIS	47/2454/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 60749 series, published under the general title *Semiconductor devices – Mechanical and climatic test methods*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

SEMICONDUCTOR DEVICES – MECHANICAL AND CLIMATIC TEST METHODS –

Part 26: Electrostatic discharge (ESD) sensitivity testing – Human body model (HBM)

1 Scope

This part of IEC 60749 establishes the procedure for testing, evaluating, and classifying components and microcircuits according to their susceptibility (sensitivity) to damage or degradation by exposure to a defined human body model (HBM) electrostatic discharge (ESD).

The purpose of this document is to establish a test method that will replicate HBM failures and provide reliable, repeatable HBM ESD test results from tester to tester, regardless of component type. Repeatable data will allow accurate classifications and comparisons of HBM ESD sensitivity levels.

ESD testing of semiconductor devices is selected from this test method, the machine model (MM) test method (see IEC 60749-27) or other ESD test methods in the IEC 60749 series. Unless otherwise specified, this test method is the one selected.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

There are no normative references in this document.

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1

associated non-supply pin

non-supply pin (typically an I/O pin) associated with a supply pin group

Note 1 to entry A non-supply pin is considered to be associated with a supply pin group if either:

- a) the current from the supply pin group (i.e., VDDIO) is required for the function of the electrical circuit(s) (I/O driver) that connect(s) (high/low impedance) to that non-supply pin;
- b) a parasitic path exists between non-supply and supply pin group (e.g., open-drain type non-supply pin to a VCC supply pin group that connects to a nearby N-well guard ring).

3.2

cloned non-supply (I/O) pin

set of input, output or bidirectional pins using the same I/O cell and electrical schematic and sharing the same associated supply pin group(s) including ESD power clamp(s)

3.3

component

item such as a resistor, diode, transistor, integrated circuit or hybrid circuit

3.4

component failure

condition in which a tested component does not meet one or more specified static or dynamic data sheet parameters

3.5

coupled non-supply pin pair

two pins that have an intended direct current path (such as a pass gate or resistors, such as differential amplifier inputs, or low voltage differential signalling (LVDS) pins), including analogue and digital differential pairs and other special function pairs (e.g., D+/D-, XTALin/XTALout, RFin/RFout, TxP/TxN, RxP/RxN, CCP_DP/CCN_DN, etc.)

3.6

data sheet parameters

static and dynamic component performance data supplied by the component manufacturer or supplier

3.7

withstand voltage

highest voltage level that does not cause device failure

Note 1 to entry: The device passes all tested lower voltages (see failure window).

3.8

failure window

intermediate range of stress voltages that can induce failure in a particular device type, when the device type can pass some stress voltages both higher and lower than this range

Note 1 to entry: A component with a failure window can pass a 500 V test, fail a 1 000 V test and pass a 2 000 V test. The withstand voltage of such a device is 500 V.

3.9

human body model electrostatic discharge

HBM ESD

ESD event meeting the waveform criteria specified in this document, approximating the discharge from the fingertip of a typical human being to a grounded device

3.10

HBM ESD tester

HBM simulator

equipment that applies an HBM ESD to a component

3.11

I_{ps}

peak current value determined by the current at time t_{max} on the linear extrapolation of the exponential current decay curve, based on the current waveform data over a 40 nanosecond period beginning at t_{max}

SEE: Figure 2 a).

3.12 **I_{psmax}**

highest current value measured including the overshoot or ringing components due to internal test simulator RLC parasitics

SEE: Figure 2 a).

3.13**no connect pin**

package interconnection that is not electrically connected to a die

EXAMPLE: Pin, bump, ball interconnection.

Note 1 to entry: There are some pins which are labelled as no connect, which are actually connected to the die and should not be classified as a no connect pin.

3.14**non-socketed tester**

HBM simulator that makes contact to the device under test (DUT) pins (or balls, lands, bumps or die pads) with test probes rather than placing the DUT in a socket.

3.15**non-supply pin**

pin that is not categorized as a supply pin or no connect

Note 1 to entry This includes pins such as input, output, offset adjusts, compensation, clocks, controls, address, data, Vref pins and VPP pins on EPROM memory. Most non-supply pins transmit or receive information such as digital or analogue signals, timing, clock signals, and voltage or current reference levels.

3.16**package plane**

low impedance metal layer built into an IC package connecting a group of bumps or pins (typically power or ground)

Note 1 to entry: There may be multiple package planes (sometimes referred to as islands) for each power and ground group.

3.17**pre-pulse voltage**

voltage occurring at the device under test (DUT) just prior to the generation of the HBM current pulse

SEE: Clause B.2.

3.18**pulse generation circuit**

dual polarity pulse source circuit network that produces a human body discharge current waveform

Note 1 to entry The circuit network includes a pulse generator with its test equipment internal path up to the contact pad of the test fixture. This circuit is also referred to as dual polarity pulse source.

3.19**ringing**

high frequency oscillation superimposed on a waveform

3.20**shorted non-supply pin**

any non-supply pin (typically an I/O pin) that is metalically connected (typically $< 3 \Omega$) on the chip or within the package to another non-supply pin (or set of non-supply pins)

3.21

socketed tester

HBM simulator that makes contact to DUT pins (or balls, lands, bumps or die pads) using a DUT socket mounted on a test fixture board

3.22

spurious current pulse

small HBM shaped pulse that follows the main current pulse, and is typically defined as a percentage of I_{psmax}

3.23

step-stress hardening

ability of a component subjected to increasing ESD voltage stresses to withstand higher stress levels than a similar component not previously stressed

EXAMPLE: A component can fail at 1 000 V if subjected to a single stress, but fail at 3 000 V if stressed incrementally from 250 V.

3.24

supply pin

any pin that provides current to a circuit

Note 1 to entry: Supply pins typically transmit no information (such as digital or analogue signals, timing, clock signals, and voltage or current reference levels). For the purpose of ESD testing, power and ground pins are treated as supply pins.

3.25

test fixture board

specialized circuit board, with one or more component sockets, which connects the DUT(s) to the HBM simulator

3.26

t_{max}

time when I_{ps} is at its maximum value (I_{psmax})

SEE: Figure 2 a).

3.27

trailing current pulse

current pulse that occurs after the HBM current pulse has decayed

Note 1 to entry: A trailing current pulse is a relatively constant current often lasting for hundreds of microseconds.

SEE: Clause B.1.

3.28

two-pin HBM tester

low parasitic HBM simulator that tests DUTs in pin pairs where floating pins are not connected to the simulator thereby eliminating DUT-tester interactions from parasitic tester loading of floating pins

4 Apparatus and required equipment

4.1 Waveform verification equipment

All equipment used to evaluate the tester shall be calibrated in accordance with the manufacturer's recommendation. This includes the oscilloscope, current transducer and high voltage resistor load. Maximum time between calibrations shall be one year. Calibration shall be traceable to national or international standards.

Equipment capable of verifying the pulse waveforms defined in this standard test method includes, but is not limited to, an oscilloscope, evaluation loads and a current transducer.

4.2 Oscilloscope

A digital oscilloscope is recommended but analogue oscilloscopes are also permitted. In order to ensure accurate current waveform capture, the oscilloscope shall meet the following requirements:

- a) minimum sensitivity of 100 mA per major division when used in conjunction with the current transducer specified in 4.4;
- b) minimum bandwidth of 350 MHz;
- c) for analogue scopes, minimum writing rate of one major division per nanosecond.

4.3 Additional requirements for digital oscilloscopes

Where a digital oscilloscope is used, the following additional requirements apply:

- a) recommended channels: 2 or more;
- b) minimum sampling rate: 10^9 samples per second;
- c) minimum vertical resolution: 8-bit;
- d) minimum vertical accuracy: $\pm 2,5\%$;
- e) minimum time base accuracy: 0,01 %;
- f) minimum record length: 10^3 points.

4.4 Current transducer (inductive current probe)

- a) minimum bandwidth of 200 MHz;
- b) peak pulse capability of 12 A;
- c) rise time of less than 1 ns;
- d) capable of accepting a solid conductor as specified in 4.5;
- e) provides an output voltage per signal current as required in 4.2 (this is usually between 1 mV/mA and 5 mV/mA.);
- f) low-frequency 3 dB point below 10 kHz (e.g., Tektronix CT-2¹) for measurement of decay constant t_d (see 5.2.3.2, Table 1, and note below).

NOTE Results using a current probe with a low-frequency 3 dB point of 25 kHz (e.g., Tektronix CT-1¹) to measure decay constant t_d are acceptable if t_d is found to be between 130 ns and 165 ns.

4.5 Evaluation loads

Two evaluation loads are necessary to verify the tester functionality:

- a) Load 1: A solid 18 AWG to 24 AWG (non-US standard wire size 0,25 mm² to 0,75 mm² cross-section) tinned copper shorting wire as short as practicable to span the distance between the two farthest pins in the socket while passing through the current probe or long enough to pass through the current probe and contacted by the probes of the non-socketed tester.
- b) Load 2: A $(500 \pm 5) \Omega$, minimum 4 000 V voltage rating.

¹ Tektronix CT-1 and CT-2 are the trade names of products supplied by Tektronix, Inc.

This information is given for the convenience of users of this document and does not constitute an endorsement by IEC of the products named. Equivalent products may be used if they can be shown to lead to the same results.

4.6 Human body model simulator

A simplified schematic of the HBM simulator or tester is given in Figure 1. The performance of the tester is influenced by parasitic capacitance and inductance. Thus, construction of a tester using this schematic does not guarantee that it will provide the HBM pulse required for this document. The waveform capture procedures and requirements described in Clause 5 determine the acceptability of the equipment for use.

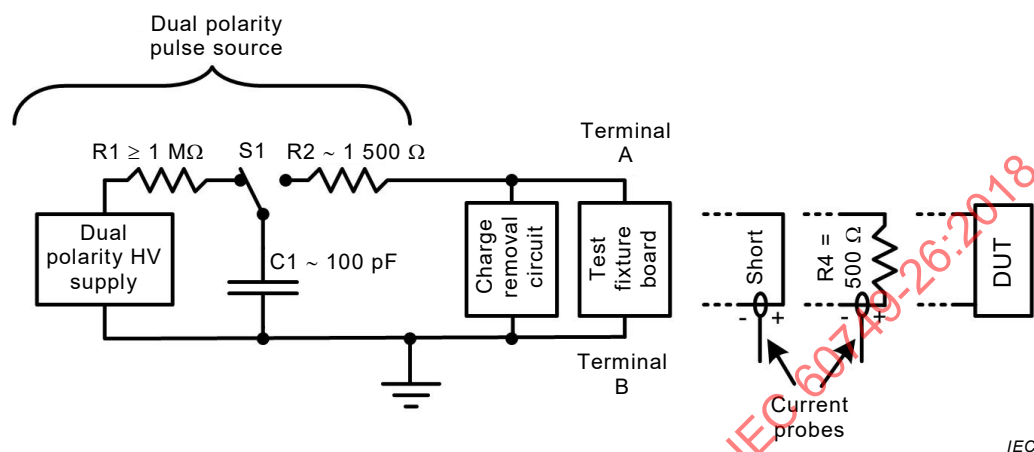


Figure 1 – Simplified HBM simulator circuit with loads

The charge removal circuit shown in Figure 1 ensures a slow discharge of the device, thus avoiding the possibility of a charged device model discharge. A simple example is a 10 kΩ or larger resistor (possibly in series with a switch) in parallel with the test fixture board. This resistor may also be useful to control parasitic pre-pulse voltages (See Annex B). The dual polarity pulse generator (source) shall be designed to avoid recharge transients and double pulses. It should be noted that reversal of terminals A and B to achieve dual polarity performance is not permitted. Stacking of DUT socket adapters (piggybacking or insertion of secondary sockets into the main test socket) is allowed only if the secondary socket waveform meets the requirements of this document defined in Table 1.

NOTE 1 The current transducers (probes) are specified in 4.4.

NOTE 2 The shorting wire (short) and 500 Ω resistor (R4) are evaluation loads specified in 4.5.

NOTE 3 Component values are nominal.

4.7 HBM test equipment parasitic properties

Some HBM simulators have been found to falsely classify HBM sensitivity levels due to parasitic artifacts or uncontrolled voltages unintentionally built into the HBM simulators. Methods for determining if these effects are present and optional mitigation techniques are described in Annex B. Two-pin HBM testers and non-socketed testers may have smaller parasitic capacitances and may reduce the effects of tester parasitics by contacting only the pins being stressed.

5 Stress test equipment qualification and routine verification

5.1 Overview of required HBM tester evaluations

The HBM tester and test fixture boards shall be qualified, re-qualified, and periodically verified as described in Clause 5. The safety precautions described in 5.8 shall be followed at all times.

5.2 Measurement procedures

5.2.1 Reference pin pair determination

The two pins of each socket on a test fixture board which make up the reference pin pair are:

- a) the socket pin with the shortest wiring path of the test fixture to the pulse generation circuit (terminal B) and
- b) the socket pin with the longest wiring path of the test fixture from the pulse generation circuit (terminal A) to the ESD stress socket (See Figure 1).

This information is typically provided by the equipment or test fixture board manufacturer. If more than one pulse generation circuit is connected to a socket then there will be more than one reference pin pair.

It is strongly recommended that on non-positive clamp fixtures, feed-through test point pads be added on these paths to allow connection of either the shorting wire or 500 Ω load resistor during waveform verification measurements. These test points should be added as close as possible to the socket(s), and if the test fixture board uses more than one pulse generator, multiple feed-through test points should be added for each pulse generator's longest and shortest paths.

NOTE A positive clamp test socket is a zero insertion force (ZIF) socket with a clamping mechanism. It allows the shorting wire to be easily clamped into the socket. Examples are dual in-line package (DIP) and pin grid array (PGA) ZIF sockets.

5.2.2 Waveform capture with current probe

5.2.2.1 General

To capture a current waveform between two socket pins (usually the reference pin pair), use the shorting wire (see 4.5, Load 1) for the short circuit measurement or the 500 Ω resistor (see 4.5, Load 2) for the 500 Ω current measurement and the inductive current probe (see 4.4).

5.2.2.2 Short circuit current waveform

Attach the shorting wire between the pins to be measured. Place the current probe around the shorting wire, as close to terminal B as practical, observing the polarity shown in Figure 1. Apply an ESD stress at the voltage and polarity needed to execute the qualification, re-qualification or periodic verification being conducted.

- a) For positive clamp sockets, insert the shorting wire between the socket pins connected to terminals A and B and hold in place by closing the clamp.
- b) For non-positive clamp sockets, attach the shorting wire between the socket pins connected to terminals A and B. If it is not possible to make contact within the socket, connect the shorting wire between the reference pin pair test points or socket mounting holes, if available. The design of the socket is important as some socket types may include contact springs (coils) in their design. These springs can add more parasitic inductance to the signal path and may affect the HBM waveform. Selecting sockets that minimize the use of springs (coils) is recommended, but if this is not possible, then keeping their length as short as possible is recommended.
- c) For non-socketed testers, place the shorting wire with the inductive current probe on an insulating surface and place the simulator terminal A and terminal B probes on the ends of the wires.

5.2.2.3 500 Ω load current waveform

Place the current probe around the 500 Ω resistor's lead, observing the polarity as shown in Figure 1. Attach the 500 Ω resistor between the pins to be measured. The current probe shall be placed around the wire between the resistor and terminal B. Apply an ESD stress at the

voltage and polarity needed to execute the qualification, re-qualification or periodic verification being conducted.

- a) For socketed testers, follow procedures according to socket type as described in 5.2.2.2.
- b) For non-socketed testers, place the test load and current probe on an insulating surface and connect the tester's probes to the ends of the test load.

5.2.3 Determination of waveform parameters

5.2.3.1 Use of waveforms

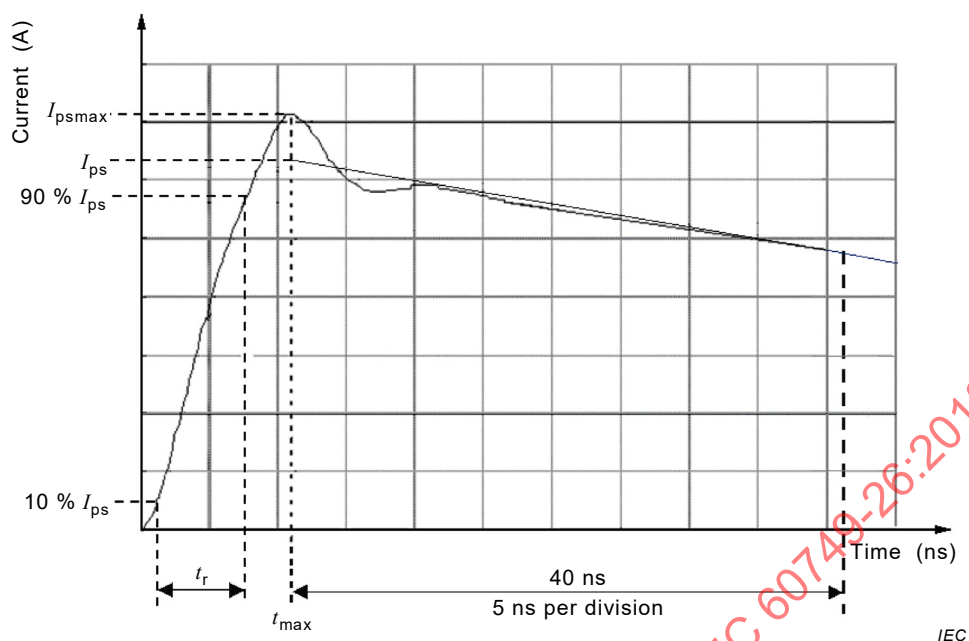
The captured waveforms are used to determine the parameter values listed in Table 1.

5.2.3.2 Short circuit waveform

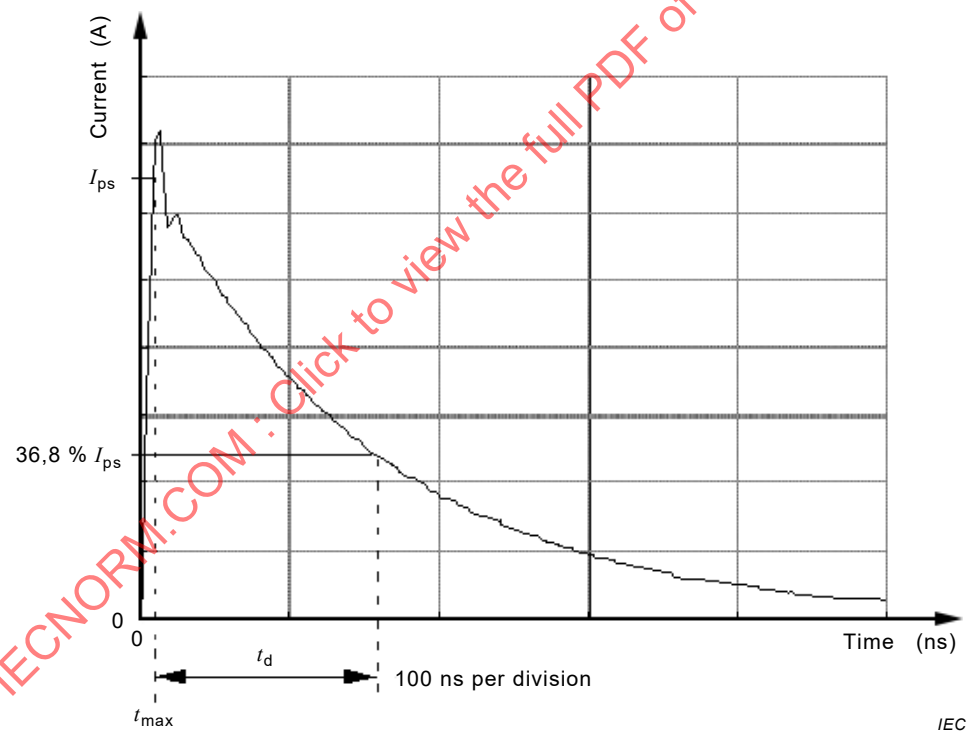
Typical short circuit waveforms are shown in Figures 2 a), 2 b) and 4. The parameters I_{ps} (peak current), t_r (pulse rise time), t_d (pulse decay time) and I_R (ringing) are determined from these waveforms. Ringing may prevent the simple determination of I_{ps} . A graphical technique for determining I_{ps} and I_R is described in 5.2.3.4 and Figure 4.

5.2.3.3 500 Ω load waveform

A typical 500 Ω load waveform is shown in Figure 3. The parameters I_{pr} (peak current with 500 Ω load) and t_{rr} (pulse rise time with 500 Ω load) are determined from this waveform.



a) Current waveform through a shorting wire (I_{psmax})



b) Current waveform through a shorting wire (t_d)

Figure 2 – Current waveform through shorting wires

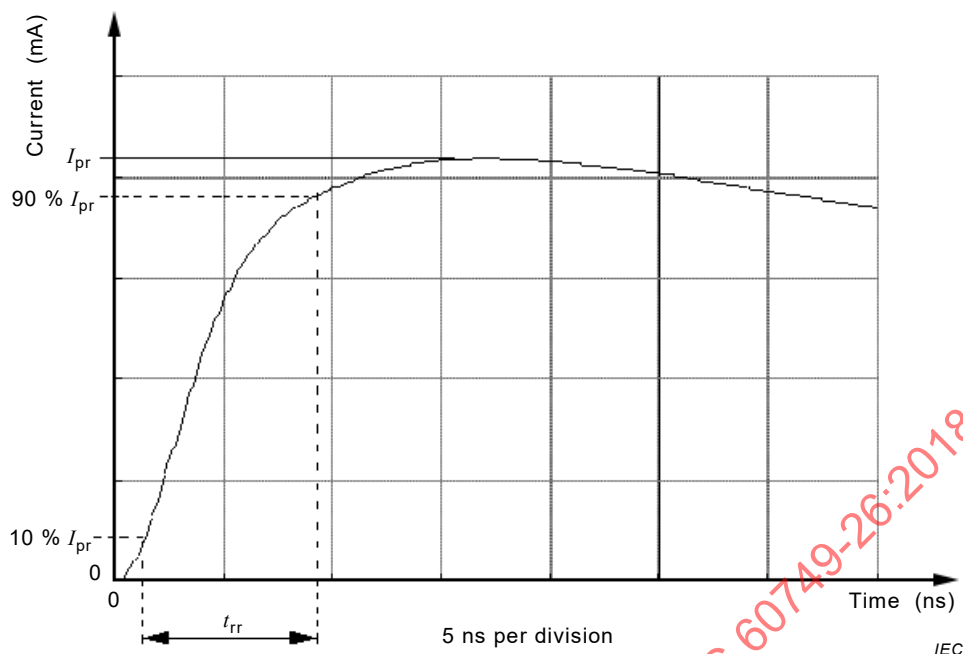


Figure 3 – Current waveform through a 500 Ω resistor

5.2.3.4 Graphical determination of I_{ps} and I_R (see Figure 4)

5.2.3.4.1 A line is drawn (manually or using numerical methods such as least squares) through the HBM ringing waveform from t_{max} to $t_{max} + 40$ ns to interpolate the value of the curve for a more accurate derivation of the peak current value (I_{ps}). t_{max} is the time when I_{psmax} occurs (see the definition for t_{max} in 3.26 and Figure 2).

5.2.3.4.2 The maximum deviation of the measured current above the straight line fit is Ring1. The maximum deviation of the measured current below the straight line fit is Ring2. The maximum ringing current during a short circuit waveform measurement is defined as:

$$I_R = |\text{Ring1}| + |\text{Ring2}|$$

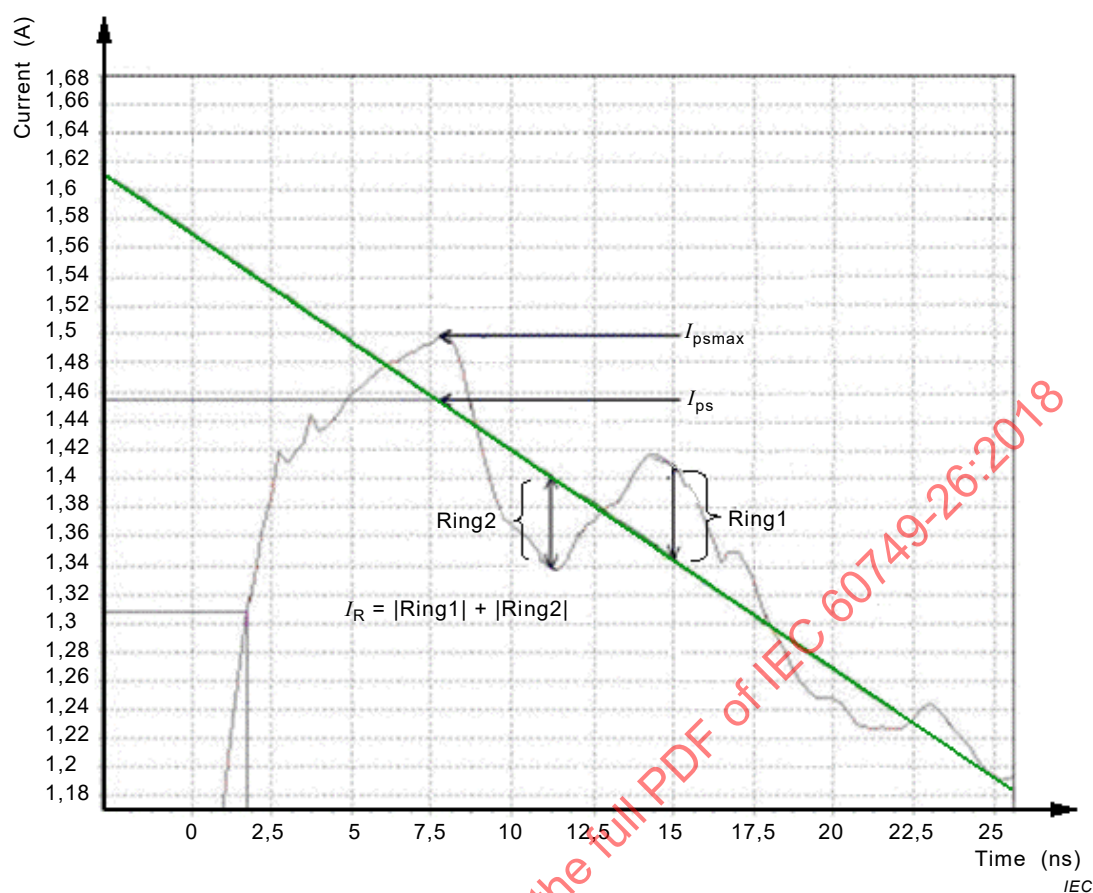


Figure 4 – Peak current short circuit ringing waveform

5.2.4 High voltage discharge path test

This test is only required for relay-based testers. This test is intended to ensure that the tester high voltage relays and the grounding relays that connect pulse generator(s) (i.e. terminal A) and current return paths (i.e. terminal B) to the DUT are functioning properly. The tester manufacturer should provide a recommended procedure and if needed, a verification board and software.

5.3 HBM tester qualification

5.3.1 HBM ESD tester qualification requirements

HBM ESD tester qualification as described in 5.3 is required in the following situations:

- Acceptance testing when the ESD tester is delivered or first used.
- Periodic re-qualification in accordance with manufacturer's recommendations. The maximum time between re-qualification tests is one year.
- After service or repair that could affect the waveform.

5.3.2 HBM tester qualification procedure

5.3.2.1 Test fixture board, socket and pins for socketed testers only

Use the highest pin count test fixture board with a positive clamp socket for the tester waveform verification or the recommended waveform verification board provided by the manufacturer.

The reference pin pair(s) of the highest pin count socket on the board shall be used for waveform capture. Waveforms from every pulse generating circuit are to be recorded.

Electrical continuity for all pins on the test fixture board shall be verified prior to qualification testing. This can typically be done using the manufacturer's recommended self-test.

5.3.2.2 Short circuit waveform capture

- a) For socketed testers, configure the test fixture board, shorting wire, and transducer for the short circuit waveform measurement as described in 5.2.2.2.

For non-socketed testers, configure the test fixture board, shorting wire, and transducer for the short circuit waveform measurement as described in 5.2.2.2 c).

- b) Apply five positive and five negative pulses at each test voltage. Record waveforms at 1 000 V, 2 000 V and 4 000 V. Verify that the waveforms meet all parameters specified in Figures 2 a) and 2 b) and Table 1.

5.3.2.3 500 Ω load waveform capture

- a) For socketed testers, configure the test fixture board, resistor, and transducer for the 500 Ω load waveform measurement as described in 5.2.2.3 a).

For non-socketed testers, configure the test fixture board, resistor, and transducer for the 500 Ω load waveform measurement as described in 5.2.2.3 b).

- b) Record waveforms at 1 000 V and 4 000 V, both positive and negative polarities. Verify that the waveforms meet all parameters specified in Figure 3 and Table 1.

5.3.2.4 Spurious current pulse detection

Secondary pulses after the HBM pulses are generated by the discharge relay. Using the shorting wire configuration, initiate a 1 000 V pulse and verify that any pulses after the initial HBM pulse are less than 15 % of the amplitude of the main pulse.

For analogue oscilloscopes, setting the time base to 1 ms per division can detect these types of pulses. For digital oscilloscopes, current pulses after the initial current pulse can be observed, but advanced triggering functions such as sequential triggering or delayed triggering may be needed so secondary pulses are not missed due to low sampling rates.

5.4 Test fixture board qualification for socketed testers

Test fixture boards shall be qualified in a qualified tester prior to initial use or after repair. This procedure is also required when a previously qualified test fixture board is used in a different model HBM simulator from the one in which it was originally qualified. The procedure shall be applied to the reference pin pairs on all sockets of the new test fixture board. If there is not adequate physical access to the socket, follow the guidance of 5.2.2.2 b).

- a) Configure the test fixture board, shorting wire, and current probe for the short circuit waveform measurement as described in 5.2.2.1 with a qualified tester.
- b) Apply at least one positive and one negative 1 000 V pulse. All waveform parameters shall be within the limits specified in Figures 2 a) and 2 b) and Table 1.
- c) Configure the test fixture board, 500 Ω resistor, and transducer for the 500 Ω load waveform measurement as described in 5.2.2.2.
- d) Apply at least one positive and one negative 1 000 V pulse. All waveform parameters shall be within the limits specified in Figure 3 and Table 1.
- e) Repeat for all additional reference pin pairs of all pulse generating circuits and sockets.

Table 1 – Waveform specification

Voltage level (V)	I_{peak} for short, I_{ps} (A)	I_{peak} for 500 Ω , I_{pr} (A)	Rise time for short, t_r (ns)	Rise time for 500 Ω , t_{rr} (ns)	Decay time for short, t_d (ns)	Maximum ringing current I_R (A)
125 (optional)	0,075 to 0,092	N/A	2,0 to 10	N/A	130 to 170	15 % of I_{ps}
250	0,15 to 0,18	N/A	2,0 to 10	N/A	130 to 170	15 % of I_{ps}
500	0,30 to 0,37	N/A	2,0 to 10	N/A	130 to 170	15 % of I_{ps}
1 000	0,60 to 0,73	0,37 to 0,55	2,0 to 10	5,0 to 25	130 to 170	15 % of I_{ps}
2 000	1,20 to 1,47	N/A	2,0 to 10	N/A	130 to 170	15 % of I_{ps}
4 000	2,40 to 2,93	1,5 to 2,2	2,0 to 10	5,0-25	130 to 170	15 % of I_{ps}
8 000 (optional)	4,80 to 5,87	N/A	2,0 to 10	N/A	130 to 170	15 % of I_{ps}

5.5 Routine waveform check requirements

5.5.1 Standard routine waveform check description

Waveforms shall be acquired using the short circuit method (5.2.2.2) on the reference pin pair for each socket. If necessary, the test fixture board being used may be removed and replaced with a positive clamp socket test fixture board to facilitate waveform measurements. For non-socketed testers the procedure of 5.2.2.2 c) is used. Stresses shall be applied at positive and negative 1 000 V or at the stress level to be tested during the use. The waveforms shall meet the requirements of Figures 2 a) and 2 b) and Table 1.

5.5.2 Waveform check frequency

The waveforms shall be verified according to this procedure at least once per shift. If ESD stress testing is performed in consecutive shifts, waveform checks at the end of one shift may also serve as the initial check for the following shift.

Longer periods between waveform checks may be used if no changes in waveforms are observed for several consecutive checks. Simpler waveform checks (5.5.2) may be used with longer period between waveform checks. For example, tests in accordance with 5.2.2 may be done daily with the tests according to 5.5.1 done monthly. The test frequency and method chosen shall be documented. If at any time the waveforms no longer meet the specified limits, all ESD stress test data collected subsequent to the previous satisfactory waveform check shall be marked invalid and shall not be used for classification.

If the tester has multiple pulse generation circuits, then the waveform for each pulse generation circuit shall be verified with a positive clamp socket test fixture board. The recommended time period between verification tests is once per shift. However, a rotational method of verification may be used to ensure all pulse generation circuits are functioning properly. For instance, on day 1, pulse generation circuit 1 would be tested. On day 2, pulse generation circuit 2 would be tested and on day 3, pulse generation circuit 3 would be tested, until all circuits have been tested, at which time circuit 1 would again be tested. The recommended maximum interval between tests of any one pulse generator is two weeks. However, if a pulse generation circuit fails, then all ESD stress tests subsequent to the previous satisfactory waveform check of that pulse generation circuit shall be marked invalid and shall not be used for classification.

5.5.3 Alternate routine waveform capture procedure

As an alternative to the detailed routine waveform analysis, a quick pass/fail waveform capture process can be instituted for routine verification. This method may be used in combination with 5.5.1 as described above.

- a) Capture a waveform using a shorting wire evaluation load at +1 000 V.
- b) Measure I_{psmax} (without adjustment for ringing) and ensure that it is between 0,60 A and 0,74 A.
- c) Repeat at –1 000 V.
- d) If the tester has multiple pulse sources, choose a pin pair combination from a different pulse source each day, rotating through each pulse source in turn as described in 5.5.2.

If I_{psmax} is within the values specified for both polarities and the waveforms appear normal, the tester is considered ready to use.

This measurement does not take into consideration I_{ps} ringing; this can affect the results. If there are any concerns about how the waveforms look, or if the measurements are close to the upper or lower specification limits, a complete waveform analysis (5.3.1) shall be performed.

The quick pass/fail test method shall be applied only to qualified test fixture boards for qualified ESD simulators. Test fixture boards and ESD simulator shall be qualified together using the test method in 5.3.1 before using test method in 5.5.2.

5.6 High voltage discharge path check

5.6.1 Relay testers

This test is required for either routine check method (see 5.5). Test the high voltage discharge and current return paths and all associated circuitry at the beginning of each day during which ESD stress testing is performed (see 5.2.4). The period between self-test diagnostic checks may be extended, providing test data support the increased interval. If any failure is detected, do not perform device testing with the sockets that are connected to the defective discharge paths. Repair the tester and then verify that the failed pins pass the self-test before resuming testing. Depending on the extent of the repair, it may be necessary to perform a complete re-qualification according to 5.3.2.

5.6.2 Non-relay testers

For testers utilizing mechanical switching instead of relay switching, the connections to pins shall be verified for each pin combination during the test. Making continuity measurements immediately prior to stress pulses or monitoring the ESD pulse current during stress pulse are examples of connection verification methods. This practice replaces the daily high voltage discharge path verification.

5.7 Tester waveform records

5.7.1 Tester and test fixture board qualification records

Retain the waveform records until the next re-qualification or for the duration specified by the user's internal record keeping procedures.

5.7.2 Periodic waveform check records

Retain the periodic waveform records at least one year for the duration specified by the user's internal record keeping procedures.

5.8 Safety

5.8.1 Initial set-up

During initial equipment set-up, a safety engineer or applicable safety representative shall inspect the equipment in its operating location to ensure that the equipment is not operated in a combustible (hazardous) environment.

5.8.2 Training

All personnel shall receive system operational training and electrical safety training prior to using the equipment.

5.8.3 Personnel safety

The procedures and equipment described in this document may expose personnel to hazardous electrical conditions. Users of this document are responsible for selecting equipment that complies with applicable laws, regulatory codes and both external and internal policy. Users are cautioned that this document cannot replace or supersede any requirements for personnel safety.

Ground fault circuit interrupters (GFCI) and other safety protection should be considered wherever personnel might come into contact with electrical sources.

Electrical hazard reduction practices should be exercised and proper grounding instructions for equipment shall be followed.

6 Classification procedure

6.1 Devices for classification

The devices used for classification testing shall have completed all normal manufacturing operations. Testing shall be performed using an actual device chip. It is not permissible to use a test chip representative of the actual chip or to assign threshold voltages based on data compiled from a design library or via software simulations. ESD classification testing shall be considered destructive to the component, even if no component failure is detected.

ESD damage prevention procedures shall be used before, during and after HBM and post parametric testing.

NOTE Test chip in this case means ESD test structure.

6.2 Parametric and functional testing

Prior to ESD stressing, parametric and functional testing using conditions required by the applicable part drawing or test specification shall be performed on all devices submitted. Parametric and functional test results shall be within the limits stated in the part drawing for these parameters.

6.3 Device stressing

A sample of three devices for each voltage level shall be characterized for the device ESD failure threshold using the voltage levels shown in Table 4. Finer voltage steps may optionally be used to obtain a more accurate measure of the failure threshold, and to improve detection of devices exhibiting failure windows. ESD testing should begin at the lowest level in Table 4 but may begin at any level. However, if the initial voltage level is higher than the lowest level in Table 4, and the device fails at the initial voltage, testing shall be restarted with three fresh devices at the next lowest level (e.g. if the initial voltage is 1 000 V and the device fails, restart the test at 500 V.) The ESD test shall be performed at room temperature.

It is recommended to verify continuity between device pins and the socket after inserting devices to be tested. Leakage measurements or curve tracing may be used.

For each voltage level a sample of three devices shall be stressed using one positive and one negative pulse with a minimum of 100 ms between pulses per pin for all pin combinations specified in Table 2 and Table 3. Separate samples may be used for different polarities.

NOTE In some ESD simulators, a charge removal circuit is not present. For these simulators, increasing the time between pulses to prevent a charge build-up is one method to reduce the risk for subsequent pin overstress. Alternatively, curve trace leakage tests after each pulse for all pins in the DUT will also remove this excess charge stored in the test fixture board or socket.

Three new components may be used at each voltage level or pin combination if desired. This will eliminate any step-stress hardening effects, and reduce the possibility of early failure due to cumulative stress. Due to potential failure windows, low ESD performance may not be detected if levels specified in Table 4 are skipped during testing. It is recommended not to skip any levels specified in Table 4.

It is permitted to further partition each pin combination set specified in Tables 2 and 3 and use a separate sample of three devices for each subset within the pin combination set.

It is permitted to partition testing of devices among different testers as long as all testers are qualified (in accordance with 5.3) and all pin combinations of Tables 2 and 3 are tested with at least one sample of three devices.

6.4 Pin categorization

6.4.1 General

HBM testing is done using pin combinations as described in Table 2 or Table 3. A flow chart for this categorization process is given in Annex A. The purpose of the pin combinations is to test all of the major HBM current paths. Setting up the pin combinations requires knowledge of the device under test. Each pin of the device shall be classified as a no connect, supply pin or non-supply pin. These pin categories are defined in 6.4.2 to 6.4.4. Additionally supply pins shall be grouped into supply pin groups as described in 6.5.1. With this basic knowledge testing may be done using Table 3. With additional knowledge of the device to be tested, associated supplies may be defined as described in 6.6.2.2. With associated supplies defined lines 1 to N of Table 2 may be used. The additional information required for Table 2 allows the major current paths to be covered with fewer pin combinations saving test time and reducing potential overstress. Table 2 also eliminates non-supply to non-supply testing (i.e. I/O to I/O) except for special cases which are discussed in 6.4.4.2.

6.4.2 No connect pins

Verified no connect pins shall not be stressed and shall be left floating at all times.

There are some pins which are labelled as no connect, such as thermal panels, which are actually connected to the die and should be classified as a supply pin or a non-supply pin as outlined below.

Pins labelled as no connect but found to have an electrical connection to the die shall be:

- classified as a supply pin, if metallicity connected to a supply pin;
- classified as a non-supply pin, if not metallicity connected to a supply pin.

6.4.3 Supply pins

6.4.3.1 Supply pin categorization

A supply pin is any pin that provides current to the circuit. While most supply pins are labelled such that they can be easily recognized as supply pins (examples: VDD, VDD1, VDD2, VDD_PLL, VCC, VCC1, VCC2, VCC_ANALOG, GND, AGND, DGND, VSS, VSS1, VSS2, VSS_PLL, VSS_ANALOG, etc.), others are not and require engineering judgment based on their function in the normal circuit operation (examples: Vbias, Vref, etc.). Supply pins typically transmit no information such as digital or analogue signals, timing, clock signals, and voltage or current reference levels.

An example of a pin that appears to be a supply pin but may be treated as a non-supply pin is the VPP pin on EPROM memories. The VPP puts the memory into a special, rarely used, programming state and supplies the high voltage needed for programming the memory.

6.4.3.2 Other supply pin types

Any pin that is intended to be pumped above the positive supply or below the negative supply of its circuit block shall be treated as a supply pin (for example: positive and negative terminal pins connected to a charge pump capacitor).

Any pin that is connected to an internal power bus (or a power pin) by metal as described in 6.4.3 shall be treated as a supply pin (for example: a VDD sensing pin).

Any pin that is intended to supply power to another circuit on the same chip shall be treated as a supply pin. However, if a pin is intended to supply power to a circuit on another chip but not to any circuit on the same chip, it may be treated as a non-supply pin.

6.4.4 Non-supply pins

6.4.4.1 Non-supply pin categorization

All pins not categorized as supply pins or no connects are non-supply pins. This includes pins such as input, output, offset adjusts, compensation, clocks, controls, address, data, Vref pins and VPP pins on EPROM memory. Most non-supply pins transmit information such as digital or analogue signals, timing, clock signals, and voltage or current reference levels.

6.4.4.2 Direct coupled non-supply pin pairs

A coupled non-supply pin pair can have a potential ESD current path that does not involve power/supply rails. They include analogue and digital differential pairs and other special function pairs (e.g., D+/D-, XTALin/XTALout, RFin/RFout, TxP/TxN, RxP/RxN, CCP_DP/CCN_DN, etc.). Coupled non-supply pin pairs are device specific and not all devices will have them. Examples include:

- Any non-supply pin pairs that can have current paths between them that do not involve the power/supply rails. This path can be through functional devices or through parasitic paths.
- Non-supply pin pairs directly interfacing with each other, such as differential inputs or differential outputs.
- Non-supply pin pairs that have a current path between them that consists of a single transistor or capacitor.

Engineering judgment should be used to identify all coupled non-supply pin pairs. See Annex D for a more extensive list of examples for coupled non-supply pins.

6.5 Pin groupings

6.5.1 Supply pin groups

6.5.1.1 Supply pin categorization

The supply pins are partitioned into supply pin groups with each supply pin defined as a member of one and only one supply pin group. A supply pin that is not connected by metal to any other pin forms a single pin supply pin group. Supply pins that are interconnected by metal on the chip or within the package form a supply pin group. The metal interconnects should be verified through reliable device documentation. However, excessive metal trace resistance in the die interconnect associated with grouping these pins could lead to masking an ESD protection weakness in HBM testing.

If the pin interconnect design is unknown, either measure the resistance between supply pins to determine the supply pin groups or treat each pin as a separate group.

If the resistance between any two pins is greater than $3\ \Omega$, the pins should be placed into separate supply pin groups. The resistance is measured between any two supply pins with the same name. If there are more than two pins, then the worst case resistance should be determined by measurement.

6.5.1.2 Partitioning supply pin groups

Pins of a supply pin group may be divided into two or more subgroups such that each pin is a member of at least one subgroup. This partitioning can result in each pin being in its own subgroup. When a supply pin group is being connected to terminal B, all pins specified for terminal A are stressed separately to each subgroup. When dividing a supply pin group into subgroups, all the subgroups remain part of their supply pin group and are not tested against each other.

6.5.1.3 Supply pins connected by package plane

If a set of supply pins are connected by a package plane, as few as one pin (selected arbitrarily) from that set of pins may be used to represent the entire set as a supply pin group. The remaining pins in the set need not be stressed nor grounded and can be left floating during all testing. For example, if a supply pin group of 25 pins consists of five pins connected by metal only at the die level and 12 additional pins connected with one package plane and another with eight pins connected with a second package plane, the group should be represented by the five die-level connected pins and at least one pin from each package plane connected sets. Tester parasitics may be reduced by connecting all the pins of the group to terminal B instead of leaving the unselected pins floating. This is not necessary if a custom board has been built which isolates the unselected pins.

6.5.2 Shorted non-supply pin groups

For shorted non-supply pins that are connected by metal in a package plane, an APL with a resistance less than $1\ \Omega$ and/or share a common bond pad, this set of pins forms a non-supply pin group. One pin of this non-supply pin group (selected arbitrarily) may be used to represent the entire set of shorted non-supply pins. The remaining pins in the set need not be stressed nor grounded and may be left floating during all testing.

NOTE This configuration is uncommon as non-supply pins typically are isolated from other pins in the package.

6.6 Pin stress combinations

6.6.1 Pin stress combination categorization

Table 2 lists the preferred set of pin combinations required for device classification. Alternatively, Table 3 can be used. Furthermore, device stressing can be done using a combination of Table 2 and Table 3. For example, one could use pin combination set 1

through N from Table 2 and set N + 1 from Table 3. Additional information and guidance on the use of the pin combinations are given in Annex A and Annex C. The test results and actual pin combinations sets used shall be recorded and maintained according to company record keeping procedures.

Active discrete devices (FETs, transistors, etc.) shall be tested using all possible pin-pair combinations (one pin connected to terminal A, another pin connected to terminal B) regardless of pin name or function. Integrated circuits with 10 pins or less may be tested with all pin-pair combinations.

Device stressing can be divided between two or more simulators if all simulators meet the requirements of Clause 5 and all intended pin combinations are stressed.

Table 2 – Preferred pin combinations sets

Pin combination set number ^a	Pin(s) connected to terminal B (ground)	Pin connected to terminal A (single pins, tested one at a time)
1	supply pin group 1 ^{b, c}	every supply pin except pins of supply pin group 1 ^{c, d}
		every non-supply pin associated with supply pin group 1 (see Annex C)
2	supply pin group 2 ^{b, c}	every supply pin except pins of supply pin group 2 ^{c, d}
		every non-supply pin associated with supply pin group 2 (see Annex C)
...	...	...
N	supply pin group N ^{b, c}	every supply pin except pins of supply pin group N ^{c, d}
		every non-supply pin associated with supply pin group N (see Annex C)
N + 1	one pin of each coupled non-supply pin pair, one pair at a time	the other pin of the coupled non-supply pin pair
^a In all combinations, pins not connected to either terminal A or terminal B shall be left unconnected (floating pins) during the stress pulse. All no connect pins are unconnected at all times. ^b Supply pins may be all connected together as a single group, or divided into subgroups. Subgroups can be individual pins. Every pin connected to terminal A is stressed to each of these subgroups (see 6.4.1). ^c A single pin may be used from supply pin groups known to be interconnected by a package plane (see 6.5.1.3). ^d Supply pin-to-supply pin combinations may be stressed using only single polarity pulses (see 6.6.2.3).		

Table 3 – Alternative pin combinations sets

Pin combination set number ^c	Pin(s) connected to terminal B	Pin connected to terminal A (single pins, tested one at a time)
1	supply pin group 1 ^a	every supply pin except pins of supply pin group 1 ^a
		every non-supply pin
2	supply pin group 2	every supply pin except pins of supply pin group 2
		every non-supply pin
...	...	...
N	supply pin group N	every supply pin except pins of supply pin group N
		every non-supply pin
N + 1	all non-supply pins, except the pin under test (PUT) ^b	each non-supply pin (as the PUT)
^a Only a single pin is used from supply pin groups known to be interconnected by a package plane. ^b Non-supply pins connected to terminal B can be divided into subsets, such that each of these pins is a member of at least one subset. Every terminal A pin is stressed to each of these subsets. ^c All pins not connected to either terminal A or terminal B shall be left unconnected (floating pins) during the stress pulse. All no connect pins are unconnected at all times.		

6.6.2 Non-supply and supply to supply combinations (1, 2, ... N)

6.6.2.1 Use of Tables 2 and 3

Table 2 and Table 3 are organized by the DUT's N supply pin groups. The first N rows of these tables have one unique supply pin group tied to terminal B. When pins are not connected by a package plane, pins within a supply pin group shall be stressed individually (when connected to terminal A). When tied to terminal B, as shown in tables, these pins shall all be connected either individually, or in groups, or tied together at the test board level.

6.6.2.2 Association of non-supply pins with supply pin groups (Table 2 only)

Each non-supply pin is associated with one or more supply pin groups (see 6.6.2). For example, for an I/O pin, the output drivers of the pin connect to the VCCIO supply group while the input receiver of the same pin connects to the VCC supply group. Additionally, this I/O pin may be connected to one or more grounds (e.g., VSS, VSSIO). This information is typically provided by the design team.

A non-supply pin is associated with a supply pin group if either:

- the connection to that supply pin group is necessary for the function of the circuit.
- a parasitic path exists between non-supply and supply pin group (e.g., open-drain type non-supply pin to a VCC supply pin group that connects to a nearby N-well guard ring).

In the testing described in Table 2, non-supply pins are only stressed against the supply pin groups with which they are associated. If the information on the association with supply pin groups for each non-supply pin is known, then non-supply pins may be stressed only to their associated supply pin groups (see Annex C). Stressing to supply pin groups not associated with a non-supply pin is not required. If this information is not available, then every non-supply pin shall be tested to each supply pin group as specified in lines 1 to N of Table 3.

This use of Table 2 is highly recommended for devices exceeding 8 supply pin groups.

NOTE Pin combinations 1 to N in Table 3 treat all non-supply pins as being associated with every supply pin group.

6.6.2.3 Stress polarities of supply pins (Tables 2 and 3)

When pins of supply pin groups are stressed to other supply pin groups it is permissible to perform all stresses with a single polarity.

NOTE For some devices under test it has been found that power supply stress with one polarity is more susceptible to tester parasitics than the opposite polarity. These parasitic currents can cause waveform distortion and anomalous test results. Since every supply is stressed on terminal A with respect to every other supply on terminal B, all supply pairs are normally tested twice. For low resistance power supply busses, the positive stress of power group 1 on terminal A versus power supply group 2 on terminal B is essentially redundant to negative stress of power supply group 2 on terminal A versus power supply group 1 on terminal B. Removing this testing redundancy allows testing only with the polarity which minimizes tester parasitic. For most technologies, such as CMOS circuits on p substrates, positive only testing is preferred. For some technologies negative only testing can be preferred.

6.6.2.4 Alternative pin stress method for non-supply pins (Tables 2 and 3)

A non-supply to supply pin stress may be replaced by its corresponding supply pin to non-supply pin stress. If only a single polarity stress is being replaced, the opposite polarity stress shall be used. As non-supply pins are typically not tied to other pins, this will require each supply pin of the supply pin group to be stressed to each non-supply pin individually. If the non-supply pin is tied to other pins, as noted in 6.5.2, all other non-supply pins of the group shall be left floating.

NOTE 1 Typically, the non-supply to supply pin negative polarity stress will be replaced with the supply to non-supply pin, positive polarity stress. This allowance is useful when the slew rate of the HBM pulse is impacted by parasitic tester capacitances.

NOTE 2 If this alternative test method is used on a supply pin group that has more than a small number of pins, tester parasitic capacitance will increase (i.e., slow down) the rise time of the signal. Longer rise times can cause dynamic ESD protection circuits not to function properly (See Clause B.3).

6.6.2.5 Cloned non-supply (cloned I/O) pin reduction sampling method

Some non-supply pins can be removed from HBM testing if they meet the criteria of cloned I/O, as explained in Annex E. The user shall identify the required sampling pins. Thirty randomly selected non-supply pins shall be tested for each set of cloned I/Os (M). HBM stresses shall be applied to the selected pins according to Table 2 or Table 3. The remaining $M - 30$ pins are not stressed and remain floating at all times. The detailed steps are in Annex E.

6.6.3 Non-supply to non-supply combinations

6.6.3.1 Use of Tables 2 and 3

Pin combination set $N + 1$ in Table 2 specifies to stress each coupled non-supply pin pair.

6.6.3.2 Alternative non-supply to non-supply combinations

If information on non-supply pins to determine coupled pairs is not available, the pin combination set $N + 1$ in Table 3 shall be used. This specifies to stress each non-supply pin individually (terminal A) with all other remaining non-supply pins tied together and connected to terminal B, except for those shorted non-supply pins that are metal connected to the pin under stress on the die, which will be left open as specified in 6.5.2.

6.6.3.3 Shorted non-supply pins (Table 3 only)

If using Table 3 for a device that has shorted non-supply pins that are connected on the die only and bonded out to multiple separate pins, then these pins shall be stressed individually according to combination set $N + 1$ with the remainder of these connected pins left floating. If using Table 3 for a device that has shorted non-supply pins that are connected by a package plane or share a common bond pad, one of these pins (selected arbitrarily) may be used to represent the entire set of shorted non-supply pins. The remaining pins in the set need not be stressed nor grounded and should be left floating during all testing.

6.6.3.4 Partition allowance for non-supply pins (Table 3 only)

When using Table 3 it is permitted to partition the non-supply pins to be connected to terminal B into two or more subsets, such that each of these pins is a member of at least one subset. The subsets may be single pins. The pin connected to terminal A is to be stressed to each of these subsets separately. This process is repeated for each non-supply pin.

6.7 HBM stressing with a low-parasitic simulator

6.7.1 Low-parasitic HBM simulator

A low-parasitic HBM simulator will have nearly identical currents on terminal A and terminal B when testing a pair of pins of a multi-pin device. Therefore, when stressing a pin pair using a low-parasitic HBM simulator, the selection of which pin is on terminal A and which is on terminal B is not significant. After stressing a pin pair using a low-parasitic HBM simulator, using both polarities, it is not necessary to reverse the pins. For example, if pin X is stressed on terminal A to pin Y on terminal B with both voltage polarities, it is unnecessary then to stress pin Y on terminal A with pin X on terminal B.

6.7.2 Requirements for low parasitics

See Clause B.4 for a test to determine if an HBM tester is a low-parasitic simulator. The manufacturer shall perform this evaluation to establish that the simulator meets the low-parasitic requirements of this test method.

6.8 Testing after stressing

If a different sample group is tested at each stress level, it is permitted to perform the DC parametric and functional testing after all sample groups have been ESD tested.

7 Failure criteria

A part is defined as a failure if it fails the datasheet parameters using parametric and functional testing. If testing is required at multiple temperatures, testing shall be performed at the lowest temperature first.

8 Component classification

ESD sensitive components are classified according to their HBM withstand voltage, regardless of polarity, as defined in Table 4. A component can be classified based on testing with any HBM simulator that meets all the parameters of Clause 4. If a component tests to a higher classification level on one HBM simulator than another, it is assigned the higher classification.

If different classification levels are seen from multiple testers, it is recommended to investigate further.

Table 4 – HBM ESD component classification levels

Classification	Voltage range (V)
0A	< 125
0B	125 to < 250
1A	250 to < 500
1B	500 to < 1 000
1C	1 000 to < 2 000
2	2 000 to < 4 000
3A	4 000 to < 8 000
3B	≥ 8 000

IECNORM.COM : Click to view the full PDF of IEC 60749-26:2018

Annex A (informative)

HBM test method flow chart

See Figure A.1.

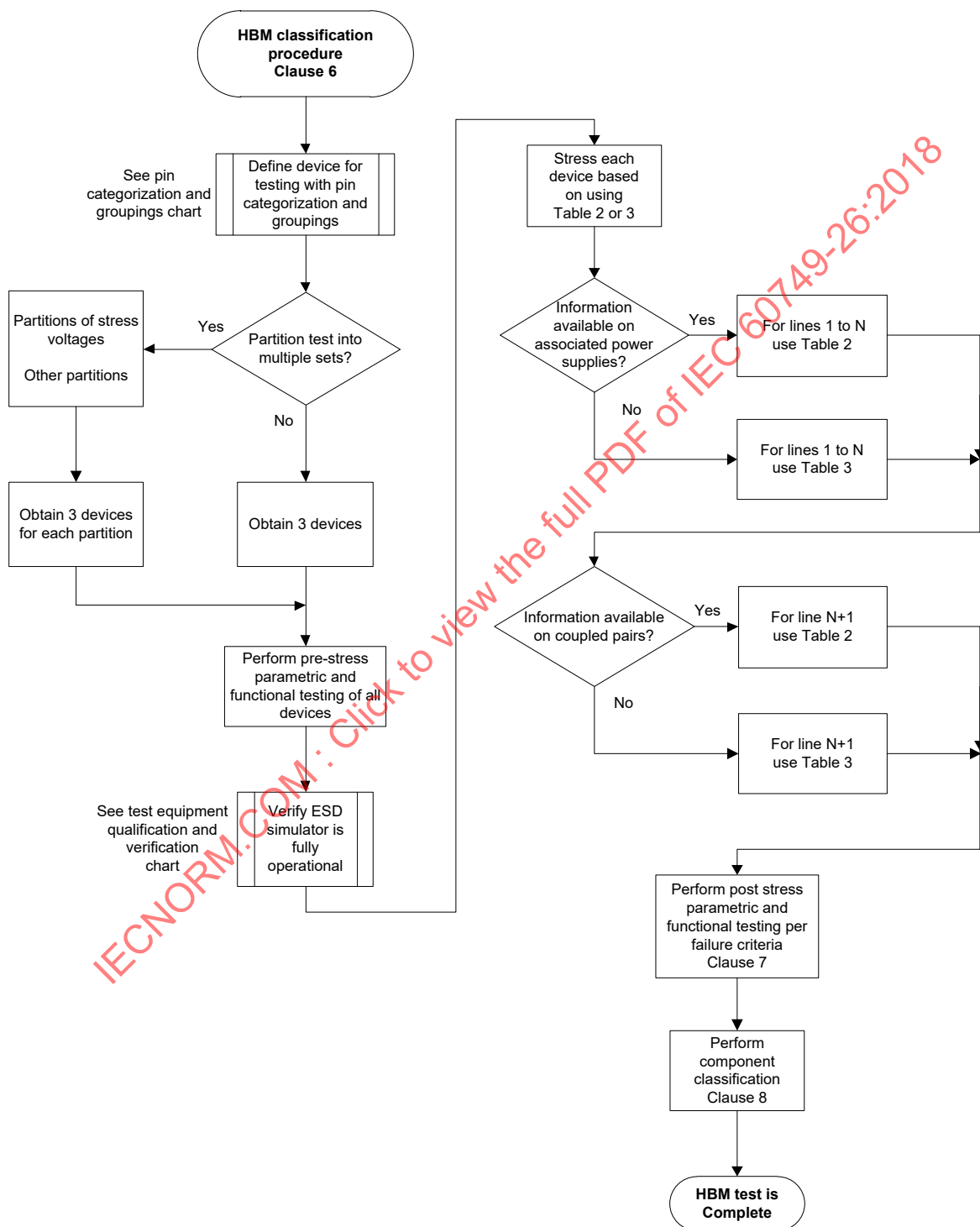


Figure A.1 – HBM test method flow chart (1 of 3)

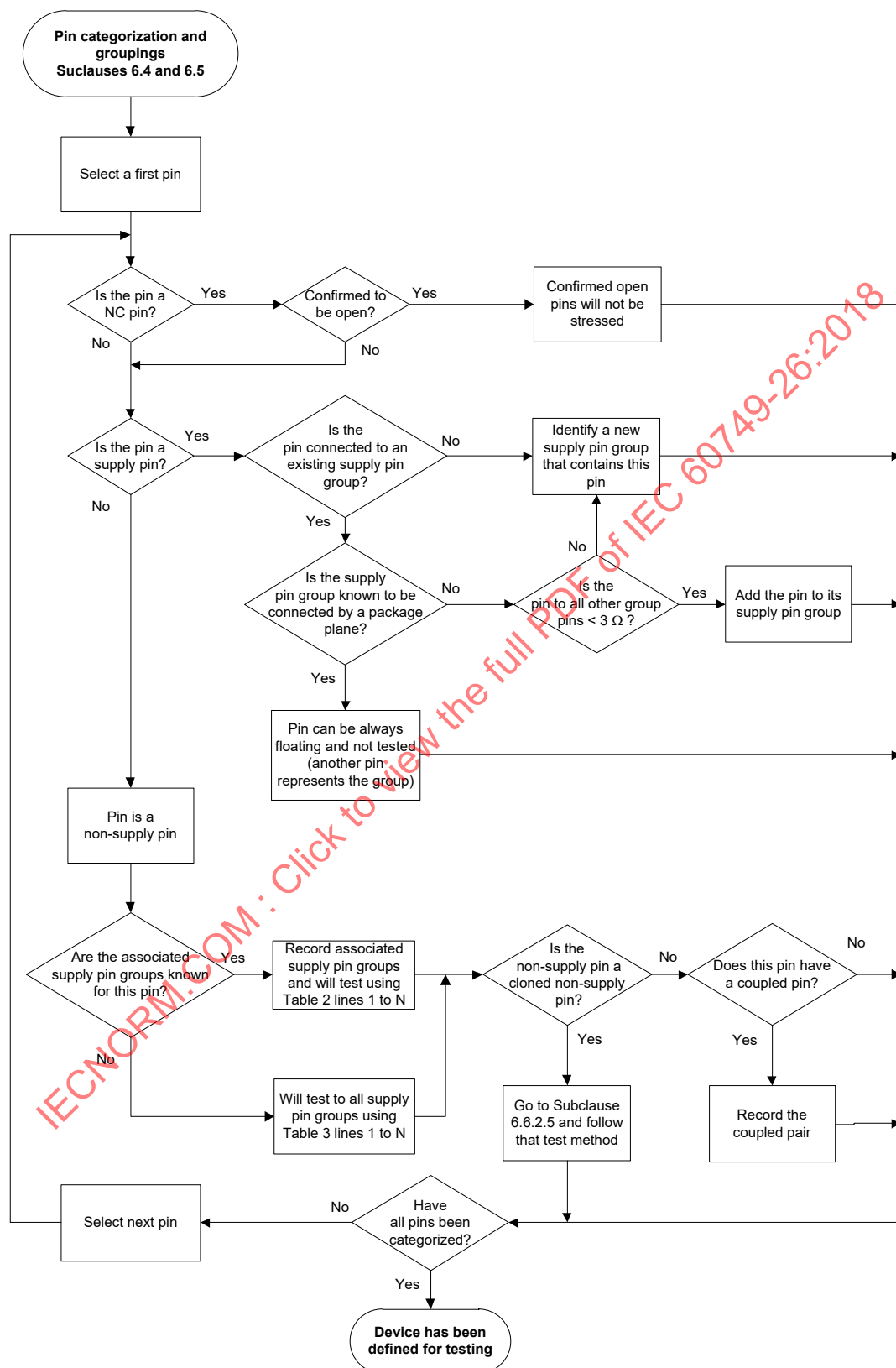


Figure A.1 (2 of 3)

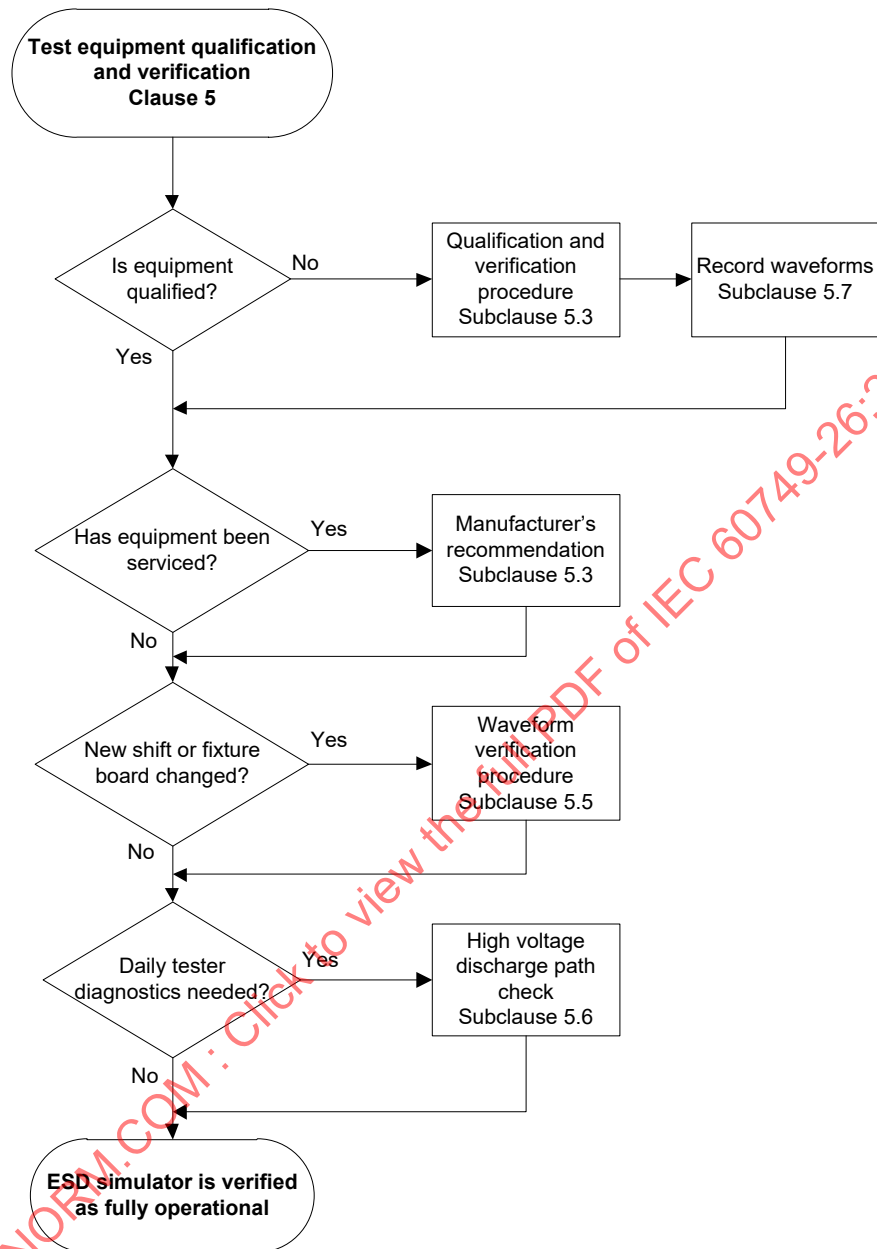


Figure A.1 (3 of 3)

Annex B (informative)

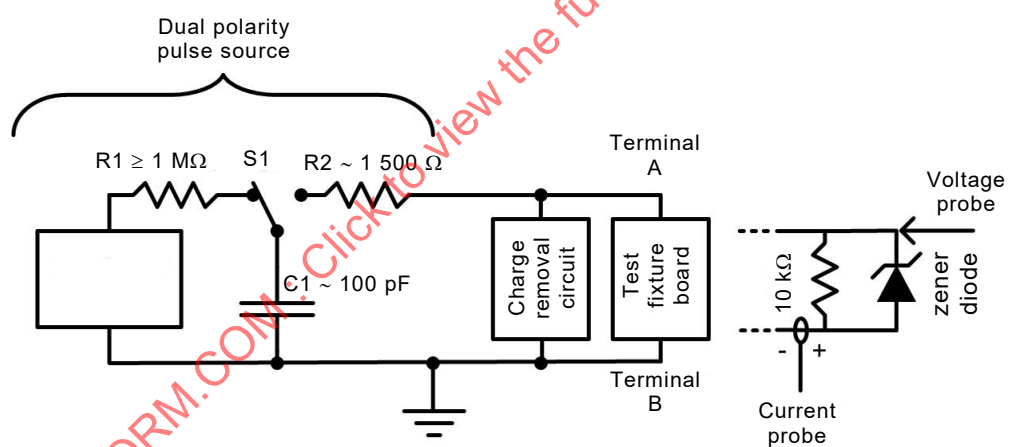
HBM test equipment parasitic properties

B.1 Optional trailing pulse detection equipment / apparatus

The maximum trailing current pulse level is defined as the maximum peak current level observed through a $10\text{ k}\Omega$ test load (current = voltage across test load divided by $10\text{ k}\Omega$) after the normal HBM pulse(s). The time period to be evaluated for after-pulse leakage is from $0,1\text{ ms}$ to 1 ms after the decay of the HBM current pulse. In the case that a spurious current pulse is observed, begin the $0,1\text{ ms}$ measurement point from the start of the spurious current pulse.

The magnitude of the trailing current pulse shall be less than $4\text{ }\mu\text{A}$ when the applied HBM stress voltage is at 4 000 V . This includes both positive and negative polarities. (See Figures B.2 and B.3 for sample waveforms).

A circuit for measuring the trailing current pulse is shown in Figure B.1. The voltage probe shall have input impedance no less than $10\text{ M}\Omega$, an input capacitance no larger than 10 pF , a bandwidth better than 1 MHz , and a voltage rating to withstand at least 100 V . The evaluation load resistance is $10\text{ k}\Omega$ in value with tolerance of $\pm 1\%$ and can withstand up to 4 000 V . The Zener diode has a breakdown voltage range from 6 V to 15 V and a power rating from $0,25\text{ W}$ to 1 W .



IEC

Figure B.1 – Diagram of trailing pulse measurement setup

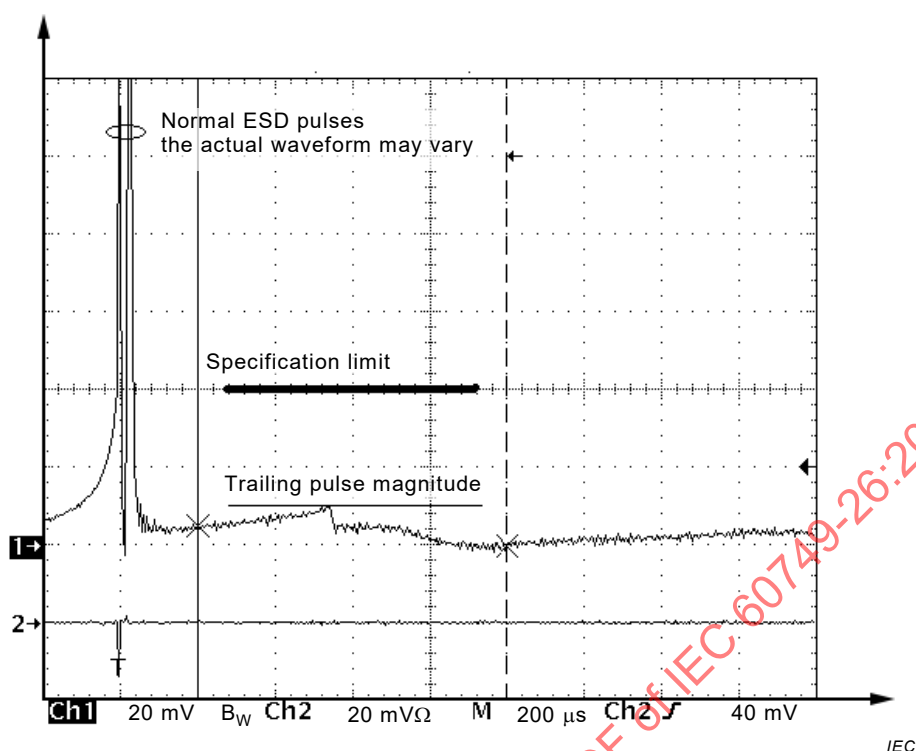


Figure B.2 – Positive stress at 4 000 V

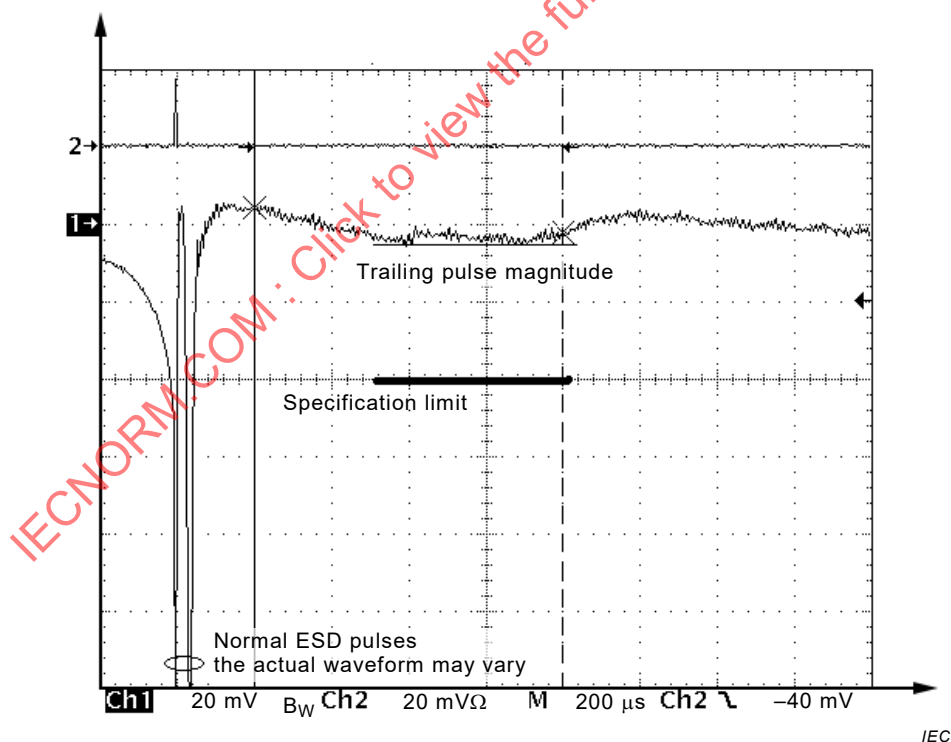


Figure B.3 – Negative stress at 4 000 V

B.2 Optional pre-pulse voltage rise test equipment

HBM events may exhibit a phenomenon which generates a voltage rise at the stressed pin prior to the main HBM current pulse if the pin impedance is high. In some ESD simulators this phenomenon is unrealistically severe and can lead to inconsistent ESD threshold results. The

characteristics of this pre-current pulse voltage event depend on the conditions and the environment of the arcing associated with the HBM discharge, the parasitic capacitances of the tester, as well as the pin impedance of the device under test. To determine the magnitude of the resulting voltage rise the following test equipment and apparatus is required (see Figure B.4 for measurement setup).

The worst-case condition will be measured for a low capacitance Zener diode with a voltage in the 8 V to 10 V range. The Zener diode will provide protection for the voltage probe and its low capacitance will not reduce the voltage buildup appreciably. The current transducer on the groundside of the diode is used to trigger an oscilloscope. The voltage probe, connected to a second channel of the oscilloscope, should have high resistance such as a 10 M Ω 10X probe. Sample data is shown in Figure B.5 for a 9,4 V Zener diode. The HBM current pulse occurs at time zero and cannot be seen at this time scale. At the time scale of an HBM event, tens to hundreds of nanoseconds, the voltage before the HBM current pulse would appear as a DC voltage across the diode. To measure the voltage across a device the Zener diode is replaced by the device of interest.

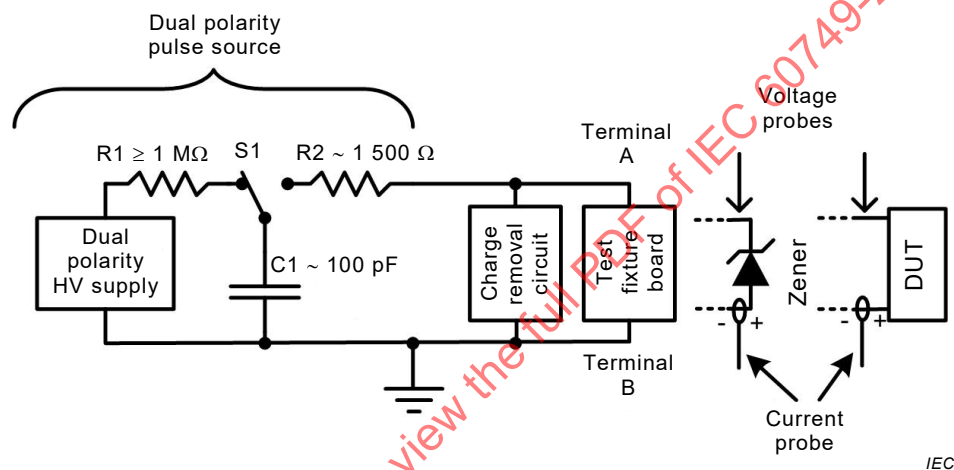


Figure B.4 – Illustration of measuring voltage before HBM pulse with a Zener diode or a device

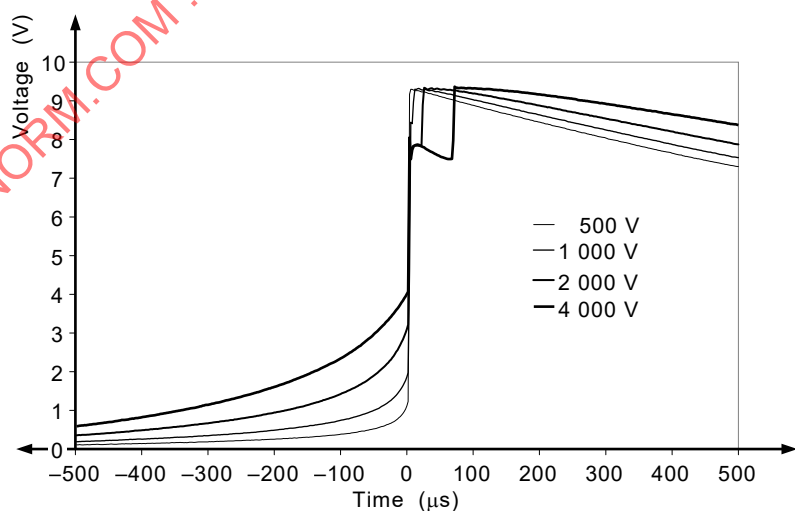


Figure B.5 – Example of voltage rise before the HBM current pulse across a 9,4 V Zener diode

B.3 Open-relay tester capacitance parasitics

The HBM stressing of a single supply pin is complicated when the pin is part of a group of multiple like-name supply pins (balls) that are shorted together via the DUT (e.g., via a package plane). When the component is placed in the socket only one pin can be connected to terminal A. The other supply pins are left “floating” as the HBM simulator’s connect relays are opened so the other supply pins do not connect to terminal A or B.

Recent HBM tester research on package-plane-shortened pins has found that when a single pin is stressed, the other “floating” supply pins act like small capacitors. Since the relays are open, no DC current will flow to ground, but the open-relay capacitors will charge. This parasitic capacitance is quite small (4 pF per pin to 8 pF per pin) and will vary among HBM simulators. Since each floating pin is placed in parallel, the parasitic capacitance grows as the number of supply pins connected to the power plane increases. This tester parasitic capacitance will be in parallel with the test board capacitance and will have the effect of slowing down the HBM peak current rise time and will reduce the HBM peak currents. All relay matrix HBM simulators have this property.

The impact on HBM test results is difficult to determine as it depends on the sensitivity of the ESD circuits of the supply pins to slow di/dt rise times. For some designs and equipment, the HBM levels may either increase or decrease. If failure levels are lower than expected, the best option is to retest the supply pins on a 2-pin manual tester. If the 2-pin HBM levels are much higher, then the open-relay capacitance is probably causing the lower HBM failure levels. In some cases, tester channels can be isolated by adding insulators or removing pogo pins from the HBM tester. This effectively “floats” the parallel supply pins. If there is a known problem for a given package, then special test fixture boards can be designed that connect only one supply pin from the socket to the HBM simulator. This modified test fixture board will not wire the floating pins to the HBM simulator, so these pins will not be able to charge up the open-relay capacitors.

B.4 Test to determine if an HBM simulator is a low-parasitic simulator

Clause B.4 describes a test to determine whether a tester can reverse terminals A and B and produce the sufficiently similar waveforms with a DUT that connects tester channels together.

Prepare a shorting test device, having ten or more pins, using a package compatible with a socket, test fixture, or probes of the tester under consideration (see Figure B.6). Short all pins of the shorting test device together (interconnect with metal) except one pin. Add a wire, conforming to shorting load in 4.5 a), to the shorting test device that passes through a current probe, which meets the requirements of 4.4. Connect one end of the wire to the shorting test device’s single unconnected pin and the other end to the group of shorted pins. The positive side of the current probe is connected toward the single pin.

Insert the shorting test device into the HBM tester under consideration. Apply a positive 1 kV pulse (tester terminal A) to the single pin with the ground return (terminal B) connected to any single pin of the connected group. Record this current waveform with an oscilloscope (see 4.2) and label this waveform as ‘Short Terminal A Current’. Reverse the terminal A and B connections and pulse the pin of the connected group (now connected to terminal A) with a negative 1 kV pulse with the single pin grounded (terminal B). Record this current waveform as ‘Short Terminal B Current’.

Replace the wire with a 500 Ω resistor (conforming to 500 Ω evaluation load in 4.5 b)) and pulse and record 1 kV 500 Ω waveforms as done with the shorting wire load to obtain “500 Ω Terminal A Current” and “500 Ω Terminal B Current”. Measure the terminal A and terminal B short and 500 Ω current waveforms as described in 5.2.3. If all waveform parameters of Table 1 for a short-circuit test load and 500 Ω test load are met by the recorded waveforms, then the tester meets the requirements of a low-parasitic simulator as used in this test method.

NOTE The current probe is shown with shorting wire or 500 Ω test load, connected between pin 1 and the shorted group of pins 2 through 10. Pin 1 of this shorting test device is pulsed positive when connected to tester for a ‘Terminal A Test’ and grounded when for ‘Terminal B Tests’. Any pin of the connected group can be grounded for ‘Terminal A’ tests and pulsed negative for ‘Terminal B’ tests.

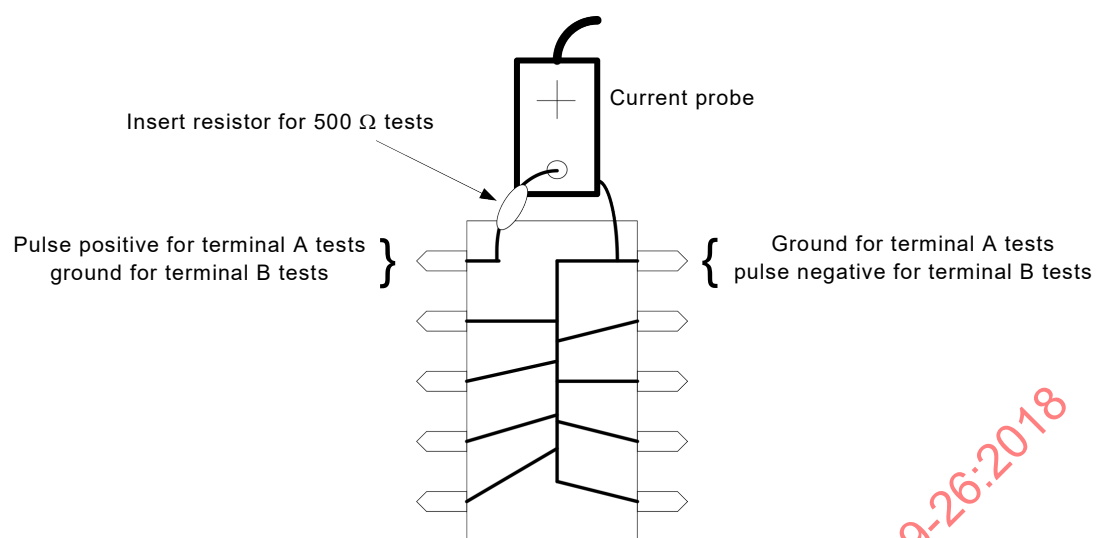


Figure B.6 – Diagram of a 10-pin shorting test device showing current probe

Annex C (informative)

Example of testing a product using Table 2, Table 3, or Table 2 with a two-pin HBM tester

C.1 General

Devices with multiple supply pin groups can be stressed in different ways depending on the information available. A simple device with several typical properties is used to illustrate the different procedures (see Figure C.1):

A 16 pin device has the following attributes:

- Partition 1 with supply pin groups: VDD1 (1 pin), VSS1 (1 pin) and 2 I/O-pins.
- Partition 2 with supply pin groups: VDD2 (2 pins), VSS2[A,B] (2 pins); 2 I/O-pins, 1 input pin and 1 output pin (4 non-supply pins).
- Partition 3 with supply pin groups: VDD3 (1 pin), VSS3/VSS4 (1 pin) and no I/O-pins.
- Partition 4 with supply pin groups: VDD4 (1 pin), VSS3/VSS4 (1 pin) and 1 I/O-pin.
- VSS1, VSS2-A and VSS2-B are electrically shorted in the package, therefore only one of these pins needs to be stressed. For simplification, VSS1 (pin 4) is selected.
- VDD2-A and VDD2-B are electrically shorted on the die with a resistance between them of less than $3\ \Omega$. Each pin shall be stressed, but they may be grouped to the same supply pin group.
- I/O-11 and I/O-12 form a coupled non-supply pin pair in partition 1.
- I/O-21 and I/O-22 form a coupled non-supply pin pair in partition 2.

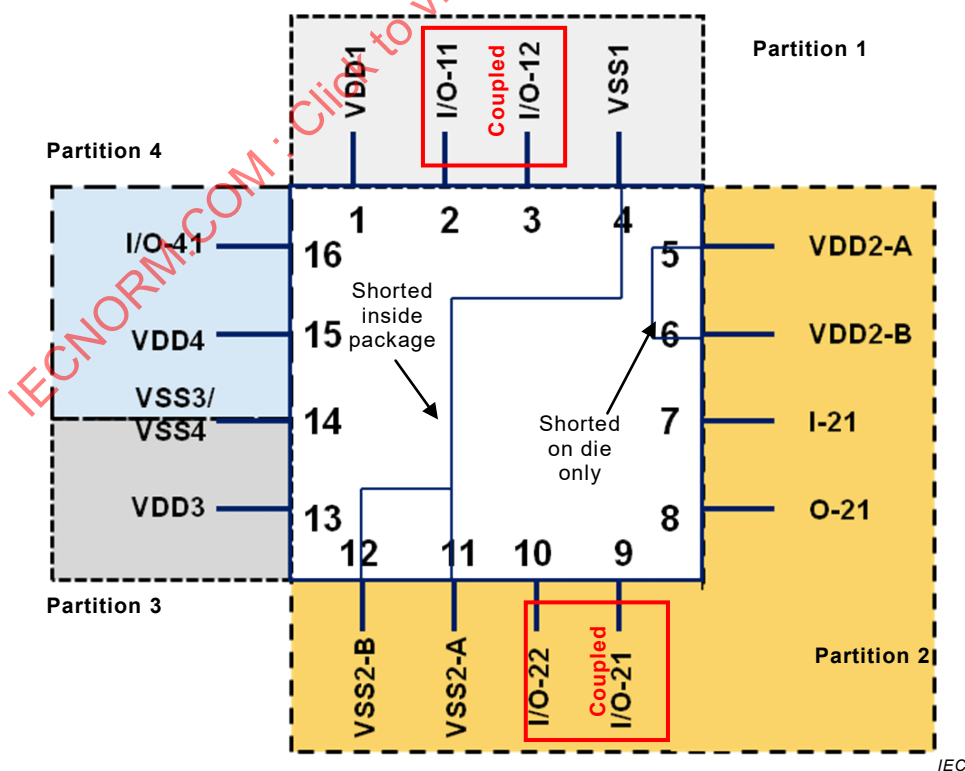


Figure C.1 – Example to demonstrate the idea of the partitioned test

VSS3/VSS4 belongs to the set of supply pin groups VDD3 as well as to the set of supply pin groups VDD4.

C.2 Procedure A (following Table 2):

When the information concerning which I/O-pin is associated with which supply pin groups is available the device can be tested, in accordance with Table C.1, by dividing the stress into three sections:

- a) The non-supply pin test, where all non-supply pins are only stressed to their associated supply pin groups. This can be done by partitioning the device into functional blocks.
- b) The supply pin test, where every supply pin is stressed to all other supplies.
- c) The I/O test, where the non-supply pins are tested to other non-supply pins as described in Table 2 row N + 1.

For the non-supply pin test, devices are stressed so that for each supply pin group, all non-supply pins associated with this supply pin group are stressed separately only against their own supply. For example, for the set of supply pin group VDD1 pin 2 and pin 3 are stressed against pin 1 as well as against pin 4 (the same procedure is used for the other sets of supply pin groups).

For the supply pin test, devices are stressed so that only all power and ground pins (VDD1, VDD2-A, VDD2-B, VDD3, VDD4, VSS1 (as representative of the group VSS1, VSS2-A, VSS2-B) and VSS3 are stressed separately against each other.

For the I/O test only the two coupled non-supply pin pairs are stressed against each other.

Table C.1 – Product testing in accordance with Table 2

Pin combination set number	Pin(s) connected to terminal B	Pin connected to terminal A (single pins, tested one at a time)	Number of zaps (1pos/1neg)
1	VDD1 (pin 1)	VSS1 (pin 4), VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	12
		I/O-11 (pin 2), I/O-12 (pin 3)	4
2	VSS1 (pin 4)	VDD1 (pin 1), VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	12
		I/O-11 (pin 2), I/O-12 (pin 3), I-21 (pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10)	12
3	VDD2-A (pin 5), VDD2-B (pin 6)	VDD1 (pin 1), VSS1 (pin 4), VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	10
		I-21 (pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10)	8
4	VDD3 (pin 13)	VDD1 (pin 1), VSS1 (pin 4), VDD2-A (pin 5), VDD2-B (pin 6), VSS3/VSS4 (pin 14), VDD4 (pin 15)	12
		(No associated non-supply pins)	0
5	VDD4 (pin 15)	VDD1 (pin 1), VSS1 (pin 4), VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VSS3/VSS4 (pin 14)	12
		I/O-41 (pin 16)	2
6	VSS3/VSS4 (pin 14)	VDD1 (pin 1), VSS1 (pin 4), VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VDD4 (pin 15)	12
		I/O-41 (pin 16)	2
7 (i.e., N + 1)	I/O-11 (pin 2)	I/O-12 (pin 3)	2
	I/O-12 (pin 3)	I/O-11 (pin 2)	2
	I/O-21 (pin 9)	I/O-22 (pin 10)	2
	I/O-22 (pin 10)	I/O-21 (pin 9)	2
NOTE Performing the stress in such a way, a device would see in total 106 zaps per voltage level.			

C.3 Alternative procedure B (following Table 3):

The required stress combinations of coupled-pair information and non-supply pin associations are not available. This is the legacy method of testing, in accordance with Table C.2.

Table C.2 – Product testing in accordance with Table 3

Pin combination set number	Pin(s) connected to terminal B	Pin connected to terminal A (single pins, tested one at a time)	Number of zaps (1pos/1neg)
1	VDD1 (pin 1)	VSS1 (pin 4), VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	12
		I/O-11 (pin 2), I/O-12 (pin 3), I-21 (pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10), I/O-41 (pin 16)	14
2	VSS1 (pin 4)	VDD1 (pin 1), VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	12
		I/O-11 (pin 2), I/O-12 (pin 3), I-21 (pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10), I/O-41 (pin 16)	14
3	VDD2-A (pin 5), VDD2-B (pin 6)	VDD1 (pin 1), VSS1 (pin 4), VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	10
		I/O-11 (pin 2), I/O-12 (pin 3), I-21 (pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10), I/O-41 (pin 16)	14
4	VDD3 (pin 13)	VDD1 (pin 1), VSS1 (pin 4), VDD2-A (pin 5), VDD2-B (pin 6), VSS3/VSS4 (pin 14), VDD4 (pin 15)	12
		I/O-11 (pin 2), I/O-12 (pin 3), I-21 (pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10), I/O-41 (pin 16)	14
5	VDD4 (pin 15)	VDD1 (pin 1), VSS1 (pin 4), VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VSS3/VSS4 (pin 14)	12
		I/O-11 (pin 2), I/O-12 (pin 3), I-21 (pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10), I/O-41 (pin 16)	14
6	VSS3/VSS4 (pin 14)	VDD1 (pin 1), VSS1 (pin 4), VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VDD4 (pin 15)	12
		I/O-11 (pin 2), I/O-12 (pin 3), I-21 (pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10), I/O-41 (pin 16)	14
7 (i.e., N + 1)	I/O-11 (pin 2), I/O-12 (pin 3), I-21 (pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10), I/O-41 (pin 16)	I/O-11 (pin 2)	2
		I/O-12 (pin 3)	2
		I-21 (pin 7)	2
		O-21 (pin 8)	2
		I/O-21 (pin 9)	2
		I/O-22 (pin 10)	2
	Except for the pin being stressed (i.e., connected to terminal A)	I/O-41 (pin 16)	2
NOTE Performing the stress in such a way, a device would see in total 156 zaps per voltage level.			

C.4 Alternative procedure C (following Table 2):

An example of the stress combinations using a two-pin HBM tester with coupled non-supply pin information and non-supply pin associations is provided in Table C.3. For this example, it is assumed that the parasitics are low enough to take advantage of nearly identical waveforms on terminals A and B as discussed in B.4.

Table C.3 – Alternative product testing in accordance with Table 2

Pin combination set number	Pin(s) connected to terminal B	Pin connected to terminal A (single pins, tested one at a time)	Number of zaps (1pos/1neg)
1	VDD1 (pin 1)	VSS1 (pin 4), VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	12
		I/O-11 (pin 2), I/O-12 (pin 3)	4
2	VSS1 (pin 4)	VDD2-A (pin 5), VDD2-B (pin 6), VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	10
		I/O-11 (pin 2), I/O-12 (pin 3), I-21(pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10)	12
3	VDD2-A (pin 5)	VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	6
		I-21(pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10)	8
4	VDD2-B (pin 6)	VDD3 (pin 13), VSS3/VSS4 (pin 14), VDD4 (pin 15)	6
		I-21(pin 7), O-21 (pin 8), I/O-21 (pin 9), I/O-22 (pin 10)	8
5	VDD3 (pin 13)	VSS3/VSS4 (pin 14), VDD4 (pin 15)	4
		(No associated non-supply pins)	0
6	VDD4 (pin 15)	VSS3/VSS4 (pin 14)	2
		I/O-41 (pin 16)	2
7	VSS3/VSS4 (pin 14)	(All supply to supply combinations have been stressed)	0
		I/O-41 (pin 16)	2
8 (i.e., N + 1)	I/O-11 (pin 2)	I/O-12 (pin 3)	2
	I/O-21 (pin 9)	I/O-22 (pin 10)	2
NOTE When the stressing is performed this way, a device would see 80 zaps per voltage level.			

Annex D

(informative)

Examples of coupled non-supply pin pairs

Pin names and engineering judgment can be a guide to identify coupled non-supply pin pairs. Examples of names used with coupled non-supply pin pairs are:

- USB data pins, such as:
 - D+ and D-
 - DP and DM
- PCI pins, such as:
 - TxP and TxN
 - RxP and RxN
 - DMI_TXN and DMI_TXP
 - DMI_RXN and DMI_RXP
- Crystal pin pairs, such as:
 - XTALin/XTALout
 - XTAL_+ and XTAL_-
 - XTAL_1 and XTAL_2
 - XTAL_A and XTAL_B
- Signal pin pairs that end with P and N, such as:
 - OUT_P and OUT_N
 - IN_P and IN_N
 - VREF_P and VREF_N
 - PEG_RXN and PEG_RXP
 - PEG_TXN and PEG_TXP
 - CCP_DP and CCN_DN
 - BCLK_DN and BCLK_DP
 - x_CLK_N and x_CLK_P
 - QPI_RX_N and QPI_RX_P
- Signal pin pairs that have X added to the signal name for the inverted signal, such as:
 - BT_RFIO and BT_RFIOX
 - FMR_RTX and FMR_RTXX
 - RX12 and RX12X
- LNA_IN and LNA_OUT
- RF_IN and RF_OUT
- THERMDA/THERMDC (thermal diode anode and cathode)

Annex E (normative)

Cloned non-supply (I/O) pin sampling test method

E.1 Purpose and overview

This test method is targeted for IC designs with a uniform approach to ESD protection where the same I/O cell design is replicated in a set of pins. This approach works well for high pin count devices with wide data busses such as large microprocessors. For simplicity, these types of non-supply (I/O) pins with a common design are called “cloned I/Os”. A flow chart of the method is given in Figure E.2.

A statistical Excel² program has been developed to simplify the statistical calculation used in this new test procedure. After the user has validated that the identical I/O pins meet the definition of cloned I/O pins, the user can go to www.esda.org and download the Excel file (registration is required). Read the user guide file to learn how to use the Statistical Excel file.

E.2 Pin sampling overview and statistical details

The ESD sensitivity level of cloned I/Os can be determined to a high degree of confidence (99 %) by HBM stressing a statistically significant sample of pins compared to stressing 100 % of these identical pins. This new test method divides the total number of cloned I/O pins into a single or multiple sets. The total number of pins within a single set is defined as M.

The sampling test method starts by selecting 30 pins (n) at random from all cloned I/O pins. HBM tests are performed on the selected pins where a failure is defined as significant increases in pin leakages or changes in the curve trace curves. One IC device is used to determine the failure distribution of the group of cloned I/Os. The average failure voltage, mean, and the range (the failure voltage difference between the weakest and the strongest pins) of this sample are found from the measured failure voltages. The HBM stress voltages are incrementally increased by steps of approximately 100 V until at least 15 pins out of the sample of 30 pins have failed.

Now there is enough data to apply statistics to determine the likelihood that all M cloned pins, including all the untested (M – 30) pins will pass a target specification level (SPL). If the probability of all cloned pins passing the target stress level is 99 % or greater, then the sample size of 30 randomly selected cloned I/O pins can be used for all subsequent HBM testing. If the probability is not at least 99 %, or if the weakest pin tested doesn't pass at least 50 % higher than the target HBM voltage level, then this procedure shall not be used.

The statistics applied in this method are based on the assumption that failure voltages among a set of cloned I/O pins are independent and normally distributed. The mean and range of the sampled pins provide a good estimate for the mean and standard deviation of the entire set of cloned I/O pins.

The mean of the sample is known when half the sampled pins have failed and this fail voltage (VM) can be used to represent the mean of the full cloned pin population with a high confidence level (99 %). The failure voltage difference from the lowest failure voltage (V1) to where half of the sampled pins fail (VM) is half the range. The range is defined as V2-V1, where V2 is the highest failure voltage where all 30 pins fail, and $V - V1 = 2 [VM - V1]$.

² Excel® is the trade name of a product supplied by Microsoft®. This information is given for the convenience of users of this document and does not constitute an endorsement by IEC of the product named. Equivalent products may be used if they can be shown to lead to the same results.

The standard deviation, sigma, of the cloned I/O pin population is found from the relationship between the range of a sample and the sample size. The statistical function, d2, provides the expected ratio of the range of a sample to the standard deviation of the population. With a sample size of $n = 30$, d2 is 4,086; therefore, the calculated standard deviation (sigma) is $[VM - V1]/2,043$.

The probability of untested pins passing a target level (SPL) with a high confidence level (99 %) is found from the standard normal cumulative distribution function. The steps necessary to do this calculation are as follows.

- a) Calculate the number of standard deviations (z) between the mean and SPL voltage levels:

$$z = [VM - SPL]/\text{sigma (see Figure E.1)}.$$

- b) Use either a normal cumulative distribution table or an Excel spreadsheet and the Excel NORMSDIST function to calculate the probability that any pin in the population will not pass SPL. This is defined as NORMSDIST (-z). This value is the area of the normal distribution where the failure voltages are less than SPL.
- c) The probability that any pin selected at random will pass the SPL is $[1 - \text{NORMSDIST}(-z)] = \text{NORMSDIST}(z)$.
- d) Since we have $M - n$ untested pins, the probability that all untested pins will pass SPL is $[\text{NORMSDIST}(z)]^{(M-n)}$.
- e) If $[\text{NORMSDIST}(z)]^{(M-n)} \geq 0,99$, then the sample data shows that all cloned I/O pins for this IC device will pass the HBM voltage SPL with a 99 % statistical confidence.

If these calculations show that the 99 % confidence level can be met, then this sampling HBM test procedure for cloned I/O pins can be applied. Subsequent HBM testing using three parts can follow the standard HBM test procedures, but only a random selection of 30 pins of the cloned I/O pin set needs to be stressed and the remaining cloned I/Os may be left “floating” during all HBM tests.

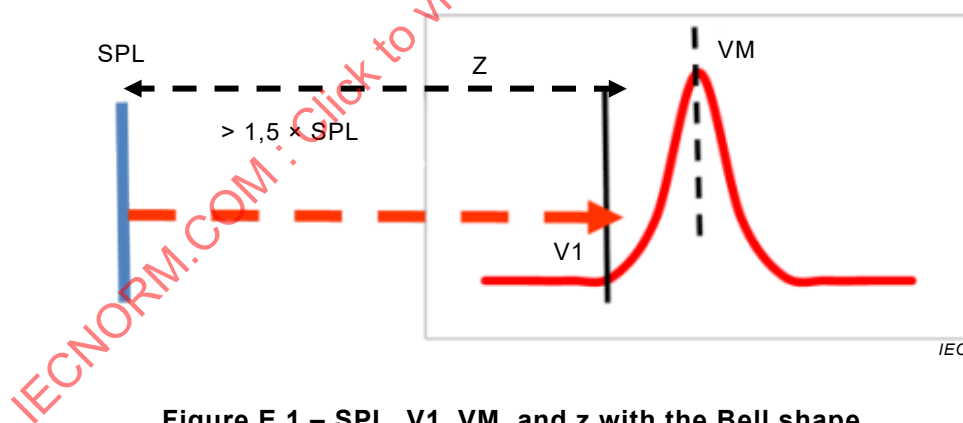


Figure E.1 – SPL, V1, VM, and z with the Bell shape distribution pin failure curve

E.3 IC product selections

An IC product is a possible candidate to apply this test method if the identical I/O pins can be shown to meet the definition of cloned I/O defined in 3.2. Consult with the IC design team and/or ESD team to confirm that the set of I/O pins meets the definition. Once confirmed, determine how many cloned I/O pins are in the set, called M. Use sampling test method only if $M \geq 50$ pins.

Ensure that none of these I/O clones have a feedthrough connection to internal transistors, and if they do, then those pins have to be excluded from the test group. Design verification can be done manually but a more efficient check can be done through software checkers that identify cloned I/O pins with their associated macro name.

Pad cell designs may be designed with feedthrough metal lines. These lines allow internal devices not in the pad cell to be metallurgically connected to the bond pad. As these additional devices may create ESD current paths unique to each pin, pins using these pad cells shall not be considered as I/O clones.

E.4 Randomly selecting and testing cloned I/O pins

Select 30 cloned I/O pins at random from the total population of M pins. A spreadsheet based random number generator may be used. Do not attempt to use any other selection criterion such as purposeful selection of I/Os close to or farther from VSS/VDD pads.

Determine the HBM voltage target specification level for this product (SPL) from data sheet or other documentation. Define a shift in IV curves as the basis for a DC leakage fail criterion as is generally used in HBM testing.

One IC device will be HBM stressed to determine the minimum HBM fail voltage (V1) and mean HBM fail voltage where 15 out of 30 of the sample I/O pins fail. Write a HBM test program that will test all sample cloned I/O pins to their associated supply pins. Start HBM stressing at $1,5 \times \text{SPL}$ and stress all selected pins positively and negatively. After stressing each pin, measure the DC leakage values or curve trace curves and determine if the HBM failure criteria has been met.

If any pin fails at $1,5 \times \text{SPL}$ do not use the sampling test procedure. Increase the HBM voltage stress in steps of 100 V or 10 % of SPL, whichever is greater. Keep stressing all selected pins at the increasing stress levels to find the maximum voltage level where no pins fail – call this V1. Continue to HBM stress all selected pins that have not failed at increasing levels to find the minimum voltage step where 15 or more pins fail – call this VM.

E.5 Determining if sampling can be used with the supplied Excel spreadsheet

E.5.1 Using the supplied Excel spreadsheet

Use the Excel spreadsheet supplied to determine the probability that all untested cloned I/Os will pass SPL. Input M, SPL, V1, and VM into the program to obtain the confidence level. If the confidence level is 99 % or greater, the cloned sampling HBM test method can be used. If not, then do not use this test method.

E.5.2 Without using the Excel spreadsheet

HBM stress the sample of 30 cloned I/O pins and determine the following parameters from the data: M, SPL, V1, VM and $n = 30$, $d2 = 4,086$. Determine the confidence that all cloned I/O pins will pass SPL by following the steps below:

- Derive the estimated range; $\text{Range} = 2 \times (\text{VM} - \text{V1})$.
- Derive the estimated sigma; $\text{sigma} = \text{Range}/4,086$.
- Determine the number of sigma the mean VM is above the SPL, $z = (\text{VM} - \text{SPL})/\text{sigma}$.
- From a Standard Normal Cumulative Distribution Function Table determine the probability that all of the untested pins are above SPL by taking the single pin normal distribution probability value to the power of $(M - 30)$, namely $(\text{NORMSDIST}(z))^{\text{raised to the power of } (M - 30)}$. If this value is greater than or equal to 0,99, then sampling method can be used in subsequent HBM testing. If not then do not use this test method.

E.6 HBM testing with a sample of cloned I/O pins

If the set of cloned I/O pins has been tested in accordance with E.4 and has been shown to meet the requirements for sampling test method, then use the test procedure steps listed in

Clauses E.5 and E.6. Randomly select 30 cloned I/O pins from the set of M cloned I/O pins for full HBM testing.

The unselected $M - 30$ pins are removed from the HBM test pin list (can be listed as No Connect pins). If unwanted IC–tester interactions are known, special test fixture boards can be built that do not wire the “floating” cloned I/O pins to the signal pins of the HBM test simulator. This special test fixture board will truly float the non-stressed cloned I/O pins. Perform full HBM test with all combinations using the 30 randomly selected cloned I/O pins as described in 6.3.

E.7 Examples of testing with sampled cloned I/Os

Example 1:

A product with a large number of cloned I/O pins is analysed for possible cloned I/O pin sampling. The product has 292 cloned I/O pins. HBM step stress testing of 30 randomly selected cloned I/O pins on one part to 50 % failures found the critical parameters: $V_1 = 2\,100\text{ V}$, $V_M = 3\,100\text{ V}$; with an $SPL = 1\,000\text{ V}$. These values are entered into the Excel spreadsheet and the confidence level was determined to be $>99\%$ (99,766 5 %). This indicates that 30 pins may be randomly chosen to represent the 292 set of cloned I/O pins.

Test 30 clone pins until 15 fail	n	30
Total count of clone pins	M	292
Lower spec. limit in volts	SPL	1 000
Highest voltage at which all 30 pins pass	V_1	2 100
Lowest voltage at which at least 15 pins fail	V_M	3 100
Estimated range		2 000
d2		4,086
Estimated sigma		489,476 260 4
Estimated mean		3 100
How many sigmas from SPL to mean?	z	4,290 3
Probability that one untested pin is above the SPL?	Prob(1)	0,999 991 078
Count of untested pins	(M–n)	262
Probability that all untested pins are above the SPL?	Prob(M–n)	0,997 665 261
If this value is $>0,99$ then we feel 99 % confident that all the untested pins are above the SPL.		YES

Without the Excel spreadsheet, the range is calculated from $2 \times (V_M - V_1)$, or range = 2 000 V. The sigma is calculated from $2\,000/4,086$ ($n = 30$); sigma = 489,476 2 V. The number of sigma between the mean and SPL is $z = (V_M - SPL)/\text{sigma}$, or $z = (3\,100 - 1\,000)/489,4\,762 = 4,290\,3$. The probability of all untested pins being above SPL is $\text{NORMSDIST}(4,290\,3)(292 - 30) = 0,997\,665$. Since the confidence level exceeds 99 %, 30 pins may be used to represent the 292 set of cloned I/O pins.

Example 2:

A product with 300 cloned I/O pins is analysed for possible cloned I/O pin sampling. The HBM testing of cloned I/Os to failure on one part found the critical parameters: $V_1 = 1\,800\text{ V}$, $V_M = 3\,000\text{ V}$; with an $SPL = 1\,000\text{ V}$. These values are entered into the Excel spreadsheet

and the confidence level was determined to be < 99 % (91,453 8 %). Therefore, this set of cloned I/Os does not qualify for sampling and the standard HBM procedure without sampling is followed.

Test 30 clone pins until 15 fail	n	30
Total count of clone pins	M	300
Lower Spec Limit in volts	SPL	1 000
Highest voltage at which all 30 pins pass	V1	1 800
Lowest voltage at which at least 15 pins fail	VM	3 000
Estimated range		2 400
d2		4,086
Estimated sigma		587,371 512 5
Estimated mean		3 000
How many sigmas from SPL to mean?	z	3,405
Probability that one untested pin is above the SPL?	Prob(1)	0,999 669 18
Count of untested pins	(M-n)	270
Probability that all untested pins are above the SPL?	Prob(M-n)	0,914 538 008
If this value is > 0,99 then we feel 99 % confident that all the untested pins are above the SPL.		NO

Without the Excel spreadsheet, the range is calculated from $2 \times (VM - V1)$, or range = 2 400 V. The sigma is calculated from $2\,400/4,086$ ($n = 30$); sigma = 587,37 V. The number of sigma between the mean and SPL is $z = (VM - SPL)/\text{sigma}$, or $z = (3\,000 - 1\,000)/587,37 = 3,405$. The probability of all untested pins being above SPL is $\text{NORMSDIST}(3,405)^{(300-30)} = 0,914\,5$. Since 91,45 % is less than 99 %, this set of cloned I/Os does not qualify for sampling and the standard HBM procedure without sampling shall be followed.

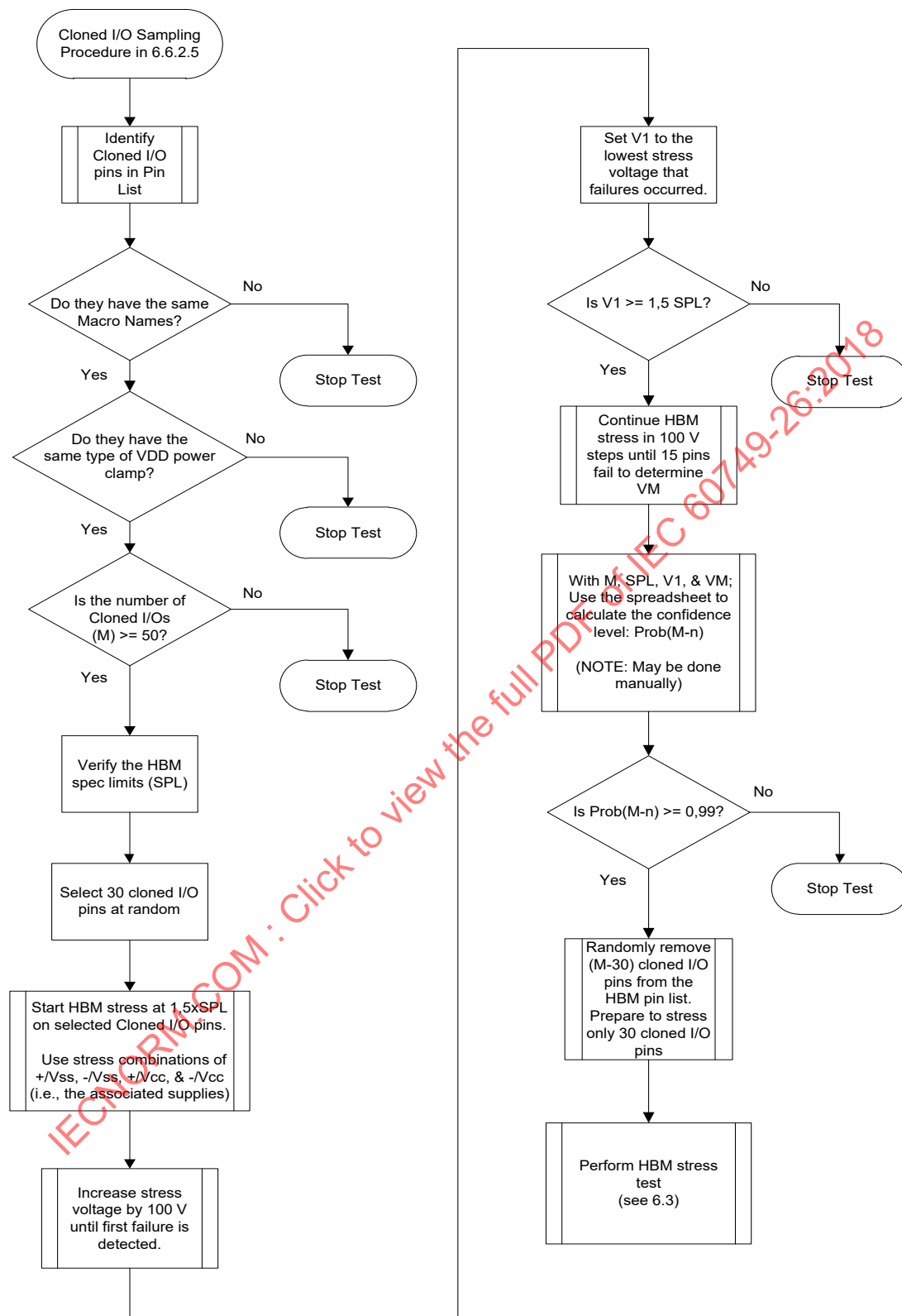


Figure E.2 – I/O sampling test method flow chart

Bibliography

IEC 60749 (all parts), *Semiconductor devices – Mechanical and climatic test methods*

IEC 60749-27, *Semiconductor devices – Mechanical and climatic test methods – Part 27: Electrostatic discharge (ESD) sensitivity testing – Machine model (MM)*

ANSI/ESDA/JEDEC JS-001-2014, *Electrostatic discharge sensitivity testing – Human body model (HBM) – Component level*

IECNORM.COM : Click to view the full PDF of IEC 60749-26:2018

IECNORM.COM : Click to view the full PDF of IEC 60749-26:2018

SOMMAIRE

AVANT-PROPOS	55
1 Domaine d'application	57
2 Références normatives	57
3 Termes et définitions	57
4 Appareillage et matériel exigé	61
4.1 Appareil de vérification de la forme d'onde	61
4.2 Oscilloscope	61
4.3 Exigences supplémentaires concernant les oscilloscopes numériques	61
4.4 Transducteur de courant (sonde de courant inductive)	61
4.5 Charges d'évaluation	62
4.6 Simulateur de modèle du corps humain	62
4.7 Propriétés parasites du matériel d'essai de HBM	63
5 Qualification et vérification de routine du matériel d'essai de contrainte	63
5.1 Vue d'ensemble des évaluations exigées de l'appareil d'essai de HBM	63
5.2 Procédures de mesure	63
5.2.1 Détermination des paires de broches de référence	63
5.2.2 Capture de forme d'onde avec une sonde de courant	64
5.2.3 Détermination des paramètres de la forme d'onde	64
5.2.4 Essai du chemin de décharge haute tension	67
5.3 Qualification de l'appareil d'essai de HBM	67
5.3.1 Exigences de qualification de l'appareil d'essai de DES de HBM	67
5.3.2 Procédure de qualification de l'appareil d'essai de HBM	68
5.4 Qualification de la carte de montage d'essai pour les appareils d'essai avec support	69
5.5 Exigences du contrôle de forme d'onde de routine	69
5.5.1 Description du contrôle de forme d'onde de routine normalisé	69
5.5.2 Fréquence de vérification des formes d'onde	70
5.5.3 Autre procédure de capture de forme d'onde de routine	70
5.6 Vérification du chemin de décharge haute tension	71
5.6.1 Appareils d'essai à relais	71
5.6.2 Appareils d'essai sans relais	71
5.7 Enregistrements de forme d'onde de l'appareil d'essai	71
5.7.1 Enregistrements de qualification de l'appareil d'essai et de la carte de montage d'essai	71
5.7.2 Enregistrements de vérification périodique de forme d'onde	71
5.8 Précautions de sécurité	71
5.8.1 Mise en service initiale	71
5.8.2 Formation	71
5.8.3 Sécurité du personnel	71
6 Procédure de classification	72
6.1 Dispositifs de classification	72
6.2 Essai paramétrique et fonctionnel	72
6.3 Contrainte du dispositif	72
6.4 Catégorie de broches	73
6.4.1 Généralités	73
6.4.2 Broches sans connexion	73
6.4.3 Broches d'alimentation	74

6.4.4	Broches n'assurant pas l'alimentation	74
6.5	Regroupement de broches	75
6.5.1	Groupes de broches d'alimentation	75
6.5.2	Groupes de broches court-circuitées n'assurant pas l'alimentation	76
6.6	Combinaisons de contraintes de broches	76
6.6.1	Classification des combinaisons de contraintes de broches	76
6.6.2	Broches avec et sans alimentation vers des combinaisons d'alimentation (1, 2, ... N)	78
6.6.3	Combinaison entre broches n'assurant pas l'alimentation	80
6.7	Contrainte de HBM avec un simulateur à faibles parasites	80
6.7.1	Simulateur de HBM à faibles parasites	80
6.7.2	Exigences applicables à la faiblesse des parasites	81
6.8	Essai après contrainte	81
7	Critères de défaillance	81
8	Classification des composants	81
Annexe A (informative) Organigramme de la méthode d'essai de HBM		82
Annexe B (informative) Propriétés parasites du matériel d'essai de HBM		88
B.1	Matériel/appareil facultatif de détection d'impulsion arrière	88
B.2	Matériel d'essai facultatif d'augmentation de tension de pré-impulsion	89
B.3	Capacité parasite d'un appareil d'essai à relais ouvert	91
B.4	Essai visant à déterminer si un appareil d'essai de HBM est un simulateur à faibles parasites	91
Annexe C (informative) Exemple d'essai d'un produit à l'aide du Tableau 2, du Tableau 3, ou du Tableau 2 avec un appareil d'essai de HBM à deux broches		93
C.1	Généralités	93
C.2	Procédure A (en suivant le Tableau 2)	94
C.3	Autre procédure B (en suivant le Tableau 3)	95
C.4	Autre procédure C (en suivant le Tableau 2)	97
Annexe D (informative) Exemples de paires de broches couplées n'assurant pas l'alimentation		98
Annexe E (normative) Méthode d'essai d'échantillonnage de broche clonée n'assurant pas l'alimentation (entrée/sortie)		99
E.1	Objet et vue d'ensemble	99
E.2	Vue d'ensemble de l'échantillonnage de broches et détails statistiques	99
E.3	Choix de produits CI	101
E.4	Choix aléatoire et essais de broches d'entrée/sortie clonées	101
E.5	Déterminer si l'échantillonnage peut être utilisé avec la feuille de calcul Excel fournie	102
E.5.1	Utilisation de la feuille de calcul Excel fournie	102
E.5.2	Sans utiliser la feuille de calcul Excel	102
E.6	Essais de HBM avec un échantillon de broches d'entrée/sortie clonées	102
E.7	Exemples d'essais avec entrées/sorties clonées échantillonnées	103
Bibliographie		106
Figure 1 – Circuit simulateur de HBM simplifié avec charges		62
Figure 2 – Forme d'onde de courant au travers de fils de mise en court-circuit		65
Figure 3 – Forme d'onde de courant au travers d'une résistance de 500 Ω		66
Figure 4 – Forme d'onde d'oscillation de court-circuit de courant de crête		67

Figure A.1 – Organigramme de la méthode d'essai de HBM (1 sur 3).....	82
Figure A.1 – Organigramme de la méthode d'essai de HBM (2 sur 3).....	84
Figure A.1 – Organigramme de la méthode d'essai de HBM (3 sur 3).....	86
Figure B.1 – Schéma du montage de mesure d'impulsion arrière	88
Figure B.2 – Contrainte positive à 4 000 V	89
Figure B.3 – Contrainte négative à 4 000 V	89
Figure B.4 – Représentation de la mesure de tension avant une impulsion de HBM avec une diode Zener ou un dispositif	90
Figure B.5 – Exemple d'augmentation de tension avant une impulsion de courant de HBM aux bornes d'une diode Zener de 9,4 V	90
Figure B.6 – Schéma d'un appareil d'essai de court-circuitage à 10 broches avec sonde de courant	92
Figure C.1 – Exemple de démonstration de l'idée d'essai partitionné	94
Figure E.1 – SPL, V1, VM, et z avec la courbe de répartition en cloche de défaillance des broches	101
Figure E.2 – Organigramme de la méthode d'essai d'échantillonnage d'entrées/sorties	105
Tableau 1 – Spécification de formes d'onde	69
Tableau 2 – Ensembles de combinaisons de broches préférentiels	77
Tableau 3 – Autres ensembles de combinaisons de broches	78
Tableau 4 – Niveaux de classification des composants de DES de HBM	81
Tableau C.1 – Essai de produit selon le Tableau 2	95
Tableau C.2 – Essai de produit selon le Tableau 3	96
Tableau C.3 – Autre essai de produit selon le Tableau 2	97

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**DISPOSITIFS À SEMICONDUCTEURS –
MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –****Partie 26: Essai de sensibilité aux décharges électrostatiques (DES) –
Modèle du corps humain (HBM)**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 60749-26 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs en collaboration avec le comité d'études 101: Electrostatique.

Cette quatrième édition annule et remplace la troisième édition parue en 2013. Cette édition constitue une révision technique. La présente norme se base sur l'ANSI/ESDA/JEDEC JS-001-2014. Elle est utilisée avec l'autorisation des détenteurs des droits d'auteur, ESD Association et JEDEC Solid state Technology Association.

Cette édition inclut les modifications techniques majeures suivantes par rapport à l'édition précédente:

- a) un nouveau paragraphe sur la contrainte de HBM avec un simulateur à faibles parasites est ajouté, ainsi qu'un essai visant à déterminer si un simulateur de HBM est un simulateur à faibles parasites;
- b) un nouvel article est ajouté pour les broches clonées n'assurant pas l'alimentation et une nouvelle annexe est ajoutée pour les essais des broches clonées n'assurant pas l'alimentation.

Le texte de cette Norme internationale est issu des documents suivants:

FDIS	Rapport de vote
47/2438/FDIS	47/2454/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme internationale.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 60749, publiées sous le titre général *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

Partie 26: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle du corps humain (HBM)

1 Domaine d'application

La présente partie de l'IEC 60749 établit une procédure pour les essais, l'évaluation et la classification des composants et des microcircuits en fonction de leur susceptibilité (sensibilité) aux dommages ou de leur dégradation à la suite de leur exposition à des décharges électrostatiques (DES) sur un modèle de corps humain (HBM) défini.

Le but du présent document est de déterminer une méthode d'essai permettant de reproduire les défaillances du HBM et de fournir des résultats d'essais de DES de HBM fiables et reproductibles d'un appareil d'essai à un autre, sans tenir compte du type de composant. Des données reproductibles autoriseront des classifications et des comparaisons précises des niveaux de sensibilité de DES de HBM.

Les essais de DES des dispositifs à semiconducteurs sont choisis entre la présente méthode d'essai, celle du modèle de machine (MM) (voir IEC 60749-27) ou toute autre méthode d'essai de la série IEC 60749. Sauf indication contraire, la présente méthode d'essai est celle qui prévaut.

2 Références normatives

Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

Le présent document ne contient aucune référence normative.

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.1

broche associée n'assurant pas l'alimentation

broche n'assurant pas l'alimentation (généralement une broche d'E/S) associée à un groupe de broches d'alimentation

Note 1 à l'article: Une broche n'assurant pas l'alimentation est considérée comme associée à un groupe de broches d'alimentation:

- a) si le courant provenant du groupe de broches d'alimentation (c'est-à-dire, VDDIO) est nécessaire pour le fonctionnement du ou des circuits électriques (amplificateur d'E/S) raccordés (impédance haute/basse) à cette broche n'assurant pas l'alimentation; ou

- b) si un chemin parasite existe entre un groupe de broches n'assurant pas l'alimentation et un groupe de broches d'alimentation (par exemple, broche n'assurant pas l'alimentation du type à drain ouvert vers un groupe de broches d'alimentation VCC connectées à un anneau de garde de puits N proche).

3.2

broche clonée n'assurant pas l'alimentation (entrée/sortie)

groupe de broches d'entrée, de sortie ou bidirectionnelles utilisant la même cellule d'entrée/sortie et le même schéma électrique et partageant le(s) même(s) groupe(s) de broches d'alimentation associé(s), circuit(s) de serrage ESD inclus

3.3

composant

élément tel qu'une résistance, une diode, un transistor, un circuit intégré ou un circuit hybride

3.4

défaillance d'un composant

état dans lequel un composant soumis à un essai ne correspond pas à un ou plusieurs paramètres statiques ou dynamiques spécifiés de la feuille de caractéristiques

3.5

paire de broches couplées n'assurant pas l'alimentation

deux broches ayant un chemin de courant direct prévu (par exemple une porte de transmission ou des résistances, par exemple des entrées d'amplificateur différentiel ou des broches de signalisation différentielles basse tension (LVDS)), incluant des paires différentielles analogiques et numériques et d'autres paires de fonctions spéciales (par exemple, D+/D-, XTALin/XTALout, RFin/RFout, TxP/TxN, RxP/RxN, CCP_DP/CCN_DN, etc.)

3.6

paramètres des feuilles de caractéristiques

données de performances statiques et dynamiques d'un composant fournies par le fabricant ou le fournisseur du composant

3.7

tension de tenue

niveau de tension le plus haut ne provoquant pas de défaillance d'un dispositif

Note 1 à l'article: Le dispositif a réussi tous les essais aux tensions inférieures (voir fenêtre de défaillance).

3.8

fenêtre de défaillance

plage intermédiaire de tensions de contrainte pouvant induire une défaillance dans un type particulier de dispositif, lorsque le type de dispositif peut supporter certaines tensions de contrainte supérieures et inférieures à cette plage

Note 1 à l'article: Un composant ayant une fenêtre de défaillance peut réussir un essai à 500 V, échouer à un essai à 1 000 V et réussir un essai à 2 000 V. La tension de tenue d'un tel dispositif est de 500 V.

3.9

décharge électrostatique de modèle du corps humain

DES de HBM

événement de DES satisfaisant aux critères de forme d'onde spécifiés dans le présent document, s'approchant de la décharge de l'extrémité d'un doigt d'un être humain type vers un dispositif mis à la masse

3.10

appareil d'essai de DES de HBM

simulateur de HBM

matériel appliquant une DES de HBM à un composant

3.11 **I_{ps}**

valeur du courant de crête déterminée par le courant au temps t_{max} sur l'extrapolation linéaire de la courbe de décroissance exponentielle de courant, basée sur les données de forme d'onde de courant pendant de 40 ns commençant à t_{max}

VOIR: Figure 2 a).

3.12 **I_{psmax}**

valeur de courant la plus élevée mesurée incluant les composantes de dépassement ou d'oscillation dues à des parasites RLC internes du simulateur d'essai

VOIR: Figure 2 a).

3.13**broche sans connexion**

interconnexion de boîtier qui n'est pas connectée électriquement à une puce

EXEMPLE Broche, bosse, interconnexion à bille.

Note 1 à l'article: Il existe certaines broches marquées sans connexion qui sont en réalité connectées à la puce et qu'il ne convient pas de classer comme broche sans connexion.

3.14**appareil d'essai sans support**

simulateur de HBM faisant contact avec les broches (ou billes, plages, bosses ou plots de puce) du dispositif en essai (DEE) avec des sondes d'essai plutôt qu'en plaçant le DEE dans un support

3.15**broche n'assurant pas l'alimentation**

broche qui n'est pas classée comme une broche d'alimentation ou sans connexion

Note 1 à l'article: Comprend les broches telles que entrée, sortie, réglages de décalage, compensation, horloges, commandes, adresse, données, broches Vref et broches VPP sur une mémoire EPROM. La plupart des broches n'assurant pas l'alimentation transmettent ou reçoivent des informations telles que des signaux numériques ou analogiques, un cadencement, des signaux d'horloge et des niveaux de référence de tension ou de courant.

3.16**plan du boîtier**

couche métallique basse impédance incorporée dans un boîtier de CI reliant un groupe de bosses ou de broches (généralement l'alimentation ou la masse)

Note 1 à l'article: Il peut y avoir plusieurs plans de boîtier (appelés parfois îlots) pour chaque groupe d'alimentation et de masse.

3.17**tension de préimpulsion**

tension apparaissant sur le dispositif en essai (DEE) juste avant la génération de l'impulsion de courant de HBM

VOIR: Article B.2.

3.18**circuit de génération d'impulsions**

réseau de circuit source d'impulsions à double polarité produisant une forme d'onde de courant de décharge dans le corps humain

Note 1 à l'article: Le réseau de circuit comporte un générateur d'impulsions avec un chemin interne au matériel d'essai jusqu'au plot de contact du montage d'essai. Ce circuit est également appelé source d'impulsions à double polarité.

3.19

oscillation

oscillation à haute fréquence superposée à une forme d'onde

3.20

broche court-circuitée n'assurant pas l'alimentation

toute broche n'assurant pas l'alimentation (généralement une broche d'E/S) connectée de façon métallique (généralement $< 3 \Omega$) sur la puce ou à l'intérieur du boîtier à une autre broche n'assurant pas l'alimentation (ou à un ensemble de broches n'assurant pas l'alimentation)

3.21

appareil d'essai avec support

simulateur de HBM faisant contact avec les broches (ou billes, plages, bosses ou plots de puce) du DEE utilisant un support de DEE monté sur une carte de montage d'essai

3.22

impulsion de courant parasite

faible impulsion conformée de HBM qui suit l'impulsion de courant principale, et qui est généralement définie comme un pourcentage de I_{psmax}

3.23

durcissement de contrainte par palier

aptitude d'un composant soumis à des contraintes de tension de DES croissantes à supporter des niveaux de contrainte supérieurs par rapport à un composant similaire n'ayant pas précédemment été soumis à contrainte

EXEMPLE Un composant peut échouer à 1 000 V s'il est soumis à une contrainte unique, mais il échoue à 3 000 V s'il a été soumis à des contraintes incrémentales à partir de 250 V.

3.24

broche d'alimentation

toute broche fournissant un courant à un circuit

Note 1 à l'article: Généralement, les broches d'alimentation ne transmettent aucune information (telles que des signaux numériques ou analogiques, un cadencement, des signaux d'horloge et des niveaux de référence de tension ou de courant). Pour les besoins de l'essai de DES, les broches de puissance et de masse sont traitées comme des broches d'alimentation.

3.25

carte de montage d'essai

carte de circuit spécialisée, avec un ou plusieurs supports de composant, reliant le ou les DEE au simulateur d'HBM

3.26

t_{max}

temps auquel I_{ps} est à sa valeur maximale (I_{psmax})

VOIR: Figure 2 a).

3.27

impulsion de courant arrière

impulsion de courant apparaissant après que l'impulsion de courant de HBM a diminué

Note 1 à l'article: Une impulsion de courant arrière est un courant relativement constant durant souvent plusieurs centaines de microsecondes.

VOIR: Article B.1.

3.28

appareil d'essai de HBM à deux broches

simulateur de HBM à faibles parasites effectuant des essais de DEE par paires de broches, où les broches flottantes ne sont pas connectées au simulateur, éliminant ainsi les interactions DEE-appareil d'essai de la charge parasite des broches flottantes de l'appareil d'essai

4 Appareillage et matériel exigé

4.1 Appareil de vérification de la forme d'onde

Tout matériel utilisé pour évaluer l'appareil d'essai doit être étalonné conformément aux recommandations du fabricant. Ces appareils comprennent l'oscilloscope, le transducteur de courant et la charge résistive à haute tension. La durée maximale entre étalonnages doit être d'une année. L'étalonnage doit pouvoir être rapporté à des normes nationales ou internationales.

Le matériel capable de vérifier les formes d'onde d'impulsion définies dans cette méthode d'essai normalisée comporte, entre autres, un oscilloscope, des charges d'évaluation et un transducteur de courant.

4.2 Oscilloscope

Un oscilloscope numérique est recommandé mais les oscilloscopes analogiques sont également admis. Pour garantir une capture précise de la forme d'onde de courant, l'oscilloscope doit remplir les exigences suivantes:

- a) sensibilité maximale de 100 mA par division principale lorsqu'il est utilisé avec le transducteur spécifié en 4.4;
- b) largeur de bande minimale de 350 MHz;
- c) pour les oscilloscopes analogiques, vitesse d'écriture minimale d'une division principale par nanoseconde.

4.3 Exigences supplémentaires concernant les oscilloscopes numériques

Lorsqu'un oscilloscope numérique est utilisé, les exigences supplémentaires suivantes s'appliquent:

- a) nombre de canaux recommandés: 2 ou plus;
- b) vitesse d'échantillonnage minimale: 10^9 échantillons par seconde;
- c) résolution verticale minimale: 8 bits;
- d) précision verticale minimale: $\pm 2,5$ %;
- e) précision minimale de la base de temps: 0,01 %;
- f) longueur minimale d'enregistrement: 10^3 points.

4.4 Transducteur de courant (sonde de courant inductive)

- a) largeur de bande minimale de 200 MHz;
- b) capacité d'impulsion de crête de 12 A;
- c) temps de montée inférieur à 1 ns;
- d) capable d'accepter un conducteur plein comme spécifié en 4.5;
- e) fournit une tension de sortie par courant de signal comme exigé en 4.2 (celle-ci est habituellement comprise entre 1 mV/mA et 5 mV/mA.);

- f) point à 3 dB basse fréquence inférieur à 10 kHz (par exemple, Tektronix CT-2¹) pour la mesure de la constante de décroissance t_d (voir 5.2.3.2, Tableau 1, et Note ci-dessous).

NOTE Les résultats avec une sonde de courant dont le point à 3 dB basse fréquence est à 25 kHz (par exemple, Tektronix CT-1¹) pour mesurer la constante de décroissance t_d sont acceptables s'il est établi que t_d est compris entre 130 ns et 165 ns.

4.5 Charges d'évaluation

Deux charges d'évaluation sont nécessaires pour vérifier la fonctionnalité de l'appareil d'essai:

- a) Charge 1: fil de mise en court-circuit plein en cuivre étamé de 18 AWG à 24 AWG (taille de fil non conforme à la norme US d'une section transversale de 0,25 mm² à 0,75 mm²) aussi court que possible pour couvrir la distance comprise entre les deux broches les plus éloignées du support lors de la traversée de la sonde de courant ou suffisamment longue pour traverser la sonde de courant et être en contact avec les sondes de l'appareil d'essai sans support.
- b) Charge 2: $(500 \pm 5) \Omega$, tension assignée minimale 4 000 V.

4.6 Simulateur de modèle du corps humain

Un schéma simplifié du simulateur ou appareil d'essai de HBM est donné à la Figure 1. La performance de l'appareil d'essai est influencée par la capacité et l'inductance parasites. Ainsi, la construction d'un appareil d'essai en utilisant ce schéma ne garantit pas qu'il fournisse l'impulsion de HBM nécessaire pour le présent document. Les procédures et les exigences de capture de forme d'onde décrites à l'Article 5 déterminent l'acceptabilité du matériel pour son utilisation.

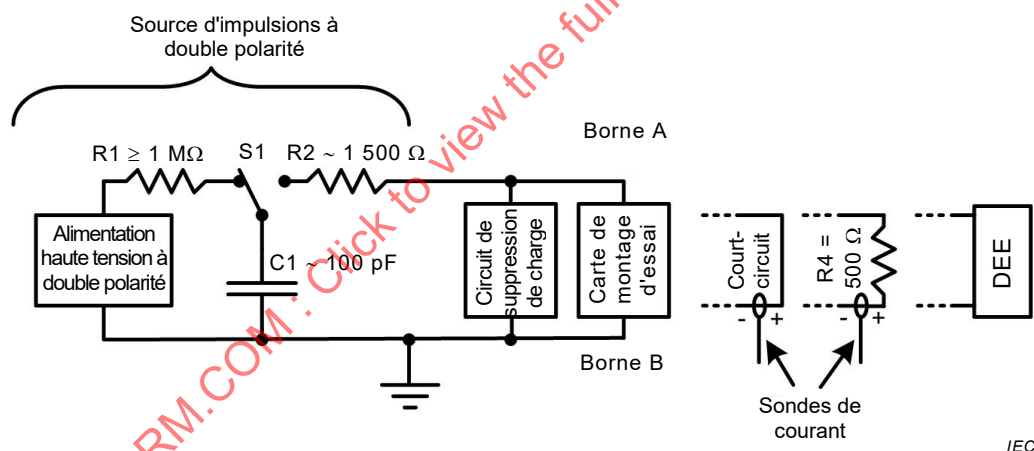


Figure 1 – Circuit simulateur de HBM simplifié avec charges

Le circuit de retrait de charge représenté à la Figure 1 garantit une décharge lente du dispositif, évitant ainsi la possibilité d'une décharge de modèle de dispositif chargé. Une résistance de 10 kΩ ou plus (pouvant être en série avec un interrupteur) en parallèle avec la carte de montage d'essai en est un exemple simple. Cette résistance peut également être utile pour contrôler les tensions parasites de pré-impulsion (voir Annexe B). Le générateur d'impulsions à double polarité (source) doit être conçu pour éviter les transitoires de recharge et les doubles impulsions. Il convient de noter que l'inversion des bornes A et B pour obtenir des performances de double polarité n'est pas admise. L'empilement des adaptateurs de support de DEE (superposition ou insertion de supports secondaires dans le support d'essai

¹ Tektronix CT-1 et Tektronix CT-2 sont les appellations commerciales des produits distribués par Tektronix, Inc.

Cette information est donnée à l'intention des utilisateurs du présent document et ne signifie nullement que l'IEC approuve ou recommande l'emploi exclusif des produits ainsi désignés. Des produits équivalents peuvent être utilisés s'il est démontré qu'ils conduisent aux mêmes résultats.

principal) n'est admis que si la forme d'onde du support secondaire remplit les exigences du présent document définies dans le Tableau 1.

NOTE 1 Les transducteurs de courant (sondes) sont spécifiés en 4.4.

NOTE 2 Le fil de mise en court-circuit (court-circuit) et la résistance de 500 Ω (R4) sont les charges d'évaluation spécifiées en 4.5.

NOTE 3 Les valeurs des composants sont nominales.

4.7 Propriétés parasites du matériel d'essai de HBM

Certains simulateurs de HBM se sont révélés classer de manière erronée des niveaux de sensibilité de HBM en raison d'artefacts parasites ou de tensions non contrôlées établies de manière involontaire dans les simulateurs de HBM. Des méthodes permettant de déterminer si ces effets sont présents et des techniques facultatives permettant de les atténuer sont décrites à l'Annexe B. Les appareils d'essai de HBM à deux broches et les appareils d'essai sans support peuvent avoir des capacités parasites plus faibles et peuvent atténuer les effets parasites des appareils d'essai en mettant en contact uniquement les broches soumises à contrainte.

5 Qualification et vérification de routine du matériel d'essai de contrainte

5.1 Vue d'ensemble des évaluations exigées de l'appareil d'essai de HBM

L'appareil d'essai de HBM et les cartes de montage d'essai doivent être qualifiés, requalifiés et vérifiés régulièrement comme décrit dans l'Article 5. Les précautions de sécurité décrites en 5.8 doivent être suivies à tout moment.

5.2 Procédures de mesure

5.2.1 Détermination des paires de broches de référence

Les deux broches de chaque support d'une carte de montage d'essai constituant la paire de broches de référence sont:

- a) la broche du support ayant le chemin de câblage le plus court du montage d'essai jusqu'au circuit de génération d'impulsions (borne B); et
- b) la broche du support ayant le chemin de câblage le plus long du montage d'essai depuis le circuit de génération d'impulsions (borne A) jusqu'au support de contrainte de DES (voir Figure 1).

Cette information est généralement fournie par le fabricant du matériel ou de la carte de montage d'essai. Si plusieurs circuits de génération d'impulsions sont connectés à un support, il y a alors plusieurs paires de broches de référence.

Il est fortement recommandé d'ajouter sur les supports à pinces non positives des plots de point d'essai de traversée sur ces chemins pour permettre de raccorder soit le fil de mise en court-circuit soit une résistance de charge de 500 Ω pendant les mesures de vérification de forme d'onde. Il convient d'ajouter ces points d'essai aussi près que possible du ou des supports. Si la carte de montage d'essai utilise plusieurs générateurs d'impulsions, il convient d'ajouter plusieurs points d'essai de traversée pour chacun des chemins les plus longs et les plus courts du générateur d'impulsions.

NOTE Un support d'essai à pince positive est un support à force d'insertion nulle (ZIF) avec un mécanisme de serrage. Il permet de serrer facilement le fil de mise en court-circuit dans le support. Des supports ZIF de boîtiers à double rangée de connexions (DIP) et de boîtiers à matrice de broches (PGA) en sont des exemples.

5.2.2 Capture de forme d'onde avec une sonde de courant

5.2.2.1 Généralités

Pour capturer une forme d'onde de courant entre deux broches de support (habituellement, la paire de broches de référence), utiliser le fil de mise en court-circuit (voir 4.5, Charge 1) pour la mesure de court-circuit ou la résistance de 500 Ω (voir 4.5, Charge 2) pour la mesure de courant à 500 Ω et la sonde de courant inductive (voir 4.4).

5.2.2.2 Forme d'onde de courant de court-circuit

Fixer le fil de mise en court-circuit entre les broches à mesurer. Disposer la sonde de courant autour du fil de mise en court-circuit, aussi près que possible de la borne B, en observant la polarité indiquée à la Figure 1. Appliquer une contrainte de DES à la tension et à la polarité nécessaires pour exécuter la qualification, la requalification ou la vérification périodique effectuée.

- Pour des supports à pince positive, insérer le fil de mise en court-circuit entre les broches du support connectées aux bornes A et B et le maintenir en place en fermant la pince.
- Pour des supports à pince non positive, fixer le fil de mise en court-circuit entre les broches du support connectées aux bornes A et B. S'il n'est pas possible de réaliser un contact dans le support, relier le fil de mise en court-circuit entre les points d'essai de la paire de broches de référence ou les trous de montage du support s'il y a lieu. La conception du support est importante, car certains types de support peuvent inclure des ressorts de contact (bobines) dans leur conception. Ces ressorts peuvent ajouter une inductance parasite supplémentaire au chemin de signal et peuvent avoir une influence sur la forme d'onde du HBM. Un choix de supports qui réduisent le plus possible l'utilisation des ressorts (bobines) est recommandé, mais, si cela n'est pas possible, maintenir leur longueur aussi courte que possible est recommandé.
- Pour les appareils d'essai sans support, placer le fil de mise en court-circuit avec la sonde de courant inductive sur une surface isolante et placer les sondes de la borne A et de la borne B du simulateur sur les extrémités des fils.

5.2.2.3 Forme d'onde de courant d'une charge de 500 Ω

Placer la sonde de courant autour du fil de la résistance de 500 Ω en respectant la polarité indiquée à la Figure 1. Fixer la résistance de 500 Ω entre les broches à mesurer. La sonde de courant doit être placée autour du fil entre la résistance et la borne B. Appliquer une contrainte de DES à la tension et la polarité nécessaires pour exécuter la qualification, la requalification ou la vérification périodique effectuée.

- Pour les appareils d'essai avec support, suivre les procédures en fonction du type de support, comme décrit en 5.2.2.2.
- Pour les appareils d'essai sans support, placer la charge d'essai et la sonde de courant sur une surface isolante et relier les sondes de l'appareil d'essai aux extrémités de la charge d'essai.

5.2.3 Détermination des paramètres de la forme d'onde

5.2.3.1 Utilisation de formes d'onde

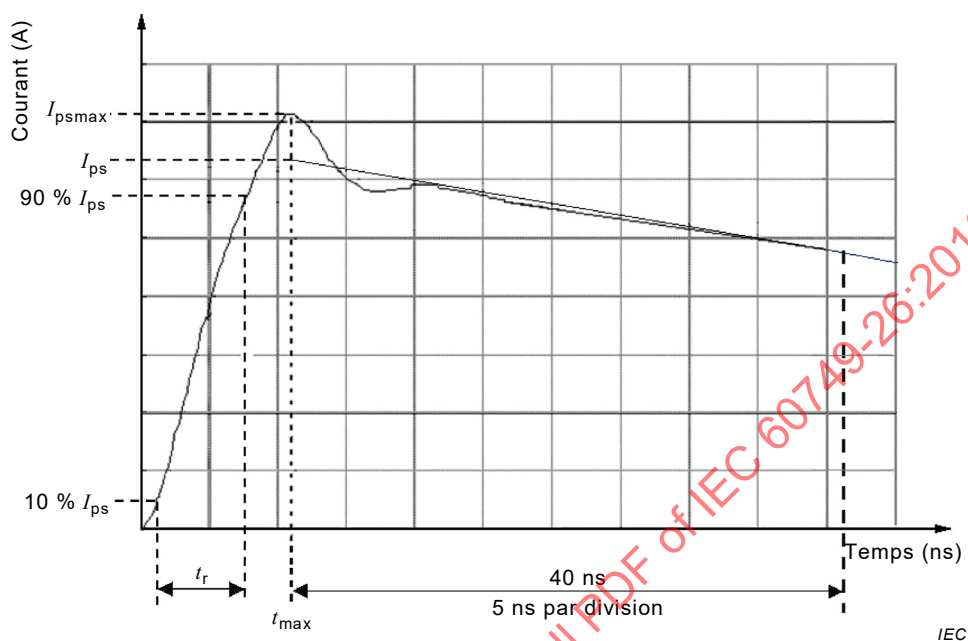
Les formes d'ondes capturées sont utilisées pour déterminer les valeurs des paramètres énumérés dans le Tableau 1.

5.2.3.2 Forme d'onde de court-circuit

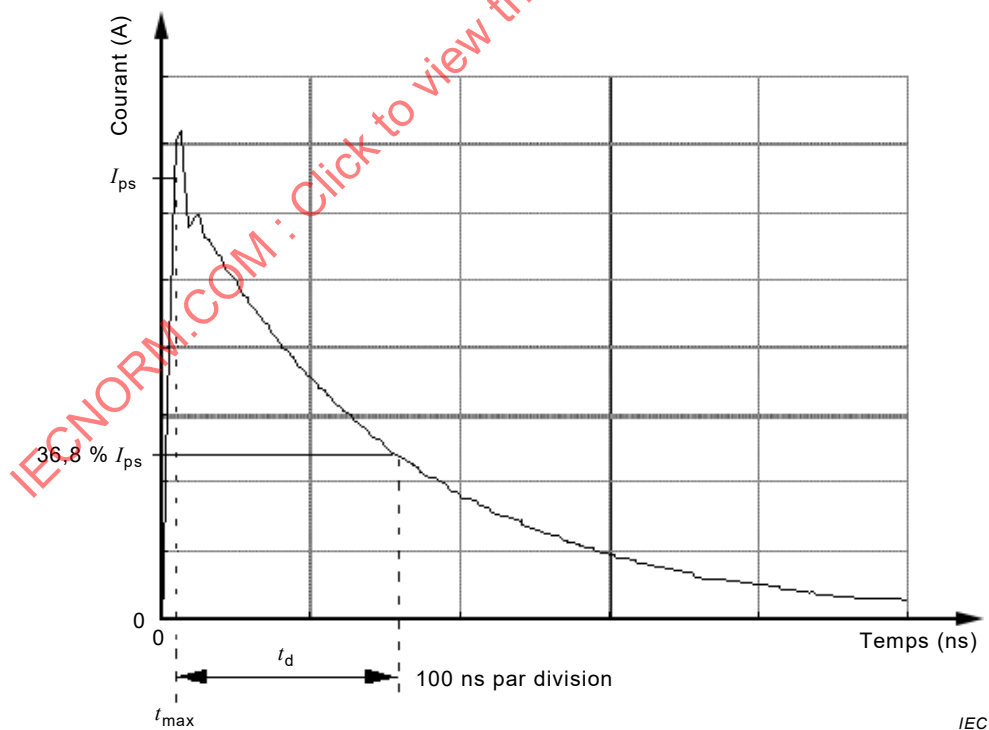
Des formes d'onde de court-circuit types sont représentées à la Figure 2a), à la Figure 2b) et à la Figure 4. Les paramètres I_{ps} (courant de crête), t_r (temps de montée des impulsions), t_d (temps de décroissance des impulsions) et I_R (oscillation) sont déterminés d'après ces formes d'onde. Une oscillation peut empêcher la détermination simple de I_{ps} . Une technique graphique permettant de déterminer I_{ps} et I_R est décrite en 5.2.3.4 et à la Figure 4.

5.2.3.3 Forme d'onde de charge de 500 Ω

Une forme d'onde de charge type de 500 Ω est représentée à la Figure 3. Les paramètres I_{pr} (courant de crête avec charge de 500 Ω) et t_{rr} (temps de montée d'impulsion avec charge de 500 Ω) sont déterminés d'après cette forme d'onde.



a) Forme d'onde de courant au travers d'un fil de mise en court-circuit (I_{psmax})



b) Forme d'onde de courant au travers d'un fil de mise en court-circuit (t_d)

Figure 2 – Forme d'onde de courant au travers de fils de mise en court-circuit

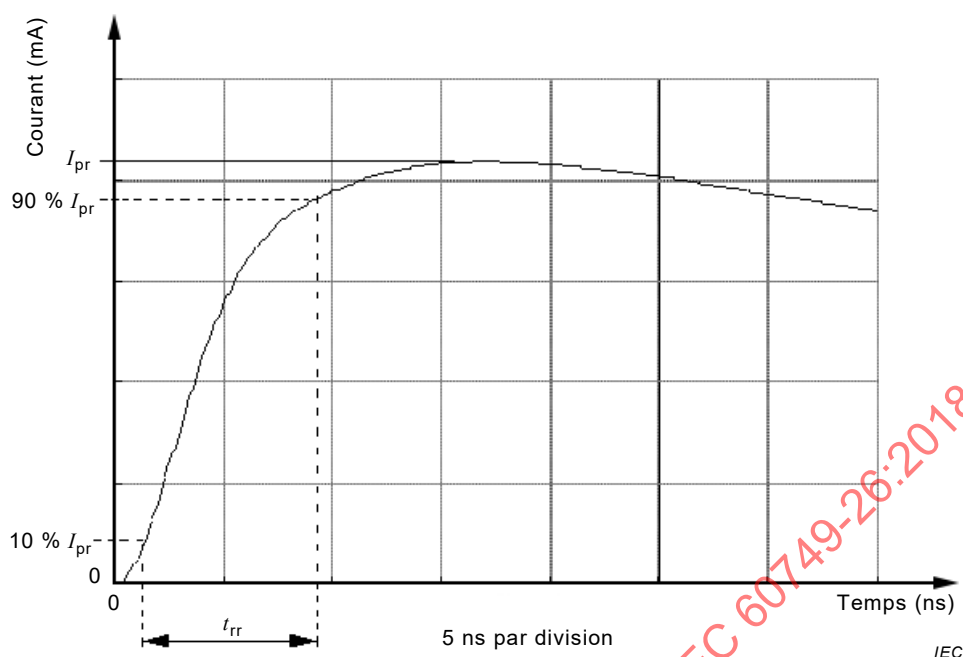


Figure 3 – Forme d'onde de courant au travers d'une résistance de 500 Ω

5.2.3.4 Détermination graphique de I_{ps} et I_R (voir Figure 4)

5.2.3.4.1 Une ligne est dessinée (manuellement ou en utilisant des méthodes numériques telles que celles des moindres carrés) traversant la forme d'onde d'oscillation de HBM de t_{max} à $t_{max} + 40$ ns pour interpoler la valeur de la courbe pour une détermination plus précise de la valeur du courant de crête (I_{ps}). t_{max} est le temps où I_{psmax} se produit (voir définition de t_{max} en 3.26 et à la Figure 2).

5.2.3.4.2 L'écart maximal du courant mesuré au-dessus de l'adaptation à la ligne droite est Ring1. L'écart maximal du courant mesuré au-dessous de l'adaptation à la ligne droite est Ring2. Le courant d'oscillation maximal pendant une mesure de forme d'onde de court-circuit est défini par:

$$I_R = |\text{Ring1}| + |\text{Ring2}|$$

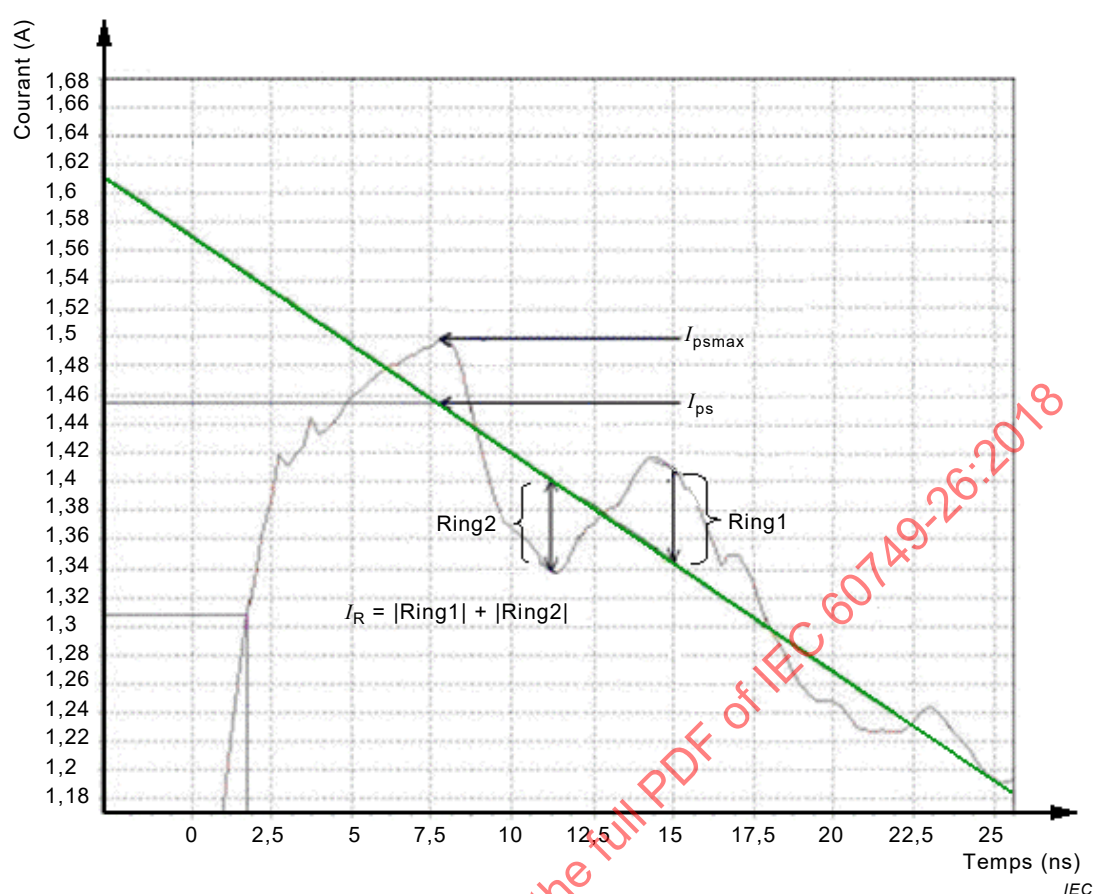


Figure 4 – Forme d'onde d'oscillation de court-circuit de courant de crête

5.2.4 Essai du chemin de décharge haute tension

L'essai n'est exigé que pour les appareils d'essai à relais. Cet essai est destiné à garantir que les relais haute tension de l'appareil d'essai et les relais de mise à la masse qui relient un ou plusieurs générateurs d'impulsions (à savoir, la borne A) et les chemins de retour de courant (à savoir, la borne B) au DEE fonctionnent correctement. Il convient que le fabricant de l'appareil d'essai fournisse une procédure recommandée et, si nécessaire, une carte et un logiciel de vérification.

5.3 Qualification de l'appareil d'essai de HBM

5.3.1 Exigences de qualification de l'appareil d'essai de DES de HBM

Une qualification de l'appareil d'essai de DES de HBM comme décrit en 5.3 est exigée dans les situations suivantes:

- essai de réception lorsque l'appareil d'essai de DES est fourni ou utilisé pour la première fois;
- requalification périodique conformément aux recommandations du fabricant; le temps maximal entre essais de requalification est d'une année;
- à la suite d'entretien ou de réparation pouvant avoir une influence sur la forme d'onde.

5.3.2 Procédure de qualification de l'appareil d'essai de HBM

5.3.2.1 Carte de montage d'essai, support et broches pour les appareils d'essai avec support seulement

Utiliser la carte de montage d'essai ayant le plus grand nombre de broches avec un support à pince positive pour la vérification de la forme d'onde de l'appareil d'essai ou la carte de vérification de forme d'onde recommandée fournie par le fabricant.

La ou les paire(s) de broches de référence du support ayant le plus grand nombre de broches sur la carte doit(ven)t être utilisée(s) pour la capture de la forme d'onde. Les formes d'onde de chaque circuit générateur d'impulsions doivent être enregistrées.

La continuité électrique de toutes les broches sur la carte de montage d'essai doit être vérifiée avant l'essai de qualification. Cela peut généralement être réalisé à l'aide de l'autotest recommandé par le fabricant.

5.3.2.2 Capture de forme d'onde de court-circuit

- a) Pour les appareils d'essai avec support, configurer la carte de montage d'essai, le fil de mise en court-circuit et le transducteur pour la mesure de forme d'onde de court-circuit comme décrit en 5.2.2.2.

Pour les appareils d'essai sans support, configurer la carte de montage d'essai, le fil de mise en court-circuit et le transducteur pour la mesure de forme d'onde de court-circuit comme décrit en 5.2.2.2 c).

- b) Appliquer cinq impulsions positives et cinq impulsions négatives à chaque tension d'essai. Enregistrer les formes d'ondes à 1 000 V, 2 000 V et 4 000 V. Vérifier que les formes d'onde correspondent à tous les paramètres spécifiés à la Figure 2a), à la Figure 2b) et au Tableau 1.

5.3.2.3 Capture de forme d'onde de charge de 500 Ω

- a) Pour les appareils d'essai avec support, configurer la carte de montage d'essai, la résistance et le transducteur pour la mesure de forme d'onde de charge de 500 Ω comme décrit en 5.2.2.3 a).

Pour les appareils d'essai sans support, configurer la carte de montage d'essai, la résistance et le transducteur pour la mesure de forme d'onde de charge de 500 Ω comme décrit en 5.2.2.3 b).

- b) Enregistrer les formes d'ondes à 1 000 V et 4 000 V, à la fois de polarités positives et négatives. Vérifier que les formes d'onde correspondent à tous les paramètres spécifiés à la Figure 3 et au Tableau 1.

5.3.2.4 Détection des impulsions de courant parasites

Des impulsions secondaires qui suivent les impulsions de HBM sont générées par le relais de décharge. En utilisant la configuration de fil de mise en court-circuit, initialiser une impulsion de 1 000 V et vérifier que toutes les impulsions qui suivent l'impulsion de HBM initiale sont à moins de 15 % de l'amplitude de l'impulsion principale.

Pour les oscilloscopes analogiques, le réglage de la base de temps à 1 ms par division permet de détecter ces types d'impulsions. Pour les oscilloscopes numériques, les impulsions de courant qui suivent l'impulsion de courant initiale peuvent être observées, mais des fonctions de déclenchement avancées telles que le déclenchement séquentiel ou le déclenchement retardé peuvent être nécessaires de façon à ne pas manquer les impulsions secondaires en raison de faibles vitesses d'échantillonnage.

5.4 Qualification de la carte de montage d'essai pour les appareils d'essai avec support

Les cartes de montage d'essai doivent être qualifiées dans un appareil d'essai qualifié avant utilisation initiale ou après réparation. Cette procédure est également nécessaire lorsqu'une carte de montage d'essai qualifiée précédemment est utilisée dans un simulateur de HBM d'un modèle différent de celui avec lequel elle a été qualifiée à l'origine. La procédure doit être appliquée aux paires de broches de référence sur tous les supports de la nouvelle carte de montage d'essai. S'il n'y a pas d'accès physique adéquat au support, suivre les recommandations du 5.2.2.2 b).

- Configurer la carte de montage d'essai, le fil de mise en court-circuit et la sonde de courant pour la mesure de forme d'onde de court-circuit comme décrit en 5.2.2.1 avec un appareil d'essai qualifié.
- Appliquer au moins une impulsion positive et une impulsion négative de 1 000 V. Tous les paramètres de forme d'onde doivent se trouver dans les limites spécifiées à la Figure 2a), à la Figure 2b) et au Tableau 1.
- Configurer la carte de montage d'essai, la résistance de 500 Ω et le transducteur pour la mesure de forme d'onde de charge de 500 Ω comme décrit en 5.2.2.2.
- Appliquer au moins une impulsion positive et une impulsion négative de 1 000 V. Tous les paramètres de forme d'onde doivent se trouver dans les limites spécifiées à la Figure 3 et au Tableau 1.
- Recommencer pour toutes les paires de broches de référence supplémentaires de tous les circuits générateurs d'impulsions et supports.

Tableau 1 – Spécification de formes d'onde

Niveau de tension (V)	I_{peak} pour court-circuit, I_{ps} (A)	I_{peak} pour 500 Ω , I_{pr} (A)	Temps de montée pour court-circuit, t_r (ns)	Temps de montée pour 500 Ω , t_{rr} (ns)	Temps de décroissance pour court-circuit, t_d (ns)	Courant d'oscillation maximal I_R (A)
125 (facultatif)	0,075 à 0,092	N/A	2,0 à 10	N/A	130 à 170	15% de I_{ps}
250	0,15 à 0,18	N/A	2,0 à 10	N/A	130 à 170	15% de I_{ps}
500	0,30 à 0,37	N/A	2,0 à 10	N/A	130 à 170	15% de I_{ps}
1 000	0,60 à 0,73	0,37 à 0,55	2,0 à 10	5,0 à 25	130 à 170	15 % de I_{ps}
2 000	1,20 à 1,47	N/A	2,0 à 10	N/A	130 à 170	15 % de I_{ps}
4 000	2,40 à 2,93	1,5 à 2,2	2,0 à 10	5,0 à 25	130 à 170	15 % de I_{ps}
8 000 (facultatif)	4,80 à 5,87	N/A	2,0 à 10	N/A	130 à 170	15 % de I_{ps}

5.5 Exigences du contrôle de forme d'onde de routine

5.5.1 Description du contrôle de forme d'onde de routine normalisé

Les formes d'onde doivent être acquises en utilisant la méthode du court-circuit (5.2.2.2) sur la paire de broches de référence pour chaque support. Si nécessaire, la carte de montage d'essai utilisée peut être enlevée et remplacée par une carte de montage d'essai à support à pince positive pour faciliter les mesures de forme d'onde. Pour les appareils d'essai sans support, la procédure du 5.2.2.2 c) est utilisée. Des contraintes doivent être appliquées à des tensions positives et négatives de 1 000 V ou au niveau de contrainte à soumettre à l'essai pendant l'utilisation. Les formes d'onde doivent remplir les exigences de la Figure 2a), de la Figure 2b) et du Tableau 1.

5.5.2 Fréquence de vérification des formes d'onde

Les formes d'onde doivent être vérifiées conformément à cette procédure au moins une fois par changement. Si l'essai de contrainte de DES est effectué par changements consécutifs, les contrôles de forme d'onde à la fin d'un changement peuvent également servir de contrôle initial pour le changement suivant.

Des périodes plus longues entre les vérifications de forme d'onde peuvent être utilisées si aucune variation des formes d'onde n'est observée sur plusieurs vérifications consécutives. Des contrôles de forme d'onde plus simples (5.5.2) peuvent être utilisés avec une période plus longue entre les vérifications de forme d'onde. Par exemple, les essais effectués conformément à 5.2.2 peuvent être effectués quotidiennement et les essais effectués conformément à 5.5.1 peuvent être effectués mensuellement. La fréquence et la méthode d'essai choisies doivent être documentées. Si à tout moment les formes d'onde ne satisfont plus aux limites spécifiées, toutes les données d'essai de contrainte de DES recueillies après la vérification de forme d'onde satisfaisante précédente doivent être marquées comme non valables et ne doivent pas être utilisées pour la classification.

Si l'appareil d'essai comporte plusieurs circuits de génération d'impulsions, la forme d'onde pour chaque circuit de génération d'impulsions doit alors être vérifiée avec une carte de montage d'essai à support à pince positive. La période de temps recommandée entre les essais de vérification est d'une fois par changement. Toutefois, une méthode de vérification par rotation peut être utilisée pour s'assurer que tous les circuits de génération d'impulsions fonctionnent correctement. Par exemple, le premier jour, le circuit de génération d'impulsions 1 est soumis à essai. Le deuxième jour, le circuit de génération d'impulsions 2 est soumis à essai et, le troisième jour, le circuit de génération d'impulsions 3 est soumis à essai, et ce jusqu'à ce que tous les circuits aient été soumis à essai. Le circuit 1 est alors de nouveau soumis à essai. L'intervalle maximal recommandé entre les essais d'un quelconque générateur d'impulsions est de deux semaines. Toutefois, si un circuit de génération d'impulsions échoue, tous les essais de contrainte de DES qui suivent la vérification de forme d'onde satisfaisante précédente de ce circuit de génération d'impulsions doivent être marqués comme non valables et ne doivent pas être utilisés pour la classification.

5.5.3 Autre procédure de capture de forme d'onde de routine

En variante à l'analyse de forme d'onde de routine détaillée, un processus de capture rapide de forme d'onde succès/échec peut être mis en place pour une vérification de routine. Cette méthode peut être utilisée en combinaison avec 5.5.1 comme décrit ci-dessus.

- Capturer une forme d'onde en utilisant une charge d'évaluation de fil de mise en court-circuit à +1 000 V.
- Mesurer I_{psmax} (sans réglage d'oscillation) et s'assurer qu'il est compris entre 0,60 A et 0,74 A.
- Recommencer à –1 000 V.
- Si l'appareil d'essai comporte plusieurs sources d'impulsions, choisir une combinaison de paires de broches d'une source d'impulsions différente chaque jour, en faisant tourner chaque source d'impulsions comme décrit en 5.5.2.

Si I_{psmax} appartient aux valeurs spécifiées pour les deux polarités et que les formes d'onde semblent normales, l'appareil d'essai est considéré comme étant prêt à être utilisé.

Cette mesure ne tient pas compte de l'oscillation de I_{ps} ; celle-ci peut affecter les résultats. Si l'aspect des formes d'onde pose un problème ou si les mesures sont proches des limites de spécification supérieure ou inférieure, une analyse de forme d'onde complète (5.3.1) doit être effectuée.

La méthode d'essai rapide succès/échec ne doit être appliquée qu'aux cartes de montage d'essai qualifiées pour des simulateurs de DES qualifiés. Les cartes de montage d'essai et le

simulateur de DES doivent être qualifiés ensemble en utilisant la méthode d'essai du 5.3.1 avant d'utiliser la méthode d'essai du 5.5.2.

5.6 Vérification du chemin de décharge haute tension

5.6.1 Appareils d'essai à relais

Cet essai est exigé pour l'une ou l'autre des méthodes de vérification de routine (voir 5.5). Soumettre à l'essai les chemins de décharge haute tension et de retour de courant et tous les circuits associés au début de chaque journée pendant laquelle un essai de contrainte de DES est effectué (voir 5.2.4). La période entre les vérifications de diagnostic d'autotest peut être prolongée, à condition que les données d'essais prennent en charge l'intervalle accru. Si une quelconque défaillance est détectée, ne pas effectuer d'essai du dispositif avec les supports qui sont connectés aux chemins de décharge défectueux. Réparer l'appareil d'essai et vérifier ensuite que les broches défaillantes réussissent l'autotest avant de reprendre l'essai. En fonction de l'importance de la réparation, il peut s'avérer nécessaire d'effectuer une requalification complète conformément au 5.3.2.

5.6.2 Appareils d'essai sans relais

Pour les appareils d'essai utilisant une commutation mécanique à la place d'une commutation par relais, les connexions aux broches doivent être vérifiées pour chaque combinaison de broches pendant l'essai. L'exécution de mesures de continuité juste avant les impulsions de contrainte ou la surveillance du courant d'impulsion de DES pendant une impulsion de contrainte sont des exemples de méthodes de vérification de connexion. Cette pratique remplace la vérification quotidienne du chemin de décharge haute tension.

5.7 Enregistrements de forme d'onde de l'appareil d'essai

5.7.1 Enregistrements de qualification de l'appareil d'essai et de la carte de montage d'essai

Conserver les enregistrements de forme d'onde jusqu'à la requalification suivante ou pendant la durée spécifiée par les procédures de conservation d'enregistrement internes de l'utilisateur.

5.7.2 Enregistrements de vérification périodique de forme d'onde

Conserver les enregistrements de forme d'onde périodique au moins une année pendant la durée spécifiée par les procédures de conservation d'enregistrement internes de l'utilisateur.

5.8 Précautions de sécurité

5.8.1 Mise en service initiale

Lors de la mise en service initiale du matériel, un ingénieur de sécurité ou un agent de sécurité qualifié doit inspecter le matériel à son emplacement de fonctionnement pour s'assurer que le matériel n'est pas utilisé dans un environnement combustible (dangereux).

5.8.2 Formation

Tout le personnel doit recevoir une formation au fonctionnement du système et une formation à la sécurité électrique avant d'utiliser le matériel.

5.8.3 Sécurité du personnel

Les modes opératoires et le matériel décrits dans le présent document peuvent exposer le personnel à des conditions électriques dangereuses. En conséquence, les utilisateurs du présent document sont responsables du choix du matériel satisfaisant aux lois, codes réglementaires et politiques externes et internes applicables. Les utilisateurs sont également

avisés que le présent document ne peut remplacer aucune exigence de sécurité du personnel ou s'y substituer.

Il convient d'envisager des interrupteurs de circuit de défaut de terre (GFCI) et autre protection de sécurité à chaque fois que du personnel peut se trouver en contact avec des sources électriques.

Il convient d'appliquer les pratiques de réduction des dangers électriques et les instructions de mise à la terre correcte du matériel doivent être suivies.

6 Procédure de classification

6.1 Dispositifs de classification

Les dispositifs utilisés pour les essais de classification doivent avoir subi toutes les opérations normales de fabrication. Les essais doivent être effectués en utilisant une puce de dispositif réelle. Il n'est pas admissible d'utiliser une puce d'essai comme substitut de la puce réelle ou d'assigner des tensions de seuil en se basant sur des données compilées à partir d'une bibliothèque technique ou par l'intermédiaire de simulations logicielles. Les essais de classification de DES doivent être considérés comme destructifs pour le composant, même si aucune défaillance de composant n'a été détectée.

Des procédures de prévention des dommages dus aux DES doivent être appliquées avant, pendant et après les essais de HBM et post-paramétriques.

NOTE Dans ce cas, une puce d'essai signifie une structure d'essai de DES.

6.2 Essai paramétrique et fonctionnel

Avant la contrainte de DES, les essais paramétriques et fonctionnels, dans des conditions exigées par le schéma partiel applicable ou par la spécification d'essai, doivent être réalisés sur tous les dispositifs soumis aux essais. Les résultats d'essais paramétriques et fonctionnels doivent se trouver dans les limites indiquées sur le schéma partiel pour ces paramètres.

6.3 Contrainte du dispositif

Un échantillon de trois dispositifs pour chaque niveau de tension doit être caractérisé pour le seuil de défaillance de DES de dispositif en utilisant les niveaux de tension indiqués au Tableau 4. Des paliers de tension plus fins peuvent éventuellement être utilisés pour obtenir une mesure plus précise du seuil de défaillance et pour améliorer la détection des dispositifs présentant des fenêtres de défaillance. Il convient que les essais de DES commencent au niveau le plus faible du Tableau 4 mais ils peuvent commencer à n'importe quel niveau. Toutefois, si le niveau de tension initiale est supérieur au niveau le plus bas du Tableau 4, et si le dispositif échoue à la tension initiale, l'essai doit être redémarré avec trois dispositifs neufs au niveau inférieur suivant (par exemple, si la tension initiale est de 1 000 V et que le dispositif présente une défaillance, recommencer l'essai à 500 V). L'essai de DES doit être réalisé à température ambiante.

Il est recommandé de vérifier la continuité entre les broches de dispositif et le support après insertion des dispositifs destinés à être soumis à l'essai. Des mesures de fuite ou un tracé de courbe peuvent être utilisés.

Pour chaque niveau de tension, un échantillon de trois dispositifs doit être soumis à contrainte en utilisant une impulsion positive et une impulsion négative avec un minimum de 100 ms entre les impulsions par broche et pour toutes les combinaisons de broches spécifiées au Tableau 2 et au Tableau 3. Des échantillons séparés peuvent être utilisés pour des polarités différentes.

NOTE Dans certains simulateurs de DES, aucun circuit de suppression de charge n'est présent. Pour ces simulateurs, l'augmentation du temps entre impulsions pour empêcher la création d'une charge est une méthode permettant de diminuer le risque de contrainte excessive ultérieure des broches. En variante, des essais de fuite par tracé de courbe après chaque impulsion pour toutes les broches du DEE éliminent également cette charge en excès stockée dans la carte de montage d'essai ou dans le support.

Trois nouveaux composants peuvent être utilisés à chaque niveau de tension ou à chaque combinaison de broches si cela est désiré. Cela élimine tous les effets de durcissement de contrainte par palier et diminue la possibilité de défaillance précoce due à l'accumulation de contraintes. En raison des fenêtres de défaillance potentielles, une faible performance de DES ne peut pas être détectée si les niveaux spécifiés dans le Tableau 4 sont ignorés pendant l'essai. Il est recommandé de n'ignorer aucun des niveaux spécifiés dans le Tableau 4.

Il est admis de partager davantage chaque ensemble de combinaisons de broches spécifié dans les Tableaux 2 et 3 et d'utiliser un échantillon séparé de trois dispositifs pour chaque sous-ensemble dans l'ensemble de combinaisons de broches.

Il est admis de partager l'essai des dispositifs entre différents appareils d'essai dans la mesure où tous les appareils d'essai sont qualifiés (conformément au 5.3) et où toutes les combinaisons de broches des Tableaux 2 et 3 sont soumises à l'essai avec au moins un échantillon de trois dispositifs.

6.4 Catégorie de broches

6.4.1 Généralités

L'essai de HBM est effectué en utilisant les combinaisons de broches décrites dans le Tableau 2 ou dans le Tableau 3. Un organigramme de ce processus par catégorie est donné à l'Annexe A. Le but des combinaisons de broches est de soumettre à l'essai l'ensemble des principaux chemins de courant de HBM. La mise en service des combinaisons de broches nécessite la connaissance du dispositif soumis à l'essai. Chaque broche du dispositif doit être classée comme broche sans connexion, broche d'alimentation ou broche n'assurant pas l'alimentation. Ces catégories de broches sont définies en 6.4.2 à 6.4.4. Les broches d'alimentation supplémentaires doivent être regroupées en groupes de broches d'alimentation comme décrit en 6.5.1. Avec ces connaissances de base, l'essai peut être réalisé en utilisant le Tableau 3. Avec une connaissance supplémentaire du dispositif à soumettre à l'essai, les alimentations associées peuvent être définies comme décrit en 6.6.2.2. Avec les alimentations associées, les lignes définies 1 à N du Tableau 2 peuvent être utilisées. Les informations supplémentaires exigées pour le Tableau 2 permettent aux principaux chemins de courant d'être couverts avec un nombre moins important de combinaisons de broches, ce qui économise le temps d'essai et diminue les contraintes potentielles supplémentaires. Le Tableau 2 élimine également l'essai entre broches n'assurant pas l'alimentation (c'est-à-dire, E/S vers E/S) sauf pour les cas particuliers qui sont présentés en 6.4.4.2.

6.4.2 Broches sans connexion

Les broches sans connexion vérifiées ne doivent pas être soumises à contrainte et doivent être laissées flottantes à tout moment.

Il existe certaines broches qui sont marquées sans connexion, par exemple les panneaux thermiques, qui sont en réalité connectées à la puce et qu'il convient de classer comme broche d'alimentation ou comme broche n'assurant pas l'alimentation comme souligné ci-dessous.

Les broches marquées comme sans connexion mais dont on découvre qu'elles ont une connexion électrique à la puce doivent être:

- classées comme broche d'alimentation si elles sont connectées de façon métallique à une broche d'alimentation;

- classées comme broche n'assurant pas l'alimentation si elles ne sont pas connectées de façon métallique à une broche d'alimentation.

6.4.3 Broches d'alimentation

6.4.3.1 Classification des broches d'alimentation

Une broche d'alimentation est toute broche fournissant un courant au circuit. Bien que la plupart des broches d'alimentation soient marquées de telle sorte à être facilement reconnues comme des broches d'alimentation (exemples: VDD, VDD1, VDD2, VDD_PLL, VCC, VCC1, VCC2, VCC_ANALOG, GND, AGND, DGND, VSS, VSS1, VSS2, VSS_PLL, VSS_ANALOG, etc.), d'autres ne le sont pas et nécessitent une estimation technique basée sur leur fonction dans l'utilisation normale du circuit (exemples: Vbias, Vref, etc.). Les broches d'alimentation ne transmettent aucune information telles que des signaux numériques ou analogiques, un cadencement, des signaux d'horloge et des niveaux de référence de tension ou de courant.

Un exemple de broche apparaissant comme une broche d'alimentation mais pouvant être traitée comme une broche n'assurant pas l'alimentation est la broche VPP sur des mémoires EPROM. VPP met la mémoire dans un état de programmation spécial rarement utilisé et délivre la haute tension nécessaire pour programmer la mémoire.

6.4.3.2 Autres types de broche d'alimentation

Toute broche destinée à être pompée au-dessus de l'alimentation positive ou au-dessous de l'alimentation négative de son bloc de circuit doit être traitée comme une broche d'alimentation (par exemple, les broches des bornes positives et négatives connectées à un condensateur de pompe de charge).

Toute broche connectée à un bus de puissance interne (ou une broche de puissance) par un métal comme décrit en 6.4.3 doit être traitée comme une broche d'alimentation (par exemple, une broche de détection de Vdd).

Toute broche destinée à alimenter un autre circuit sur la même puce doit être traitée comme une broche d'alimentation. Toutefois, si une broche est destinée à alimenter un circuit sur une autre puce mais aucun autre circuit de la même puce, elle peut être traitée comme une broche n'assurant pas l'alimentation.

6.4.4 Broches n'assurant pas l'alimentation

6.4.4.1 Classification des broches n'assurant pas l'alimentation

Toutes les broches qui ne sont pas classées comme des broches d'alimentation ou sans connexion sont des broches n'assurant pas l'alimentation. Celles-ci comportent des broches telles que, entrée, sortie, réglages de décalage, compensation, horloges, commandes, adresse, données, broches Vref et broches VPP sur une mémoire EPROM. La plupart des broches n'assurant pas l'alimentation transmettent des informations telles que des signaux numériques ou analogiques, un cadencement, des signaux d'horloge et des niveaux de référence de tension ou de courant.

6.4.4.2 Paire de broches n'assurant pas l'alimentation à couplage direct

Une paire de broches couplées n'assurant pas l'alimentation peut comporter un chemin de courant de DES potentiel ne faisant pas appel à des rails de puissance/d'alimentation. Elles incluent des paires différentielles analogiques et numériques et d'autres paires de fonctions spéciales (par exemple, D+/D-, XTALin/XTALout, RFin/RFout, TxP/TxN, RxP/RxN, CCP_DP/CCN_DN, etc.). Les paires de broches couplées n'assurant pas l'alimentation sont spécifiques au dispositif et tous les dispositifs n'en comportent pas. On peut citer comme exemples:

- toutes les paires de broches n'assurant pas l'alimentation pouvant comporter des chemins de courant entre elles ne faisant pas appel aux rails de puissance/d'alimentation. Ce chemin peut traverser des dispositifs fonctionnels ou traverser des chemins parasites;
- les paires de broches n'assurant pas l'alimentation interfacées directement entre elles, telles que des entrées différentielles ou des sorties différentielles;
- les paires de broches n'assurant pas l'alimentation ayant un chemin de courant entre elles consistant en un unique transistor ou condensateur.

Il convient d'utiliser une estimation technique pour identifier toutes les paires de broches couplées n'assurant pas l'alimentation. Voir une liste plus exhaustive d'exemples de broches couplées n'assurant pas l'alimentation à l'Annexe D.

6.5 Regroupement de broches

6.5.1 Groupes de broches d'alimentation

6.5.1.1 Classification des broches d'alimentation

Les broches d'alimentation sont partagées en groupes de broches d'alimentation, chaque broche d'alimentation étant définie comme membre d'un et d'un seul groupe de broches d'alimentation. Une broche d'alimentation qui n'est pas connectée au moyen d'un métal à une quelconque autre broche constitue des groupes de broches d'alimentation à une broche. Les broches d'alimentation qui sont interconnectées au moyen d'un métal sur la puce ou à l'intérieur du boîtier constituent un groupe de broches d'alimentation. Il convient de vérifier les interconnexions métalliques à l'aide d'une documentation fiable du dispositif. Toutefois, une résistance de piste métallique excessive dans l'interconnexion de la puce associée à un regroupement de ces broches peut conduire au masquage d'une faiblesse de protection de DES dans l'essai de HBM.

Si la conception d'interconnexion des broches est inconnue, mesurer la résistance entre les broches d'alimentation pour déterminer les groupes de broches d'alimentation ou traiter chaque broche comme un groupe séparé.

Si la résistance entre deux broches quelconques est supérieure à 3 Ω , il convient de placer les broches dans des groupes de broches d'alimentation séparés. La résistance est mesurée entre deux broches d'alimentation quelconques ayant le même nom. S'il y a plus de deux broches, il convient alors de déterminer la résistance dans le cas le plus défavorable au moyen d'une mesure.

6.5.1.2 Partage des groupes de broches d'alimentation

Les broches d'un groupe de broches d'alimentation peuvent être divisées en deux sous-groupes ou plus de telle sorte que chaque broche appartienne au moins à un sous-groupe. Ce partage peut avoir pour conséquence que chaque broche se trouve dans son propre sous-groupe. Lorsqu'un groupe de broches d'alimentation est connecté à la borne B, toutes les broches spécifiées pour la borne A sont soumises à contrainte séparément pour chaque sous-groupe. Lorsqu'un groupe de broches d'alimentation est divisé en sous-groupes, tous les sous-groupes continuent à faire partie de leur groupe de broches d'alimentation et ne font pas l'objet d'essai les uns par rapport aux autres.

6.5.1.3 Broches d'alimentation connectées par un plan de boîtier

Si les broches d'un ensemble de broches d'alimentation sont connectées par un plan de boîtier, un nombre aussi faible qu'une broche (choisie arbitrairement) de cet ensemble de broches peut être utilisé pour représenter l'ensemble complet comme un groupe de broches d'alimentation. Il n'est pas nécessaire de soumettre à contrainte ou de relier à la masse les broches restantes de l'ensemble et elles peuvent être laissées flottantes pendant tout l'essai. Si par exemple un groupe de broches d'alimentation de 25 broches consiste en cinq broches connectées uniquement par un métal au niveau de la puce et 12 broches supplémentaires connectées avec un plan de boîtier et un autre avec huit broches connectées avec un

deuxième plan de boîtier, il convient que le groupe soit représenté par les cinq broches connectées au niveau de la puce et au moins une broche de chaque ensemble connectée au plan de boîtier. Les parasites de l'appareil d'essai peuvent être réduits en reliant toutes les broches du groupe à la borne B au lieu de laisser flottantes les broches non choisies. Cela n'est pas nécessaire si une carte personnalisée a été construite, isolant les broches non choisies.

6.5.2 Groupes de broches court-circuitées n'assurant pas l'alimentation

Pour les broches court-circuitées n'assurant pas l'alimentation qui sont connectées par un métal dans un plan de boîtier, un APL avec une résistance inférieure à $1\ \Omega$ et/ou qui partagent un plot de liaison commun, ce groupe de broches constitue un groupe de broches n'assurant pas l'alimentation. Une broche de ce groupe de broches n'assurant pas l'alimentation (choisie arbitrairement) peut être utilisée pour représenter l'ensemble complet de broches court-circuitées n'assurant pas l'alimentation. Il n'est pas nécessaire de soumettre à contrainte ou de relier à la masse les broches restantes de l'ensemble et elles peuvent être laissées flottantes pendant tout l'essai.

NOTE Cette configuration n'est pas courante car les broches n'assurant pas l'alimentation sont généralement isolées des autres broches dans le boîtier.

6.6 Combinaisons de contraintes de broches

6.6.1 Classification des combinaisons de contraintes de broches

Le Tableau 2 énumère l'ensemble préférentiel de combinaisons de broches nécessaire pour la classification des dispositifs. Le Tableau 3 peut être utilisé en variante. De plus, la contrainte de dispositif peut être réalisée en utilisant une combinaison du Tableau 2 et du Tableau 3. L'ensemble de combinaisons de broches 1 à N du Tableau 2 et l'ensemble N + 1 du Tableau 3 peuvent, par exemple, être utilisés. Des informations et des recommandations supplémentaires concernant l'utilisation des combinaisons de broches sont données à l'Annexe A et à l'Annexe C. Les résultats d'essai et les ensembles de combinaisons de broches réelles utilisées doivent être enregistrés et conservés conformément aux procédures de conservation d'enregistrement de l'entreprise.

Les dispositifs discrets actifs (FET, transistors, etc.) doivent faire l'objet d'essais en utilisant toutes les combinaisons de paires de broches possibles (une broche connectée à la borne A, une autre broche connectée à la borne B) sans prendre en compte la désignation de la broche ou la fonction. Les circuits intégrés comportant 10 broches ou moins peuvent être soumis à l'essai avec toutes les combinaisons de paires de broches.

La contrainte de dispositif peut être divisée en deux simulateurs ou plus si tous les simulateurs remplissent les exigences de l'Article 5 et si toutes les combinaisons de broches prévues sont soumises à contrainte.

Tableau 2 – Ensembles de combinaisons de broches préférentiels

Numéro d'ensemble de combinaisons de broches ^a	Broche(s) connectées à la borne B (masse)	Broche connectée à la borne A (broches uniques, soumises à essai une par une)
1	groupe de broches d'alimentation 1 ^{b, c}	chaque broche d'alimentation à l'exception des broches du groupe de broches d'alimentation 1 ^{c, d}
		chaque broche n'assurant pas l'alimentation associée au groupe de broches d'alimentation 1 (voir Annexe C)
2	groupe de broches d'alimentation 2 ^{b, c}	chaque broche d'alimentation à l'exception des broches du groupe de broches d'alimentation 2 ^{c, d}
		chaque broche n'assurant pas l'alimentation associée au groupe de broches d'alimentation 2 (voir Annexe C)
...	...	...
N	groupe de broches d'alimentation N ^{b, c}	chaque broche d'alimentation à l'exception des broches du groupe de broches d'alimentation N ^{c, d}
		chaque broche n'assurant pas l'alimentation associée au groupe de broches d'alimentation N (voir Annexe C)
N + 1	une broche de chaque paire de broches couplées n'assurant pas l'alimentation, une paire à la fois	l'autre broche de la paire de broches couplées n'assurant pas l'alimentation
^a Dans toutes les combinaisons, les broches qui ne sont connectées ni à la borne A, ni à la borne B, doivent être laissées sans connexion (broches flottantes) pendant l'impulsion de contrainte. Toutes les broches sans connexion sont sans connexion à tout moment. ^b Les broches d'alimentation peuvent toutes être connectées ensemble sous forme d'un groupe unique ou divisées en sous-groupes. Les sous-groupes peuvent être des broches individuelles. Chaque broche connectée à la borne A est soumise à contrainte pour chacun de ces sous-groupes (voir 6.4.1). ^c Une broche unique peut être utilisée à partir des groupes de broches d'alimentation que l'on sait interconnectées par un plan de boîtier (voir 6.5.1.3). ^d Les combinaisons entre broches d'alimentation peuvent être soumises à contrainte en utilisant seulement des impulsions de polarité unique (voir 6.6.2.3).		

Tableau 3 – Autres ensembles de combinaisons de broches

Numéro d'ensemble de combinaisons de broches ^c	Broche(s) connectées à la borne B	Broche connectée à la borne A (broches uniques, soumises à essai une par une)
1	groupe de broches d'alimentation 1 ^a	chaque broche d'alimentation à l'exception des broches du groupe de broches d'alimentation 1 ^a
		chaque broche n'assurant pas l'alimentation
2	groupe de broches d'alimentation 2	chaque broche d'alimentation à l'exception des broches du groupe de broches d'alimentation 2
		chaque broche n'assurant pas l'alimentation
...	...	...
N	groupe de broches d'alimentation N	chaque broche d'alimentation à l'exception des broches du groupe de broches d'alimentation N
		chaque broche n'assurant pas l'alimentation
N + 1	toutes les broches n'assurant pas l'alimentation, sauf la broche en essai (BEE) ^b	chaque broche n'assurant pas l'alimentation (comme BES)
^a Une broche unique est utilisée à partir des groupes de broches d'alimentation que l'on sait interconnectées par un plan de boîtier. ^b Les broches n'assurant pas l'alimentation connectées à la borne B peuvent être divisées en sous-ensembles, de telle sorte que chacune de ces broches appartienne au moins à un sous-ensemble. Chaque broche A de la borne est soumise à contrainte pour chacun de ces sous-ensembles. ^c Toutes les broches qui ne sont connectées ni à la borne A, ni à la borne B, doivent être laissées sans connexion (broches flottantes) pendant l'impulsion de contrainte. Toutes les broches sans connexion sont sans connexion à tout moment.		

6.6.2 Broches avec et sans alimentation vers des combinaisons d'alimentation (1, 2, ... N)

6.6.2.1 Utilisation des Tableaux 2 et 3

Le Tableau 2 et le Tableau 3 sont organisés par les N groupes de broches d'alimentation du DEE. Les N premières rangées de ces tableaux possèdent un groupe de broches d'alimentation unique connectées à la borne B. Lorsque les broches ne sont pas connectées par un plan de boîtier, les broches d'un groupe de broches d'alimentation doivent être soumises à contrainte individuellement (lorsqu'elles sont connectées à la borne A). Lorsqu'elles sont connectées à la borne B, comme représenté dans les tableaux, ces broches doivent toutes être connectées soit individuellement, soit en groupes, ou reliées ensemble au niveau de la carte d'essai.

6.6.2.2 Association de broches n'assurant pas l'alimentation avec des groupes de broches d'alimentation (Tableau 2 seulement)

Chaque broche n'assurant pas l'alimentation est associée à un ou plusieurs groupes de broches d'alimentation (voir 6.6.2). Par exemple, pour une broche d'E/S, les amplificateurs de sortie de la broche sont connectés au groupe d'alimentation VCCIO, tandis que le récepteur d'entrée de la même broche est connecté au groupe d'alimentation VCC. De plus, cette broche d'E/S peut être connectée à une ou plusieurs masses (par exemple, VSS, VSSIO). Ces informations sont généralement fournies par l'équipe de conception.

Une broche n'assurant pas l'alimentation est associée à un groupe de broches d'alimentation si:

- a) la liaison à ce groupe de broches d'alimentation est nécessaire pour le fonctionnement du circuit; ou
- b) un chemin parasite existe entre un groupe de broches n'assurant pas l'alimentation et un groupe de broches d'alimentation (par exemple, broche n'assurant pas l'alimentation du type à drain ouvert vers un groupe de broches d'alimentation VCC connectées à un anneau de garde de puits N proche).

Dans l'essai décrit dans le Tableau 2, les broches n'assurant pas l'alimentation sont soumises à contrainte uniquement par rapport aux groupes de broches d'alimentation auxquels elles sont associées. Si les informations concernant l'association avec les groupes de broches d'alimentation pour chaque broche n'assurant pas l'alimentation sont connues, les broches n'assurant pas l'alimentation peuvent alors être soumises à contrainte uniquement avec les groupes de broches d'alimentation associés (voir Annexe C). Une contrainte sur des groupes de broches d'alimentation qui ne sont pas associées à une broche n'assurant pas l'alimentation n'est pas nécessaire. Si ces informations ne sont pas disponibles, alors chaque broche n'assurant pas l'alimentation doit être soumise à l'essai avec chaque groupe de broches d'alimentation comme spécifié aux lignes 1 à N du Tableau 3.

Cette utilisation du Tableau 2 est fortement recommandée pour les dispositifs dépassant 8 groupes de broches d'alimentation.

NOTE Les combinaisons de broches 1 à N du Tableau 3 traitent toutes les broches n'assurant pas l'alimentation comme étant associées à chaque groupe de broches d'alimentation.

6.6.2.3 Polarités de contrainte des broches d'alimentation (Tableaux 2 et 3)

Lorsque des broches de groupes de broches d'alimentation sont soumises à contrainte avec d'autres groupes de broches d'alimentation, il est admissible d'exécuter toutes les contraintes avec une polarité unique.

NOTE Pour certains dispositifs mis à essai, il s'est révélé qu'une contrainte d'alimentation avec une polarité était plus susceptible aux parasites de l'appareil d'essai que pour la polarité opposée. Ces courants parasites peuvent provoquer une distorsion de la forme d'onde et des résultats d'essai anormaux. Puisque chaque alimentation est soumise à contrainte sur la borne B par rapport à chaque autre alimentation sur la borne B, toutes les paires d'alimentation sont normalement soumises à l'essai deux fois. Pour des bus d'alimentation de faible résistance, la contrainte positive du groupe de puissance 1 sur la borne A par rapport au groupe de puissance 2 sur la borne B est essentiellement redondante par rapport à la contrainte négative du groupe de puissance 2 sur la borne A par rapport au groupe de puissance 1 sur la borne B. L'élimination de cette redondance des essais permet d'effectuer un essai uniquement avec la polarité qui réduit le plus possible les parasites de l'appareil d'essai. Pour la plupart des technologies, telles que des circuits CMOS sur des substrats p, un essai uniquement positif est préféré. Pour certaines technologies, un essai uniquement négatif peut être préféré.

6.6.2.4 Autre méthode de contrainte de broche pour des broches n'assurant pas l'alimentation (Tableaux 2 et 3)

Une contrainte entre broche n'assurant pas l'alimentation et broche d'alimentation peut être remplacée par sa contrainte correspondante entre broche d'alimentation et broche n'assurant pas l'alimentation. Si seule une contrainte de polarité unique est remplacée, la contrainte de polarité opposée doit être utilisée. Puisque les broches n'assurant pas l'alimentation ne sont généralement pas connectées à d'autres broches, cela nécessite que chaque broche d'alimentation du groupe de broches d'alimentation soit soumise à contrainte individuellement avec chaque broche n'assurant pas l'alimentation. Si la broche n'assurant pas l'alimentation est reliée à d'autres broches, comme indiqué en 6.5.2, toutes les autres broches du groupe n'assurant pas l'alimentation doivent être laissées flottantes.

NOTE 1 La contrainte de polarité négative entre broches n'assurant pas l'alimentation et broche d'alimentation sera remplacée par la contrainte de polarité positive entre broche d'alimentation et broche n'assurant pas l'alimentation. Cette tolérance est utile lorsque la vitesse de balayage de l'impulsion de HBM est influencée par les capacités parasites de l'appareil d'essai.

NOTE 2 Si cette autre méthode d'essai est utilisée sur un groupe de broches d'alimentation ayant un nombre de broches assez important, la capacité parasite de l'appareil d'essai augmente (c'est-à-dire, ralentit) le temps de montée du signal. Des temps de montée plus longs peuvent provoquer un fonctionnement incorrect des circuits de protection dynamique de DES (voir Article B.3).

6.6.2.5 Méthode de réduction d'échantillonnage de broche clonée n'assurant pas l'alimentation (entrée/sortie clonée)

Certaines broches n'assurant pas l'alimentation peuvent être retirées des essais de HBM si elles répondent aux critères d'une entrée/sortie clonée, comme expliqué en Annexe E. L'utilisateur doit identifier les broches exigées pour l'échantillonnage. Trente broches n'assurant pas l'alimentation choisies de manière aléatoire doivent être soumises à l'essai pour chaque ensemble d'entrées/sorties clonées (M). Des contraintes de HBM doivent être appliquées aux broches choisies conformément au Tableau 2 ou au Tableau 3. Les autres broches $M - 30$ ne subiront aucune contrainte et restent flottantes à tout moment. Les étapes sont décrites en Annexe E.

6.6.3 Combinaison entre broches n'assurant pas l'alimentation

6.6.3.1 Utilisation des Tableaux 2 et 3

L'ensemble de combinaisons de broches $N + 1$ du Tableau 2 spécifie la contrainte de chaque paire de broches couplées n'assurant pas l'alimentation.

6.6.3.2 Autres combinaisons entre broches n'assurant pas l'alimentation

Si les informations concernant les broches n'assurant pas l'alimentation permettant de déterminer les paires couplées ne sont pas disponibles, l'ensemble de combinaisons de broches $N + 1$ du Tableau 3 doit être utilisé. Cela spécifie la contrainte de chaque broche n'assurant pas l'alimentation individuellement (borne A) avec toutes les autres broches n'assurant pas l'alimentation restantes reliées ensemble et connectées à la borne B, sauf pour les broches court-circuitées n'assurant pas l'alimentation qui sont connectées par un métal à la broche sous contrainte sur la puce, qui sont laissées ouvertes comme spécifié en 6.5.2.

6.6.3.3 Broches court-circuitées n'assurant pas l'alimentation (Tableau 3 seulement)

Si le Tableau 3 est utilisé pour un dispositif comportant des broches court-circuitées n'assurant pas l'alimentation connectées à la puce seulement et reliées à plusieurs broches séparées, ces broches doivent alors être soumises à contrainte individuellement conformément à l'ensemble de combinaisons $N + 1$, le reste de ces broches connectées étant laissées flottantes. Si le Tableau 3 est utilisé pour un dispositif comportant des broches court-circuitées n'assurant pas l'alimentation connectées par un plan de boîtier ou partageant un plot de liaison commun, l'une de ces broches (choisie arbitrairement) peut être utilisée pour représenter l'ensemble complet de broches court-circuitées n'assurant pas l'alimentation. Il n'est pas nécessaire de soumettre à contrainte ou de relier à la masse les broches restantes de l'ensemble et il convient de les laisser flottantes pendant tout l'essai.

6.6.3.4 Autorisation de partage pour les broches n'assurant pas l'alimentation (Tableau 3 seulement)

Lorsqu'on utilise le Tableau 3 le partage des broches n'assurant pas l'alimentation destinées à être connectées à la borne B en deux sous-ensembles ou plus, de telle sorte que chacune de ces broches appartienne au moins à un sous-ensemble est admis. Les sous-ensembles peuvent être des broches uniques. La broche connectée à la borne A est destinée à être soumise à contrainte pour chacun de ces sous-ensembles séparément. Ce processus est répété pour chaque broche n'assurant pas l'alimentation.

6.7 Contrainte de HBM avec un simulateur à faibles parasites

6.7.1 Simulateur de HBM à faibles parasites

Un simulateur de HBM à faibles parasites présente des courants pratiquement identiques aux bornes A et B lors des essais portant sur une paire de broches d'un dispositif équipé de plusieurs broches. Ainsi, lors de la contrainte sur une paire de broches en utilisant un simulateur de HBM à faibles parasites, peu importe quelle broche est sur la borne A et quelle

broche est sur la borne B. Après avoir appliqué la contrainte sur une paire de broches à l'aide d'un simulateur de HBM à faibles parasites, en utilisant les deux polarités, il n'est pas nécessaire d'inverser les broches. Si par exemple la broche X est soumise à contrainte sur la borne A vers la broche Y sur la borne B avec les deux polarités de tension, il est inutile de soumettre à contrainte la broche Y sur la borne A avec la broche X sur la borne B.

6.7.2 Exigences applicables à la faiblesse des parasites

Voir Article B.4 pour un essai visant à déterminer si un appareil d'essai de HBM est un simulateur à faibles parasites. Le fabricant doit réaliser cette évaluation afin d'établir que le simulateur répond aux exigences applicables à la faiblesse des parasites de cette méthode d'essai.

6.8 Essai après contrainte

Si un groupe d'échantillons différent est soumis à l'essai à chaque niveau de contrainte, la réalisation des essais paramétriques et fonctionnels à courant continu après les essais de DES de tous les groupes d'échantillons est admise.

7 Critères de défaillance

Un élément est défini comme présentant une défaillance s'il échoue vis-à-vis des paramètres de la feuille de caractéristiques en utilisant les essais paramétriques et fonctionnels. Si des essais sont nécessaires à des températures multiples, les essais doivent être réalisés à la température la plus faible d'abord.

8 Classification des composants

Les composants sensibles au DES sont classés en fonction de leur tension de tenue de HBM, sans tenir compte de la polarité, comme défini dans le Tableau 4. Un composant peut être classé en se basant sur des essais avec un quelconque simulateur de HBM satisfaisant à tous les paramètres de l'Article 4. Si l'essai d'un composant le classe à un niveau supérieur à un autre sur un simulateur de HBM, il est assigné à la classification supérieure.

Si plusieurs appareils d'essai constatent des niveaux de classification différents, il est recommandé d'effectuer une étude plus approfondie.

Tableau 4 – Niveaux de classification des composants de DES de HBM

Classification	Plage de tensions (V)
0A	< 125
0B	125 à < 250
1A	250 à < 500
1B	500 à < 1 000
1C	1 000 à < 2 000
2	2 000 à < 4 000
3A	4 000 à < 8 000
3B	≥ 8 000

Annexe A (informative)

Organigramme de la méthode d'essai de HBM

Voir la Figure A.1.

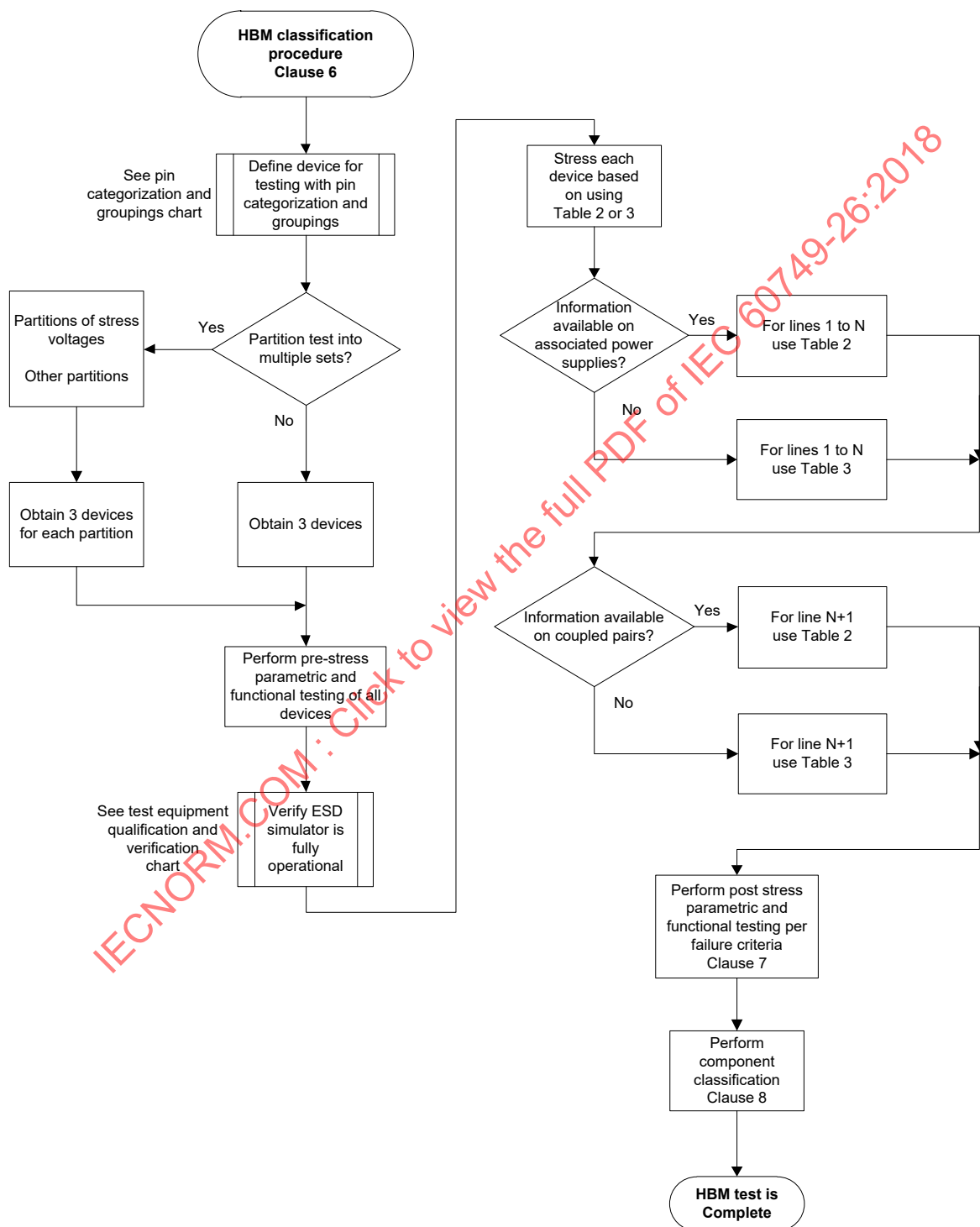


Figure A.1 – Organigramme de la méthode d'essai de HBM (1 sur 3)

Anglais	Français
HBM classification procedure Clause 6	Procédure de classification de HBM Article 6
See pin categorization and grouping chart	Voir diagramme de classification et de regroupement de broches
Define device for testing with Pin categorization and groupings	Définition du dispositif d'essai avec classification et regroupement de broches
Partitions of stress voltages Other Partitions	Partition des tensions de contrainte Autres partitions
Partition test into multiple sets?	Essai de partition dans plusieurs ensembles?
Yes	Oui
No	Non
Obtain 3 devices for each partition	Obtention de 3 dispositifs pour chaque partition
Obtain 3 devices	Obtention de 3 dispositifs
Perform pre-stress parametric and functional testing of all devices	Exécution d'essai paramétrique et fonctionnel de précontrainte de tous les dispositifs
See test equipment qualification and verification chart	Voir diagramme de qualification et de vérification du matériel d'essai
Verify ESD simulator is fully operational	Vérification du fait que le simulateur de DES est entièrement fonctionnel
Stress each device based on using Table 2 or 3	Contrainte de chaque dispositif en se basant sur l'utilisation du Tableau 2 ou 3
Information available on associated power supplies?	Informations disponibles sur les alimentations associées?
For lines 1 to N use Table 2	Pour les lignes 1 à N utiliser le Tableau 2
For lines 1 to N use Table 3	Pour les lignes 1 à N utiliser le Tableau 3
Information available on coupled pairs?	Informations disponibles sur paires couplées
For line N+1 use Table 2	Pour la ligne N+1 utiliser le Tableau 2
For line N+1 use Table 3	Pour la ligne N+1 utiliser le Tableau 3
Perform post stress parametric and functional testing per failure criteria Clause 7	Exécution d'essai paramétrique et fonctionnel de postcontrainte par critère de défaillance Article 7
Perform component classification Clause 8	Exécution de classification des composants Article 8
HBM Test is complete	L'essai de HBM est terminé

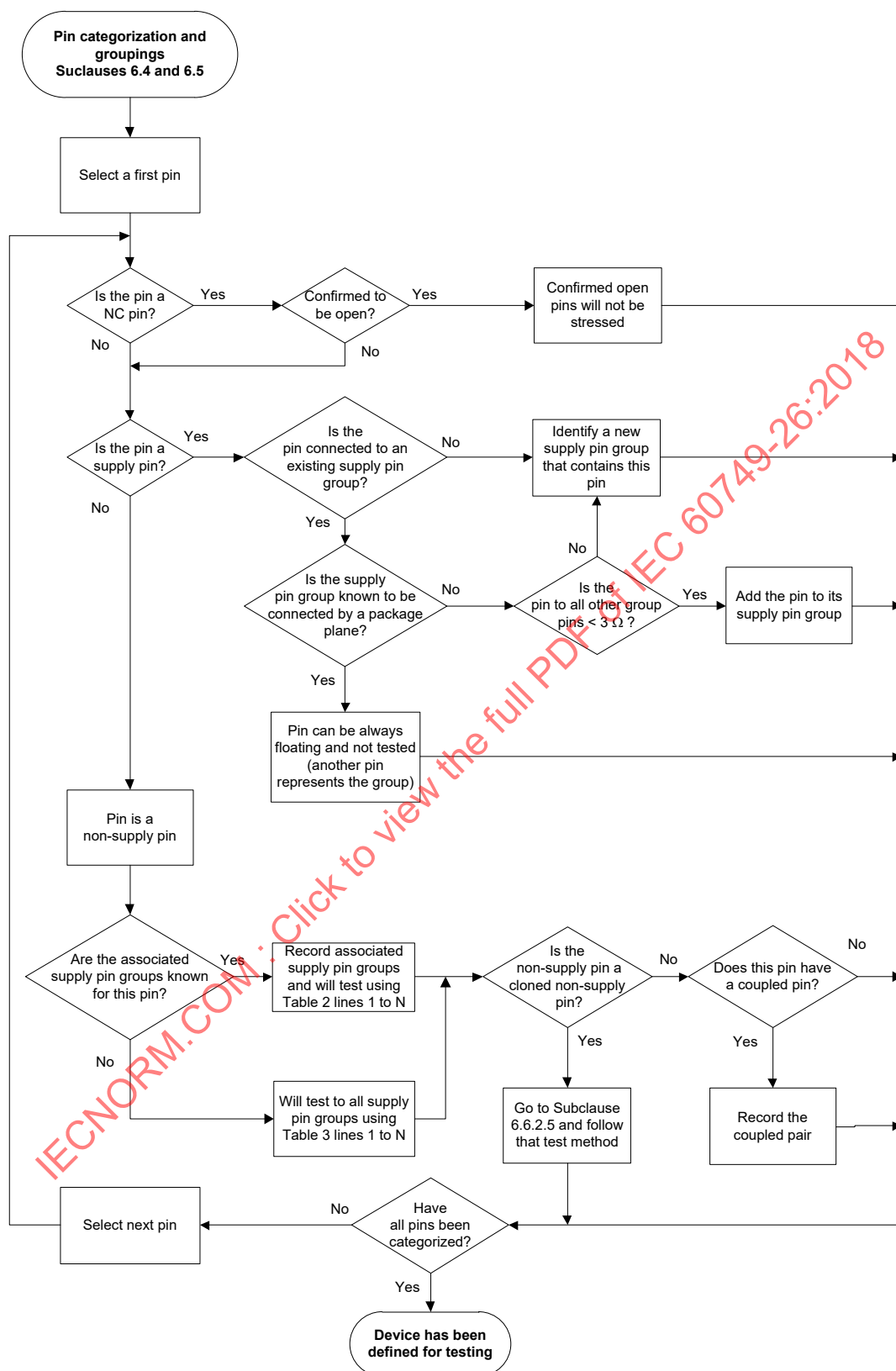
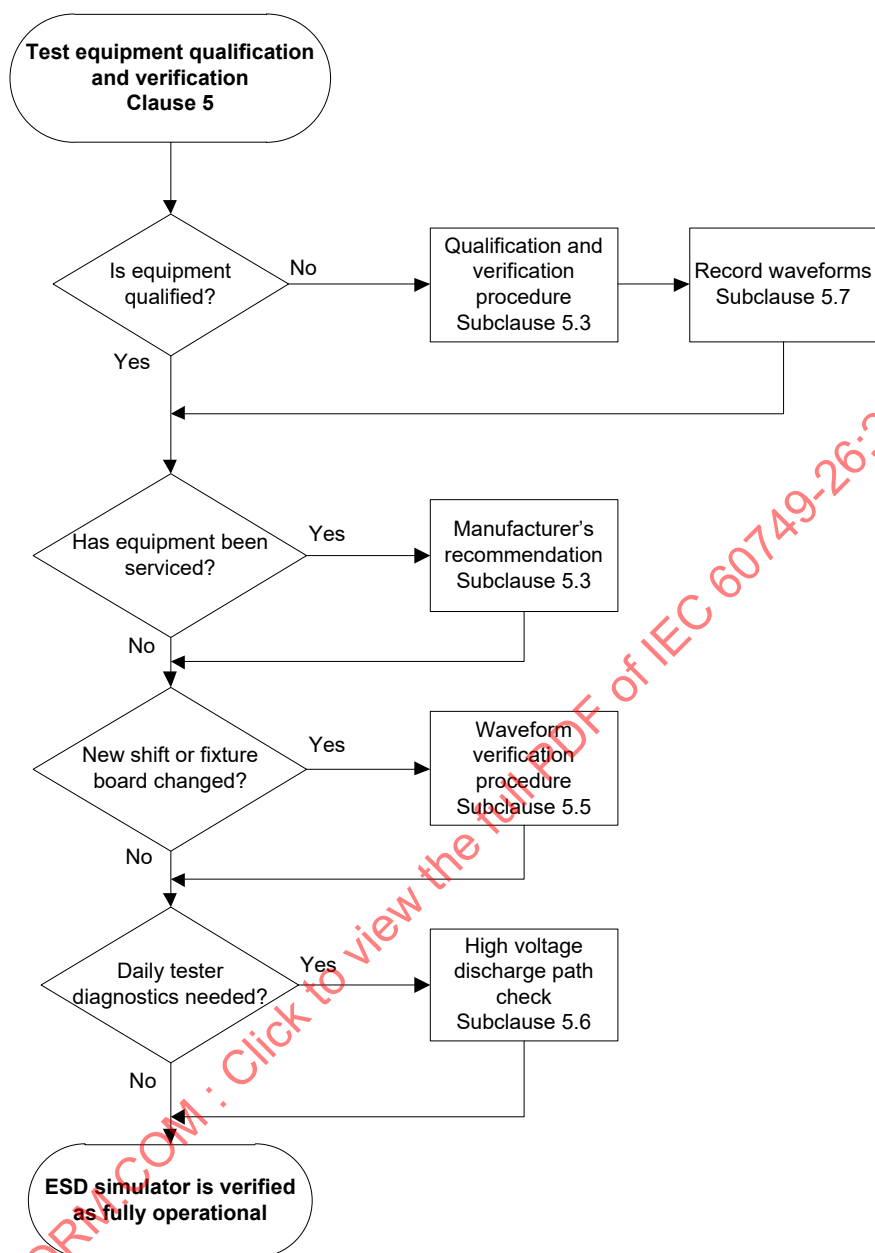


Figure A.1 – Organigramme de la méthode d'essai de HBM (2 sur 3)

Anglais	Français
Pin categorization and groupings Subclauses 6.3 and 6.4	Classification et regroupement des broches Paragaphes 6.3 et 6.4
Select a first pin	Sélection d'une première broche
Is the pin a NC pin?	La broche est-elle une broche sans connexion?
Yes	Oui
No	Non
Confirmed to be open?	Confirmation d'ouverture?
Confirmed open pins will not be stressed	Confirmation que les broches ouvertes ne seront pas soumises à contrainte
Is the pin a supply pin?	La broche est-elle une broche d'alimentation?
Is the pin connected to an existing supply pin group?	La broche est-elle connectée à un groupe de broches d'alimentation existant?
Identify a new supply pin group that contains this pin	Identification d'un nouveau groupe de broches d'alimentation contenant cette broche
Is the supply pin group known to be connected by a package plane?	Le groupe de broches d'alimentation est-il connu comme étant connecté par un plan de boîtier?
Is the pin to all other group pins $<3 \Omega$?	Y a-t-il moins de 3Ω entre la broche et toutes les autres broches du groupe?
Add the pin to its supply pin group	Ajouter la broche à son groupe de broches d'alimentation
Pin is a non-supply pin	La broche est une broche n'assurant pas l'alimentation
Pin can be always floating and not tested (another pin represents the group)	La broche peut toujours être flottante et non soumise à essai (une autre broche représente le groupe)
Are the associated supply pin groups known for this pin?	Les groupes de broches d'alimentation associés sont-ils connus pour cette broche?
Record associated supply pin groups and will test using Table 2 lines 1 to N	Enregistrement des groupes de broches d'alimentation associés et essai en utilisant les lignes 1 à N du Tableau 2
Does this pin have a coupled pin?	Cette broche a-t-elle une broche couplée?
Will test to all supply pin groups using Table 3 lines 1 to N	Essai pour tous les groupes de broches d'alimentation associés en utilisant les lignes 1 à N du Tableau 3
Record the coupled pair	Enregistrement de la paire couplée
Select next pin	Sélection de la broche suivante
Have all pins been categorized?	Toutes les broches ont-elles été classées?
Device has been defined for testing	Le dispositif a été défini pour l'essai

Organigramme de la méthode d'essai de HBM (suite).



IEC

Figure A.1 – Organigramme de la méthode d'essai de HBM (3 sur 3)