

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60749-26

Première édition
First edition
2003-10

**Dispositifs à semiconducteurs –
Méthodes d'essais mécaniques
et climatiques –**

**Partie 26:
Essai de sensibilité aux décharges
électrostatiques (DES) –
Modèle du corps humain (HBM)**

**Semiconductor devices –
Mechanical and climatic test methods –**

**Part 26:
Electrostatic discharge (ESD) sensitivity
testing –
Human body model (HBM)**



Numéro de référence
Reference number
CEI/IEC 60749-26:2003

Numérotation des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000. Ainsi, la CEI 34-1 devient la CEI 60034-1.

Editions consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Informations supplémentaires sur les publications de la CEI

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique. Des renseignements relatifs à cette publication, y compris sa validité, sont disponibles dans le Catalogue des publications de la CEI (voir ci-dessous) en plus des nouvelles éditions, amendements et corrigenda. Des informations sur les sujets à l'étude et l'avancement des travaux entrepris par le comité d'études qui a élaboré cette publication, ainsi que la liste des publications parues, sont également disponibles par l'intermédiaire de:

- Site web de la CEI (www.iec.ch)
- Catalogue des publications de la CEI

Le catalogue en ligne sur le site web de la CEI (http://www.iec.ch/searchpub/cur_fut.htm) vous permet de faire des recherches en utilisant de nombreux critères, comprenant des recherches textuelles, par comité d'études ou date de publication. Des informations en ligne sont également disponibles sur les nouvelles publications, les publications remplacées ou retirées, ainsi que sur les corrigenda.

- IEC Just Published

Ce résumé des dernières publications parues (http://www.iec.ch/online_news/justpub/jp_entry.htm) est aussi disponible par courrier électronique. Veuillez prendre contact avec le Service client (voir ci-dessous) pour plus d'informations.

- Service clients

Si vous avez des questions au sujet de cette publication ou avez besoin de renseignements supplémentaires, prenez contact avec le Service clients:

Email: custserv@iec.ch
Tél: +41 22 919 02 11
Fax: +41 22 919 03 00

Publication numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series. For example, IEC 34-1 is now referred to as IEC 60034-1.

Consolidated editions

The IEC is now publishing consolidated versions of its publications. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Further information on IEC publications

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology. Information relating to this publication, including its validity, is available in the IEC Catalogue of publications (see below) in addition to new editions, amendments and corrigenda. Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is also available from the following:

- IEC Web Site (www.iec.ch)
- Catalogue of IEC publications

The on-line catalogue on the IEC web site (http://www.iec.ch/searchpub/cur_fut.htm) enables you to search by a variety of criteria including text searches, technical committees and date of publication. On-line information is also available on recently issued publications, withdrawn and replaced publications, as well as corrigenda.

- IEC Just Published

This summary of recently issued publications (http://www.iec.ch/online_news/justpub/jp_entry.htm) is also available by email. Please contact the Customer Service Centre (see below) for further information.

- Customer Service Centre

If you have any questions regarding this publication or need further assistance, please contact the Customer Service Centre:

Email: custserv@iec.ch
Tel: +41 22 919 02 11
Fax: +41 22 919 03 00

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60749-26

Première édition
First edition
2003-10

**Dispositifs à semiconducteurs –
Méthodes d'essais mécaniques
et climatiques –**

**Partie 26:
Essai de sensibilité aux décharges
électrostatiques (DES) –
Modèle du corps humain (HBM)**

**Semiconductor devices –
Mechanical and climatic test methods –**

**Part 26:
Electrostatic discharge (ESD) sensitivity
testing –
Human body model (HBM)**

© IEC 2003 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission, 3, rue de Varembe, PO Box 131, CH-1211 Geneva 20, Switzerland
Telephone: +41 22 919 02 11 Telefax: +41 22 919 03 00 E-mail: inmail@iec.ch Web: www.iec.ch



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

N

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

AVANT-PROPOS	4
INTRODUCTION	8
1 Domaine d'application et objet	10
2 Références normatives	10
3 Appareillage	10
3.1 Simulateur DES et support du dispositif d'essai DUT	10
3.2 Oscilloscope	10
3.3 Sonde de courant	10
3.4 Charges d'évaluation	12
3.5 Etalonnage	12
4 Qualification, étalonnage et vérification de la forme d'onde	18
4.1 Qualification de l'équipement	18
4.2 Broche du cas le plus défavorable ou carte de qualification standard	18
4.3 Vérification de la forme d'onde	22
5 Procédure de classification	22
6 Critères de défaillance	24
7 Critères de classification	26
8 Sommaire	26
Figure 1 – Circuit type équivalent DES HBM	12
Figure 2 – Formes d'ondes de courant à travers un fil de court-circuitage	14
Figure 3 – Formes d'ondes de courant à travers une résistance de 500 Ω	16
Tableau 1 – Spécification de la forme d'onde	18
Tableau 2 – Combinaisons de broches pour circuits intégrés	24

CONTENTS

FOREWORD	5
INTRODUCTION	9
1 Scope and object	11
2 Normative references	11
3 Apparatus	11
3.1 ESD simulator and DUT socket	11
3.2 Oscilloscope	11
3.3 Current probe	11
3.4 Evaluation loads	13
3.5 Calibration	13
4 Qualification, calibration, and waveform verification	19
4.1 Equipment qualification	19
4.2 Worst-case pin or standard qualification board	19
4.3 Waveform verification	23
5 Classification procedure	23
6 Failure criteria	25
7 Classification criteria	27
8 Summary	27
Figure 1 – Typical equivalent HBM ESD circuit	13
Figure 2 – Current waveforms through a shorting wire	15
Figure 3 – Current waveforms through a 500 Ω resistor	17
Table 1 – Waveform specification	19
Table 2 – Pin combinations for integrated circuits	25

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

Partie 26: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle du corps humain (HBM)

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI n'a prévu aucune procédure de marquage valant indication d'approbation et n'engage pas sa responsabilité pour les équipements déclarés conformes à une de ses Publications.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60749-26 a été établie par le comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

La présente norme annule et remplace l'IEC/PAS 62179 publiée en 2000. Cette première édition constitue une révision technique.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47/1703/FDIS	47/1717/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES – MECHANICAL AND CLIMATIC TEST METHODS –

Part 26: Electrostatic discharge (ESD) sensitivity testing – Human body model (HBM)

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60749-26 has been prepared by IEC technical committee 47: Semiconductor devices.

This standard cancels and replaces IEC/PAS 62179 published in 2000. This first edition constitutes a technical revision.

The text of this standard is based on the following documents:

FDIS	Report on voting
47/1703/FDIS	47/1717/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2007.
A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

IECNORM.COM: Click to view the full PDF of IEC 60749-26:2003

Withdrawn

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until 2007. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

IECNORM.COM: Click to view the full PDF of IEC 60749-26:2003

Withdrawn

INTRODUCTION

Le CE 47 a pris en compte les instructions du Standardization Management Board de la CEI en ce qui concerne l'étude des apports provenant des documents du CE 101. Le CE 47 est d'accord d'entreprendre, dans le cadre du Groupe de Travail Joint CE 47/CE 101, la prochaine révision des publications CEI 60749-26 et CEI 60749-27, traitant des modèles du corps humain et de machine, en tenant compte des contributions fondées sur les publications correspondantes de CE 101: CEI 61340-3-1 et CEI 61340-3-2.

IECNORM.COM: Click to view the full PDF of IEC 60749-26:2003

Withdr2W

INTRODUCTION

TC 47 recognised the direction of the IEC SMB in terms of considering the inputs in the TC 101 documents. TC 47 agrees to proceed with the future revision of publications IEC 60749-26 and IEC 60749-27 concerning human body and machine models, with the JWC of TC 47/TC 101, which will incorporate the TC 101 input, based on corresponding TC 101 publications IEC 61340-3-1 and IEC 61340-3-2.

IECNORM.COM: Click to view the full PDF of IEC 60749-26:2003

Withd 2003

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

Partie 26: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle du corps humain (HBM)

1 Domaine d'application et objet

La présente partie de la CEI 60749 établit une procédure normalisée pour les essais et la classification des dispositifs à semiconducteurs en fonction de leur sensibilité aux dommages ou de leur dégradation suite à leur exposition à des décharges électrostatiques (DES) sur un modèle de corps humain (HBM). Le but de cette norme est de fournir des résultats d'essai DES HBM fiables et reproductibles de manière que des classifications précises puissent être réalisées.

Cette méthode d'essai est applicable à tous les dispositifs à semiconducteurs et elle est classée destructive.

Les essais de DES doivent être choisis entre cette méthode d'essai ou celle du modèle de machine (MM, voir CEI 60749-27). Les méthodes d'essai HBM et MM produisent des résultats similaires mais non identiques. Sauf indication contraire, la présente méthode d'essai doit être retenue.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60749-27, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 27: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle de machine (MM)*

3 Appareillage

Cette méthode d'essai nécessite l'équipement suivant.

3.1 Simulateur DES et support du dispositif d'essai DUT

L'appareillage doit comprendre un simulateur d'impulsions DES et un support de dispositif d'essai (DUT) correspondant au circuit de la Figure 1. Le simulateur doit être capable de fournir des impulsions avec les caractéristiques exigées par la Figure 2 et la Figure 3.

3.2 Oscilloscope

La combinaison oscilloscope et amplificateur doit avoir une largeur de bande non récurrente minimale de 350 MHz et une vitesse d'écriture visuelle de 4 cm/ns au minimum.

3.3 Sonde de courant

La sonde (transformateur et câble d'une longueur nominale de 1 m) doit avoir une largeur de bande de 1 GHz, des caractéristiques minimales de courant de 12 A de capacité de courant d'impulsion de crête et un temps de montée inférieur à 1 ns.

SEMICONDUCTOR DEVICES – MECHANICAL AND CLIMATIC TEST METHODS –

Part 26: Electrostatic discharge (ESD) sensitivity testing – Human body model (HBM)

1 Scope and object

This part of IEC 60749 establishes a standard procedure for testing and classifying semiconductor devices according to their susceptibility to damage or degradation by exposure to a defined human body model (HBM) electrostatic discharge (ESD). The objective is to provide reliable, repeatable HBM ESD test results so that accurate classifications can be performed.

This test method is applicable to all semiconductor devices and is classified as destructive.

ESD testing shall be selected from this test method or the machine model (MM) test method (see IEC 60749-27). The HBM and MM test methods produce similar but not identical results. Unless otherwise specified this test method shall be selected.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60749-27, *Semiconductor devices – Mechanical and climatic test methods – Part 27: Electrostatic discharge (ESD) sensitivity testing – Machine model (MM)*

3 Apparatus

This test method requires the following equipment.

3.1 ESD simulator and DUT socket

The apparatus shall include an ESD pulse simulator and a device under test (DUT) socket equivalent to the circuit of Figure 1. The simulator shall be capable of supplying pulses with the characteristics required by Figure 2 and Figure 3.

3.2 Oscilloscope

The oscilloscope and amplifier combination shall have a 350 MHz minimum single-shot bandwidth and a visual writing speed of 4 cm/ns minimum.

3.3 Current probe

The probe (transformer and cable with a nominal length of 1 m) shall have a 1 GHz bandwidth, a minimum current rating of 12 A peak pulse-current capability and a rise time of less than 1 ns.

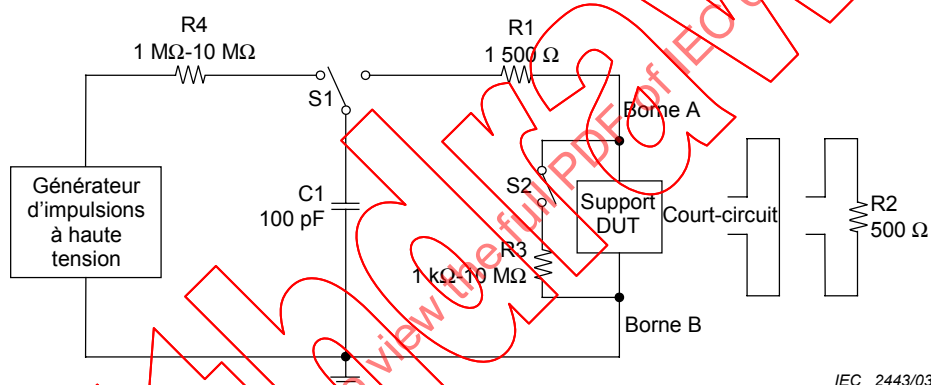
3.4 Charges d'évaluation

Un fil en cuivre étamé de diamètre égal à $0,5 \text{ mm} \pm 20 \%$ est recommandé pour l'essai de vérification de la forme d'onde courte. Il convient que la longueur de connexion soit aussi courte que possible en pratique pour couvrir la distance entre les deux broches les plus éloignées dans le support en passant par la sonde de courant. Les extrémités de la connexion peuvent être mises à la terre en un point où un espace est nécessaire pour réaliser le contact sur des broches de support à pas fins.

Une résistance à faible inductance de 500Ω avec une tolérance relative de $\pm 1 \%$, $4\,000 \text{ V}$, doit être utilisée pour la vérification initiale et le ré-étalonnage périodique du système.

3.5 Etalonnage

Tous les appareils utilisés pour l'évaluation du testeur doivent être étalonnés selon un système d'étalonnage documenté et offrant toute traçabilité, et conformément aux recommandations du fabricant.



Les performances de tout simulateur sont influencées par sa capacitance et son inductance parasites.

Il faut prendre des précautions dans la conception du testeur pour éviter les transitoires de recharge et les impulsions multiples.

R2, utilisé pour la qualification initiale de l'équipement et pour la requalification comme spécifié en 4.1, doit être une résistance à faible inductance, $4\,000 \text{ V}$, 500Ω avec une tolérance relative de $\pm 1 \%$.

La superposition d'adaptateurs de support DUT (montage sur boîtier) est seulement autorisée si les formes d'ondes peuvent être vérifiées quant à leur conformité avec le Tableau 1.

L'inversion des bornes A et B pour obtenir une double polarité n'est pas autorisée.

S2 doit être fermé au moins 10 ms après la période d'impulsions pour s'assurer que le support du DUT n'est pas laissé dans un état chargé.

R1, $1\,500 \Omega$ avec une tolérance relative de $\pm 1 \%$.

C1, 100 pF avec une tolérance relative de $\pm 10 \%$ (capacité efficace).

Afin de limiter le courant de charge pour des raisons de sécurité, il est recommandé qu'une résistance R3 de valeur $1 \text{ M}\Omega$ à $10 \text{ M}\Omega$ soit ajoutée au circuit entre le générateur d'impulsions à haute tension et l'interrupteur S1.

Figure 1 – Circuit type équivalent DES HBM

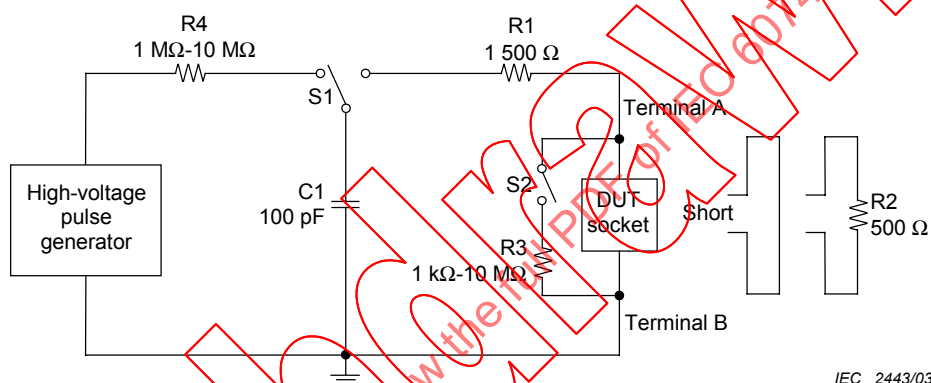
3.4 Evaluation loads

A tinned copper wire of diameter $0,5 \text{ mm} \pm 20 \%$ is recommended for the short waveform verification test. The lead length should be as short as practicable to span the distance between the two farthest pins in the socket while passing through the current probe. The ends of the wire may be ground to a point where clearance is needed to make contact on fine-pitch socket pins.

A 500Ω with a relative tolerance of $\pm 1 \%$, 4 000 V, low-inductance resistor shall be used for initial system checkout and periodic system recalibration.

3.5 Calibration

All apparatus used for tester evaluation shall be calibrated according to a documented, traceable calibration system and in accordance with manufacturer's recommendations.



The performance of any simulator is influenced by its parasitic capacitance and inductance.

Precautions must be taken in tester design to avoid recharge transients and multiple pulses.

R2, used for initial equipment qualification and requalification as specified in 4.1, shall be a low inductance, 4 000 V, 500Ω resistance with a relative tolerance of $\pm 1 \%$.

Stacking of DUT socket adaptors (piggybacking) is allowed only if the waveforms can be verified to meet the specification in Table 1.

Reversal of terminals A and B to achieve dual polarity is not permitted.

S2 shall be closed at least 10 ms after the pulse delivery period to ensure the DUT socket is not left in a charged state.

R1, $1\,500 \Omega$ with a relative tolerance of $\pm 1 \%$.

C1, 100 pF with a relative tolerance of $\pm 10 \%$ (effective capacitance).

In order to limit charge current for safety purposes, it is recommended that a resistor R3 of value $1 \text{ M}\Omega$ to $10 \text{ M}\Omega$ is added to the circuit between the high-voltage pulse generator and the switch S1.

Figure 1 – Typical equivalent HBM ESD circuit

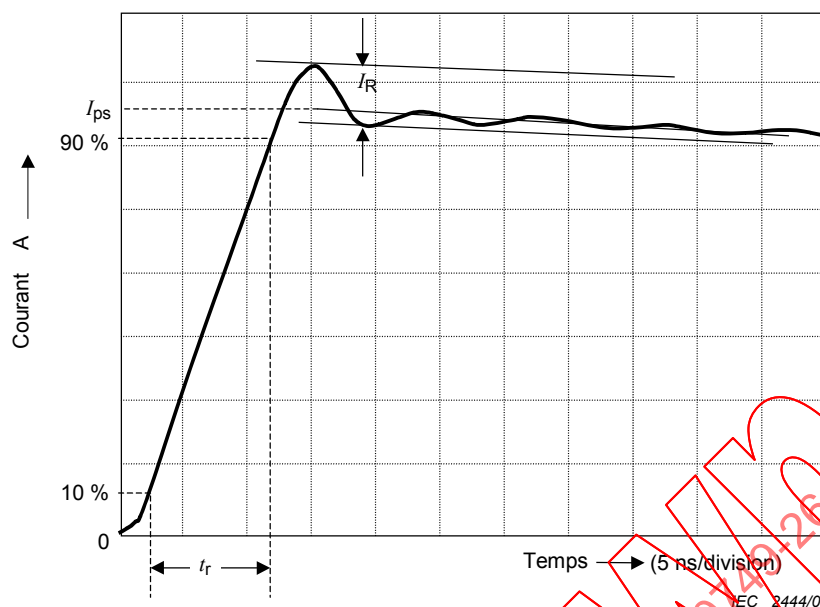


Figure 2a – Temps de montée d'impulsion, t_r

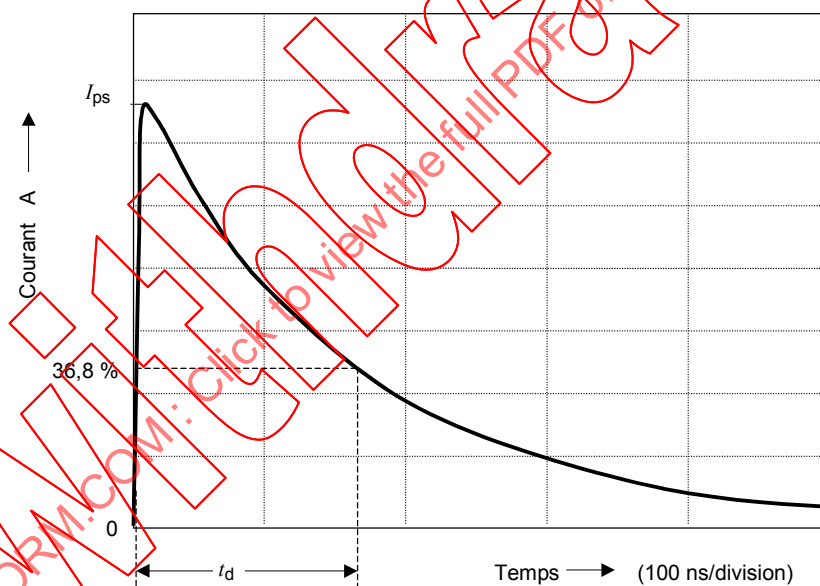


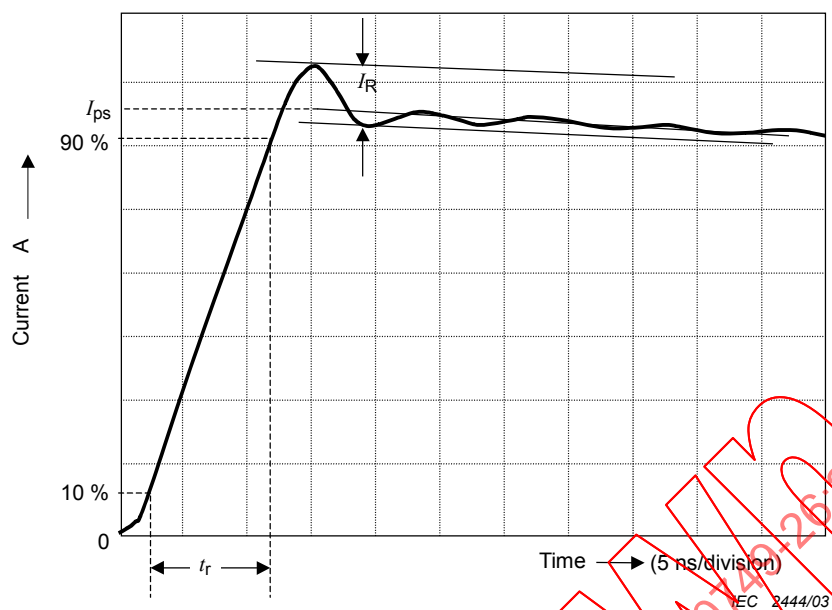
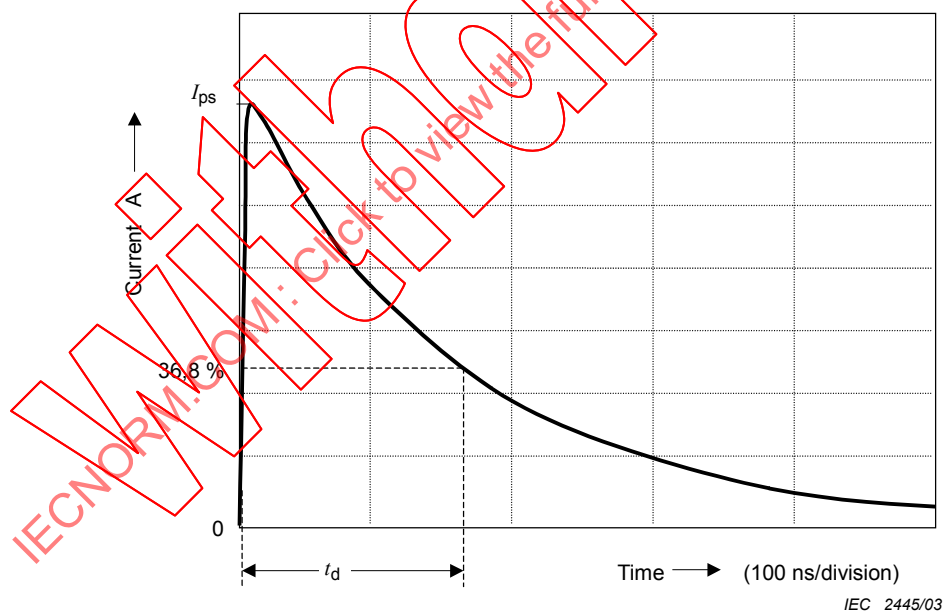
Figure 2b – Temps de décroissance d'impulsion, t_d

Légende

I_R courant de dépassement

I_{ps} $I_{crête}$ pour court-circuit

Figure 2 – Formes d'ondes de courant à travers un fil de court-circuitage

Figure 2a – Pulse rise time, t_r Figure 2b – Pulse decay time, t_d **Key** I_R ringing current I_{ps} I_{peak} for short**Figure 2 – Current waveforms through a shorting wire**

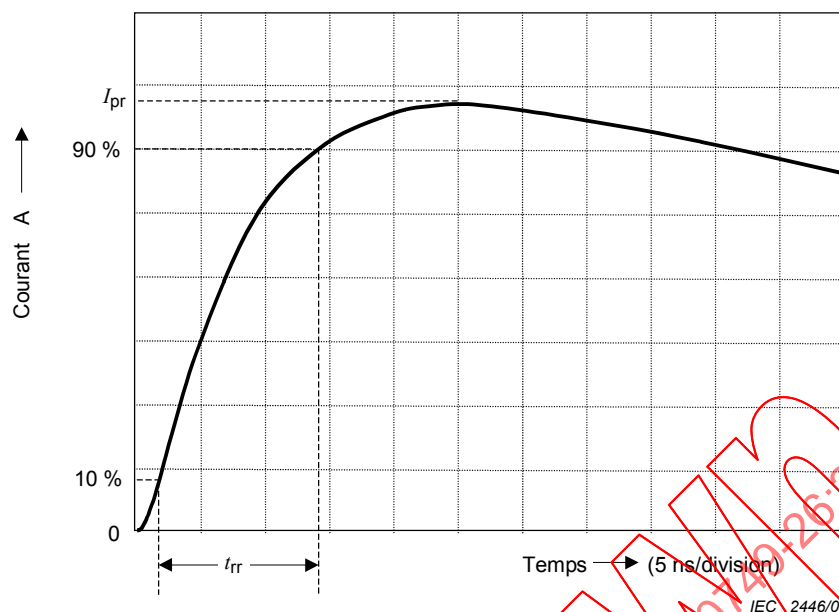


Figure 3a – Temps de montée d'impulsion, t_{rr}

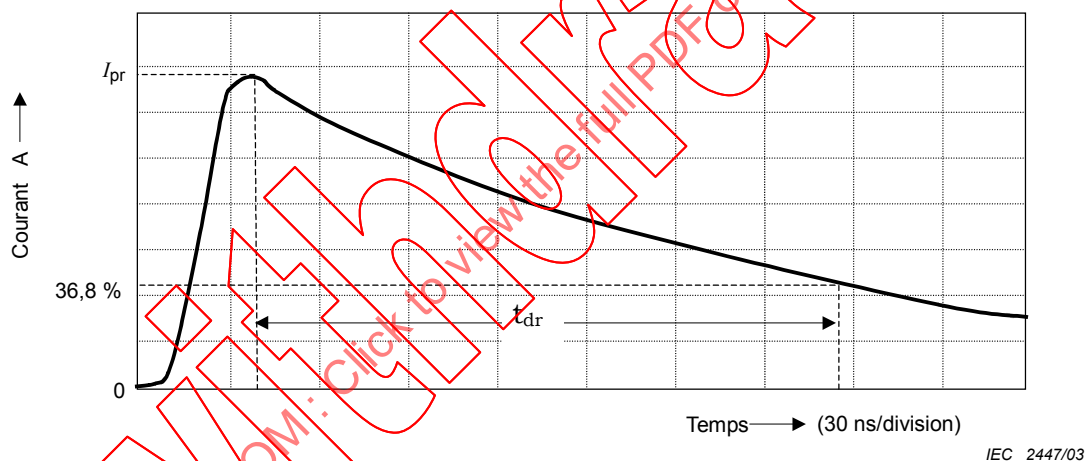


Figure 3b – Temps de décroissance d'impulsion, t_{dr}

Légende

I_{pr} $I_{crête}$ pour 500 Ω

Figure 3 – Formes d'ondes de courant à travers une résistance de 500 Ω *

* La charge de 500 Ω est utilisée seulement pour la qualification de l'équipement comme spécifié en 4.1.

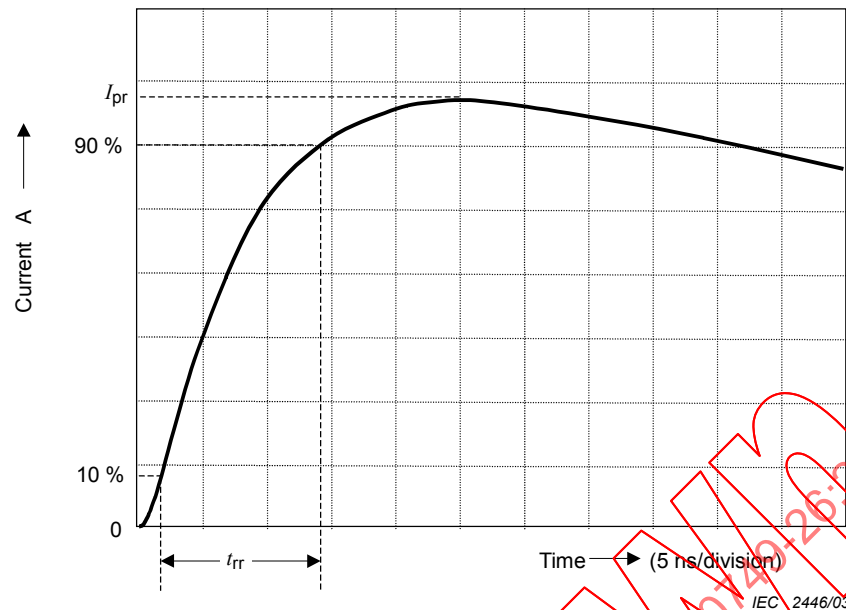


Figure 3a – Pulse rise time, t_{rr}

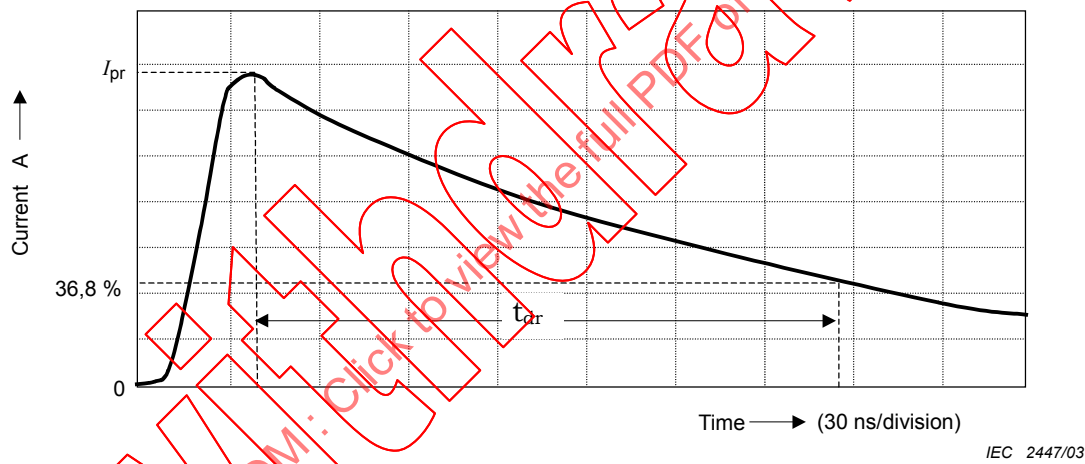


Figure 3b – Pulse decay time, t_{dr}

Key
 I_{pr} I_{peak} for 500 Ω

Figure 3 – Current waveforms through a 500 Ω resistor *

* The 500 Ω load is used only during equipment qualification as specified in 4.1.

4 Qualification, étalonnage et vérification de la forme d'onde

4.1 Qualification de l'équipement

L'étalonnage de l'équipement doit être réalisé au cours de l'essai d'acceptation initiale. Le ré-étalonnage est exigé au minimum tous les 12 mois ou à chaque fois que des réparations de l'équipement peuvent affecter la forme d'onde. Le testeur doit être conforme aux exigences du Tableau 1 et de la Figure 2 à tous les niveaux de tension, sauf 8 000 V, en utilisant un fil de court-circuitage et au niveau de 1 000 V et 4 000 V avec une résistance de 500 Ω (voir la Figure 3). Le niveau de 8000 V est facultatif. Les mesures de la forme d'onde au cours de l'étalonnage doivent être réalisées en utilisant la broche du cas le plus défavorable sur la carte de comptage du DUT de broche la plus élevée ou sur la carte de qualification standard spécifiée en 4.2. (Il convient de vérifier la répétabilité de la machine au cours de l'acceptation initiale de l'équipement en réalisant au minimum 5 formes d'ondes positives consécutives et 5 négatives à un niveau de tension du Tableau 1.) Les relais à haute tension et les circuits à haute tension associés doivent faire l'objet d'essais par l'utilisateur des systèmes contrôlés par ordinateur selon les instructions du fabricant de l'équipement (diagnostic système). Cet essai vérifiera tout relais ouvert ou court-circuité.

Tableau 1 – Spécification de la forme d'onde

Niveau de tension V	$I_{\text{crête}}$ pour court-circuit ^a , I_{ps} A	$I_{\text{crête}}$ pour 500 Ω ^b , I_{pr} A	Temps de montée pour court-circuit, t_r ns	Temps de montée pour 500 Ω ^b , t_{rr} ns	Temps de descente pour court-circuit, t_d ns	Courant de dépassement, I_R A
250	0,15-0,19	n.a.	2,0-10	n.a.	130-170	15 % de I_{ps}
500	0,30-0,37	n.a.	2,0-10	n.a.	130-170	15 % de I_{ps}
1 000	0,60-0,74	0,37-0,55	2,0-10	5,0-25	130-170	15 % de I_{ps}
2 000	1,20-1,48	n.a.	2,0-10	n.a.	130-170	15 % de I_{ps}
4 000	2,40-2,96	1,5-2,2	2,0-10	5,0-25	130-170	15 % de I_{ps} et I_{pr}
8000 (facultatif)	4,80-5,88	n.a.	2,0-10	n.a.	130-170	15 % de I_{ps}

^a $I_{\text{crête}}$ est le courant qui traverse R1, c'est-à-dire approximativement $V/1500 \Omega$.
^b La charge de 500 Ω est utilisée seulement pendant la qualification de l'équipement comme spécifié en 4.1.

Formation à la sécurité



Au cours du montage initial de l'équipement, l'inspecteur de la sécurité ou un représentant de la sécurité compétent doit contrôler l'équipement à son emplacement de fonctionnement pour s'assurer que celui-ci ne fonctionne pas dans un environnement combustible (dangereux).

De plus, l'ensemble du personnel doit recevoir une formation sur le fonctionnement et la sécurité électrique avant d'utiliser l'équipement.

4.2 Broche du cas le plus défavorable ou carte de qualification standard

La qualification de l'équipement doit être faite par la mesure du courant de décharge avec la combinaison de broches du cas le plus défavorable sur la carte DUT, comme spécifié en 4.2.1. Cette méthode doit être utilisée si l'équipement est construit en utilisant un générateur à décharge simple qui peut être connecté à toutes les broches du socle sur la carte DUT en commutant les relais.

4 Qualification, calibration, and waveform verification

4.1 Equipment qualification

Equipment calibration shall be performed during initial acceptance testing. Recalibration is required at least every 12 months or whenever equipment repairs are made that may affect the waveform. The tester shall meet the requirements of Table 1 and Figure 2 at all voltage levels, except 8 000 V, using the shorting wire and at the 1 000 V and 4 000 V level with the 500 Ω resistor (see Figure 3). The 8 000 V level is optional. The waveform measurements during calibration shall be made using the worst-case pin on the highest pin count DUT board or the standard qualification board specified in 4.2. (Machine repeatability should be verified during initial equipment acceptance by performing a minimum of 5 consecutive positive and a minimum of 5 consecutive negative waveforms at a voltage level in Table 1.) The high-voltage relays and associated high-voltage circuitry shall be tested by the user or computer-controlled systems per the equipment manufacturer's instructions (system diagnostics). This test will check for any open or short relays.

Table 1 – Waveform specification

Voltage level V	I_{peak} for short ^a , I_{ps} A	I_{peak} for 500 Ω ^b , I_{pr} A	Rise time for short, t_r ns	Rise time for 500 Ω ^b , t_{rr} ns	Decay time for short, t_d ns	Ringing current I_R A
250	0,15-0,19	n.a.	2,0-10	n.a.	130-170	15 % of I_{ps}
500	0,30-0,37	n.a.	2,0-10	n.a.	130-170	15 % of I_{ps}
1 000	0,60-0,74	0,37-0,55	2,0-10	5,0-25	130-170	15 % of I_{ps}
2 000	1,20-1,48	n.a.	2,0-10	n.a.	130-170	15 % of I_{ps}
4 000	2,40-2,96	1,5-2,2	2,0-10	5,0-25	130-170	15 % of I_{ps} and I_{pr}
8 000 (optional)	4,80-5,86	n.a.	2,0-10	n.a.	130-170	15 % of I_{ps}

^a I_{peak} is the current through R1, that is, approximately $V/1\,500\,\Omega$.

^b The 500 Ω load is used only during equipment qualification as specified in 4.1.

Safety training



During initial equipment set-up, the safety engineer or applicable safety representative shall inspect the equipment in its operating location to ensure that the equipment is not operated in a combustible (hazardous) environment.

Additionally, all personnel shall receive system operational training and electrical safety training prior to using the equipment.

4.2 Worst-case pin or standard qualification board

Equipment qualification shall be made by discharge current measurement with a worst-case pin combination of DUT board, as specified in 4.2.1. This method shall be used if the equipment is constructed using a single discharge generator which can be connected to all pins of the socket on the DUT board by switching of relays.

Les générateurs à décharges multiples doivent être qualifiés en utilisant la carte de qualification standard spécifiée en 4.2.2. Cette méthode doit être utilisée si l'équipement est construit en utilisant une grande quantité de paires de broches de la carte DUT et du circuit d'essai et si chaque circuit d'essai est connecté à une seule broche de la carte DUT.

4.2.1 Broche du cas le plus défavorable

La combinaison de broches du cas le plus défavorable pour chaque support et pour chaque carte DUT doit être identifiée et documentée. Il est recommandé que les fabricants fournissent les données de broches du cas le plus défavorable avec chaque carte DUT. La combinaison de broches avec la forme d'onde la plus proche des limites (voir Tableau 1) doit être désignée pour la vérification de la forme d'onde.

La combinaison de broches du cas le plus défavorable doit être identifiée par la procédure suivante.

- a) Pour chaque support d'essai, identifier la broche de support avec le chemin de câblage le plus court entre le circuit générateur d'impulsions et le support d'essai. Connecter cette broche à la borne B (où elle restera la broche de référence pendant toute la recherche de broche du cas le plus défavorable) et connecter une des broches restantes à la borne A. Fixer un fil de court-circuitage entre ces broches avec la sonde de courant autour du fil de court-circuitage, aussi près de la borne B que cela est possible en pratique.
- b) Appliquer au moins une impulsion positive de 4 000 V et une impulsion négative de 4 000 V et vérifier que la forme d'onde satisfait aux exigences définies au Tableau 1 à la fois pour les impulsions positives et négatives.
- c) Répéter les étapes a) et b) jusqu'à ce que toutes les broches de support soient évaluées.
- d) Déterminer la paire de broches du cas le plus défavorable (dans les limites et le plus près possible des valeurs minimale et maximale de paramètre comme spécifié au Tableau 1) pour être utilisée pour la vérification future des formes d'ondes.
- e) Pour la vérification initiale de carte, connecter une résistance de 500 Ω entre les broches du cas le plus défavorable précédemment identifiées avec le fil de court-circuitage de l'étape d). Appliquer une impulsion positive et négative de 4 000 V et vérifier que la forme d'onde remplit les exigences définies au Tableau 1.

NOTE Comme alternative à la recherche de la broche du cas le plus défavorable, la paire de broches de référence peut être identifiée pour chaque support d'essai de chaque fixation d'essai. La combinaison de broches de référence doit être identifiée en déterminant la broche de support avec le chemin de câblage le plus court entre le circuit générateur d'impulsions et le support d'essai. Connecter cette broche à la borne B, puis connecter la broche de support avec le chemin de câblage le plus long du circuit de génération d'impulsions au support d'essai à la borne A (normalement fournie par le fabricant). Fixer un fil de court-circuitage entre ces broches et la sonde de courant autour du fil de court-circuitage. Suivre la procédure de l'étape b). Pour la vérification initiale de carte, connecter une résistance de 500 Ω entre les broches de référence. Appliquer une impulsion positive et négative de 4 000 V et vérifier que la forme d'onde satisfait aux exigences définies au Tableau 1.

4.2.2 Carte de qualification standard

La carte de qualification standard doit satisfaire aux exigences suivantes.

- a) La dimension de la carte de qualification standard doit avoir la même dimension que celle utilisée pour le DUT.
- b) La longueur spécifique des fils internes de la carte de qualification standard, entre l'équipement et les broches utilisées pour la connexion avec les charges d'évaluation, doit être spécifiée dans le document d'approvisionnement applicable
- c) La longueur totale de chaque paire de circuit dans toutes les cartes DUT doit être inférieure ou égale à la longueur des paires de fils internes dans la carte de qualification standard et de la charge d'évaluation spécifiées en 3.4.

Multiple discharge generators shall be qualified using the standard qualification board specified in 4.2.2. This method shall be used if the equipment is constructed using a large number of pairs of pins of the DUT board and test circuit and each test circuit is connected to only a single pin of the DUT board.

4.2.1 Worst-case pin

The worst-case pin combination for each socket and DUT board shall be identified and documented. It is recommended that the manufacturers supply the worst-case pin data with each DUT board. The pin combination with the waveform closest to the limits (see Table 1) shall be designated for waveform verification.

The worst-case pin combination shall be identified by the following procedure.

- a) For each test socket, identify the socket pin with the shortest wiring path from the pulse generating circuit to the test socket. Connect this pin to Terminal B (where it will remain the referenced pin throughout the worst-case pin search) and connect one of the remaining pins to Terminal A. Attach a shorting wire between these pins with the current probe around the shorting wire, as close to Terminal B as practicable.
- b) Apply at least one positive 4 000 V pulse and at least one negative 4 000 V pulse and verify that the waveform meets the requirements defined in Table 1 for both positive and negative pulses.
- c) Repeat steps a) and b) until all socket pins have been evaluated.
- d) Determine the worst-case pin pair (within the limits and closest to the minimum or maximum parameter values as specified in Table 1) to be used for future waveform verification.
- e) For initial board check-out connect a 500 Ω resistor between the worst-case pins previously identified with the shorting wire in step d). Apply a positive and negative 4 000 V pulse and verify that the waveform meets the requirements defined in Table 1.

NOTE As an alternative to the worst-case pin search, the reference pin pair may be identified for each test socket of each test fixture. The reference pin combination shall be identified by determining the socket pin with the shortest wiring path from the pulse generating circuit to the test socket. Connect this pin to Terminal B and then connect the socket pin with the longest wiring path from the pulse generating circuit to the test socket to Terminal A (normally provided by the manufacturer). Attach a shorting wire between these pins with the current probe around the shorting wire. Follow the procedure in step b). For the initial board check-out connect a 500 Ω resistor between the reference pins. Apply a positive and negative 4 000 V pulse and verify the waveform meets the requirements defined in Table 1.

4.2.2 Standard qualification board

The standard qualification board shall satisfy the following requirements.

- a) The size for the standard qualification board shall be the same size as is used for the DUT board.
- b) The specific length of internal wires of the standard qualification board, between equipment and the terminals used to connect with evaluation loads, shall be specified in the applicable specification.
- c) The total length of each circuit pair in all DUT boards shall be shorter than/equal to the length of the internal wire pairs in the standard qualification board and the evaluation load specified in 3.4.

4.3 Vérification de la forme d'onde

Il convient que la vérification de la forme d'onde soit réalisée au début de chaque changement où un testeur est utilisé et quand une carte support/DUT est changée. Si à un moment quelconque les formes d'onde ne satisfont pas aux exigences définies à la Figure 2 et au Tableau 1 au niveau de 1 000 V ou 4 000 V, l'essai doit être arrêté jusqu'à ce que la forme d'onde soit conforme. De plus, l'essai de diagnostic système tel qu'il est défini en 4.1 pour les systèmes automatisés doit être réalisé avant le début de chaque essai de changement. L'intervalle entre les vérifications de formes d'onde peut être allongé dans la mesure où les données d'essai légitiment cet intervalle accru. Si la forme d'onde ne satisfait plus aux limites du Tableau 1, tous les essais de DES réalisés après la première vérification de forme d'onde satisfaisante seront considérés comme invalides.

- a) Le support DUT nécessaire étant installé et aucun élément n'étant dans le support, fixer un fil de court-circuitage dans le support DUT de telle manière que les broches du cas le plus défavorable soient connectées entre la borne A et la borne B comme représenté à la Figure 1. Placer la sonde de courant autour du fil de court-circuitage.
- b) Initier au moins une impulsion positive au niveau de 1 000 V selon le Tableau 1 et la Figure 2. Vérifier que tous les paramètres satisfont aux limites spécifiées au Tableau 1 et à la Figure 2.
- c) Initier au moins une impulsion négative au niveau de 1 000 V selon le Tableau 1. Vérifier que tous les paramètres satisfont aux limites spécifiées au Tableau 1 et à la Figure 2.
- d) Initier au moins une impulsion positive au niveau de 4 000 V selon le Tableau 1 et la Figure 2. Vérifier que tous les paramètres satisfont aux limites spécifiées au Tableau 1 et à la Figure 2.
- e) Initier au moins une impulsion négative au niveau de 4 000 V selon le Tableau 1. Vérifier que tous les paramètres satisfont aux limites spécifiées au Tableau 1 et à la Figure 2.

5 Procédure de classification

5.1 Les dispositifs utilisés pour les essais de classification doivent subir toutes les opérations normales de fabrication.

5.2 Avant les essais DES, les essais paramétriques et fonctionnels utilisant des conditions exigées par le schéma du dispositif d'essai ou de la spécification d'essai applicable doivent être réalisés sur tous les dispositifs soumis aux essais de DES. Les essais de bande de protection sont également autorisés. Les dispositifs d'essai doivent se situer dans les limites indiquées dans le schéma de partie pour ces paramètres.

5.3 Un échantillon de dispositifs (par exemple 3) pour chaque niveau de tension doit être caractérisé pour le seuil de défaillance DES de dispositif en utilisant les paliers de tension indiqués au Tableau 1. Des paliers de tension plus fins peuvent être éventuellement utilisés pour obtenir une mesure plus précise du seuil de défaillance. Il convient que les essais DES commencent au palier le plus faible du Tableau 1 mais ils peuvent commencer à tout autre niveau. Cependant, si un autre niveau de tension de démarrage plus élevé est utilisé et que le dispositif ne réussit pas l'essai, l'essai doit être recommencé avec un nouveau dispositif au niveau immédiatement inférieur. L'essai DES doit être réalisé à température ambiante.

5.4 Chaque échantillon de dispositifs (par exemple 3) doit être soumis à une contrainte de niveau de tension en utilisant une impulsion positive et une impulsion négative avec un minimum de 300 ms entre les impulsions par broche pour toutes les combinaisons de broches spécifiées au Tableau 2. Il est permis d'utiliser un échantillon séparé de dispositifs pour chaque combinaison de broches spécifiée au Tableau 2. Il est permis d'utiliser le même échantillon (par exemple 3) au niveau de contrainte de tension immédiatement supérieur si tous les dispositifs passent les critères de défaillance spécifiés à l'Article 6 après exposition DES à un niveau de tension spécifié.

4.3 Waveform verification

The waveform verification should be performed at the beginning of each shift that a tester is operated and when a socket/DUT board is changed. If at any time the waveforms do not meet the requirements defined within Figure 2 and Table 1 at the 1 000 V or 4 000 V level, the testing shall be halted until the waveform is in compliance. Additionally, the system diagnostics test as defined in 4.1 for automated systems shall be performed prior to the beginning of each shift that testing is operated. The period between waveform checks may be extended providing test data supports the increased interval. If the waveform no longer meets the limits in Table 1, all ESD testing performed after the previous satisfactory waveform check will be considered invalid.

- a) With the required DUT socket installed and with no device in the socket, attach a shorting wire in the DUT socket such that the worst-case pins are connected between Terminal A and Terminal B as shown in Figure 1. Place the current probe around the shorting wire.
- b) Initiate at least one positive pulse at the 1 000 V level per Table 1 and Figure 2. Verify that all parameters meet the limits specified in Table 1 and Figure 2.
- c) Initiate at least one negative pulse at the 1 000 V level per Table 1. Verify that all parameters meet the limits specified in Table 1 and Figure 2.
- d) Initiate at least one positive pulse at the 4 000 V level per Table 1 and Figure 2. Verify that all parameters meet the limits specified in Table 1 and Figure 2.
- e) Initiate at least one negative pulse at the 4 000 V level per Table 1. Verify that all parameters meet the limits specified in Table 1 and Figure 2.

5 Classification procedure

5.1 The devices used for classification testing shall have completed all normal manufacturing operations.

5.2 Prior to ESD testing, parametric and functional testing using conditions required by the applicable device drawing or test specification shall be performed on all devices submitted for ESD testing. Guard band testing is also permitted. The test devices shall be within the limits stated in the device drawing for these parameters.

5.3 A sample of devices (e.g. 3) for each voltage level shall be characterised for the device ESD failure threshold using the voltage steps shown in Table 1. Finer voltage steps may optionally be used to obtain a more accurate measure of the failure threshold. ESD testing should begin at the lowest step in Table 1 but may begin at any level. However, if another higher starting voltage level is used and the device fails, testing shall be restarted with a fresh device at the next lowest level. The ESD test shall be performed at room temperature.

5.4 Each sample of devices (e.g. 3) shall be stressed at one voltage level using 1 positive and 1 negative pulse with a minimum of 300 ms between pulses per pin for all pin combinations specified in Table 2. It is permitted to use a separate sample of devices for each pin combination specified in Table 2. It is permitted to use the same sample (e.g. 3) at the next higher voltage stress level if all devices pass the failure criteria specified in Clause 6 after ESD exposure to a specified voltage level.

5.5 Combinaisons de broches

Les combinaisons de broches à utiliser sont données au Tableau 2. Le nombre réel de combinaisons de broches dépend du nombre de groupes de broches de puissance. Les broches de puissance de même nom (V_{CC1} , V_{CC2} , V_{SS1} , V_{SS2} , GND, etc.) qui sont directement connectées par du métal (à l'intérieur du boîtier) peuvent être liées ensemble et traitées comme une broche pour la connexion de la borne B. Sinon, il faut que chaque broche de puissance soit traitée comme une broche de puissance séparée. Il convient que les broches de programmation qui ne tirent pas de courant soient considérées comme des broches d'E/S (exemple: broches V_{PP} sur les dispositifs de mémoire). Les dispositifs discrets actifs (FET, transistors, etc.) doivent être soumis aux essais en utilisant toutes les combinaisons de paires de broches possibles (une broche connectée à la borne A, une autre à la borne B) sans tenir compte du nom ou de la fonction de broche. Toutes les broches configurées comme broches «sans connexion» doivent être vérifiées comme telles et laissées ouvertes (flottantes) en tout temps. (Les broches «sans connexion» ne doivent pas être testées parce qu'une décharge anormale dans l'air se produira entre les broches «sans connexion» et la broche suivante). Les broches désignées «sans connexion», qui sont en fait connectées, doivent être soumises aux essais comme des broches n'assurant pas l'alimentation.

Tableau 2 – Combinaisons de broches pour circuits intégrés

Combinaison de broches	Connecter individuellement à la borne A	Connecter à la borne B (terre)	Broches flottantes (non connectées)
1	Toutes les broches l'une après l'autre, sauf celles connectées à la borne B	Première(s) broche(s) de puissance	Toutes les broches sauf PUT ^a et première(s) broche(s) de puissance
2	Toutes les broches l'une après l'autre, sauf celles connectées à la borne B	Deuxième(s) broche(s) de puissance	Toutes les broches sauf PUT et deuxième(s) broche(s) de puissance
3	Toutes les broches l'une après l'autre, sauf celles connectées à la borne B	Nième(s) broche(s) de puissance	Toutes les broches sauf PUT et nième(s) broche(s) de puissance
4	Chaque broche n'assurant pas l'alimentation, une à la fois	Toutes les autres broches n'assurant pas l'alimentation collectivement sauf PUT	Toutes les broches de puissance
^a PUT: broche en essai			

5.6 Si un groupe d'échantillons différent est soumis aux essais DES à chaque niveau de contrainte, il est permis de réaliser les essais paramétriques en courant continu et ATE (équipement d'essai automatique) fonctionnels après que tous les groupes d'échantillons ont été soumis aux essais DES.

6 Critères de défaillance

Un dispositif sera défini comme défaillant si, après exposition aux impulsions DES, il ne remplit plus les exigences du schéma du dispositif en utilisant les essais paramétriques et fonctionnels. Si des essais sont nécessaires à des températures multiples, les essais doivent être réalisés d'abord à la température la plus faible.

5.5 Pin combinations

The pin combinations to be used are given in Table 2. The actual number of pin combinations depends on the number of power pin groups. Like-named power pins (V_{CC1} , V_{CC2} , V_{SS1} , V_{SS2} , GND, etc.) that are directly connected by metal (inside the package) may be tied together and treated as one pin for Terminal B connection. Otherwise, each power pin shall be treated as a separate power pin. Programming pins that do not draw current should be considered as I/O pins (example: V_{PP} pins on memory devices). Active discrete devices (FETs, transistors, etc.) shall be tested using all possible pin-pair combinations (one pin connected to Terminal A, another pin connected to Terminal B) regardless of pin name or function. All pins configured as “no connect” pins shall be verified as “no connect” and left open (floating) at all times (“no connect” pins shall not be tested because abnormal air discharge between “no connect” pins and next pin will occur.). Pins labelled “no connect”, that in fact are connected, shall be tested as non-supply pins.

Table 2 – Pin combinations for integrated circuits

Pin combination	Connect individually to terminal A	Connect to terminal B (ground)	Floating pins (unconnected)
1	All pins one at a time, except the pin(s) connected to terminal B	First power pin(s)	All pins except PUT ^a and first power pin(s)
2	All pins one at a time, except the pin(s) connected to terminal B	Second power pin(s)	All pins except PUT and second power pin(s)
3	All pins one at a time, except the pin(s) connected to terminal B	N th power pin(s)	All pins except PUT and n th power pin(s)
4	Each non-supply pin, one at a time	All other non-supply pins collectively except PUT	All power pins

^a PUT: Pin under test

5.6 If a different sample group is ESD tested at each stress level, it is permitted to perform the d.c. parametric and functional ATE (automatic test equipment) testing after all sample groups have been ESD tested.

6 Failure criteria

A device will be defined as a failure if, after exposure to ESD pulses, it no longer meets the device drawing requirements using parametric and functional testing. If testing is required at multiple temperatures, testing shall be performed at the lowest temperature first.

7 Critères de classification

Tous les échantillons doivent remplir les exigences d'essai de l'Article 5 jusqu'à un niveau de tension particulier pour que le dispositif soit réputé correspondre à une classification de sensibilité particulière.

- CLASSE 0: Tout dispositif qui échoue après exposition à une impulsion DES de 250 V ou moins.
- CLASSE 1A: Tout dispositif qui subit avec succès l'exposition à une impulsion DES de 250 V mais qui ne résiste pas à une exposition à une impulsion DES de 500 V.
- CLASSE 1B: Tout dispositif qui subit avec succès l'exposition à une impulsion DES de 500 V mais qui ne résiste pas à une exposition à une impulsion DES de 1 000 V.
- CLASSE 1C: Tout dispositif qui subit avec succès l'exposition à une impulsion DES de 1 000 V mais qui ne résiste pas à une exposition à une impulsion DES de 2 000 V.
- CLASSE 2: Tout dispositif qui subit avec succès l'exposition à une impulsion DES de 2 000 V mais qui ne résiste pas à une exposition à une impulsion DES de 4 000 V.
- CLASSE 3A: Tout dispositif qui subit avec succès l'exposition à une impulsion DES de 4 000 V mais qui ne résiste pas à une exposition à une impulsion DES de 8 000 V.
- CLASSE 3B: Tout dispositif qui subit avec succès une exposition à une impulsion DES de 8 000 V.

8 Sommaire

Les informations suivantes doivent être spécifiées dans le document d'approvisionnement applicable.

- a) La méthode d'essai qui doit être choisie entre le modèle du corps humain et le modèle de machine (voir Article 1).
- b) La fréquence de qualification de l'équipement (voir 4.1).
- c) La paire de broches du cas le plus défavorable et la carte DUT utilisée pour la qualification de l'équipement, si elle est employée (voir 4.1).
- d) La différence acceptable entre les temps de décharge pendant l'essai de répétabilité de la machine (voir 4.1).
- e) L'identification de la paire de broches du cas le plus défavorable pour chaque support et chaque carte DUT (voir 4.2.1).
- f) La longueur spécifique des fils internes de la carte de qualification standard (voir 4.2.2).
- g) La taille de l'échantillon pour l'essai (voir Article 5).
- h) Les caractéristiques électriques et fonctionnelles du dispositif pour les critères de défaillance (voir Article 6).
- i) Si requis, la température pour les essais électriques (voir Article 6).