

**NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD**

**CEI  
IEC  
748-2**

1985

**AMENDEMENT 2  
AMENDMENT 2**

1993-12

comprenant l'amendement 1 (septembre 1991)  
incorporating Amendment 1 (September 1991)

**Amendement 2**

**Dispositifs à semiconducteurs  
Circuits intégrés**

**Deuxième partie:  
Circuits intégrés numériques**

**Amendment 2**

**Semiconductor devices  
Integrated circuits**

**Part 2:  
Digital integrated circuits**

© CEI 1993 Droits de reproduction réservés — Copyright — all rights reserved

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève, Suisse



Commission Electrotechnique Internationale  
International Electrotechnical Commission  
Международная Электротехническая Комиссия

AVANT-PROPOS

Le présent amendement a été établi par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cet amendement est issu des documents suivants:

Amendements	Règle de Six Mois/DIS	Rapports de vote
2	47A(BC)258 47A(BC)266 47A(BC)268 47A(BC)274 47A(BC)283	47A(BC)288 47A(BC)280 47A(BC)279 47A(BC)286 47A(BC)293
1	47(BC)1044 47(BC)1045 47/47A(BC)1127/214 47A(BC)150 47A(BC)213 47A(BC)223	47(BC)1112 47(BC)1113 47/47A(BC)1257/251 47A(BC)162 47A(BC)248 47A(BC)256

Les rapports de vote indiqués dans le tableau ci-dessus donnent toute information sur le vote ayant abouti à l'approbation de cet amendement.

Une ligne verticale dans la marge différencie le texte de l'amendement 2.

Page de couverture, page de titre, page 10 et page 16

Titre de la norme

Modifier le titre de la partie comme suit:

Deuxième partie: Circuits intégrés numériques

Page 2

SOMMAIRE

CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

Ajouter les titres des nouveaux paragraphes et article suivants:

1.5	Concept de verrouillage .....	34
3.6	Termes et descriptions pour les configurations de test pour l'essai des mémoires .....	72
8	Termes et définitions supplémentaires pour les circuits intégrés numériques .....	112

## FOREWORD

This amendment has been prepared by sub-committee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this amendment is based on the following documents:

Amendments	DIS	Report on Voting
2	47A(CO)258 47A(CO)266 47A(CO)268 47A(CO)274 47A(CO)283	47A(CO)288 47A(CO)280 47A(CO)279 47A(CO)286 47A(CO)293
1	47(CO)1044 47(CO)1045 47/47A(CO)1127/214 47A(CO)150 47A(CO)213 47A(CO)223	47(CO)1112 47(CO)1113 47/47A(CO)1257/251 47A(CO)162 47A(CO)248 47A(CO)256

Full information on the voting for the approval of this amendment can be found in the reports on voting indicated in the above table.

The text of amendment 2 is indicated by a vertical line in the margin.

Page 3

## CONTENTS

## CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

*Add the titles of the following new subclauses and clause:*

1.5	Latch-up concept .....	35
3.6	Terms and descriptions for test patterns for memory testing .....	73
8	Additional terms and definitions for digital integrated circuits .....	113

CHAPITRE III – VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES

Section un – Généralités sur les circuits intégrés digitaux

Ajouter les titres des nouveaux paragraphes et article suivants:

5 Caractéristiques électriques statiques pour les circuits intégrés bipolaires, figures 27 et 28 ..... 124

5.3.2.1 Courant de sortie à l'état haute impédance  $I_{OZ}$  ..... 126

5.5 Caractéristiques du phénomène de verrouillage

6.3 Caractéristiques du phénomène de verrouillage

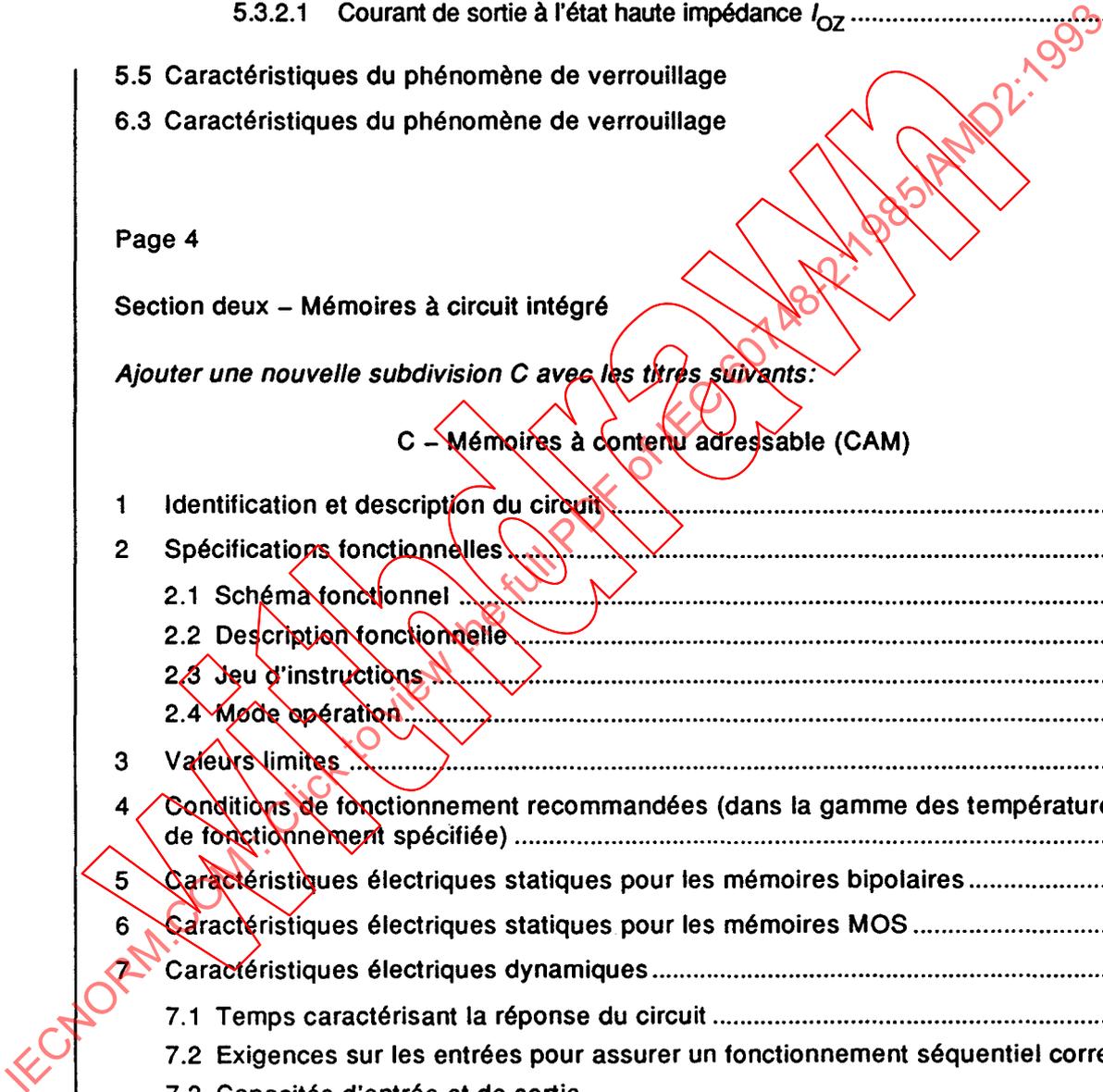
Page 4

Section deux – Mémoires à circuit intégré

Ajouter une nouvelle subdivision C avec les titres suivants:

C – Mémoires à contenu adressable (CAM)

1 Identification et description du circuit .....
2 Spécifications fonctionnelles .....
2.1 Schéma fonctionnel .....
2.2 Description fonctionnelle .....
2.3 Jeu d'instructions .....
2.4 Mode opération .....
3 Valeurs limites .....
4 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) .....
5 Caractéristiques électriques statiques pour les mémoires bipolaires .....
6 Caractéristiques électriques statiques pour les mémoires MOS .....
7 Caractéristiques électriques dynamiques .....
7.1 Temps caractérisant la réponse du circuit .....
7.2 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct .....
7.3 Capacités d'entrée et de sortie .....
8 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique) .....
9 Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique) .....
10 Valeurs limites, caractéristiques mécaniques et autres données .....



CHAPTER III – ESSENTIAL RATINGS AND CHARACTERISTICS

Section One – Digital integrated circuits, general

Add the titles of the following new subclauses and:

5 Static electrical characteristics for bipolar integrated circuits, figures 27 and 28 ..... 125

5.3.2.1 Output off-state current  $I_{OZ}$  ..... 127

5.5 Latch-up characteristics

6.3 Latch-up characteristics

Page 5

Section Two – Integrated circuit memories

Add a new subdivision C with the following titles:

C – Content addressable memories (CAM)

1 Circuit identification and description .....

2 Functional specifications .....

2.1 Block diagram .....

2.2 Functional description .....

2.3 Instruction set .....

2.4 Operation mode .....

3 Ratings (limiting values) .....

4 Recommended operating conditions (within the specified operating temperature range) .....

5 Static electrical characteristics for bipolar memories .....

6 Static electrical characteristics for MOS memories .....

7 Dynamic electrical characteristics .....

7.1 Times characterizing the response of the circuit .....

7.2 Requirements at the inputs to ensure correct sequential operation .....

7.3 Input and output capacitances .....

8 Power or current drawn from each supply (static operation) .....

9 Power or current drawn from each supply (dynamic operation) .....

10 Mechanical ratings, characteristics and other data .....

- 11 Informations supplémentaires .....
- 11.1 Facteur de charge de sortie .....
- 11.2 Marges de protection contre les perturbations .....
- 11.3 Interconnexions de circuits similaires .....
- 11.4 Type de circuit de sortie .....
- 11.5 Interconnexions avec d'autres types de circuits .....
- 12 Précautions de manipulation .....

Page 6

### CHAPITRE IV – MÉTHODES DE MESURE

#### Section deux – Méthodes de mesure pour les caractéristiques statiques

*Ajouter, à la page 8, les titres des nouveaux articles suivants:*

- 5 Tension d'écrêtage d'entrée ( $V_{IK}$ )
- 7 Courant de sortie à l'état bloqué ( $I_{OZ}$ )
- 8 Caractéristiques du phénomène de verrouillage

#### Section trois - Mesures dynamiques

*Ajouter à la page 8, le titre du nouvel article suivant:*

- 6 Méthode de vérification de la fonction d'un circuit intégré numérique ..... 274

Page 18

### CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

#### 1 Terminologie pour les circuits intégrés combinatoires et séquentiels

*Ajouter après le paragraphe 1.4.16, page 34, les nouveaux paragraphes suivants:*

##### 1.5 Concept de verrouillage

##### 1.5.1 Etat de verrouillage

Etat caractérisé par un chemin conducteur persistant de faible impédance, et résultant du déclenchement d'une structure bipolaire à quatre couches consécutif au courant résultant d'une surtension à l'entrée, à la sortie ou sur l'alimentation.

NOTE - En état de verrouillage, le dispositif devient inopérant.

11	Supplementary information .....
11.1	Output loading capability .....
11.2	Noise margins .....
11.3	Interconnections of similar units .....
11.4	Type of output circuit .....
11.5	Interconnections to other types of circuits .....
12	Handling precautions .....

Page 7

## CHAPTER IV – MEASURING METHODS

### Section Two – Measuring methods of static characteristics

*Add, on page 9, the titles of the following new clauses:*

- 6 Input clamping voltage ( $V_{IK}$ )
- 7 Off-state output current ( $I_{OZ}$ )
- 8 Latch-up characteristics

### Section Three – Dynamic measurements

*Add, on page 9, the title of the following new clause:*

- 6 Method of verification of the function of a digital integrated circuit ..... 275

Page 19

## CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

### 1 Terminology for combinatorial and sequential integrated circuits

*Add, after subclause 1.4.16, page 35, the following new subclauses:*

- 1.5 Latch-up concept
- 1.5.1 Latch-up state

A state in which a low-impedance path has resulted from and persists following the current resulting from an input, output or supply overvoltage that triggers a parasitic four-layer bipolar structure.

NOTE - In the latch-up state, the device becomes inoperable.

### 1.5.2 Effet de verrouillage

Processus qui conduit à un état de verrouillage.

### 1.5.3 Tension de verrouillage à l'état passant ( $V_{CC(L)}$ , $V_{DD(L)}$ )

Tension entre les bornes de l'alimentation d'un circuit intégré pour un courant spécifié lorsque ce circuit est en état de verrouillage.

### 1.5.4 Courant de verrouillage ( $I_{latch}$ )

Courant le plus faible qui passe par une borne spécifiée d'un circuit intégré au début de l'effet de verrouillage de ce circuit.

Page 77

Ajouter, après la figure 17, les nouveaux paragraphes suivants:

## 3.6 Termes et descriptions pour les configurations de test pour l'essai des mémoires

### 3.6.1 Introduction

#### 3.6.1.1 Définitions nécessaires pour les principaux termes

##### 3.6.1.1.1 Configuration de données

Arrangement de ZÉROS logiques (0) et de UNS logiques (1) dans une matrice de cellules-mémoires.

NOTE - Une matrice est généralement divisée en lignes et en colonnes.

##### 3.6.1.1.2 Séquence d'adresses

Séquence spécifiée d'adresses.

##### 3.6.1.1.3 Configuration de test

Séquence d'adresses spécifiée, comportant des opérations spécifiées pour chaque adresse, de façon à réaliser une configuration de données spécifiée.

### 3.6.1.2 Généralités

L'énumération effectuée dans les paragraphes 3.6.2 à 3.6.4.2 n'est pas complète; elle se limite aux seules descriptions.

On n'a pas pris en compte le temps nécessaire pour effectuer les tests ni les relations entre les configurations de test et les mécanismes de défaillance. Toutes les configurations de test décrites dans le paragraphe 3.6.4 sont destinées à ce que les tests soient effectués pour une configuration de données spécifiée. Chaque description se base sur une correspondance présumée entre les adresses de la mémoire et l'implantation topologique des cellules-mémoires. Sur cette base, on détermine la séquence d'adresses.

### 1.5.2 Latch-up effect

A process that results in a latch-up state.

### 1.5.3 Latch-up on-state voltage ( $V_{CC(L)}$ , $V_{DD(L)}$ )

The voltage between the supply voltage terminals of an integrated circuit at a specified current when the integrated circuit is in the latch-up state.

### 1.5.4 Latch-up current ( $I_{latch}$ )

The lowest current that flows into or out of a specified terminal of an integrated circuit at the onset of latch-up.

Page 77

Add, after figure 17, the following new subclauses:

## 3.6 Terms and descriptions for test patterns for memory testing

### 3.6.1 Introduction

#### 3.6.1.1 Working definitions for principal terms

##### 3.6.1.1.1 Data pattern

An array of logic ZEROs (0's) and logic ONES (1's) within a field of memory cells.

NOTE - A field is usually subdivided into "rows" and "columns".

##### 3.6.1.1.2 Address sequence

A specified sequence of addresses.

##### 3.6.1.1.3 Test pattern

A specified address sequence with the operations specified for each address so as to create a specified data pattern.

#### 3.6.1.2 General

The enumeration given in subclauses 3.6.2 to 3.6.4.2 is not exhaustive and is limited to descriptions only.

No considerations are made regarding elapsed test times or failure modes and related test patterns. All test patterns described in subclause 3.6.4 are intended to perform tests on a specified data pattern. For each description, an assumption is made on the allocation of the memory addresses to the topological location of the memory cells. On this basis, the address sequence is chosen.

Dans la pratique, le fabricant peut choisir une correspondance différente. Par exemple, dans une mémoire RAM 4k, le numéro de la cellule 4095 peut être implanté dans l'angle supérieur gauche de la matrice de cellules-mémoires, adjacent à la cellule numéro 0. La séquence d'adresse correspondant à la configuration de données spécifiée doit être changée en conséquence.

Dans toutes les spécifications, la séquence d'adresses correspondant à une configuration de données spécifiée doit être indiquée par le fabricant. Tous les exemples reposent sur l'hypothèse de matrices carrées ayant un nombre égal de lignes et de colonnes.

Dans la mesure où la plupart des informations données correspondent à des configurations de données à l'intérieur de la mémoire, on a utilisé les symboles logiques 0 et 1 (au lieu de L et H).

NOTE - N'indique le nombre de cellules-mémoires. Les numéros d'adresses s'étagent de 0 à N-1.

### 3.6.2 Configurations de données

Dans les figures représentant des configurations de données, le nombre de cellules-mémoires est représenté par la séquence 0 à N-1 où N est le nombre total de cellules. Ici, les cellules sont numérotées ligne par ligne et de gauche à droite.

NOTE - On peut utiliser soit une représentation logique, comme en a) dans les figures, soit une représentation graphique, comme en b).

#### 3.6.2.1 UN partout (ZÉRO partout)

Configuration de données ne comportant que des 1 (que des 0) (voir figure 75 pour des 1).

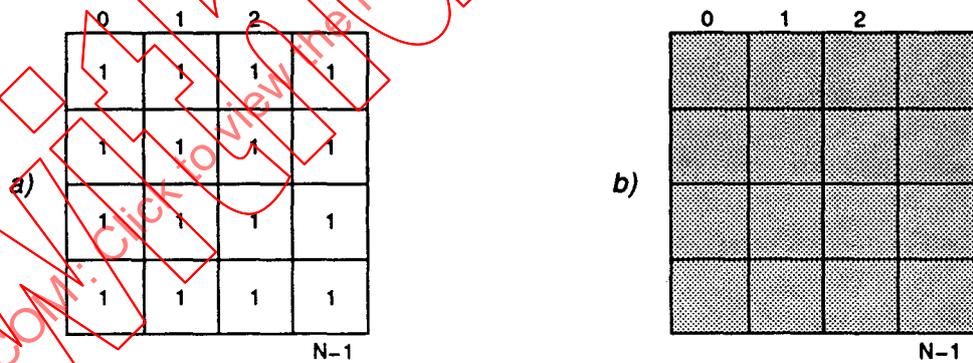


Figure 75

In practice, a different allocation may be chosen by the manufacturer, for example, in a 4 k RAM, cell number 4095 may be located in the upper left corner of the field of memory cells, adjacent to cell number 0. Then the address sequence corresponding to the specified data pattern shall be changed accordingly.

In all specifications, the address sequence corresponding to the specified data pattern shall be stated by the manufacturer. Examples given are based on a square field where the numbers of "rows" and "columns" are equal.

To the extent that much of the information given relates to data patterns within the memory, the logic symbols "0" and "1" have been used (instead of L and H).

NOTE - N means the number of memory cells. The addresses run from 0 to N-1.

### 3.6.2 Data patterns

In the figures representing data patterns, the number of memory cells is represented by the sequence 0 to N-1, where N is the total number of cells. The numbering used is row-by-row and from left to right.

NOTE - Representations may be in either logical or graphical form as shown in the a) or b) versions of the figures given.

#### 3.6.2.1 All ONE (all ZERO)

A data pattern consisting of all 1's (all 0's) (see Figure 75 for all 1's).

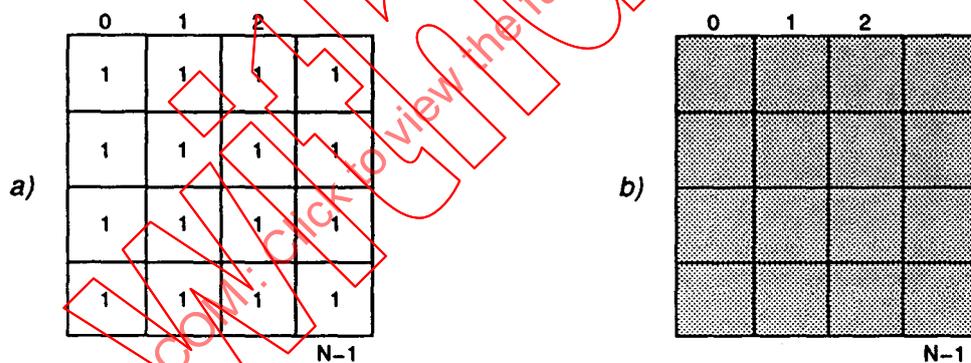


Figure 75

3.6.2.2 UN unique (ZÉRO unique)

Configuration de données comportant un 1 unique (0 unique) sur un fond de 0 (de 1) (voir figure 76 pour un 1 unique).

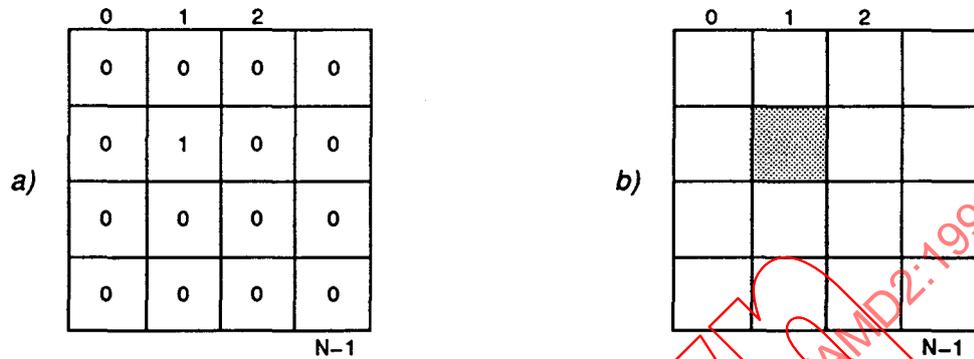


Figure 76

3.6.2.3 Colonnes alternées

Configuration de données consistant en colonnes alternées de 0 et de 1 (voir figure 77).

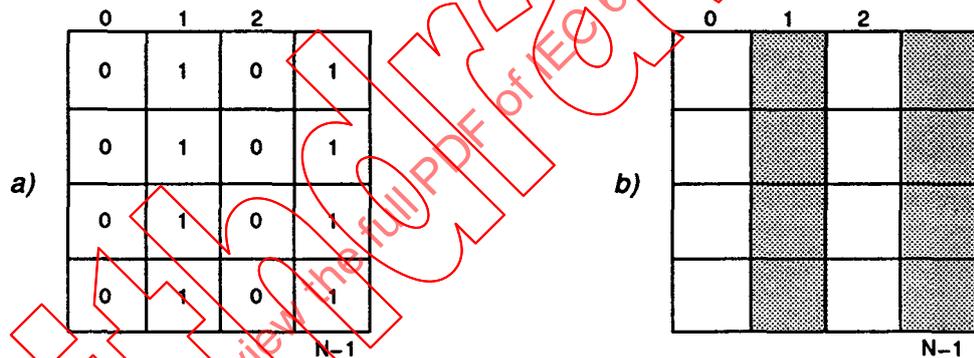


Figure 77

3.6.2.4 Lignes alternées

Configuration de données consistant en lignes alternées de 0 et de 1 (voir figure 78).

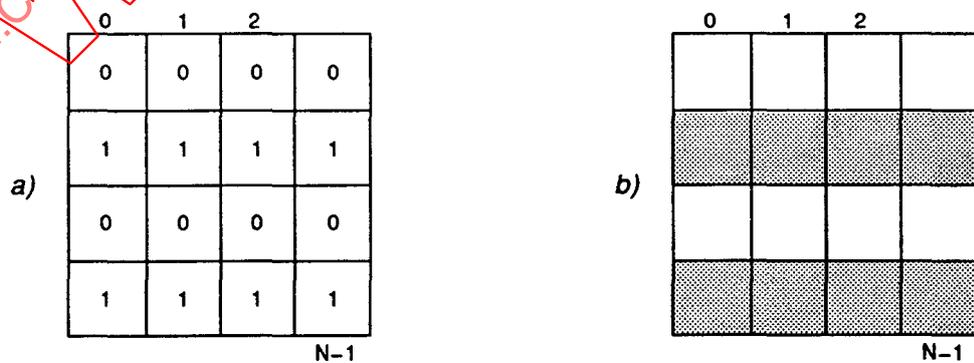


Figure 78

3.6.2.2 *Single ONE (single ZERO)*

A data pattern consisting of a single 1 (single 0) on a background of all 0's (all 1's) (see Figure 76 for a single 1).

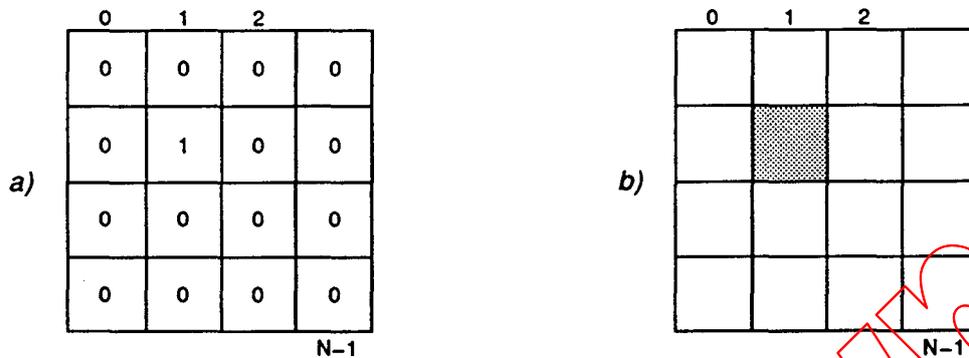


Figure 76

3.6.2.3 *Column bars*

A data pattern of alternating columns of 0's and 1's (see Figure 77).

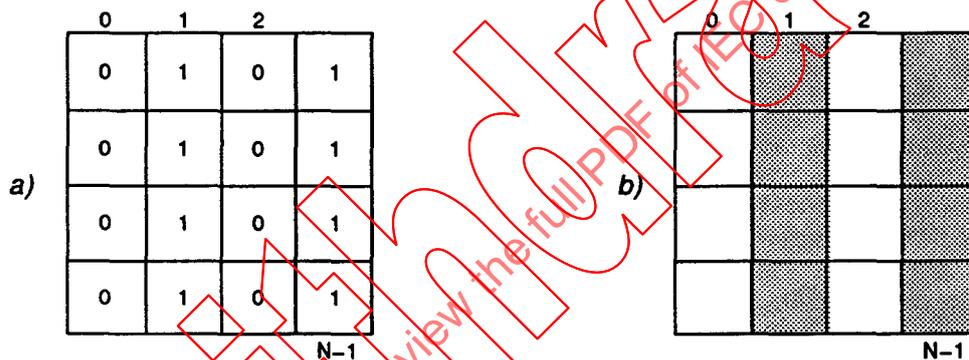


Figure 77

3.6.2.4 *Row bars*

A data pattern of alternating rows of 0's and 1's (see Figure 78).

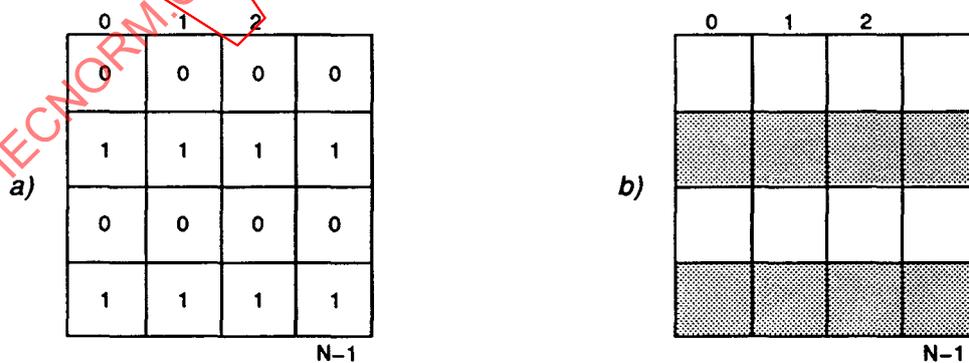


Figure 78

### 3.6.2.5 Diagonale

Configuration de données de 1 ou de 0 en diagonale sur un fond de données complémentaires.

NOTE - Dans une matrice carrée de cellules-mémoires, le mot «diagonale» s'applique à une configuration dans laquelle les cellules sont situées soit sur la diagonale principale (voir figure 79), soit sur deux parallèles à la diagonale principale, telles qu'il n'y ait qu'une seule cellule-mémoire dans chaque ligne et dans chaque colonne (voir figure 80).

Exemple 1:

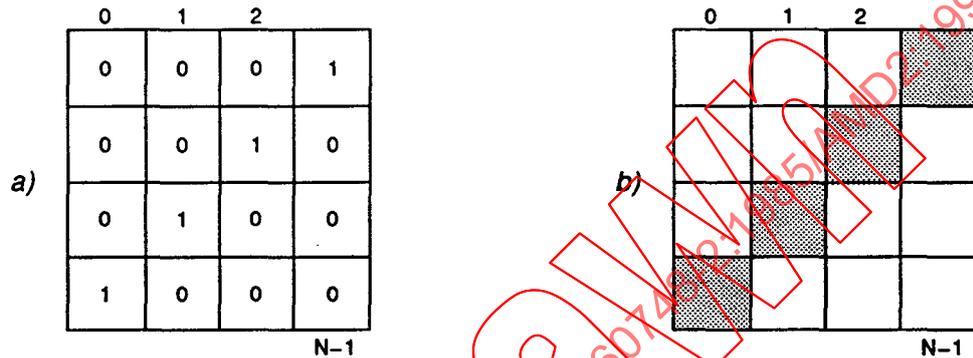


Figure 79

Exemple 2:

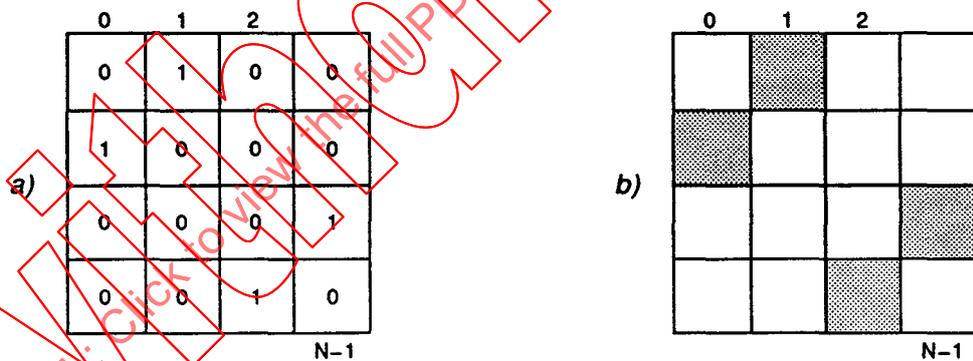


Figure 80

3.6.2.5 Diagonal

A data pattern of diagonal 1's or 0's on the background of complementary data.

NOTE - In a square array of memory cells, "diagonal" denotes a configuration in which all cells are located either on a main diagonal (see Figure 79) or on two parallel diagonals such that only one memory cell is located in each row and each column (see Figure 80).

Example 1:

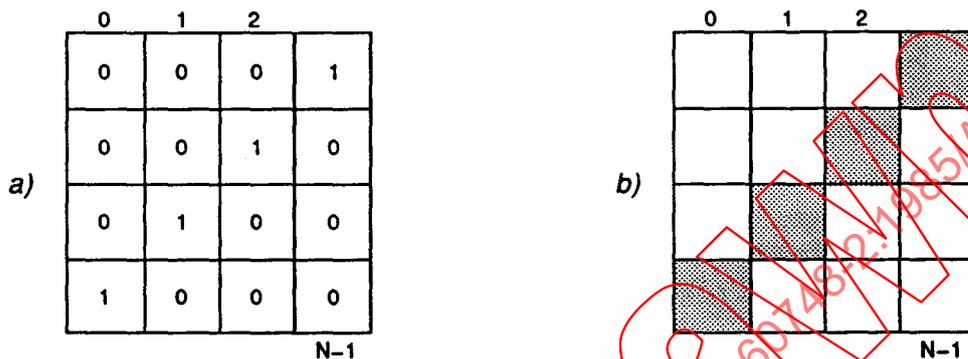


Figure 79

Example 2:

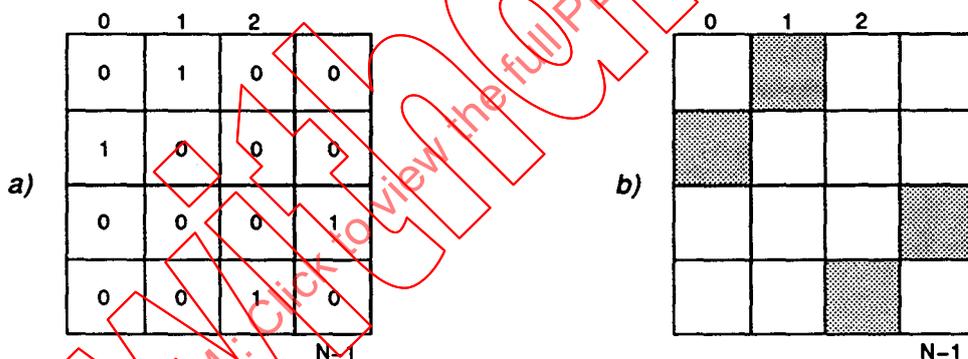


Figure 80

3.6.2.6 *Damier*

Configuration de données qui fait alterner les 0 et les 1 dans les deux directions (c'est-à-dire dans les colonnes et dans les lignes) (voir figure 81).

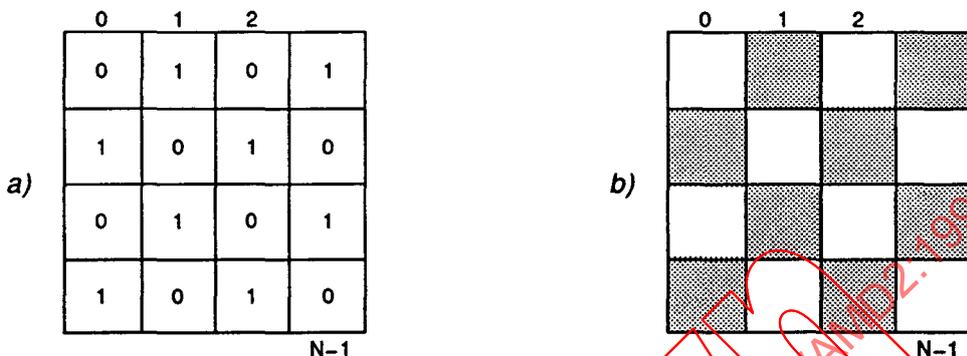


Figure 81

3.6.3 *Séquences d'adresses*

NOTE - A l'aide des séquences d'adresses appropriées, les configurations de données peuvent être déplacées, complétées ou étendues dans les matrices de cellules-mémoires.

3.6.3.1 *Complémentation progressive des bits (ou «1 (ou 0) progressif»)*

Séquence d'adresse qui permet de lire toutes les cellules séquentielles et de les écrire de façon complémentaire.

NOTE - Les données relatives au fond et à la donnée écrite sont complémentaires les unes des autres (voir figure 82).

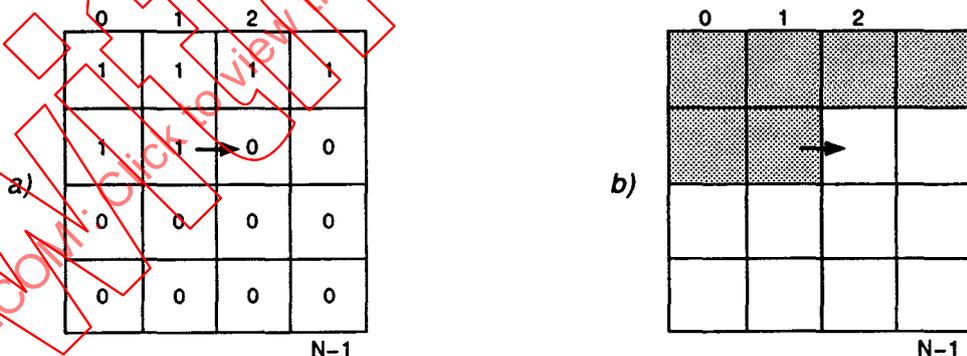


Figure 82

3.6.2.6 *Checkerboard*

A data pattern of alternating 0s and 1s in both directions (that is, columns and rows) (see Figure 81).

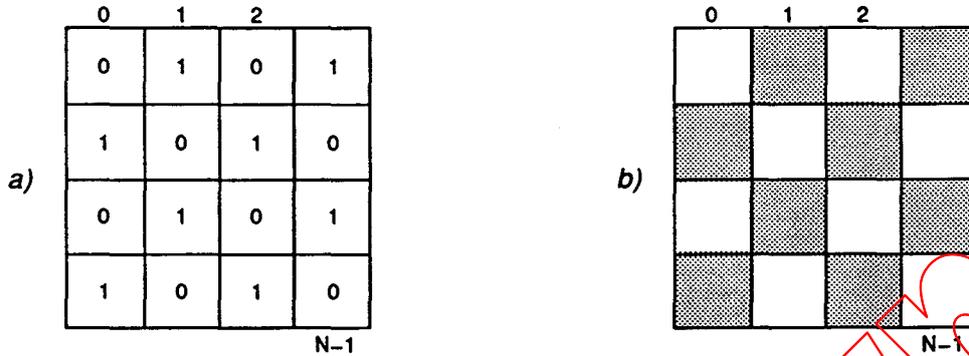


Figure 81

3.6.3 *Address sequences*

NOTE - By means of suitable address sequences, data patterns can be shifted, complemented or extended within memory fields.

3.6.3.1 *Marching*

An address sequence by means of which all cells are sequentially read and rewritten with complementary data.

NOTE - Background data and rewritten data are complementary to each other (see Figure 82).

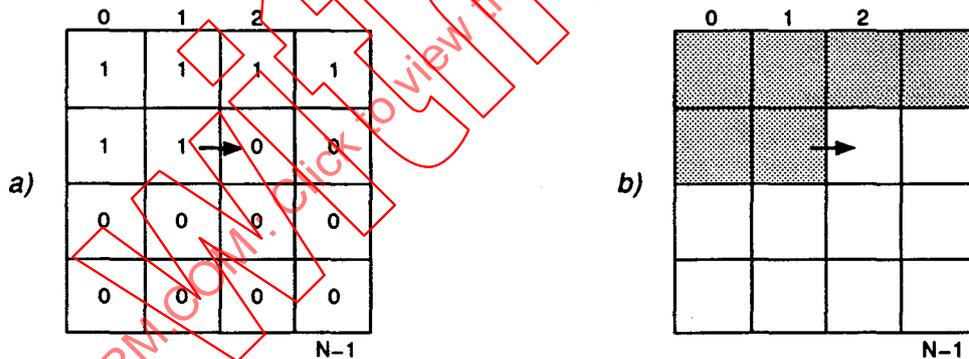


Figure 82

3.6.3.2 *Déplacement d'un bit unique (ou «1 (ou 0) baladeur»)*

Séquence d'adresses qui permet de déplacer une configuration de données spécifiée à une ou plusieurs cellules consécutives à travers toute la mémoire, toutes les cellules – à l'exception des cellules déplacées – étant lues après chaque déplacement (voir figure 83).

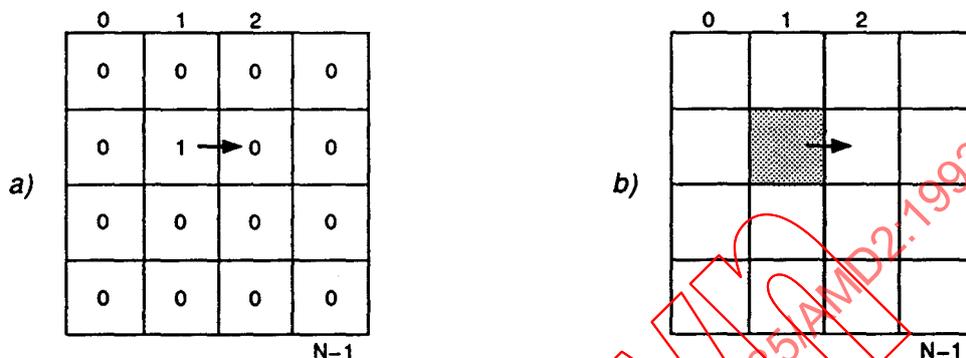


Figure 83

3.6.4 *Configurations de test (exemples)*

3.6.4.1 *Complémentation progressive des 1 (complémentation progressive des 0: voir note 2 ci-après)*

Réaliser la configuration de test en générant le schéma suivant:

A. Ecrire un fond de 0 partout dans la mémoire (voir figure 84).

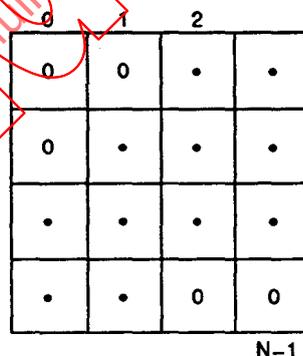


Figure 84

B. Lire, puis compléter chacune des N cellules-mémoires de façon que la mémoire contienne finalement le complément de la configuration initiale (voir figure 85).

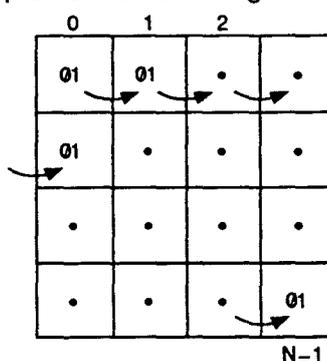


Figure 85

3.6.3.2 *Walking*

An address sequence by means of which a specified pattern in one or more consecutive cells is shifted through the whole memory, all cells except those written with the shifted pattern being read after each shifting (see Figure 83).

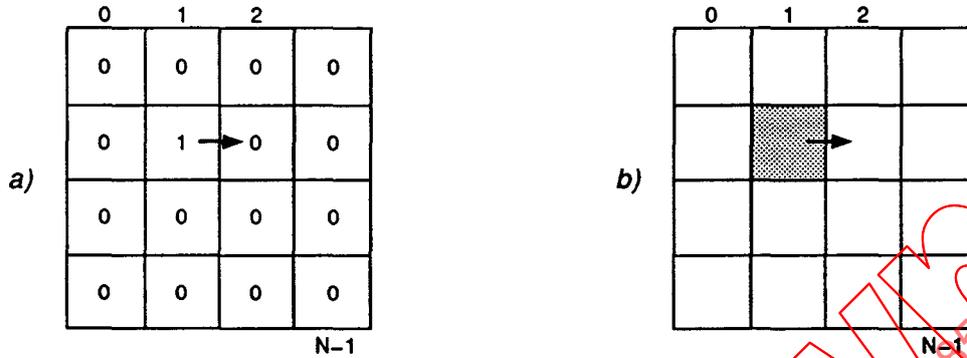


Figure 83

3.6.4 *Test patterns (examples)*

3.6.4.1 *Marching ONE's (marching ZERO's: see Note 2 below)*

A test pattern with the following generation scheme:

- A. A background pattern of all 0's is written to the memory (see Figure 84).

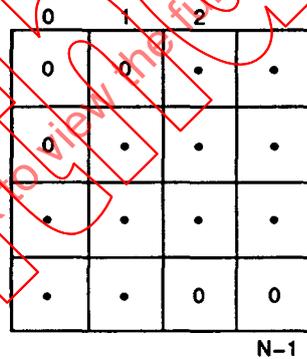


Figure 84

- B. Each of the N memory cells is first read and then complemented, so that the memory finally contains the complement of the initial background pattern (see Figure 85).

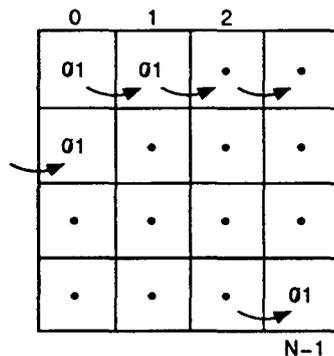


Figure 85

NOTES

1 «01» indique le changement de 0 en 1.

2 En partant d'un fond de 1 partout, cette configuration de test est appelée «complémentation progressive des 0 ou 0 progressif».

3.6.4.2 Déplacement d'un 1 unique (ou «1 baladeur») (0 baladeur: voir note 2 ci-après)

Réaliser la configuration de test en générant le schéma suivant:

A. Ecrire un fond de 0 partout dans la mémoire (voir figure 86).

	0	1	2	
	0	0	.	.
	0	.	.	.
	.	.	.	.
	.	.	0	0
				N-1

Figure 86

B. Complémenter l'une des cellules, dite cellule d'essai, en y écrivant un 1 (voir figure 87).

	0	1	2	
	01	0	.	.
	0	.	.	.
	.	.	.	.
	.	.	0	0
				N-1

Figure 87

C. Lire le contenu des autres cellules de la mémoire.

D. Lire le contenu de la cellule d'essai.

E. Complémenter à nouveau la cellule d'essai, c'est-à-dire ré-écrire un 0, de sorte que la cellule d'essai ait retrouvé l'état initial (voir figure 88).

	0	1	2	
	10	0	.	.
	0	.	.	.
	.	.	.	.
	.	.	0	0
				N-1

Figure 88

NOTES

- 1 "01" indicates a "0" changed to a "1".
- 2 Starting from a background pattern of all 1's, this test pattern is called "Marching ZERO's".

3.6.4.2 Walking (single) ONE's (Walking single ZERO's: see Note 2 below)

A test pattern with the following generation scheme:

- A. A background pattern of all 0's is written to the memory (see Figure 86).

	0	1	2	
	0	0	•	•
	0	•	•	•
	•	•	•	•
	•	•	0	0
				N-1

Figure 86

- B. Into a test cell, the complement is written (see Figure 87).

	0	1	2	
	01	0	•	•
	0	•	•	•
	•	•	•	•
	•	•	0	0
				N-1

Figure 87

- C. The remaining cells of the memory are read.
- D. The test cell is read.
- E. Its complement is written in, that is, rewrite a 0, so that the test cell is now in its initial background state (see Figure 88).

	0	1	2	
	10	0	•	•
	0	•	•	•
	•	•	•	•
	•	•	0	0
				N-1

Figure 88

F. Répéter successivement la séquence des étapes B à E pour chacune des cellules-mémoires.

NOTES

- 1 «/0» indique le changement de 1 en 0.
- 2 En partant d'un fond de 1 partout, cette configuration de test est appelée «déplacement d'un 0 unique ou 0 baladeur».

Page 110

Ajouter, après la figure 25, le nouvel article suivant:

## 8 Termes et définitions supplémentaires pour les circuits intégrés numériques

### 8.1 Réseau logique

Circuit intégré consistant en un réseau d'opérateurs ou de circuits logiques dont les interconnexions sont réalisées soit pendant la fabrication soit par l'utilisateur afin d'obtenir les fonctions logiques définies par celui-ci.

#### *Réseau prédiffusé*

Circuit intégré composé d'un réseau de portes logiques élémentaires.

NOTE - Les circuits intégrés de ce type sont aussi appelés «réseaux logiques programmables par masque» («MPLA» ou «ULA» en anglais).

### 8.2 Réseau logique programmable

Circuit intégré consistant en réseaux d'opérateurs (ou circuits) logiques combinatoires et séquentiels, ayant une configuration fixe d'interconnexions, dans lequel les connexions peuvent être réalisées ou détruites après la fabrication, de façon à obtenir des fonctions logiques spécifiques.

NOTE - Les circuits intégrés de ce type sont également connus sous l'abréviation anglaise «PLA».

F. The sequence of steps B to E is sequentially repeated for each memory cell.

#### NOTES

- 1 "10" indicates a "1" changed to a "0".
- 2 Starting from a background pattern of all 1's, this test pattern is called "Walking single ZERO's".

Page 111

Add, after Figure 25, the following new clause:

## 8 Additional terms and definitions for digital integrated circuits

### 8.1 Logic array

An integrated circuit consisting of an array of logic elements or circuits whose interconnections are either determined during manufacture or by the user to perform user-defined logic functions.

#### Gate array

An integrated circuit consisting of an array of logic gates.

NOTE - Integrated circuits of this type are also known by the names "Mask programmable Logic Array (MPLA)" and "Uncommitted Logic Array (ULA)".

### 8.2 Programmable logic array

An integrated circuit consisting of arrays of combinatorial and sequential logic elements (circuits) with a fixed interconnection pattern in which connections can be made or broken after manufacture to perform specific logic functions.

NOTE - Integrated circuits of this type are also known by the abbreviation "PLA".

CHAPITRE III – VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES

Section un – Généralités sur les circuits intégrés numériques

Remplacer, à la page 124 les figures 27 et 28 par les nouvelles figures suivantes:

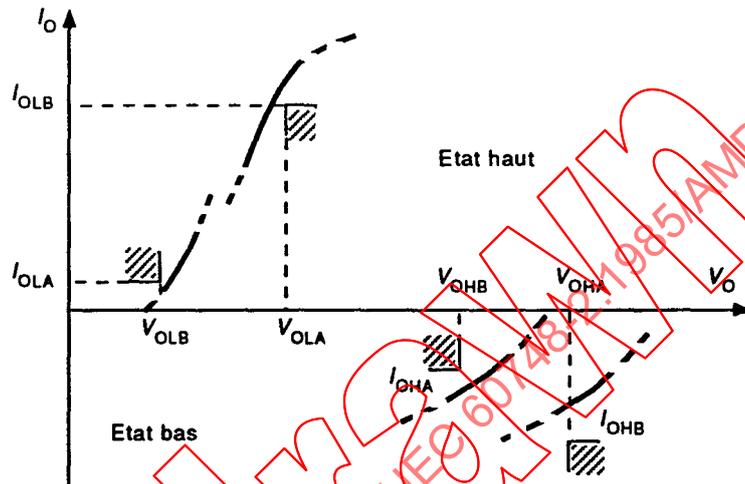


Figure 27 – Courants de sortie associés aux tensions de sortie

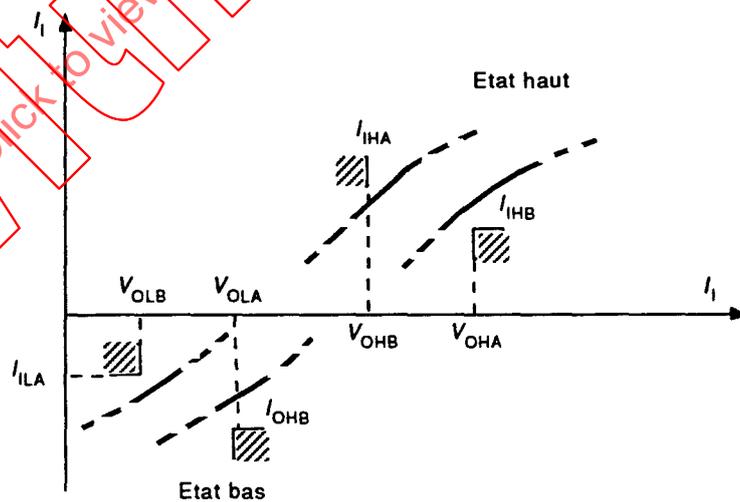


Figure 28 – Courants d'entrée associés aux tensions d'entrée

NOTE - Dans les figures 27 et 28, les axes ne représentent pas nécessairement le zéro pour la tension ou pour le courant.

CHAPTER III – ESSENTIAL RATINGS AND CHARACTERISTICS

Section one – Digital Integrated circuits, general

Replace the existing Figures 27 and 28, page 125, by the following new Figures 27 and 28.

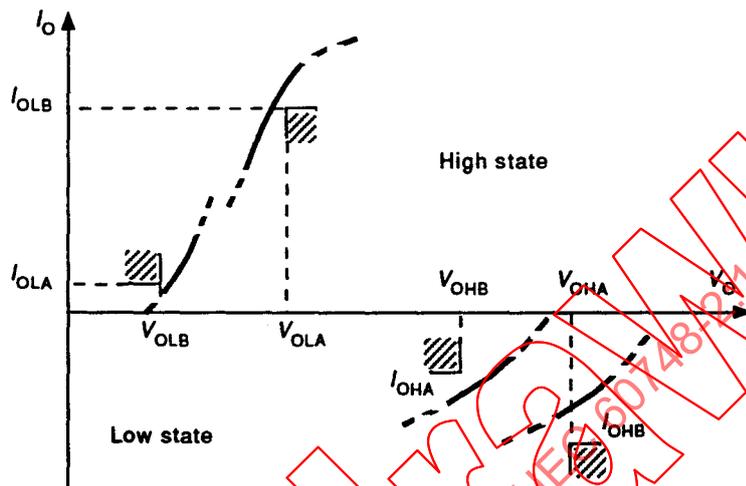


Figure 27 – Output currents associated with output voltages

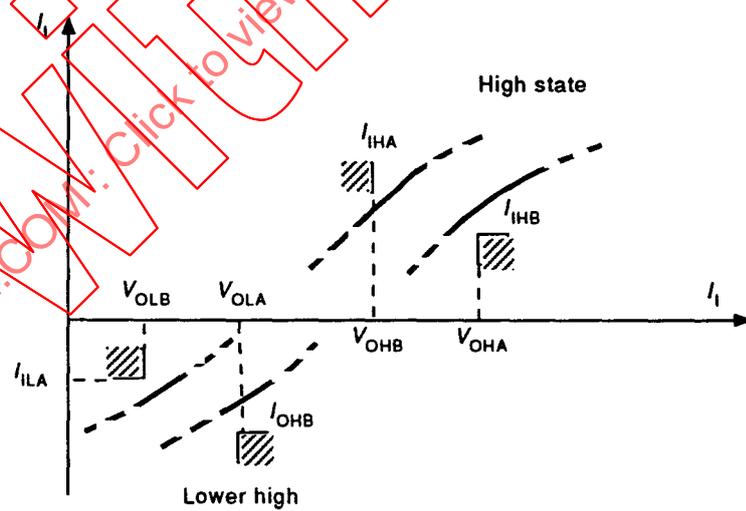


Figure 28 – Input currents associated with input voltages

NOTE - In Figures 27 and 28, the axes do not necessarily represent zero voltage or current.

Page 126

**5.3.2 Caractéristiques supplémentaires pour les circuits intégrés numériques ayant des sorties «trois états»**

*Remplacer «A l'étude» par le texte suivant:*

**5.3.2.1 Courant de sortie à l'état bloqué  $I_{OZ}$**

Courant de sortie dans les conditions spécifiées à l'entrée qui établissent la sortie à l'état haute impédance.

NOTE - Les valeurs spécifiées du courant de sortie à l'état bloqué se réfèrent généralement à sa valeur absolue  $|I_{OZ}|$ .

*Ajouter le nouveau paragraphe 5.5 suivant:*

**5.5 Caractéristiques du phénomène de verrouillage**

**5.5.1 Courant de verrouillage**

Valeur maximale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et d'application de la fonction de déclenchement.

**5.5.2 Tension de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et d'application de la fonction de déclenchement.

**5.5.3 Tension d'alimentation de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

**5.5.4 Courant d'alimentation de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

**5.5.5 Tension (d'alimentation) à l'état de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et de courant d'alimentation.

**5.5.6 Courant (d'alimentation) à l'état de verrouillage**

Valeur maximale dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

**5.5.7 Courant de maintien à l'état de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

Page 127

### 5.3.2 Additional characteristics for digital integrated circuits having three-state outputs

Replace "Under consideration" by the following text:

#### 5.3.2.1 Output off-state current $I_{OZ}$

The output current under specified conditions at the input that set the output to the high-impedance state.

NOTE - Specified values of the output off-state current refer usually to its absolute value  $|I_{OZ}|$ .

Add the new subclause 5.5 as follows:

### 5.5 Latch-up characteristics

#### 5.5.1 Latch-up current

Maximum value, under specified conditions of ambient or case temperature, supply voltage and application of triggering function.

#### 5.5.2 Latch-up voltage

Minimum value, under specified conditions of ambient or case temperature, supply voltage and application of triggering function.

#### 5.5.3 Latch-up supply voltage

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

#### 5.5.4 Latch-up supply current

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

#### 5.5.5 Latch-up state (supply) voltage

Minimum value, under specified conditions of ambient or case temperature, supply voltage and supply current.

#### 5.5.6 Latch-up state (supply) current

Maximum value, under specified conditions of ambient or case temperature and supply voltage.

#### 5.5.7 Latch-up state holding current

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

Page 128

*Ajouter le nouveau paragraphe 6.3 suivant:*

**6.3 Caractéristiques du phénomène de verrouillage**

**6.3.1 Courant de verrouillage**

Valeur maximale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et d'application de la fonction de déclenchement.

**6.3.2 Tension de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et d'application de la fonction de déclenchement.

**6.3.3 Tension d'alimentation de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

**6.3.4 Courant d'alimentation de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

**6.3.5 Tension (d'alimentation) à l'état de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, de tension d'alimentation et de courant d'alimentation.

**6.3.6 Courant (d'alimentation) à l'état de verrouillage**

Valeur maximale dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

**6.3.7 Courant de maintien à l'état de verrouillage**

Valeur minimale, dans des conditions spécifiées de température ambiante ou du boîtier, et de tension d'alimentation.

Page 144

**Section deux – Mémoires à circuit intégré**

**A – Mémoires à lecture-écriture à fonctionnement statique et à fonctionnement dynamique et mémoires à lecture seule**

*Ajouter, à la page 158, les deux nouveaux paragraphes suivants:*

**7.2.3 Mémoires vives pseudo-statiques**

**7.2.3.1** Section deux A, 7.2.1.1 à 7.2.1.5 sont applicables.

Page 129

*Add the new subclause 6.3 as follows:*

### **6.3 Latch-up characteristics**

#### **6.3.1 Latch-up current**

Maximum value, under specified conditions of ambient or case temperature, supply voltage and application of triggering function.

#### **6.3.2 Latch-up voltage**

Minimum value, under specified conditions of ambient or case temperature, supply voltage and application of triggering function.

#### **6.3.3 Latch-up supply voltage**

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

#### **6.3.4 Latch-up supply current**

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

#### **6.3.5 Latch-up state (supply) voltage**

Minimum value, under specified conditions of ambient or case temperature, supply voltage and supply current.

#### **6.3.6 Latch-up state (supply) current**

Maximum value, under specified conditions of ambient or case temperature and supply voltage.

#### **6.3.7 Latch-up state holding current**

Minimum value, under specified conditions of ambient or case temperature and supply voltage.

Page 145

## **Section two – Integrated circuit memories**

### **A – Static and dynamic read/write memories and read-only memories**

*Add, on page 159, the following two new sub-clauses:*

#### **7.2.3 Pseudo-static read/write memories**

**7.2.3.1** Section Two A, 7.2.1.1 to 7.2.1.5 apply.

7.2.3.2 Intervalle de temps de régénération

Valeur maximale.

7.2.4 Mémoires vives statiques non volatiles

7.2.4.1 Section deux A, 7.2.1.1 à 7.2.1.5 sont applicables,

7.2.4.2 Cycle de mise en mémoire. (Par exemple, temps requis pour l'opération de mise en mémoire au cours duquel le contenu total de la zone de mémoire vive est stocké dans la partie non volatile de la mémoire).

Valeur maximale.

7.2.4.3 Cycle de rappel en mémoire vive. (Par exemple, temps requis pour l'opération de rappel de la mémoire au cours duquel le contenu total de l'EEPROM est écrit dans la zone de mémoire vive).

Valeur maximale.

7.2.4.4 Section deux B, les articles 4, 5, 7, 9 et 10 sont applicables.

Page 174

Ajouter la nouvelle subdivision C suivante:

**C – Mémoires à contenu adressable (CAM)**

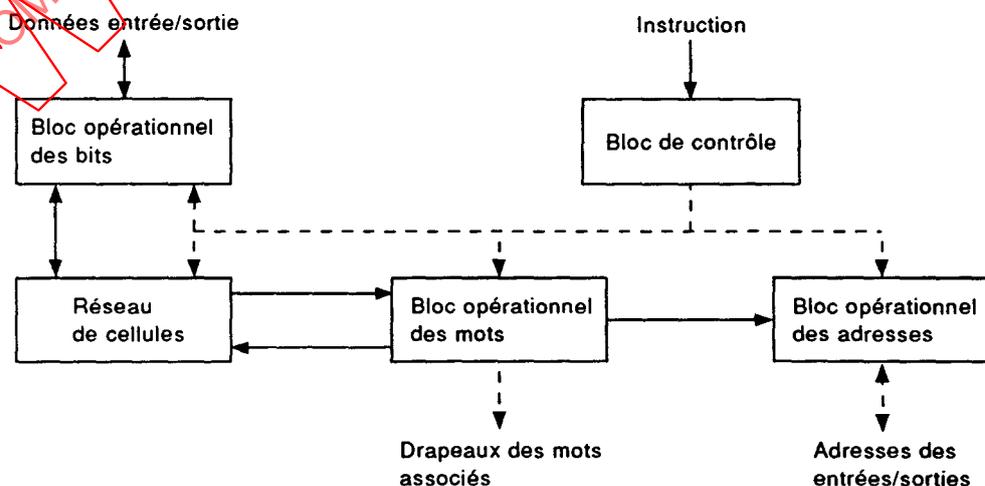
**1 Identification et description du circuit**

Les stipulations de l'article 1 de la section deux A s'appliquent.

**2 Spécifications fonctionnelles**

**2.1 Schéma fonctionnel**

Les stipulations du 2.1 de la section deux A s'appliquent.



CEI 1 279/93

Figure 90 – Exemple d'un schéma fonctionnel d'une mémoire à contenu adressable (CAM)

7.2.3.2 Refresh time interval

Maximum value.

7.2.4 Non-volatile static read/write memories

7.2.4.1 Section two A, 7.2.1.1 to 7.2.1.5 apply.

7.2.4.2 Store cycle. (The time required for the store operation which causes the entire contents of the RAM array to be stored in the non-volatile part of the memory to be used as examples.)

Maximum value.

7.2.4.3 Array recall cycle. (The time required for the array recall operation which causes the entire contents of the EEPROM to be written in the RAM array to be used as examples.)

Maximum value.

7.2.4.4 Section Two B, clauses 4, 5, 7, 9 and 10 apply.

Page 175

Add the following new subdivision C:

**C – Content addressable memories (CAM)**

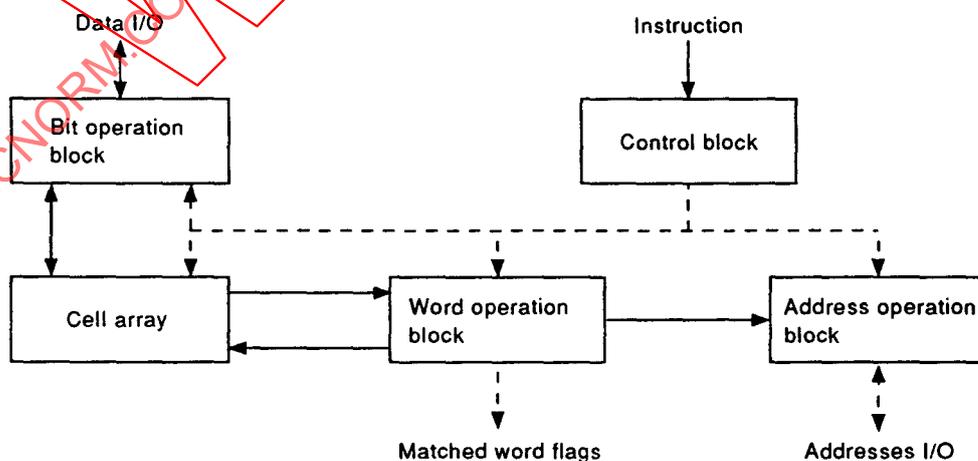
**1 Circuit Identification and description**

The provisions of clause 1 of Section Two A apply.

**2 Functional specifications**

**2.1 Block diagram**

The provisions of 2.1 of Section Two A apply.



IEC 1 279193

Figure 90 – Example of a block diagram of content addressable memory (CAM)

## 2.2 Description fonctionnelle

Les stipulations du 2.2 de la section deux A s'appliquent, avec en plus:

- f) le nombre de bits masquables par mot qui peuvent être recherchés dans le circuit de mémoire;
- g) le nombre de bits de données interrogatives;
- h) le nombre de bits de sorties de l'adresse correspondant au mot associé;
- i) le nombre de bits d'instruction;
- j) le nombre de bits de drapeau de mots associés qui indique l'existence de mots associables.

## 2.3 Jeu d'instructions

Une liste complète des instructions qui peuvent être effectuées par la mémoire doit être donnée.

Le jeu d'instructions suivant doit être donné:

- a) le code d'instruction;
- b) l'instruction mnémotechnique;
- c) l'(les) opération(s) qui résulte(nt) de l'exécution des instructions;
- d) le nombre de coups d'horloge pour chaque instruction.

## 2.4 Mode d'opération

### 2.4.1 Mode recherche

Le mode recherche qui peut être effectué peut être indiqué, par exemple:

- a) recherche égale;
- b) recherche masquable ou inmasquable;
- c) recherche relationnelle par opération itérative bit séries.

### 2.4.2 Mode lecture

Le mode lecture suivant doit être indiqué:

- a) donnée de sortie utilisant une adresse;
- b) donnée de sortie correspondant à un mot associé;
- c) adresse de sortie correspondant à un mot associé.

## 2.2 *Functional description*

The provisions of 2.2 of Section Two A apply, together with the following:

- f) the number of maskable bits per word capable of being searched for in the memory circuit;
- g) the number of bits of interrogative data;
- h) the number of output bits of address corresponding to a matched word;
- i) the number of instruction bits;
- j) the number of matched word flag bits which indicate the existence of matched words.

## 2.3 *Instruction set*

A comprehensive list should be given of the instructions that may be performed by the content addressable memory.

The following instruction set should be given:

- a) the instruction code;
- b) the instruction mnemonic;
- c) the operation(s) that result from the execution of the instructions;
- d) the number of clock cycles for each instruction.

## 2.4 *Operation mode*

### 2.4.1 *Search operation*

The search operations that can be performed should be stated, for example:

- a) equal search;
- b) maskable and/or unmaskable search;
- c) relational search by iterative bit-serial operation.

### 2.4.2 *Read operation*

The following read operation should be given:

- a) data output using address;
- b) data output corresponding to a matched word;
- c) address output corresponding to a matched word.

### 2.4.3 *Mode écriture*

Le mode écriture suivant doit être indiqué:

- a) donnée d'écriture utilisant une adresse;
- b) donnée d'interrogation pour l'écriture;
- c) écriture de donnée de masquage;
- d) donnée d'écriture pour un mot simple associé;
- e) donnée d'écriture parallèle simultanée de mots multiples associés ou seuls.

### 2.4.4 *Récupération des informations périmées*

L'opération de récupération des informations périmées suivante doit être indiquée pour:

- a) tous les mots;
- b) tous les mots incomplets correspondant à des mots seuls ou associés.

3 Les stipulations des articles 3 à 6 de la section deux A s'appliquent

4 Les stipulations de l'article 7 et du 7.1 de la section deux A s'appliquent à l'exception du 7.1.1 qui est remplacé par ce qui suit:

#### 7.1.1 *Temps d'accès*

- a) temps d'accès de lecture des données;
- b) temps d'accès des adresses de lecture;
- c) temps d'accès du drapeau des mots associables.

Les valeurs maximales de chacun de ces temps d'accès doivent être indiquées.

5 Les stipulations des 7.2 et 7.3 de la section deux A s'appliquent.

6 Les stipulations des articles 8 à 12 de la section deux A s'appliquent.

Page 198

## CHAPITRE IV – MÉTHODES DE MESURE

### Section deux – Méthodes de mesure pour les caractéristiques statiques

Ajouter, à la page 212, les nouveaux articles suivants:

#### 6 Tension d'écrêtage d'entrée ( $V_{IK}$ )

- a) *But*

Mesurer la tension d'écrêtage d'entrée à une entrée reliée à une (des) diode(s) d'écrêtage.

### 2.4.3 Write operation

The following write operation should be given:

- a) data writing using address;
- b) interrogative data writing;
- c) mask data writing;
- d) data writing to a single matched word;
- e) simultaneous parallel data writing to multiple matched or unmatched words.

### 2.4.4 Garbage collection

The following garbage collection operation shall be given:

- a) all words;
- b) partial word(s) corresponding to matched or unmatched word(s).

3 The provisions of clauses 3 to 6 of Section Two A apply.

4 The provisions of clause 7 and 7.1 of Section Two A apply with the exception of 7.1.1 which is replaced by the following:

#### 7.1.1 Access time

- a) data read access time;
- b) address read access time;
- c) matched word flag access time.

Maximum values shall be stated for each of these access times.

5 The provisions of 7.2 and 7.3 of Section Two A apply.

6 The provisions of clauses 8 to 12 of Section Two A apply.

Page 199

## CHAPTER IV – MEASURING METHODS

### Section two – Measuring methods of static characteristics

Add, on page 213, the following new clauses:

#### 6 Input clamping voltage ( $V_{IK}$ )

##### a) Purpose

To measure the input clamping voltage at an input with attached clamping diode(s).

b) Schéma

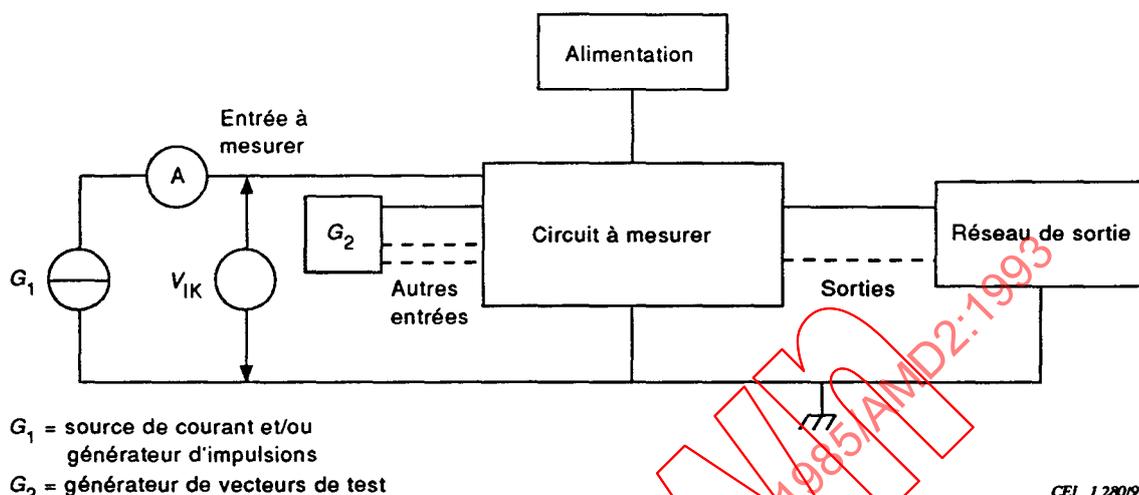


Figure 91

c) Description et exigences du circuit

Le générateur  $G_1$  fournit le courant inverse spécifié et le voltmètre  $V_{IK}$  mesure la tension. Le générateur  $G_2$ , si cela est demandé, doit fournir les conditions spécifiées pour les autres entrées. Le générateur de courant  $G_1$  doit être capable de fonctionner soit comme source de courant, soit comme régulateur de courant.

d) Procédure de mesure

Connecter le circuit intégré au circuit de mesure comme indiqué sur la figure 91, et régler les tensions d'alimentation et d'entrée à leurs valeurs spécifiées. Régler la température à la valeur spécifiée et la vérifier immédiatement avant la mesure. Régler le courant d'entrée à la valeur spécifiée et mesurer la tension d'écrêtage ( $V_{IK}$ ).

e) Précautions

Les valeurs limites de la tension et du courant d'entrée ne doivent pas être dépassées.

f) Conditions spécifiées

- Température ambiante ou de boîtier.
- Procédure d'établissement (s'il y a lieu) et séquence des mesures.
- S'il y a lieu, conditions aux autres bornes.
- Courant d'entrée (valeur absolue et sens).
- Valeur du courant.
- Valeur(s) de la (des) tension(s) d'alimentation.

7 Courant de sortie à l'état bloqué ( $I_{OZ}$ )

a) But

Mesurer le courant de sortie à l'état bloqué d'un circuit intégré numérique.

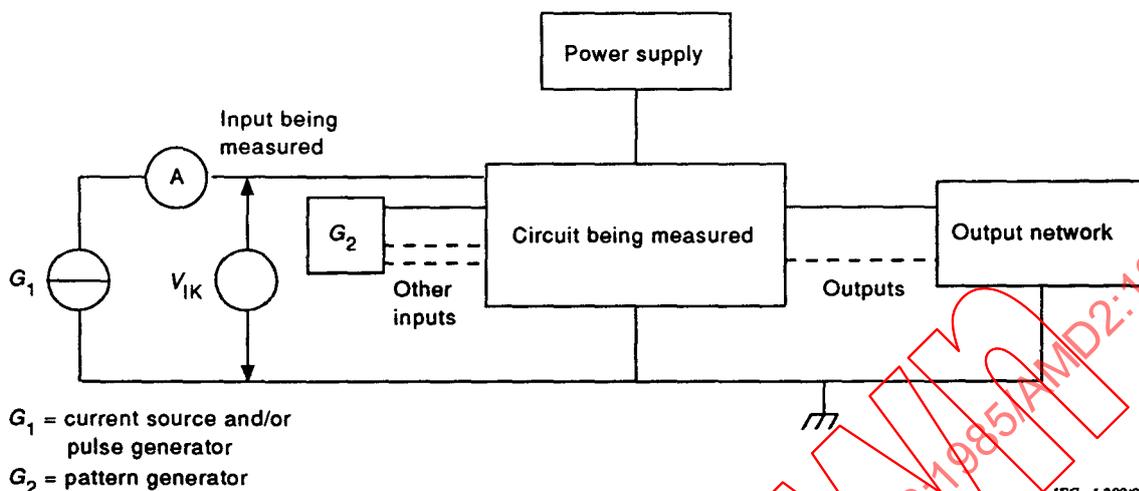
b) *Circuit diagram*

Figure 91

c) *Circuit description and requirements*

Generator  $G_1$  supplies the specified reverse input current and voltmeter  $V_{IK}$  measures the voltage. The generator  $G_2$ , where required, shall provide the specified conditions at the other inputs. The current generator  $G_1$  shall be capable of acting either as a source or a sink of current.

d) *Measuring procedure*

The integrated circuit is connected as specified to the measurement circuit as shown in figure 91, and the supply and input voltages are set to their specified values. The temperature is set to the specified value and is checked immediately before the measurement. The current through the input under measurement is set to the specified value and then the input clamping voltage ( $V_{IK}$ ) is measured.

e) *Precautions*

The limiting values for input voltage and current shall not be exceeded.

f) *Specified conditions*

- Ambient or case temperature.
- Setting-up procedure (where appropriate) and sequence of measurements.
- Where appropriate, conditions at other terminals.
- Input current (absolute value and sign).
  - Value of the current.
  - Value(s) of power supply voltage(s).

7 **Off-state output current ( $I_{OZ}$ )**a) *Purpose*

To measure the off-state output current of a digital integrated circuit.

b) Schéma

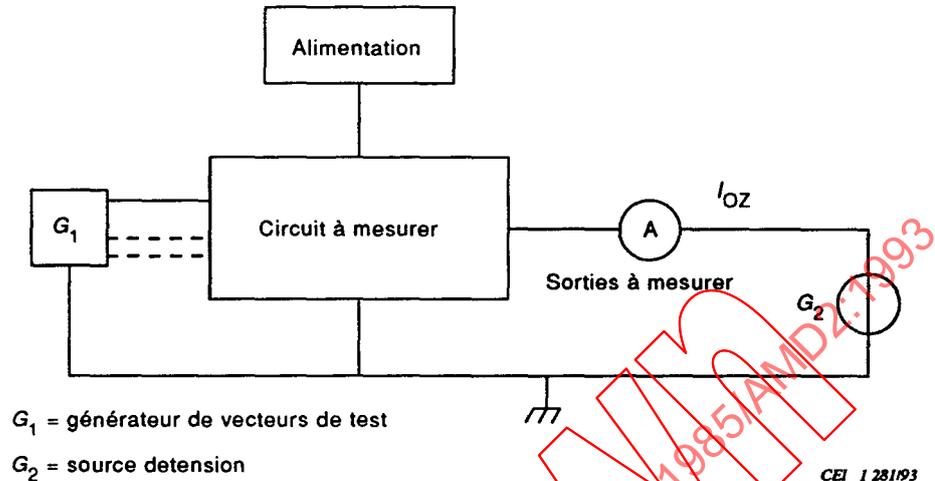


Figure 92

c) Description et exigences du circuit

Le générateur  $G_2$  est une source de tension qui fournit la tension de blocage spécifiée et A est un ampèremètre qui mesure le courant de sortie à l'état bloqué. S'il y a lieu, le générateur  $G_1$  doit fournir les conditions spécifiées pour la sortie du circuit à mesurer.

d) Procédure de mesure

Connecter le circuit intégré au circuit de mesure comme indiqué sur la figure 92, et régler les tensions d'alimentation et d'entrée à leurs valeurs spécifiées. Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure. La condition de sortie statique requise spécifiée est déterminée par les conditions d'entrée et, s'il y a lieu, par la séquence d'impulsions requise. Régler  $G_1$  pour obtenir l'état bloqué spécifié de sortie, régler  $G_2$  pour obtenir la tension de sortie spécifiée et mesurer le courant de sortie de l'état bloqué ( $I_{OZ}$ ) sur l'ampèremètre A.

e) Conditions spécifiées

- Température ambiante ou d'un point de référence.
- Procédure d'établissement (s'il y a lieu) et séquence des mesures.
- Valeur(s) de la (des) tension(s) d'alimentation.
- Valeur(s) de la (des) tension(s) de sortie.
- Tension(s) d'entrée.
- S'il y a lieu, autres conditions de sortie.

8 Caractéristiques du phénomène de verrouillage

8.1 Tension ou courant de verrouillage positive (positif) d'entrée ou de sortie

a) But

Mesurer l'amplitude de la tension ou du courant positive (positif) d'entrée ou de sortie nécessaire au passage d'un circuit intégré à l'état de verrouillage.

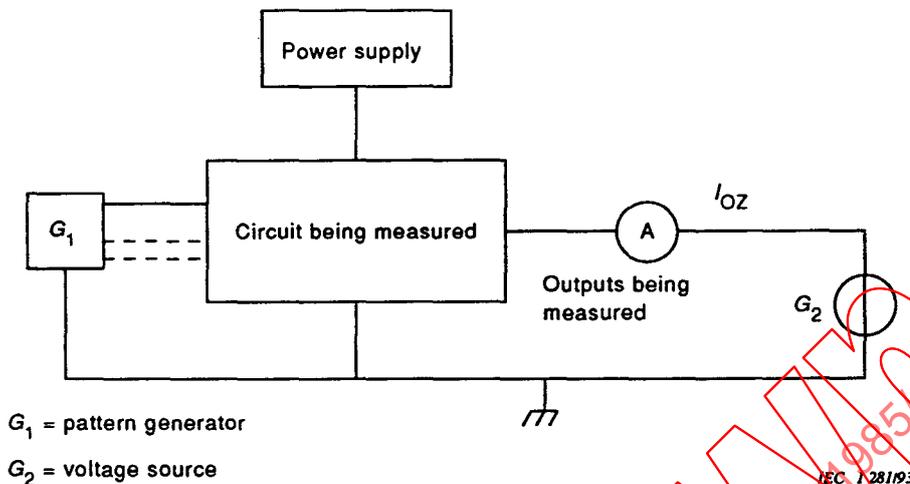
b) *Circuit diagram*

Figure 92

c) *Circuit description and requirements*

Generator  $G_2$  is a voltage source providing the specified off-state output voltage and A is an ammeter measuring the off-state output current. Where appropriate, the generator  $G_1$  shall provide the specified conditions for the output of the circuit under measurement.

d) *Measuring procedure*

The integrated circuit is connected as specified to the measurement circuit as shown in figure 92, and the supply and input voltages are set to their specified values. The temperature is set to the specified value and is checked immediately before and after the measurement. The required static output condition as specified is set by the input conditions and, where applicable, by the required sequence of pulses.  $G_1$  is set to give the specified output off-state.  $G_2$  is set to give the specified output voltage and the off-state output current ( $I_{OZ}$ ) is measured on ammeter A.

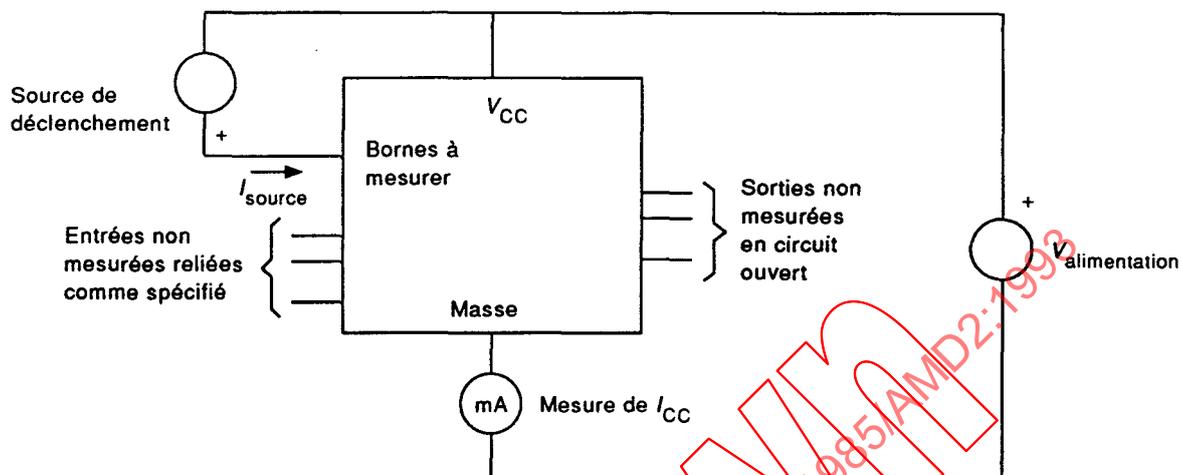
e) *Specified conditions*

- Ambient or reference-point temperature.
- Setting-up procedure (where appropriate) and the sequence of measurements.
- Value(s) of power supply voltage(s).
- Value(s) of output voltage(s).
- Input voltage(s).
- Where appropriate, other output conditions.

8 **Latch-up characteristics**8.1 *Positive latch-up input or output voltage or current*a) *Purpose*

To measure the magnitude of the positive input or output voltage or current necessary to turn an integrated circuit into latch-up state.

b) Schéma



CEI 1282/93

Figure 93

c) Description et exigences du circuit

La tension d'alimentation spécifiée étant appliquée au dispositif à mesurer, appliquer l'impulsion de déclenchement à la borne spécifiée. Augmenter l'amplitude d'impulsion du courant ou de la tension de déclenchement jusqu'à ce qu'une augmentation du courant d'alimentation indique le verrouillage du dispositif ou jusqu'à ce que l'amplitude maximale spécifiée de l'impulsion de déclenchement soit atteinte. Couper la tension d'alimentation. Lire l'amplitude de l'impulsion de déclenchement, et de la tension ou du courant de verrouillage positive (positif). Effectuer les mesures à l'aide d'un oscilloscope ou d'un autre équipement de mesure approprié. La limite du courant d'alimentation doit être établie à une valeur assez basse afin de ne pas détruire le dispositif. On peut utiliser un générateur de modèles pour établir les états logiques des bornes d'entrée et de sortie non mesurées. La mesure est considérée comme destructive.

d) Exécution

- Régler la température ambiante à la valeur spécifiée.
- Appliquer l'alimentation.
- Etablir les conditions d'entrée/sortie, l'état logique, etc. comme spécifié.
- Appliquer le courant ou la tension de déclenchement dans des conditions d'impulsion spécifiées de durée, et de temps de montée et de descente à la borne spécifiée.
- Mesurer le courant d'alimentation après un délai spécifié.
- Augmenter l'amplitude de l'impulsion de déclenchement jusqu'à ce que le verrouillage se produise ou jusqu'à ce que l'amplitude soit égale à la valeur spécifiée.
- Enregistrer l'amplitude et le taux de répétition de l'impulsion de déclenchement.
- Si une augmentation du courant d'alimentation se produit ou si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, le verrouillage s'est produit.
- Régler la source d'alimentation et les tensions d'entrée à zéro.

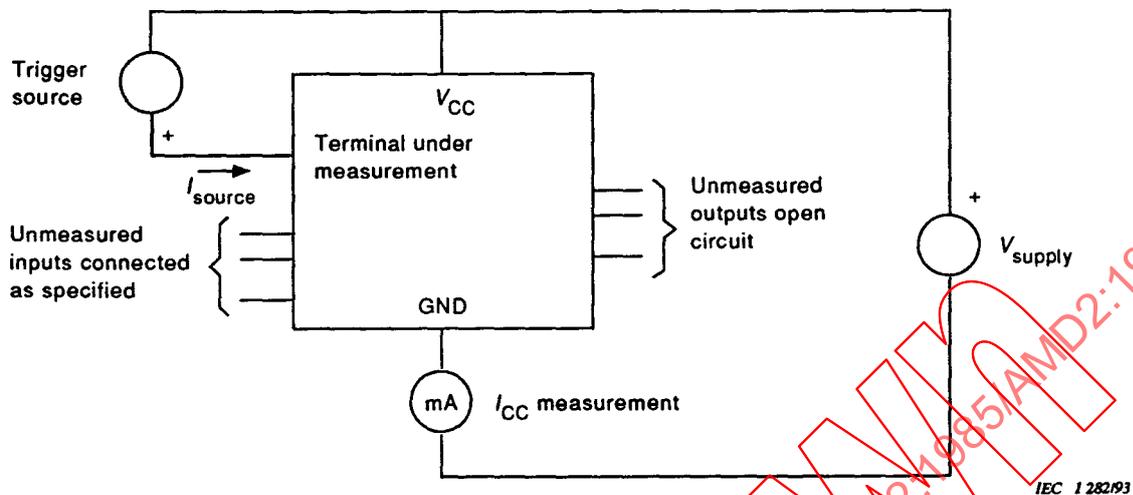
b) *Circuit diagram*

Figure 93

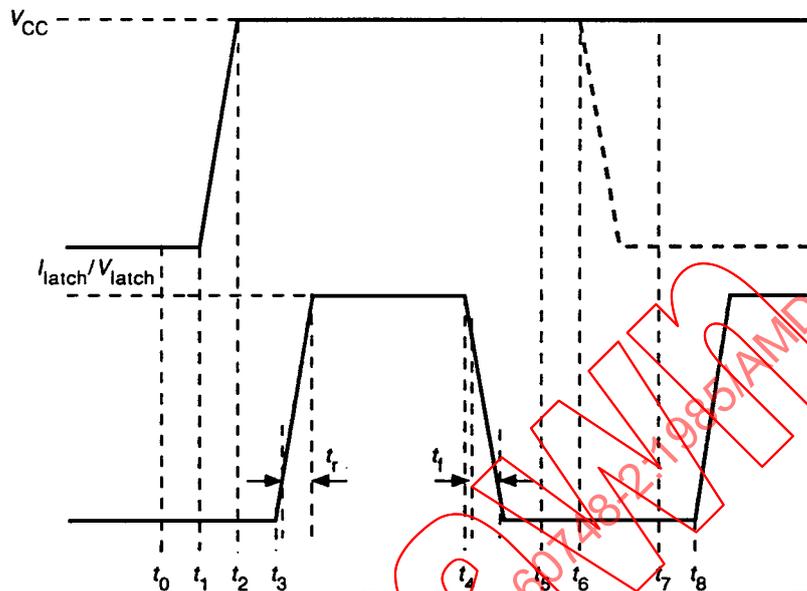
c) *Circuit description and requirements*

With specified supply voltage applied to the device under measurement, the triggering pulse is applied to the specified terminal. The pulse amplitude of the triggering current or voltage is increased until an increase in supply current indicates latch-up in the device or until the specified maximum amplitude of the triggering pulse is reached. The supply voltage is switched off. A reading is taken of the amplitude of the triggering pulse, the positive latch-up voltage or current. All readings are taken by means of an oscilloscope or another appropriate measurement equipment. The current limitation of the power supply shall be set low enough not to destroy the device. A pattern generator may be used to set the logic states of unmeasured input and output terminals. The measurement is considered as destructive.

d) *Measurement procedure*

- Adjust ambient temperature as specified.
- Apply power supply.
- Set I/O conditions, logic state, etc., as specified.
- Apply triggering current or voltage under specified pulse conditions of duration, rise and fall time to the specified terminal.
- Measure supply current after specified delay time.
- Increase the amplitude of the triggering pulse until latch-up occurs or until the amplitude equals the specified value.
- Register the amplitude and repetition rate of triggering pulse.
- If an increase in supply current occurs or if supply current is greater than the specified maximum supply current, latch-up has occurred.
- Power source and input voltages are set to zero.

e) Temps opération



CEI 1283/93

Figure 94

- $t_1$  Connecter le dispositif comme spécifié.
- $t_2$  Etablir la limite du courant d'alimentation et la tension d'alimentation comme spécifié. Etablir les conditions d'entrée et de sortie comme spécifié pour placer le dispositif dans l'état logique spécifié s'il y a lieu.
- $t_3$  Appliquer l'impulsion unique de la grandeur de déclenchement.
- $t_4$  Après la durée spécifiée, enlever la grandeur de déclenchement. Ramener la borne à mesurer à son état avant l'application de l'impulsion de déclenchement.
- $t_5$  Après un délai spécifié, mesurer le courant d'alimentation.
- $t_6$  Si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, il se peut que le verrouillage se soit produit. Déconnecter la tension d'alimentation.
- $t_7$  Si le courant d'alimentation est inférieur au courant d'alimentation maximal spécifié, le verrouillage ne s'est pas produit.
- $t_8$  Après un temps de refroidissement ( $t_6$  jusqu'à  $t_8$ ) une seconde impulsion de déclenchement peut être appliquée en répétant les opérations spécifiées de  $t_3$  à  $t_6$ , puis en continuant avec les mesures ci-dessus.

f) Conditions spécifiées

- Température ambiante ou du boîtier.
- Tension d'alimentation.
- Bornes à mesurer.
- Conditions aux bornes non mesurées: entrées non mesurées reliées à la masse ou  $V_{CC}$  ( $V_{DD}$ ), sauf spécification contraire. Les sorties non mesurées restent ouvertes.

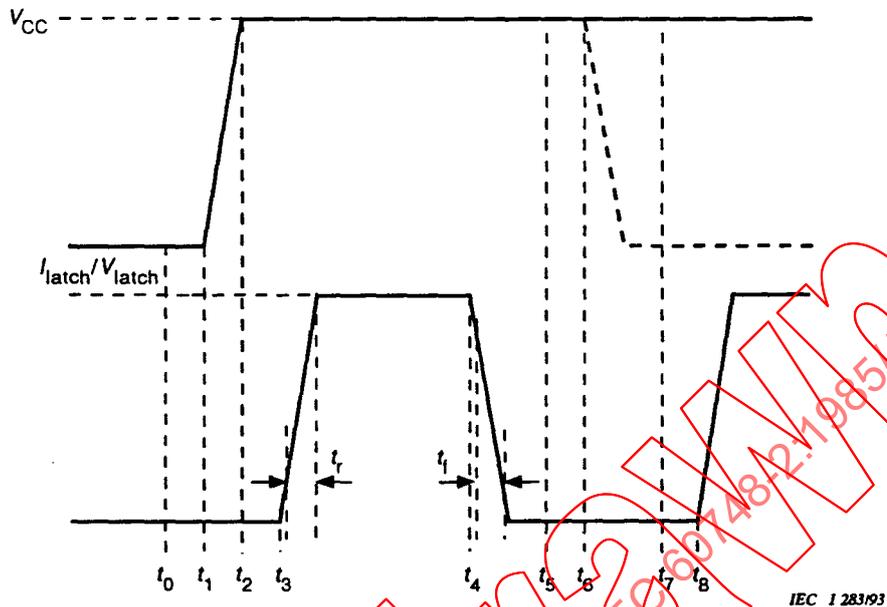
e) *Time operation*

Figure 94

- $t_1$  Connect device as specified.
- $t_2$  Set supply-current limitation and supply voltage as specified. Set input and output conditions as specified, to place the device in the specified logic state if appropriate.
- $t_3$  Apply single-pulse triggering quantity.
- $t_4$  After the specified duration, remove the triggering quantity. Return the terminal under measurement to the same state as before the application of the triggering pulse.
- $t_5$  After a specified delay time the supply current is measured.
- $t_6$  If the supply current is greater than the specified maximum supply current, the device may have latched-up. Disconnect the supply voltage.
- $t_7$  If the supply current is less than the specified maximum supply current, the device is not in latch-up.
- $t_8$  After a cool-down time ( $t_6$  through  $t_8$ ) a second triggering pulse can be applied, repeating the operations specified at times  $t_3$  through  $t_6$ , then continuing with the measurements as above.

f) *Specified conditions*

- Ambient or case temperature.
- Supply voltage.
- Terminals to be measured.
- Conditions at unmeasured terminals: unmeasured inputs connected to ground or  $V_{CC}$  ( $V_{DD}$ ), unless otherwise specified. Unmeasured outputs are left open.

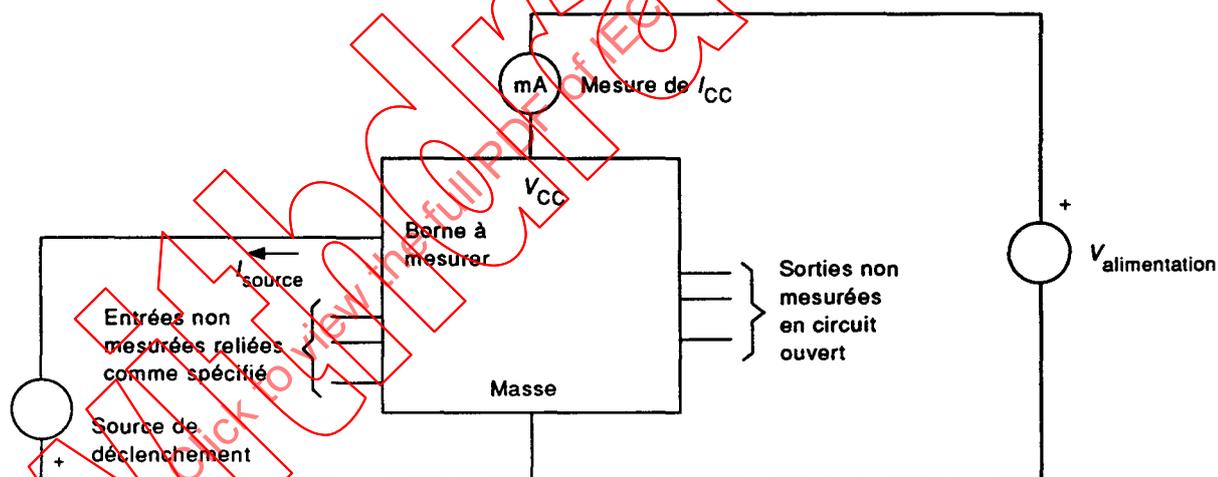
- Etat logique.
- Courant d'alimentation maximal.
- Conditions de l'impulsion de déclenchement:
  - amplitude maximale;
  - durée;
  - temps de montée et de descente.
- Délai avant la mesure du courant d'alimentation.
- Temps de refroidissement.
- Limitation du courant d'alimentation.

8.2 Tension ou courant de verrouillage négative (négatif) d'entrée ou de sortie

a) But

Mesurer l'amplitude de la tension ou du courant négative (négatif) d'entrée ou de sortie nécessaire au passage d'un circuit intégré à l'état de verrouillage.

b) Schéma



CEI 128493

Figure 95

c) Description et exigences du circuit

La tension d'alimentation spécifiée étant appliquée au dispositif à mesurer, appliquer l'impulsion de déclenchement négative à la borne spécifiée. Augmenter l'amplitude d'impulsion négative du courant ou de la tension de déclenchement jusqu'à ce qu'une augmentation du courant d'alimentation indique le verrouillage du dispositif ou jusqu'à ce que l'amplitude maximale spécifiée de l'impulsion de déclenchement soit atteinte. Couper la tension d'alimentation. Lire l'amplitude de l'impulsion de déclenchement, et de la tension ou du courant de verrouillage négative (négatif). Effectuer les mesures à l'aide d'un oscilloscope ou d'un autre équipement de mesure approprié. La limite du courant d'alimentation doit être établie à une valeur assez basse afin de ne pas détruire le dispositif. On peut utiliser un générateur de modèles pour établir les états logiques des bornes d'entrée et de sortie non mesurées. La mesure est considérée comme destructive.

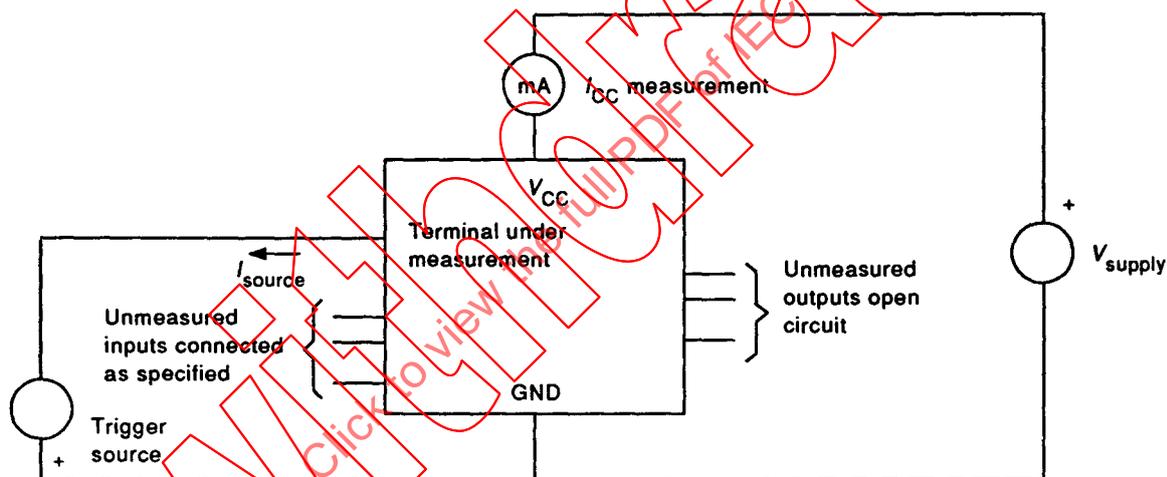
- Logic state.
- Maximum supply current.
- Conditions of triggering pulse:
  - maximum amplitude;
  - duration;
  - rise and fall time.
- Delay time before measurement of supply current.
- Cool-down time.
- Limitation of supply current.

## 8.2 Negative latch-up input or output voltage or current

### a) Purpose

To measure the magnitude of the negative input or output voltage or current necessary to turn an integrated circuit into latch-up state.

### b) Circuit diagram



IEC 128493

Figure 95

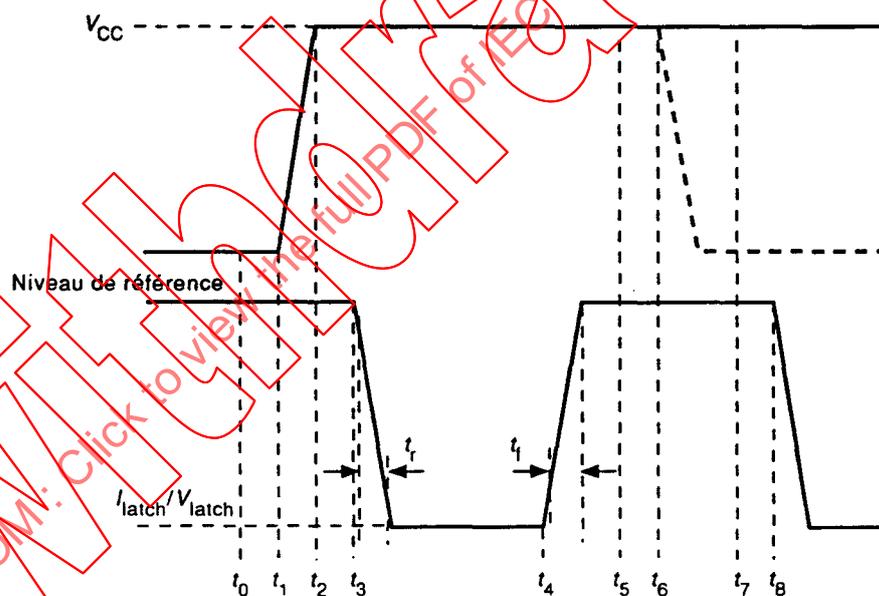
### e) Circuit description and requirements

With specified supply voltage applied to the device under measurement, the negative triggering pulse is applied to the specified terminal. The negative pulse amplitude of the triggering current or voltage is increased until an increase in supply current indicates latch-up in the device or until the specified maximum amplitude of the triggering pulse is reached. The supply voltage is switched off. A reading is taken of the amplitude of the triggering pulse, the negative latch-up voltage or current. All readings are taken by means of an oscilloscope or another appropriate measurement equipment. The current limitation of the power supply shall be set low enough not to destroy the device. A pattern generator may be used to set the logic states of unmeasured input and output terminals. The measurement is considered as destructive.

d) *Exécution*

- Régler la température ambiante à la valeur spécifiée.
- Appliquer l'alimentation.
- Etablir les conditions d'entrée/sortie, l'état logique, etc. comme spécifié.
- Appliquer le courant ou la tension de déclenchement dans des conditions d'impulsion spécifiées de durée, et de temps de montée et de descente à la borne spécifiée.
- Mesurer le courant d'alimentation après un délai spécifié.
- Augmenter l'amplitude de l'impulsion de déclenchement jusqu'à ce que le verrouillage se produise ou jusqu'à ce que l'amplitude soit égale à la valeur spécifiée.
- Enregistrer l'amplitude et le taux de répétition de l'impulsion de déclenchement.
- Si une augmentation du courant d'alimentation se produit ou si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, le verrouillage s'est produit.
- Régler la source d'alimentation et les tensions d'entrée à zéro.

e) *Temps opération*



CEI 1285193

Figure 96

- $t_1$  Connecter le dispositif comme spécifié.
- $t_2$  Etablir la limite du courant d'alimentation et la tension d'alimentation comme spécifié. Etablir les conditions d'entrée et de sortie comme spécifié pour placer le dispositif dans l'état logique spécifié s'il y a lieu.
- $t_3$  Appliquer l'impulsion unique de la grandeur de déclenchement.
- $t_4$  Après la durée spécifiée, enlever la grandeur de déclenchement. Ramener la borne à mesurer à son état avant l'application de l'impulsion de déclenchement.

d) *Measurement procedure*

- Adjust ambient temperature as specified.
- Apply power supply.
- Set I/O conditions, logic state, etc., as specified.
- Apply triggering current or voltage under specified pulse conditions of duration, rise and fall time to the specified terminal.
  
- Measure supply current after specified delay time.
- Increase the amplitude of the triggering pulse until latch-up occurs or until the amplitude equals the specified value.
- Register the amplitude and repetition rate of the triggering pulse.
- If an increase in supply current occurs or if supply current is greater than the specified maximum supply current, latch-up has occurred.
  
- Power source and input voltages are set to zero.

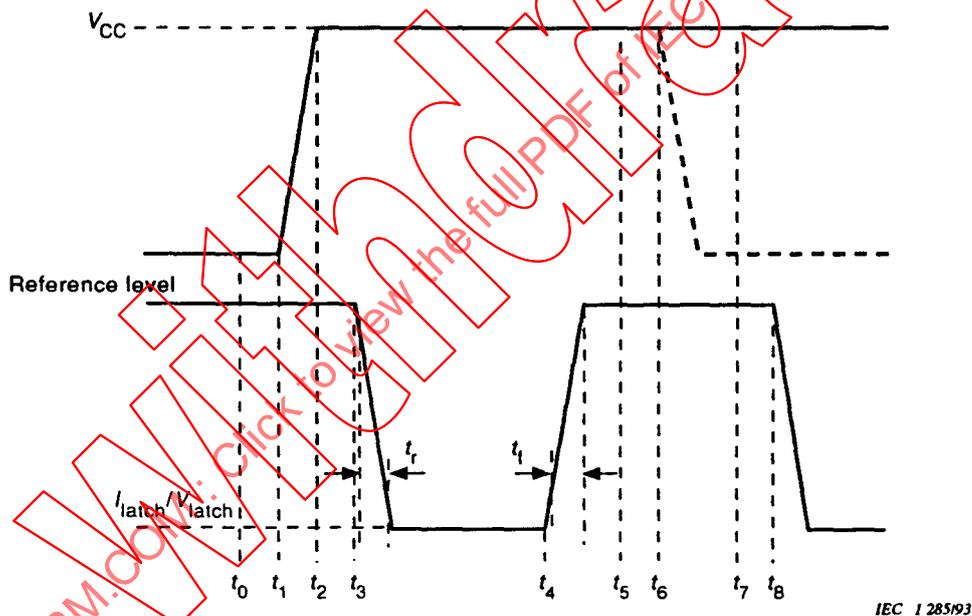
e) *Time operation*

Figure 96

- $t_1$  Connect device as specified.
- $t_2$  Set supply-current limitation and supply voltage as specified. Set input and output conditions as specified, to place the device in specified logic state if appropriate.
  
- $t_3$  Apply single-pulse triggering quantity.
- $t_4$  After the specified duration, remove the triggering quantity. Return the terminal under measurement to the same state as before the application of the triggering pulse.

- $t_5$  Après un délai spécifié, mesurer le courant d'alimentation.
- $t_6$  Si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, il se peut que le verrouillage se soit produit. Déconnecter la tension d'alimentation.
- $t_7$  Si le courant d'alimentation est inférieur au courant d'alimentation maximal spécifié, le verrouillage ne s'est pas produit.
- $t_8$  Après un temps de refroidissement ( $t_6$  jusqu'à  $t_8$ ) une seconde impulsion de déclenchement peut être appliquée en répétant les opérations spécifiées de  $t_3$  à  $t_6$ , puis en continuant avec les mesures ci-dessus.

f) *Conditions spécifiées*

- Température ambiante ou du boîtier.
- Tension d'alimentation.
- Bornes à mesurer.
- Conditions aux bornes non mesurées: entrées non mesurées reliées à la masse ou  $V_{CC}$  ( $V_{DD}$ ), sauf spécification contraire. Les sorties non mesurées restent ouvertes.
- Etat logique.
- Courant d'alimentation maximal.
- Conditions de l'impulsion de déclenchement:
  - amplitude maximale;
  - durée;
  - temps de montée et de descente.
- Délai avant la mesure du courant d'alimentation.
- Temps de refroidissement.
- Limitation du courant d'alimentation.

8.3 *Tension ou courant d'alimentation de verrouillage*

a) *But*

Mesurer l'amplitude de la tension ou du courant appliqué(e) aux bornes d'alimentation nécessaire au passage d'un circuit intégré à l'état de verrouillage.

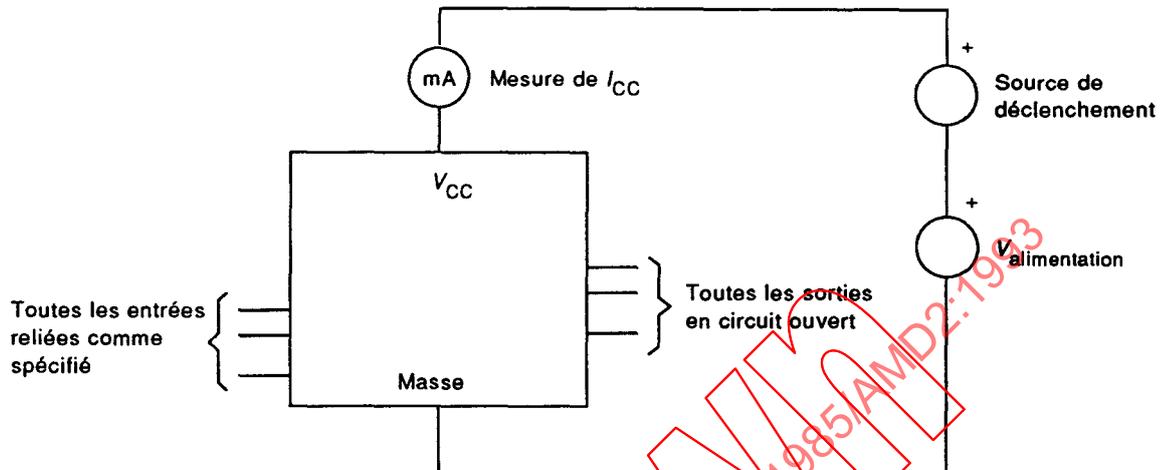
- $t_5$  After a specified delay time the supply current is measured.
- $t_6$  If the supply current is greater than the specified maximum supply current, the device may have latched up. Disconnect the supply voltage.
- $t_7$  If the supply current is less than the specified maximum supply current, the device is not in latch-up.
- $t_8$  After a cool-down time ( $t_6$  through  $t_8$ ) a second triggering pulse can be applied, repeating the operations specified at times  $t_3$  through  $t_6$ , then continuing with the measurements as above.
- f) *Specified conditions*
- Ambient or case temperature.
  - Supply voltage.
  - Terminals to be measured.
  - Conditions at unmeasured terminals: unmeasured inputs connected to ground or  $V_{CC}$  ( $V_{DD}$ ), unless otherwise specified. Unmeasured outputs are left open.
  - Logic state.
  - Maximum supply current.
  - Conditions of triggering pulse:
    - maximum amplitude;
    - duration;
    - rise and fall time.
  - Delay time before measurement of supply current.
  - Cool-down time.
  - Limitation of supply current.

### 8.3 Latch-up supply voltage or current

#### a) *Purpose*

To measure the magnitude of the voltage or current applied to the supply terminals necessary to turn an integrated circuit into latch-up state.

## b) Schéma



CEI 1286/93

Figure 97

## c) Description et exigences du circuit

La tension d'alimentation spécifiée étant appliquée au dispositif à mesurer, superposer une tension ou un courant à la tension ou au courant d'alimentation. Augmenter l'amplitude d'impulsion jusqu'à ce qu'une augmentation du courant d'alimentation indique le verrouillage du dispositif ou jusqu'à ce que l'amplitude maximale spécifiée de l'impulsion de déclenchement soit atteinte. Mesurer l'amplitude de la tension d'alimentation totale appliquée au dispositif. C'est la tension d'alimentation de verrouillage. Le courant d'alimentation de verrouillage n'est pas mesurable directement, mais peut être évalué en observant le courant avant le verrouillage ainsi que les valeurs d'augmentation du courant. Couper la tension d'alimentation. Effectuer les mesures à l'aide d'un oscilloscope ou d'un autre équipement de mesure approprié. La limite du courant d'alimentation doit être établie à une valeur assez basse afin de ne pas détruire le dispositif. On peut utiliser un générateur de modèles pour établir les états logiques des bornes d'entrée et de sortie non mesurées. La mesure est considérée comme destructive.

## d) Exécution

- Régler la température ambiante à la valeur spécifiée.
- Appliquer l'alimentation.
- Etablir les conditions d'entrée/sortie, l'état logique, etc. comme spécifié.
- Appliquer le courant ou la tension de déclenchement dans des conditions d'impulsion spécifiées de durée, et de temps de montée et de descente à la borne spécifiée.
- Mesurer le courant d'alimentation après un délai spécifié.
- Augmenter l'amplitude de l'impulsion de déclenchement jusqu'à ce que le verrouillage se produise ou jusqu'à ce que l'amplitude soit égale à la valeur spécifiée.
- Enregistrer l'amplitude et le taux de répétition de l'impulsion de déclenchement.
- Si une augmentation du courant d'alimentation se produit ou si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, le verrouillage s'est produit.
- Régler la source d'alimentation et les tensions d'entrée à zéro.

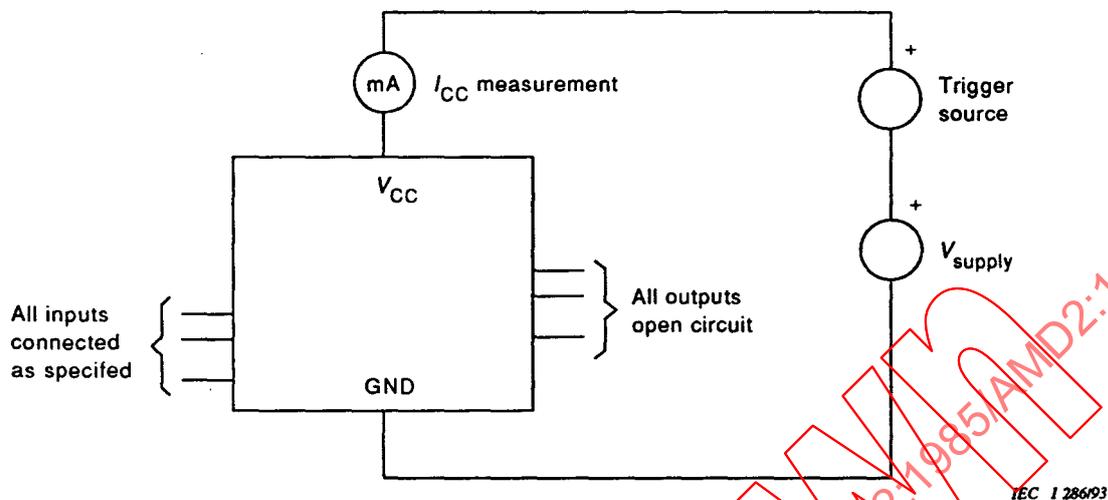
b) *Circuit diagram*

Figure 97

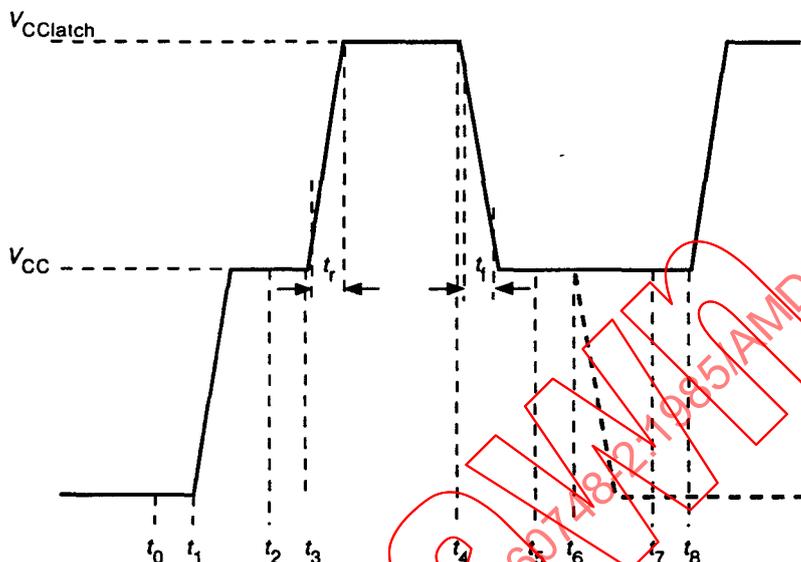
c) *Circuit description and requirements*

With specified supply voltage applied to the device under measurement, a voltage or current is superimposed on the supply voltage or current. The pulse amplitude is increased until an increase in supply current indicates latch-up in the device or until the specified maximum amplitude of the triggering pulse is reached. A reading is taken of the amplitude of the total supply voltage applied to the device, which is the latch-up supply voltage. The latch-up supply current is not directly measurable, but may be estimated by observing the current prior to latch-up together with the increments by which the current is increased. The supply voltage is switched off. All readings are taken by means of an oscilloscope or another appropriate measurement equipment. The current limitation of the power supply shall be set low enough not to destroy the device. A pattern generator may be used to set the logic states of unmeasured input and output terminals. The measurement is considered as destructive.

d) *Measurement procedure*

- Adjust ambient temperature as specified.
- Apply power supply.
- Set I/O conditions, logic state, etc., as specified.
- Apply triggering voltage or current pulse under specified pulse conditions of duration, rise and fall time to the specified terminal.
- Measure supply current after specified delay time.
- Increase the amplitude of the triggering pulse until latch-up occurs or until the amplitude equals the specified value.
- Register the amplitude and repetition rate of the triggering pulse.
- If an increase in supply current occurs or if supply current is greater than the specified maximum supply current, latch-up has occurred.
- Power source and input voltages are set to zero.

e) *Temps opération*



CEI 1287193

Figure 98

- $t_1$  Connecter le dispositif comme spécifié.
- $t_2$  Etablir la limite du courant d'alimentation et la tension d'alimentation comme spécifié. Etablir les conditions d'entrée et de sortie comme spécifié pour placer le dispositif dans l'état logique spécifié s'il y a lieu.
- $t_3$  Superposer la tension ou le courant de déclenchement à la tension ou au courant d'alimentation. Après  $t_3$  observer et enregistrer l'amplitude totale de la tension ou du courant d'alimentation. C'est la tension ou le courant d'alimentation de verrouillage en cas de verrouillage.
- $t_4$  Après la durée spécifiée, enlever la tension de déclenchement. Ramener la borne à mesurer à son état avant l'application de l'impulsion de déclenchement.
- $t_5$  Après un délai spécifié, mesurer le courant d'alimentation.
- $t_6$  Si le courant d'alimentation est supérieur au courant d'alimentation maximal spécifié, il se peut que le verrouillage se soit produit. Déconnecter la tension d'alimentation.
- $t_7$  Si le courant d'alimentation est inférieur au courant d'alimentation maximal spécifié à l'état de verrouillage, le verrouillage ne s'est pas produit.
- $t_8$  Après un temps de refroidissement ( $t_6$  jusqu'à  $t_8$ ) une seconde impulsion de déclenchement peut être appliquée en répétant les opérations spécifiées de  $t_3$  à  $t_6$ , puis en continuant avec les mesures ci-dessus.