

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

CEI
IEC
748-2

1985

AMENDEMENT 1
AMENDMENT 1

1991-09

Amendement 1

Dispositifs à semiconducteurs
Circuits intégrés

Deuxième partie:
Circuits intégrés numériques

Amendment 1

Semiconductor devices
Integrated circuits

Part 2:
Digital integrated circuits

© CEI 1991 Droits de reproduction réservés — Copyright — all rights reserved

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève, Suisse



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

AVANT-PROPOS

Le présent amendement a été établi par le Comité d'Etudes n° 47 de la CEI: Dispositifs à semiconducteurs, et par le Sous-Comité 47A: Circuits intégrés.

Le texte de cet amendement est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47(BC)1044	47(BC)1112
47(BC)1045	47(BC)1113
47/47A(BC)1127/214	47/47A(BC)1257/251
47A(BC)150	47A(BC)162
47A(BC)213	47A(BC)248
47A(BC)223	47A(BC)256

Les rapports de vote indiqués dans le tableau ci-dessus donnent toute information sur le vote ayant abouti à l'approbation de cet amendement.

Page de couverture, page de titre, page 10 et page 16

Titre de la norme

Modifier le titre de la partie comme suite:

Deuxième partie: Circuits Intégrés numériques

Page 2

SOMMAIRE

CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

Ajouter les titres des nouveaux paragraphes et article suivants:

1.5	Concept de verrouillage	34
3.6	Termes et descriptions pour les configurations de test pour l'essai des mémoires	72
8	Termes et définitions supplémentaires pour les circuits intégrés numériques	112

CHAPITRE III – VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES

Section un – Généralités sur les circuits intégrés digitaux

5	Caractéristiques électriques statiques pour les circuits intégrés bipolaires, figures 27 et 28	124
5.3.2.1	Courant de sortie à l'état haute impédance (I_{OZ}).....	126

FOREWORD

This amendment has been prepared by IEC Technical Committee No. 47: Semiconductor devices, and Sub-Committee 47A: Integrated circuits.

The text of this amendment is based on the following documents:

Six Months' Rule	Reports on Voting
47(CO)1044	47(CO)1112
47(CO)1045	47(CO)1113
47/47A(CO)1127/214	47/47A(CO)1257/251
47A(CO)150	47A(CO)162
47A(CO)213	47A(CO)248
47A(CO)223	47A(CO)256

Full information on the voting for the approval of this amendment can be found in the Voting Reports indicated in the above table.

Cover page, title page, pages 11 and 17

These corrections apply to the French text only.

Page 3

CONTENTS

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

Add the titles of the following new subclauses and clause:

1.5	Latch-up concept	35
3.6	Terms and descriptions for test patterns for memory testing	73
8	Additional terms and definitions for digital integrated circuits	113
CHAPTER III – ESSENTIAL RATINGS AND CHARACTERISTICS		
Section One – Digital integrated circuits, general		
5	Static electrical characteristics for bipolar integrated circuits, figures 27 and 28	125
5.3.2.1	Output off-state current (I_{OZ})	127

Page 6

CHAPITRE IV: MÉTHODES DE MESURE

Section trois - Mesures dynamiques

Ajouter à la page 8, le titre du nouvel article suivant:

6 Méthode de vérification de la fonction d'un circuit intégré numérique..... 274

Page 18

CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

1 Terminologie pour les circuits intégrés combinatoires et séquentiels

Ajouter après le paragraphe 1.4.16, page 34, les nouveaux paragraphes suivants:

1.5 Concept de verrouillage

1.5.1 Etat de verrouillage

Etat caractérisé par un chemin conducteur persistant de faible impédance, et résultant du déclenchement d'une structure bipolaire à quatre couches consécutif au courant résultant d'une surtension à l'entrée, à la sortie ou sur l'alimentation.

NOTE - En état de verrouillage, le dispositif devient inopérant.

1.5.2 Effet de verrouillage

Processus qui conduit à un état de verrouillage.

1.5.3 Tension de verrouillage à l'état passant ($V_{CC(L)}$, $V_{DD(L)}$)

Tension entre les bornes de l'alimentation d'un circuit intégré pour un courant spécifié lorsque ce circuit est en état de verrouillage.

1.5.4 Courant de verrouillage (I_{latch})

Courant le plus faible qui passe par une borne spécifiée d'un circuit intégré au début de l'effet de verrouillage de ce circuit.

Page 77

Ajouter, après la figure 17, les nouveaux paragraphes suivants:

3.6 Termes et descriptions pour les configurations de test pour l'essai des mémoires

3.6.1 Introduction

3.6.1.1 Définitions nécessaires pour les principaux termes

Page 7

CHAPTER IV: MEASURING METHODS

Section Three – Dynamic measurements

Add, on page 9, the title of the following new clause:

6 Method of verification of the function of a digital integrated circuit..... 275

Page 19

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

1 Terminology for combinatorial and sequential integrated circuits

Add, after subclause 1.4.16, page 35, the following new subclauses:

1.5 Latch-up concept

1.5.1 Latch-up state

A state in which a low-impedance path has resulted from and persists following the current resulting from an input, output or supply overvoltage that triggers a parasitic four-layer bipolar structure.

NOTE - In the latch-up state, the device becomes inoperable.

1.5.2 Latch-up effect

A process that results in a latch-up state.

1.5.3 Latch-up on-state voltage ($V_{CC(L)}$, $V_{DD(L)}$)

The voltage between the supply voltage terminals of an integrated circuit at a specified current when the integrated circuit is in the latch-up state.

1.5.4 Latch-up current (I_{latch})

The lowest current that flows into or out of a specified terminal of an integrated circuit at the onset of latch-up.

Page 77

Add, after figure 17, the following new subclauses:

3.6 Terms and descriptions for test patterns for memory testing

3.6.1 Introduction

3.6.1.1 Working definitions for principal terms

3.6.1.1.1 *Configuration de données*

Arrangement de ZÉROS logiques (0) et de UNS logiques (1) dans une matrice de cellules-mémoires.

NOTE - Une matrice est généralement divisée en lignes et en colonnes.

3.6.1.1.2 *Séquence d'adresses*

Séquence spécifiée d'adresses.

3.6.1.1.3 *Configuration de test*

Séquence d'adresses spécifiée, comportant des opérations spécifiées pour chaque adresse, de façon à réaliser une configuration de données spécifiée.

3.6.1.2 *Généralités*

L'énumération effectuée dans les paragraphes 3.6.2 à 3.6.4.2 n'est pas complète; elle se limite aux seules descriptions.

On n'a pas pris en compte le temps nécessaire pour effectuer les tests ni les relations entre les configurations de test et les mécanismes de défaillance. Toutes les configurations de test décrites dans le paragraphe 3.6.4 sont destinées à ce que les tests soient effectués pour une configuration de données spécifiée. Chaque description se base sur une correspondance présumée entre les adresses de la mémoire et l'implantation topologique des cellules-mémoires. Sur cette base, on détermine la séquence d'adresses.

Dans la pratique, le fabricant peut choisir une correspondance différente. Par exemple, dans une mémoire RAM 4k, le numéro de la cellule 4095 peut être implanté dans l'angle supérieur gauche de la matrice de cellules-mémoires, adjacent à la cellule numéro 0. La séquence d'adresse correspondant à la configuration de données spécifiée doit être changée en conséquence.

Dans toutes les spécifications, la séquence d'adresses correspondant à une configuration de données spécifiée doit être indiquée par le fabricant. Tous les exemples reposent sur l'hypothèse de matrices carrées ayant un nombre égal de lignes et de colonnes.

Dans la mesure où la plupart des informations données correspondent à des configurations de données à l'intérieur de la mémoire, on a utilisé les symboles logiques 0 et 1 (au lieu de L et H).

NOTE - N indique le nombre de cellules-mémoires. Les numéros d'adresses s'étagent de 0 à N-1.

3.6.2 *Configurations de données*

Dans les figures représentant des configurations de données, le nombre de cellules-mémoires est représenté par la séquence 0 à N-1 où N est le nombre total de cellules. Ici, les cellules sont numérotées ligne par ligne et de gauche à droite.

NOTE - On peut utiliser soit une représentation logique, comme en a) dans les figures, soit une représentation graphique, comme en b).

3.6.1.1.1 *Data pattern*

An array of logic ZEROs (0's) and logic ONEs (1's) within a field of memory cells.

NOTE - A field is usually subdivided into "rows" and "columns".

3.6.1.1.2 *Address sequence*

A specified sequence of addresses.

3.6.1.1.3 *Test pattern*

A specified address sequence with the operations specified for each address so as to create a specified data pattern.

3.6.1.2 *General*

The enumeration given in subclauses 3.6.2 to 3.6.4.2 is not exhaustive and is limited to descriptions only.

No considerations are made regarding elapsed test times or failure modes and related test patterns. All test patterns described in subclause 3.6.4 are intended to perform tests on a specified data pattern. For each description, an assumption is made on the allocation of the memory addresses to the topological location of the memory cells. On this basis, the address sequence is chosen.

In practice, a different allocation may be chosen by the manufacturer, for example, in a 4 k RAM, cell number 4095 may be located in the upper left corner of the field of memory cells, adjacent to cell number 0. Then the address sequence corresponding to the specified data pattern shall be changed accordingly.

In all specifications, the address sequence corresponding to the specified data pattern shall be stated by the manufacturer. Examples given are based on a square field where the numbers of "rows" and "columns" are equal.

To the extent that much of the information given relates to data patterns within the memory, the logic symbols "0" and "1" have been used (instead of L and H).

NOTE - N means the number of memory cells. The addresses run from 0 to N-1.

3.6.2 *Data patterns*

In the figures representing data patterns, the number of memory cells is represented by the sequence 0 to N-1, where N is the total number of cells. The numbering used is row-by-row and from left to right.

NOTE - Representations may be in either logical or graphical form as shown in the a) or b) versions of the figures given.

3.6.2.1 UN partout (ZÉRO partout)

Configuration de données ne comportant que des 1 (que des 0) (voir figure 75 pour des 1).

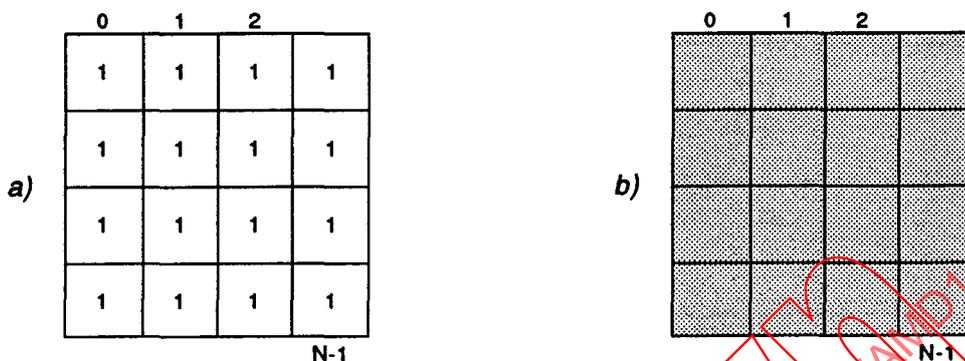


Figure 75

3.6.2.2 UN unique (ZÉRO unique)

Configuration de données comportant un 1 unique (0 unique) sur un fond de 0 (de 1) (voir figure 76 pour un 1 unique).

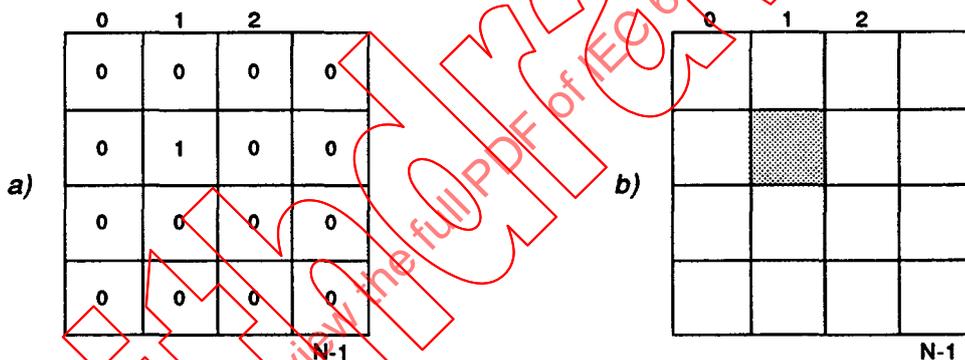


Figure 76

3.6.2.3 Colonnes alternées

Configuration de données consistant en colonnes alternées de 0 et de 1 (voir figure 77)

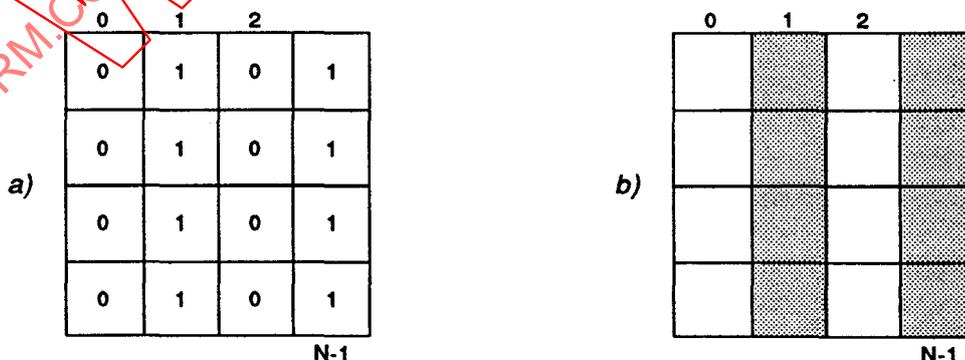


Figure 77

3.6.2.1 All ONE (all ZERO)

A data pattern consisting of all 1's (all 0's) (see Figure 75 for all 1's).

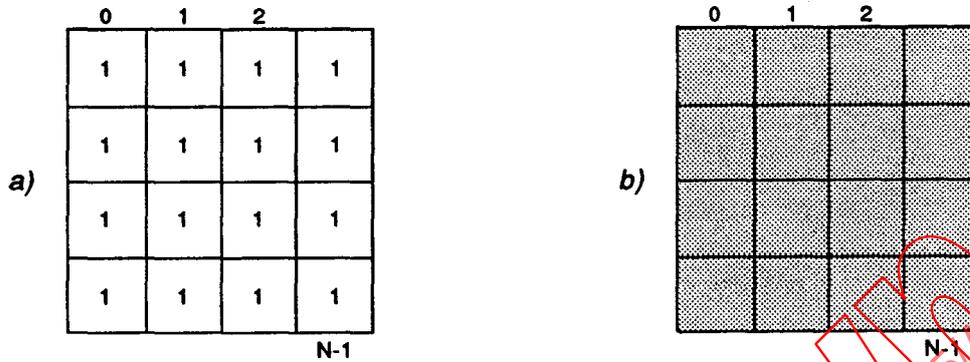


Figure 75

3.6.2.2 Single ONE (single ZERO)

A data pattern consisting of a single 1 (single 0) on a background of all 0's (all 1's) (see Figure 76 for a single 1).

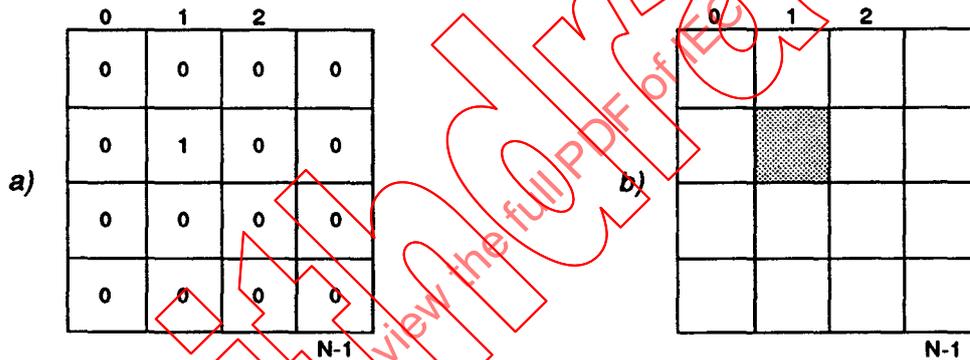


Figure 76

3.6.2.3 Column bars

A data pattern of alternating columns of 0's and 1's (see Figure 77).

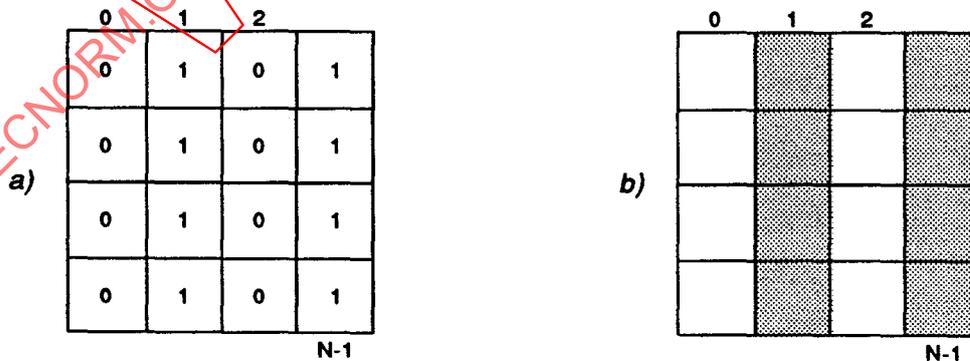


Figure 77

3.6.2.4 Lignes alternées

Configuration de données consistant en lignes alternées de 0 et de 1 (voir figure 78).

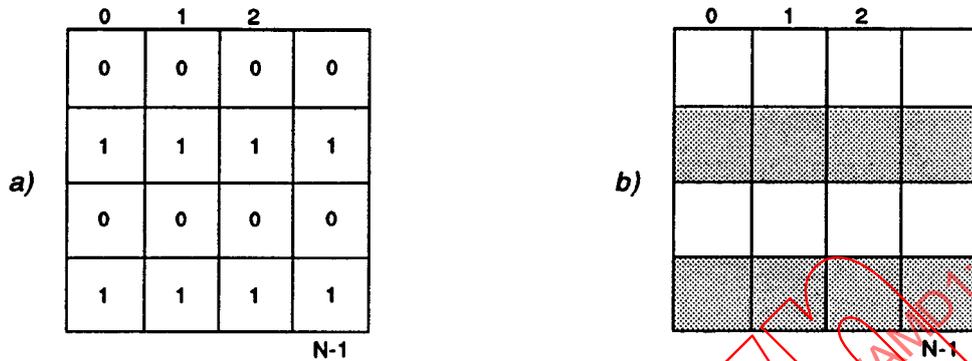


Figure 78

3.6.2.5 Diagonale

Configuration de données de 1 ou de 0 en diagonale sur un fond de données complémentaires.

NOTE - Dans une matrice carrée de cellules-mémoires, le mot «diagonale» s'applique à une configuration dans laquelle les cellules sont situées soit sur la diagonale principale (voir figure 79), soit sur deux parallèles à la diagonale principale, telles qu'il n'y ait qu'une seule cellule-mémoire dans chaque ligne et dans chaque colonne (voir figure 80).

Exemple 1:

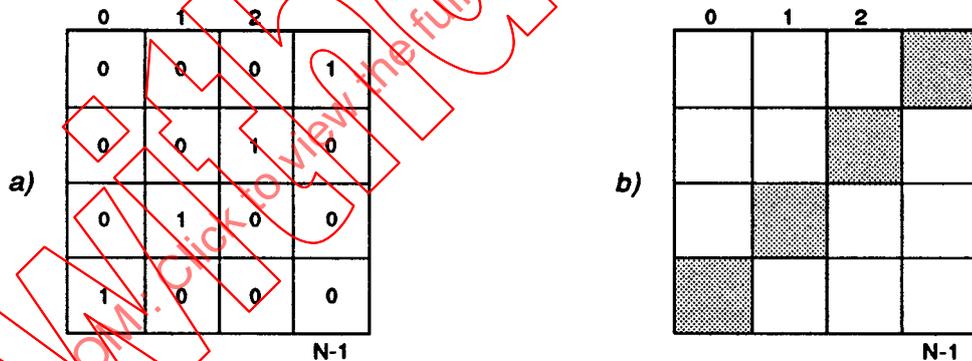


Figure 79

Exemple 2:

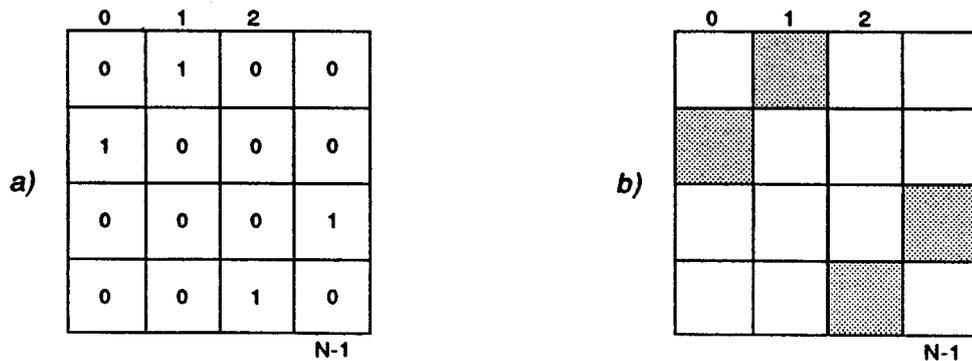


Figure 80

3.6.2.4 Row bars

A data pattern of alternating rows of 0's and 1's (see Figure 78).

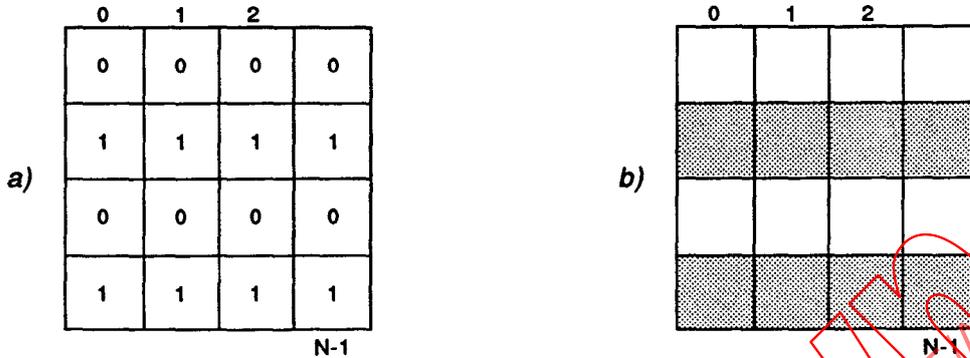


Figure 78

3.6.2.5 Diagonal

A data pattern of diagonal 1's or 0's on the background of complementary data.

NOTE - In a square array of memory cells, "diagonal" denotes a configuration in which all cells are located either on a main diagonal (see Figure 79) or on two parallel diagonals such that only one memory cell is located in each row and each column (see Figure 80).

Example 1:

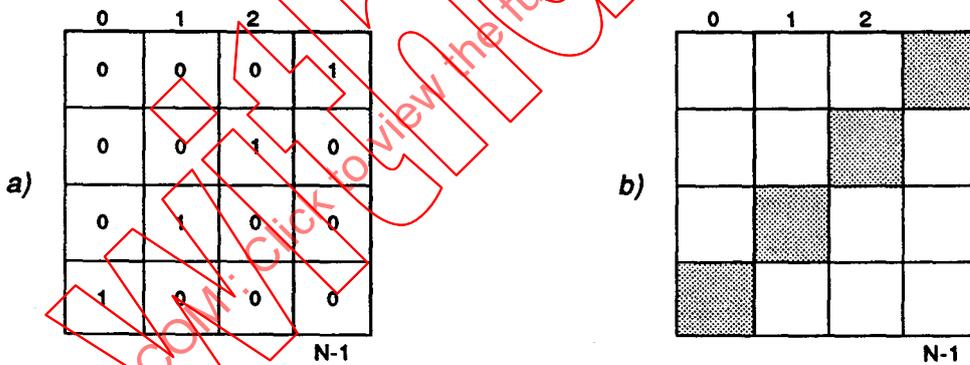


Figure 79

Example 2:

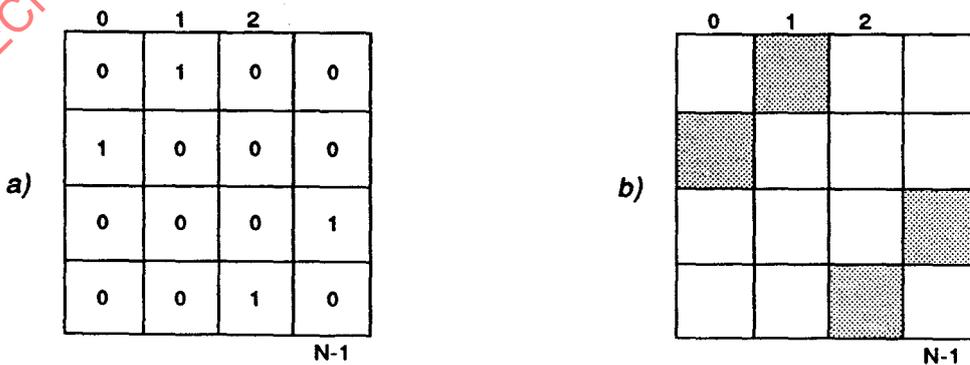


Figure 80

3.6.2.6 *Damier*

Configuration de données qui fait alterner les 0 et les 1 dans les deux directions (c'est-à-dire dans les colonnes et dans les lignes) (voir figure 81).

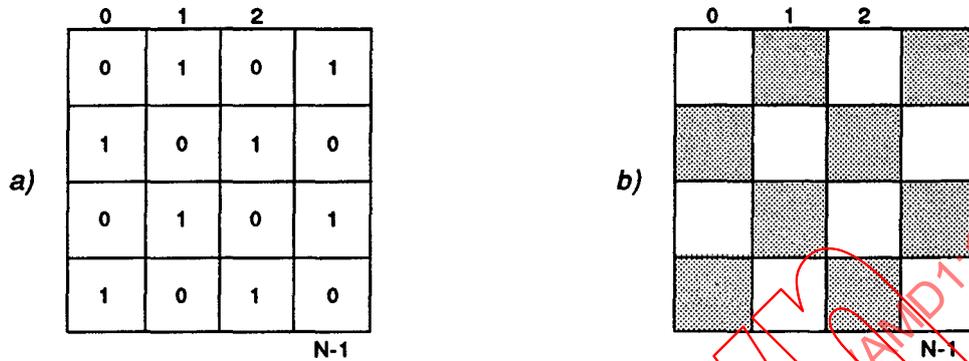


Figure 81

3.6.3 *Séquences d'adresses*

NOTE - A l'aide des séquences d'adresses appropriées, les configurations de données peuvent être déplacées, complétées ou étendues dans les matrices de cellules-mémoires.

3.6.3.1 *Complémentation progressive des bits (ou «1 (ou 0) progressif»)*

Séquence d'adresse qui permet de lire toutes les cellules séquentielles et de les écrire de façon complémentaire.

NOTE - Les données relatives au fond et à la donnée écrite sont complémentaires les unes des autres (voir figure 82).

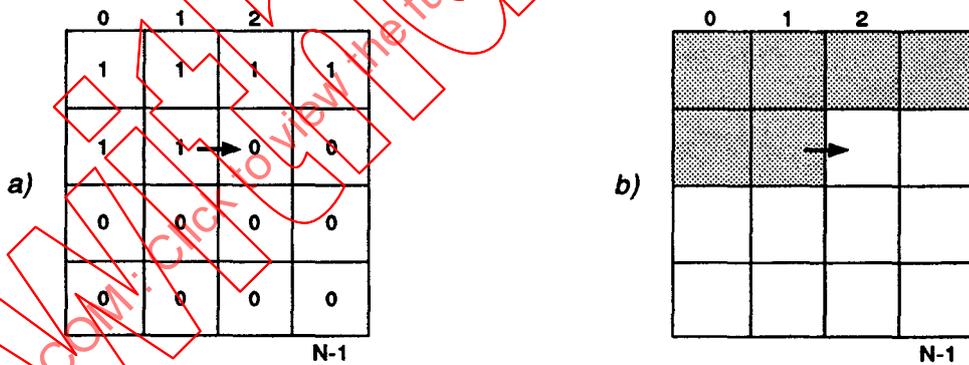


Figure 82

3.6.2.6 *Checkerboard*

A data pattern of alternating 0s and 1s in both directions (that is, columns and rows) (see Figure 81).

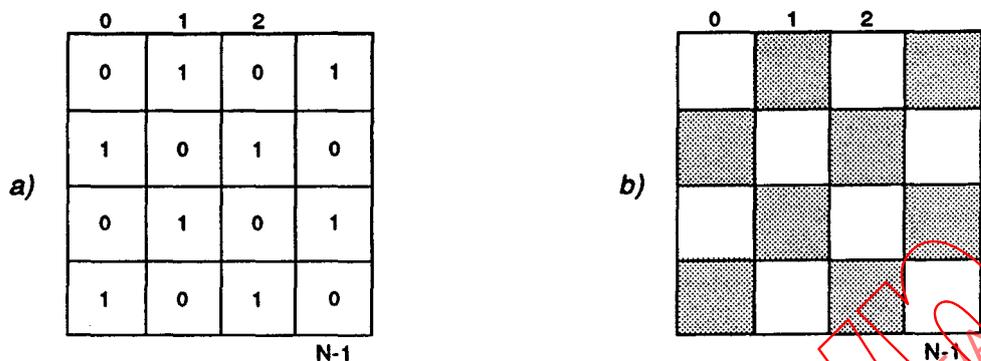


Figure 81

3.6.3 *Address sequences*

NOTE - By means of suitable address sequences, data patterns can be shifted, complemented or extended within memory fields.

3.6.3.1 *Marching*

An address sequence by means of which all cells are sequentially read and rewritten with complementary data.

NOTE - Background data and rewritten data are complementary to each other (see Figure 82).

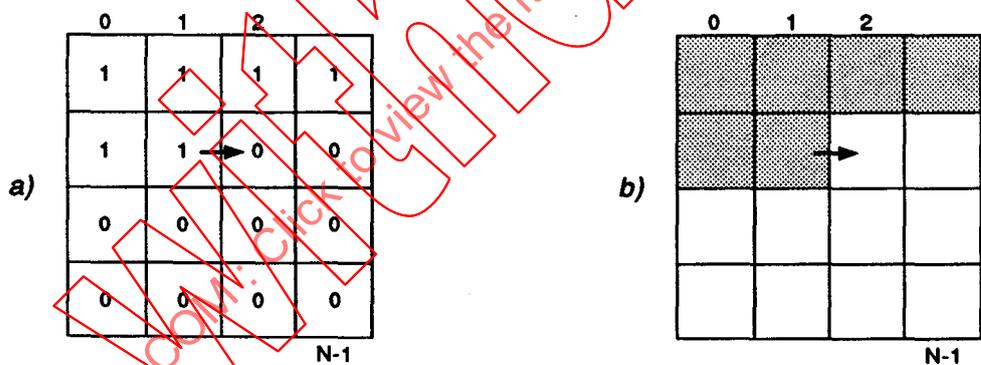


Figure 82

3.6.3.2 *Déplacement d'un bit unique (ou «1 (ou 0) baladeur»)*

Séquence d'adresses qui permet de déplacer une configuration de données spécifiée à une ou plusieurs cellules consécutives à travers toute la mémoire, toutes les cellules – à l'exception des cellules déplacées – étant lues après chaque déplacement (voir figure 83).

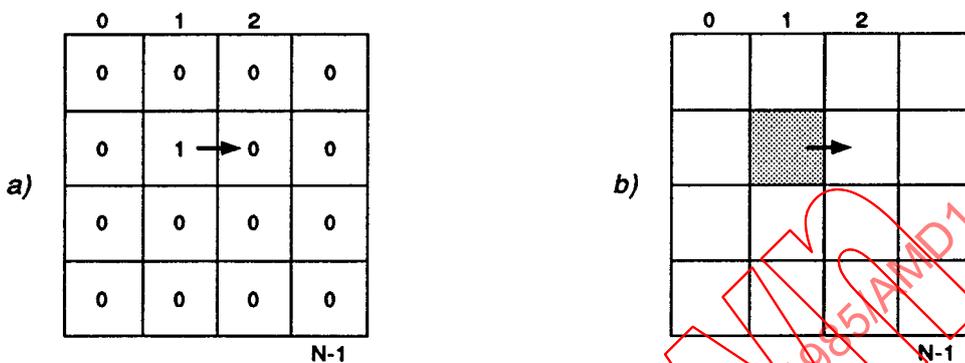


Figure 83

3.6.4 *Configurations de test (exemples)*

3.6.4.1 *Complémentation progressive des 1 (complémentation progressive des 0: voir note 2 ci-après)*

Réaliser la configuration de test en générant le schéma suivant:

A. Ecrire un fond de 0 partout dans la mémoire (voir figure 84).



Figure 84

B. Lire, puis complémenter chacune des N cellules-mémoires de façon que la mémoire contienne finalement le complément de la configuration initiale (voir figure 85).

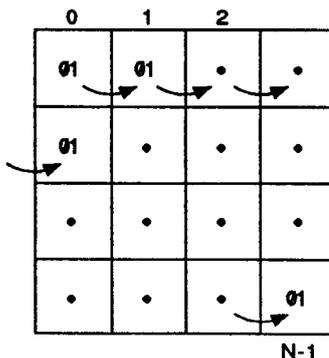


Figure 85

3.6.3.2 *Walking*

An address sequence by means of which a specified pattern in one or more consecutive cells is shifted through the whole memory, all cells except those written with the shifted pattern being read after each shifting (see Figure 83).

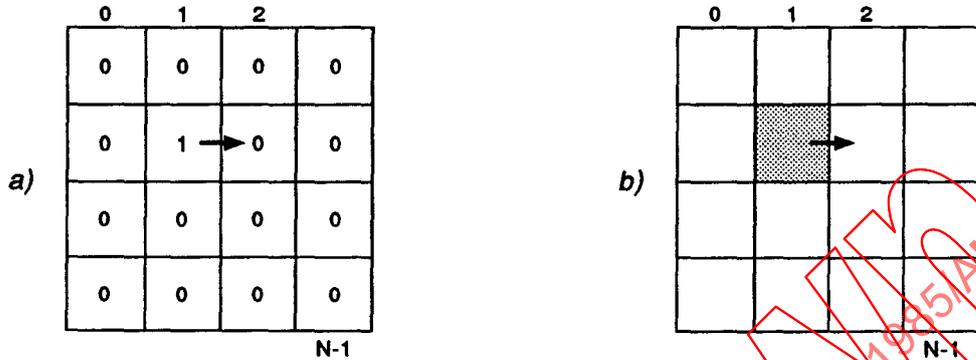


Figure 83

3.6.4 *Test patterns (examples)*

3.6.4.1 *Marching ONE's (marching ZERO's: see Note 2 below)*

A test pattern with the following generation scheme:

- A. A background pattern of all 0's is written to the memory (see Figure 84).



Figure 84

- B. Each of the N memory cells is first read and then complemented, so that the memory finally contains the complement of the initial background pattern (see Figure 85).

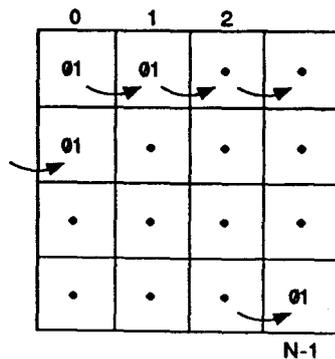


Figure 85

NOTES

1 «01» indique le changement de 0 en 1.

2 En partant d'un fond de 1 partout, cette configuration de test est appelée «complémentation progressive des 0 ou 0 progressif».

3.6.4.2 *Déplacement d'un 1 unique (ou «1 baladeur»)* (0 baladeur: voir note 2 ci-après)

Réaliser la configuration de test en générant le schéma suivant:

A. Ecrire un fond de 0 partout dans la mémoire (voir figure 86).

	0	1	2	
	0	0	•	•
	0	•	•	•
	•	•	•	•
	•	•	0	0
				N-1

Figure 86

B. Complémenter l'une des cellules, dite cellule d'essai, en y écrivant un 1 (voir figure 87).

	0	1	2	
	01	0	•	•
	0	•	•	•
	•	•	•	•
	•	•	0	0
				N-1

Figure 87

C. Lire le contenu des autres cellules de la mémoire.

D. Lire le contenu de la cellule d'essai.

E. Complémenter à nouveau la cellule d'essai, c'est-à-dire ré-écrire un 0, de sorte que la cellule d'essai ait retrouvé l'état initial (voir figure 88).

	0	1	2	
	10	0	•	•
	0	•	•	•
	•	•	•	•
	•	•	0	0
				N-1

Figure 88

NOTES

- 1 "01" indicates a "0" changed to a "1".
- 2 Starting from a background pattern of all 1's, this test pattern is called "Marching ZERO's".

3.6.4.2 *Walking (single) ONE's (Walking single ZERO's: see Note 2 below)*

A test pattern with the following generation scheme:

- A. A background pattern of all 0's is written to the memory (see Figure 86).

0	1	2	
0	0	•	•
0	•	•	•
•	•	•	•
•	•	0	0

N-1

Figure 86

- B. Into a test cell, the complement is written (see Figure 87).

0	1	2	
01	0	•	•
0	•	•	•
•	•	•	•
•	•	0	0

N-1

Figure 87

- C. The remaining cells of the memory are read.

- D. The test cell is read.

- E. Its complement is written in, that is, rewrite a 0, so that the test cell is now in its initial background state (see Figure 88).

0	1	2	
10	0	•	•
0	•	•	•
•	•	•	•
•	•	0	0

N-1

Figure 88

F. Répéter successivement la séquence des étapes B à E pour chacune des cellules-mémoires.

NOTES

1 «10» indique le changement de 1 en 0.

2 En partant d'un fond de 1 partout, cette configuration de test est appelée «déplacement d'un 0 unique ou 0 baladeur».

Page 110

Ajouter, après la figure 25, le nouvel article suivant:

8 Termes et définitions supplémentaires pour les circuits intégrés numériques

8.1 Réseau logique

Circuit intégré consistant en un réseau d'opérateurs ou de circuits logiques dont les interconnexions sont réalisées soit pendant la fabrication soit par l'utilisateur afin d'obtenir les fonctions logiques définies par celui-ci.

Réseau prédiffusé

Circuit intégré composé d'un réseau de portes logiques élémentaires.

NOTE - Les circuits intégrés de ce type sont aussi appelés «réseaux logiques programmables par masque» («MPLA» ou «ULA» en anglais).

8.2 Réseau logique programmable

Circuit intégré consistant en réseaux d'opérateurs (ou circuits) logiques combinatoires et séquentiels, ayant une configuration fixe d'interconnexions, dans lequel les connexions peuvent être réalisées ou détruites après la fabrication, de façon à obtenir des fonctions logiques spécifiques.

NOTE - Les circuits intégrés de ce type sont également connus sous l'abréviation anglaise «PLA».

F. The sequence of steps B to E is sequentially repeated for each memory cell.

NOTES

- 1 "10" indicates a "1" changed to a "0".
- 2 Starting from a background pattern of all 1's, this test pattern is called "Walking single ZERO's".

Page 111

Add, after Figure 25, the following new clause:

8 Additional terms and definitions for digital integrated circuits

8.1 Logic array

An integrated circuit consisting of an array of logic elements or circuits whose interconnections are either determined during manufacture or by the user to perform user-defined logic functions.

Gate array

An integrated circuit consisting of an array of logic gates.

NOTE - Integrated circuits of this type are also known by the names "Mask programmable Logic Array (MPLA)" and "Uncommitted Logic Array (ULA)".

8.2 Programmable logic array

An integrated circuit consisting of arrays of combinatorial and sequential logic elements (circuits) with a fixed interconnection pattern in which connections can be made or broken after manufacture to perform specific logic functions.

NOTE - Integrated circuits of this type are also known by the abbreviation "PLA".

CHAPITRE III: VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES

Section un - Généralités sur les circuits Intégrés numériques

Remplacer, à la page 124 les figures 27 et 28 par les nouvelles figures suivantes:

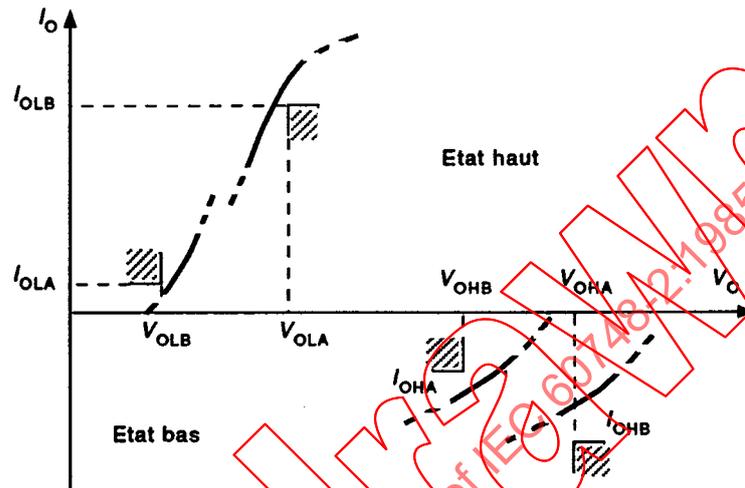


Figure 27 - Courants de sortie associés aux tensions de sortie

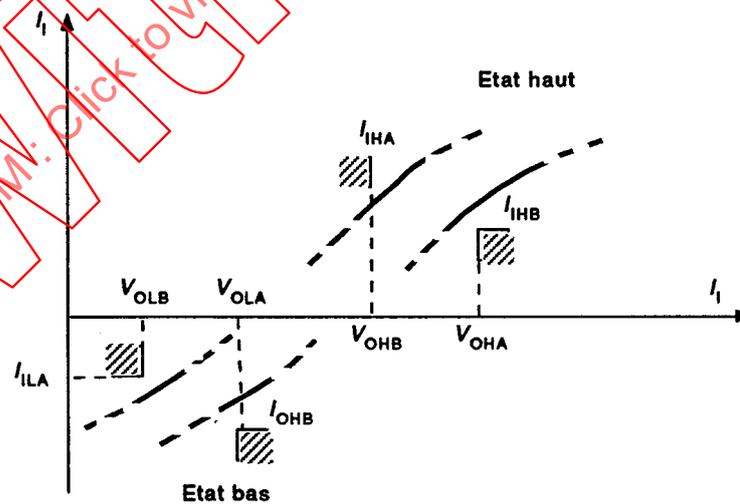


Figure 28 - Courants d'entrée associés aux tensions d'entrée

NOTE - Dans les figures 27 et 28, les axes ne représentent pas nécessairement le zéro pour la tension ou pour le courant.

CHAPTER III: ESSENTIAL RATINGS AND CHARACTERISTICS

Section one - Digital Integrated circuits, general

Replace the existing Figures 27 and 28, page 125, by the following new Figures 27 and 28.

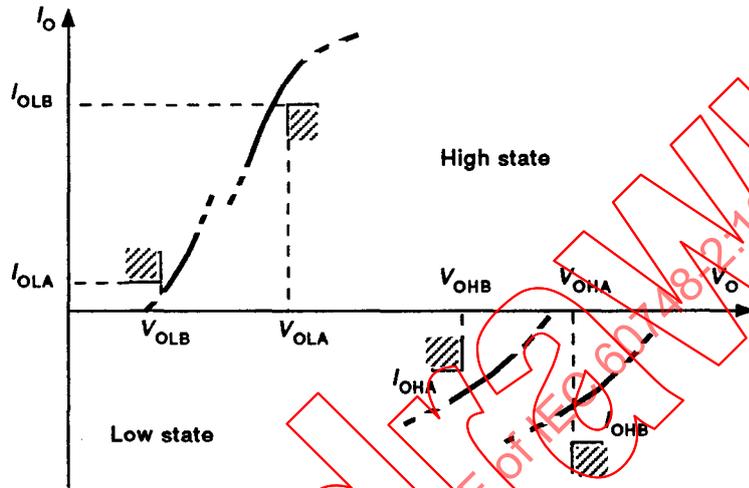


Figure 27 – Output currents associated with output voltages

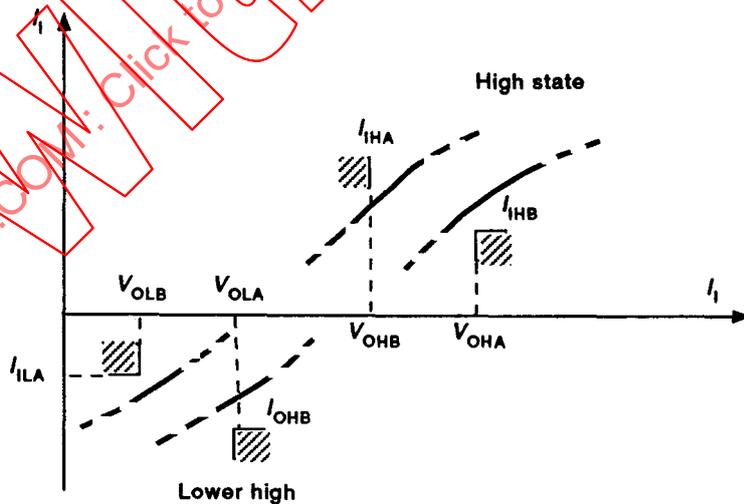


Figure 28 – Input currents associated with input voltages

NOTE - In Figures 27 and 28, the axes do not necessarily represent zero voltage or current.

Page 126

5.3.2 Caractéristiques supplémentaires pour les circuits intégrés numériques ayant des sorties «trois états»

Remplacer «A l'étude» par le texte suivant:

5.3.2.1 Courant de sortie à l'état bloqué (I_{OZ})

Valeur absolue maximale du courant de sortie à l'état bloqué, lorsqu'on applique à la sortie une tension quelconque dans la gamme spécifiée, pour des valeurs spécifiées de:

- tension d'alimentation;
- gamme des tensions appliquées à la borne de sortie;
- tensions d'entrée pour les autres bornes.

Page 212

CHAPITRE IV - SECTION TROIS: MESURES DYNAMIQUES

Ajouter, après l'article 5, page 274, le nouvel article suivant:

6 Méthode de vérification de la fonction d'un circuit intégré numérique

a) But

Vérifier la fonction d'un circuit intégré numérique.

b) Schéma

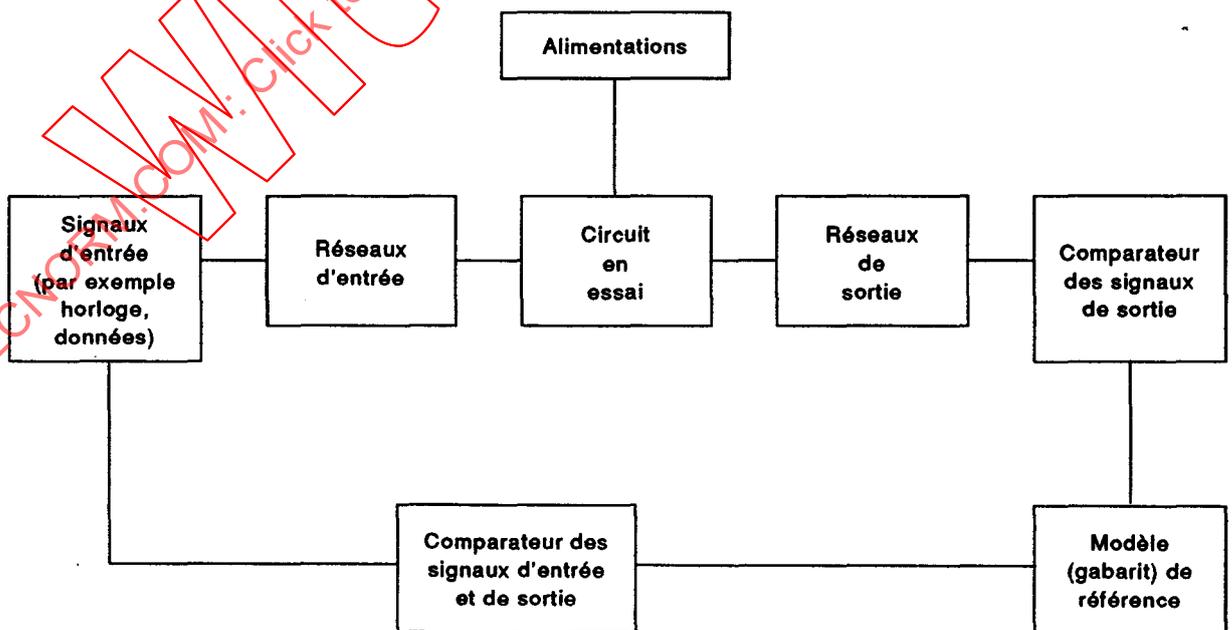


Figure 89