

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60748-2-11

QC 790108

Première édition
First edition
1999-04

**Dispositifs à semiconducteurs –
Circuits intégrés –**

**Partie 2-11:
Circuits intégrés numériques –
Spécification particulière cadre pour mémoires
mortes à circuits intégrés, à alimentation unique,
effaçables et programmables électriquement**

**Semiconductor devices –
Integrated circuits –**

**Part 2-11:
Digital integrated circuits –
Blank detail specification for single supply
integrated circuit, electrically erasable, and
programmable read-only memory**



Numéro de référence
Reference number
CEI/IEC 60748-2-11:1999

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates
(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

CEI
IEC

60748-2-11

QC 790108

Première édition
First edition
1999-04

**Dispositifs à semiconducteurs –
Circuits intégrés –**

**Partie 2-11:
Circuits intégrés numériques –
Spécification particulière cadre pour mémoires
mortes à circuits intégrés, à alimentation unique,
effaçables et programmables électriquement**

**Semiconductor devices –
Integrated circuits –**

**Part 2-11:
Digital integrated circuits –
Blank detail specification for single supply
integrated circuit, electrically erasable, and
programmable read-only memory**

© IEC 1999 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photo-copie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembe Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

R

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
AVANT-PROPOS	4
INTRODUCTION	6
 Articles	
1 Marquage et renseignements à donner dans les commandes	12
2 Description relative à l'application.....	12
3 Spécification de la fonction.....	12
4 Valeurs limites (système des valeurs limites absolues)	14
5 Conditions de fonctionnement (dans la gamme des températures de fonctionnement spécifiées)	16
6 Caractéristiques électriques	16
7 Programmation	22
8 Valeurs limites, caractéristiques et données mécaniques et climatiques.....	24
9 Renseignements supplémentaires	24
10 Sélection (si exigé).....	24
11 Procédures d'assurance de la qualité	24
12 Procédures d'associativité.....	24
13 Conditions d'essai et exigences de contrôle.....	26
14 Méthodes de mesure supplémentaires.....	34
Documents de référence.....	38
 Tableau 1 – Groupe A: Contrôles lot par lot.....	 28
Tableau 2 – Groupe B: Contrôles lot par lot.....	30
Tableau 3 – Groupe C: Contrôles périodiques	32
Tableau 4 – Groupe D	34

CONTENTS

	Page
FOREWORD	5
INTRODUCTION	7
 Clause	
1 Marking and ordering information	13
2 Application related description	13
3 Specification of the function	13
4 Limiting values (absolute maximum rating system)	15
5 Operating conditions (within the specified operating temperature range)	17
6 Electrical characteristics	17
7 Programming	23
8 Mechanical and environmental ratings, characteristics and data	25
9 Additional information	25
10 Screening (if required)	25
11 Quality assessment procedures	25
12 Structural similarity procedures	25
13 Test conditions and inspection requirements	27
14 Additional measurement methods	35
Reference documents	39
 Table 1 – Group A: Lot-by-lot	 29
Table 2 – Group B: Lot-by-lot	31
Table 3 – Group C: Periodic	33
Table 4 – Group D	35

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

Partie 2-11: Circuits intégrés numériques – Spécification particulière cadre pour mémoires mortes à circuits intégrés, à alimentation unique, effaçables et programmables électriquement

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60748-2-11 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette norme est une spécification particulière cadre pour les mémoires mortes à circuits intégrés à alimentation unique effaçables et programmables électriquement.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47A/534/FDIS	47A/548/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de spécification dans le système CEI d'assurance de la qualité des composants électroniques (IECQ).

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
INTEGRATED CIRCUITS –****Part 2-11: Digital integrated circuits – Blank detail specification
for single supply integrated circuit, electrically erasable,
and programmable read-only memory**

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60748-2-11 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

This standard is a blank detail specification for single supply integrated circuit electrically erasable and programmable read-only memory.

The text of this standard is based on the following documents:

FDIS	Report on voting
47A/534/FDIS	47A/548/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

The QC number that appears on the front cover of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

DISPOSITIFS À SEMICONDUCTEURS – CIRCUITS INTÉGRÉS –

Partie 2-11: Circuits intégrés numériques – Spécification particulière cadre pour mémoires mortes à circuits intégrés, à alimentation unique, effaçables et programmables électriquement

INTRODUCTION

Le Système CEI d'assurance de la qualité des composants électroniques fonctionne conformément aux statuts de la CEI et sous son autorité. Le but de ce système est de définir les procédures d'assurance de la qualité de telle façon que les composants électroniques livrés par un pays participant comme étant conformes aux exigences d'une spécification applicable soient également acceptables dans les autres pays participants sans nécessiter d'autres essais.

Cette spécification particulière cadre fait partie d'une série de spécifications particulières cadres concernant les dispositifs à semiconducteurs; elle doit être utilisée avec les publications suivantes de la CEI:

CEI 60747-10/QC 700000:1991, *Dispositifs à semiconducteurs – Dixième partie: Spécification générique pour les dispositifs discrets et les circuits intégrés*

CEI 60748-11/QC 790100:1990, *Dispositifs à semiconducteurs – Circuits intégrés – Onzième partie: Spécification intermédiaire pour les circuits intégrés à semiconducteurs à l'exclusion des circuits hybrides*

Renseignements nécessaires

Les nombres placés entre crochets sur cette page correspondent aux indications suivantes qui doivent être portées dans les cases prévues à cet effet à la page 11 de cette spécification.

Identification de la spécification particulière

- [1] Nom de l'Organisme National de Normalisation sous l'autorité duquel la spécification particulière est établie.
- [2] Numéro IECQ de la spécification particulière.
- [3] Numéros de référence et d'édition des spécifications générique et intermédiaire.
- [4] Numéro national de la spécification particulière, date d'édition et toute autre information requise par le système national.

Identification du composant

- [5] Fonction principale et numéro de type.
- [6] Renseignements sur la construction typique (matériaux, technologie principale) et le boîtier. Si les produits ont des variantes, elles doivent être indiquées ainsi que leurs caractéristiques.

SEMICONDUCTOR DEVICES – INTEGRATED CIRCUITS –

Part 2-11: Digital integrated circuits – Blank detail specification for single supply integrated circuit, electrically erasable, and programmable read-only memory

INTRODUCTION

The IEC Quality Assessment System for Electronic Components is operated in accordance with the statutes of the IEC and under the authority of the IEC. The object of this system is to define quality assessment procedures in such a manner that electronic components released by one participating country as conforming with the requirements of an applicable specification are equally acceptable in all other participating countries without the need for further testing.

This blank detail specification is one of a series of blank detail specifications for semiconductor devices and shall be used with the following IEC publications:

IEC 60747-10/QC 700000:1991, *Semiconductor devices – Part 10: Generic specification for discrete devices and integrated circuits*

IEC 60748-11/QC 790100:1990, *Semiconductor devices – Integrated circuits – Part 11: Sectional specification for semiconductor integrated circuits excluding hybrid circuits*

Required information

Numbers shown in brackets on this page correspond to the following items of required information, which should be entered in the spaces provided on page 11 of this blank detail specification.

Identification of the detail specification

- [1] The name of the National Standards Organization under whose authority the detail specification is issued.
- [2] The IECQ number of the detail specification.
- [3] The numbers and issue numbers of the generic and sectional specifications.
- [4] The national number of the detail specification, date of issue and any further information, if required by the national system.

Identification of the component

- [5] Main function and type number.
- [6] Information on typical construction (materials, the main technology) and the package. If applicable, variants of products shall be given here, together with the variant characteristics.

La spécification particulière doit fournir une description brève comprenant les renseignements suivants:

- technologie (N MOS, etc.);
 - organisation (mots x bits);
 - configuration des étages de sortie (par exemple trois états);
 - fonctions essentielles.
- [7] Dessin d'encombrement, identification des bornes, marquage et/ou référence aux documents correspondants pour les encombrements.
- [8] Catégories d'assurance de la qualité conformément à 2.6 de la spécification générique.
- [9] Données de référence.

IECNORM.COM : Click to view the full PDF of IEC 60748-2-11:1999

[Les articles indiqués entre crochets sur la page suivante de cette norme, qui constitue la première page de la spécification particulière, sont destinés à guider le rédacteur de la spécification; ils ne doivent pas figurer dans la spécification particulière.]

[Lorsqu'il existe un risque d'ambiguïté quant à savoir si un paragraphe est uniquement destiné à guider le rédacteur ou non, ce paragraphe doit être indiqué entre crochets.]

The detail specification shall give a brief description, including the following:

- technology (N MOS, etc.);
 - structure (words × bits);
 - the type of output circuit (for example three state);
 - major functions.
- [7] Outline drawing, terminal identification, marking, and/or references to the relevant document for outlines.
- [8] Categories of assessed quality according to 2.6 of the generic specification.
- [9] Reference data.

IECNORM.COM : Click to view the full PDF of IEC 60748-2-11:1999

[The clauses given in square brackets on the next page of this standard, which forms the front page of the detail specification, are intended for guidance to the specification writer and shall not be included in the detail specification.]

[When confusion may arise as to whether the paragraph is only an instruction to writer or not, the paragraph shall be indicated between brackets.]

[Nom (adresse) de l'ONH responsable [1] (et éventuellement de l'organisme auprès duquel la spécification peut être obtenue)]	[N° de la spécification particulière IECQ, [2] plus n° d'édition et/ou date] QC 790108
COMPOSANT ÉLECTRONIQUE DE [3] QUALITÉ CONTRÔLÉE CONFORMÉMENT À: Spécification générique: CEI 60747-10/QC 700000 Spécification intermédiaire: CEI 60748-11/QC 790100 [et références nationales si elles sont différentes]	[Numéro national de la spécification [4] particulière] [Cette case n'a pas besoin d'être utilisée si le numéro national est identique au numéro IECQ]
SPÉCIFICATION PARTICULIÈRE POUR LES MÉMOIRES MORTES [5] À CIRCUITS INTÉGRÉS, À ALIMENTATION UNIQUE, EFFAÇABLES ET PROGRAMMABLES ÉLECTRIQUEMENT [Numéro(s) de type du ou des dispositifs] Renseignements à donner dans les commandes: voir 1.2 de cette norme.	
Description mécanique [7] Références d'encombrement: [Références du boîtier normalisé, numéro CEI(obligatoire si disponible) et/ou numéro national] Dessin d'encombrement: [Peut être transféré, ou donné avec plus de détails, à l'article 8 de cette norme] Identification des bornes: [Dessin indiquant l'emplacement des bornes, y compris les symboles graphiques] Marquage: [Lettres et chiffres, ou code de couleurs] (La spécification particulière doit indiquer les informations à marquer sur le dispositif.) [Voir 2.5 de la spécification générique et/ou 1.1 de cette norme]	Brève description [6] Application: Fonction: Construction typique: [Si, monolithique, MOS] Encapsulation: [avec ou sans cavité] [Tableau comparatif des caractéristiques des variantes de produits] ATTENTION: Dispositifs sensibles aux charges électrostatiques
	Catégories d'assurance de la qualité [8] [A choisir en 2.6 de la spécification générique]
	Données de référence [9] [Données de référence sur les propriétés les plus importantes pour permettre la compa- raison des types de composants entre eux]
Se reporter à la Liste des Produits Homologués en vigueur pour connaître les fabricants dont les composants conformes à cette spécification particulière sont homologués.	

[Name (address) of responsible NAI (and possibly of body from which the specification is available).] [1]	[Number of IECQ detail specification. plus issue number and/or date] [2] QC 790108
ELECTRONIC COMPONENTS OF ASSESSED QUALITY IN ACCORDANCE WITH: [3] Generic specification: IEC 60747-10/QC 700000 Sectional specification: IEC 60748-11/QC 790100 [and national reference if different]	[National number of the detail specification] [4] [This box need not be used if national number repeats IECQ number]
DETAIL SPECIFICATION FOR SINGLE SUPPLY INTEGRATED CIRCUIT(S), ELECTRICALLY ERASABLE, AND PROGRAMMABLE READ-ONLY MEMORIES [5] [Type number(s) of the relevant device(s)] Ordering information: see 1.2 of this standard.	
Mechanical description [7] Outline references: [Standard package references should be given, IEC number (mandatory if available) and/or national number] Outline drawing: [May be transferred to, or given with more details in clause 8 of this standard] Terminal identification: [Drawing showing pin assignments, including graphical symbols] Marking: [Letters and figures, or colour code] [The detail specification shall prescribe the information to be marked on the device, if any] [See 2.5 of the generic specification and/or 1.1 of this standard]	Short description [6] Application: Function: Typical construction: [Si, monolithic, MOS] Encapsulation: [cavity or non-cavity] [Comparison table of characteristics of variants of the device] CAUTION: Electrostatic sensitive devices.
	Categories of assessed quality [8] [From 2.6 of the generic specification]
	Reference data [9] [Reference data on the most important properties to permit comparison between types]
Information about manufacturers who have components qualified to this detail specification is available in the current qualified products list.	

1 Marquage et renseignements à donner dans les commandes

1.1 Marquage

Voir 2.5 de la spécification générique.

1.2 Renseignements à donner dans les commandes

[Sauf spécification contraire, les renseignements suivants constituent le minimum nécessaire pour passer commande d'un dispositif donné:

- référence précise du modèle (et valeur de la tension nominale, si nécessaire);
- référence IECQ de la spécification particulière avec un numéro d'édition et/ou date selon le cas;
- catégories définies à l'article 9 de la spécification intermédiaire et, si nécessaire, séquence de sélection définie à l'article 8 de cette même spécification;
- emballage pour livraison;
- autres spécifications.]

2 Description relative à l'application

[Les caractéristiques suivantes doivent être indiquées:

- tension d'alimentation nominale;
- consommation nominale;
- consommation en mode attente (si applicable);
- modes de fonctionnement;
- compatibilité électrique (si approprié); on doit indiquer si la mémoire à circuits intégrés est compatible électriquement avec d'autres circuits intégrés particuliers ou familles de circuits intégrés, ou si des interfaces spéciales sont nécessaires;
- schéma synoptique global;
- résumé des conditions de programmation (voir également l'article 7 de cette norme).]

3 Spécification de la fonction

3.1 Schéma synoptique

[Le schéma synoptique doit être suffisamment détaillé pour permettre l'identification des principales liaisons d'entrée et de sortie et des connexions extérieures (validation boîtier, décodage d'adresse, etc.) nécessaires au fonctionnement des unités fonctionnelles individuelles composant la mémoire.]

[Le symbole graphique de la fonction doit être indiqué. Il peut être extrait d'un catalogue de normes de symboles graphiques ou conçu conformément aux règles de la CEI 60617-12.]

3.2 Identification et fonction des bornes

[Toutes les bornes doivent être identifiées sur le schéma synoptique (bornes d'alimentation, bornes d'adresse, de données et de commande).]

1 Marking and ordering information

1.1 Marking

See 2.5 of the generic specification.

1.2 Ordering information

[The following minimum information is necessary to order a specific device, unless otherwise specified:

- precise type reference (and nominal voltage value, if required);
- IECQ reference of the detail specification with issue number and/or date, when relevant;
- categories as defined in clause 9 of the sectional specification and, if required, the screening sequence as defined in clause 8 of the sectional specification;
- packaging for delivery;
- any other particulars.]

2 Application related description

[The following characteristics shall be given:

- nominal supply voltage;
- nominal current consumption;
- stand-by current consumption (if applicable);
- operating modes;
- electrical compatibility (if appropriate); it shall be stated whether the integrated circuit memory is electrically compatible with other particular integrated circuits or families of integrated circuits, or whether special interfaces are required;
- overall block diagram;
- summary of the programming conditions (see also clause 7 of this standard).]

3 Specification of the function

3.1 Block diagram

[The block diagram shall be sufficiently detailed to enable the individual functional units within the memory to be identified with their main input and output paths and the identification of their external connections (chip enable, address decode...)].

[The graphical symbol for the function shall be given. This may be obtained from a catalogue of standards of graphical symbols, or designed according to the rules of IEC 60617-12.]

3.2 Identification and function of terminals

[All terminals shall be identified on the block diagram (supply terminals, address, data and control terminals).]

[Les fonctions des bornes doivent être indiquées dans un tableau comme suit.]

Numéro de la borne	Symbole de la borne	Désignation de la borne	Fonction	Fonction de la borne	
				Identification entrée/sortie	Type de circuit de sortie

3.3 Description fonctionnelle

[Les caractéristiques suivantes doivent être indiquées:

- capacité de la mémoire: nombre total d'éléments binaires pouvant être stockés dans la mémoire;
- organisation de la mémoire: nombre d'éléments binaires par mot pouvant être stockés dans la mémoire;
- mode opératoire (série ou parallèle);
- mode d'adressage (par exemple multiplexé, verrouillé, etc.);
- sélection boîtier* (si applicable);
- validation sortie* (si applicable);
- mode attente «standby» (si applicable);
- table de vérité (cette table doit indiquer les états de sortie en fonction des différentes combinaisons des entrées d'adresse et de sélection);
- état logique initial de l'ensemble de la mémoire.

Le produit est conçu pour être programmé électriquement (voir 7.3).]

4 Valeurs limites (système des valeurs limites absolues)

Voir CEI 60134.

Ces valeurs s'appliquent dans la gamme des températures de fonctionnement, sauf spécification contraire.

[Sauf spécification contraire, les valeurs limites doivent être indiquées comme suit:

- toutes les précautions à prendre relatives à un circuit intégré particulier doivent être incluses, par exemple la manipulation des circuits MOS;
- toute interdépendance entre les valeurs limites doit être spécifiée;
- toutes les conditions pour lesquelles les valeurs limites s'appliquent doivent être indiquées;
- si des surcharges transitoires sont tolérées, leur amplitude et leur durée doivent être spécifiées.]

* Il convient de distinguer la sélection boîtier de la validation sortie.

[The terminal functions shall be indicated in a table as follows.]

Terminal number	Terminal symbol	Terminal designation	Function	Function of terminal	
				Input/output identification	Type of output circuit

3.3 Functional description

[The following characteristics shall be given:

- memory size: the total number of bits of information capable of being stored in the memory circuit;
- memory organization: the number of bits per word capable of being stored in the memory circuit;
- operating mode (serial or parallel);
- addressing mode (for example multiplexed, latched, etc.);
- chip select* (if applicable);
- output enable* (if applicable);
- stand-by mode (if applicable);
- truth table (this table shall show the output states versus the different combinations of the address inputs and the select inputs);
- the initial logic state of the whole memory.

The product is designed to be electrically programmed (see 7.3).]

4 Limiting values (absolute maximum rating system)

See IEC 60134.

These values apply over the operating temperature range, unless otherwise specified.

[Unless otherwise specified, limiting values shall be given as follows:

- any cautionary statement unique to an individual integrated circuit shall be included, for example the handling of MOS circuits;
- any interdependence of limiting values shall be specified;
- all conditions for which the limiting values apply shall be stated;
- if transient overloads are permitted, their magnitude and duration shall be specified.]

* The chip select and the output enable are to be distinguished.

Pour toutes les tensions, la référence est une borne de référence désignée.

Caractéristiques	Symboles	Min.*	Max.*	Unités
Tension d'alimentation	V_{CC}	x	x	V
Tension d'entrée	V_I	x	x	V
Tension de sortie	V_O	x	x	V
Tension à l'état bloqué (voir note)	V_{OZ}	x	x	V
Courant de sortie	I_O	x	x	mA
Courant d'entrée	I_I	x	x	mA
Dissipation de puissance	P_D	n.a.	x	W
Température de fonctionnement	T_{amb}	x	x	°C
Température de stockage	T_{stg}	x	x	°C
NOTE – S'il y a lieu.				
* Valeurs algébriques				

5 Conditions de fonctionnement (dans la gamme des températures de fonctionnement spécifiées)

Ces conditions ne sont pas destinées à être contrôlées, mais elles sont applicables à l'assurance de qualité.

Caractéristiques	Symboles	Min.*	Max.*	Unités
Tension d'alimentation	V_{CC}	x	x	V
Tension d'entrée au niveau bas	V_{IL}	x	x	V
Tension d'entrée au niveau haut	V_{IH}	x	x	V
Température de fonctionnement	T_{amb}	x	x	°C

6 Caractéristiques électriques

Les caractéristiques doivent s'appliquer dans toutes les conditions de fonctionnement définies à l'article 5, sauf spécification contraire.

[Si la performance indiquée du circuit varie dans la gamme des températures de fonctionnement, les valeurs des tensions d'entrée et de sortie et de leurs courants associés doivent être indiquées à 25 °C et aux deux températures extrêmes de fonctionnement. Les valeurs de courant et de tension doivent être indiquées pour chaque type fonctionnellement différent d'entrée et/ou de sortie.]

Les caractéristiques spéciales et les exigences de temps doivent être spécifiées.]

All voltages are referenced to a designated reference terminal.

Characteristics	Symbols	Min.*	Max.*	Unit
Supply voltage	V_{CC}	X	X	V
Input voltage	V_I	X	X	V
Output voltage	V_O	X	X	V
Off-state voltage (see note)	V_{OZ}	X	X	V
Output current	I_O	X	X	mA
Input current	I_I	X	X	mA
Power dissipation	P_D	n.a.	X	W
Operating temperature	T_{amb}	X	X	°C
Storage temperature	T_{stg}	X	X	°C
NOTE – Where appropriate.				
* Algebraic values				

5 Operating conditions (within the specified operating temperature range)

These conditions are not to be inspected but may be used for quality assessment purposes.

Characteristics	Symbols	Min.	Max.	Unit
Supply voltage	V_{CC}	X	X	V
Low-level input voltage	V_{IL}	X	X	V
High-level input voltage	V_{IH}	X	X	V
Operating temperature	T_{amb}	X	X	°C

6 Electrical characteristics

The characteristics shall apply over the full operating conditions in clause 5 unless otherwise specified.

[Where the stated performance of the circuit varies over the operating temperature range, the values of the input and output voltages, and their associated currents shall be stated at 25 °C and at the extremes of the operating temperature range. Values of current and voltage shall be given for each functionally different type of input and/or output.

Special characteristics and timing requirements shall be specified.]

6.1 Caractéristiques statiques (note 5)

Caractéristiques	Conditions (note 4)	Symboles	Min.*	Max.	Unités
Courant(s) d'alimentation (note 1) (mode actif)	V_{CC} max.	I_{CC}	X	X	mA
Courant(s) d'alimentation (note 1) (mise en attente)	V_{CC} max.	I_{CC}	X	X	mA
Tension de sortie au niveau haut	V_{CC} min. I_{OHA}	V_{OH}	X	X	V
Tension de sortie au niveau bas	V_{CC} min. I_{OLA}	V_{OL}	X	X	V
Courant d'entrée ou de fuite au niveau haut	V_{CC} max. V_{IHB}	$I_{IH(1)}$	X	X	μA
Courant d'entrée ou de fuite au niveau haut (note 1)	V_{CC} max. V_{IHA}	$I_{IH(2)}$	X	X	μA
Courant d'entrée ou de fuite au niveau bas	V_{CC} max. V_{ILA}	$I_{IL(1)}$	X	X	μA
Courant d'entrée ou de fuite au niveau bas	V_{CC} max. V_{ILB}	$I_{IL(2)}$	X	X	μA
Courant de sortie au niveau haut	V_{CC} min. V_{OHB}	I_{OH}	X	X	μA
Courant de sortie au niveau bas	V_{CC} max. V_{OLA}	I_{OL}	X	X	mA
Courant de sortie (fuite) au niveau haut (note 2)	V_{CC} max. V_{OHA}	I_{OHX}	X	X	μA
Courant de sortie (fuite) au niveau bas (note 2)	V_{CC} max. V_{OLB}	I_{OLX}	X	X	μA
Courant de sortie au niveau haut (fuite) pour les sorties trois états (si applicable)	V_{CC} max. V_{OHB}	I_{OHZ}	X	X	μA
Courant de sortie au niveau bas (fuite) pour les sorties trois états (si applicable)	V_{CC} max. V_{OLA}	I_{OLZ}	X	X	μA
Courant de court-circuit en sortie (note 3)	V_{CC} max. $V_O = 0$	I_{OS}	X	X	mA
NOTE 1 – S'il y a lieu. NOTE 2 – I_{OHX} et I_{OLX} s'appliquent uniquement aux circuits possédant des sorties à collecteur ouvert (ou source/drain ouvert) et dans ce cas ils remplacent I_{OH} et I_{OL}. NOTE 3 – Durée à spécifier et nombre maximum permis, de sorties simultanément en court-circuit à spécifier. NOTE 4 – Les tensions d'alimentation doivent être spécifiées pour assurer que la mesure de la caractéristique correspondante est effectuée dans les conditions de pire cas. NOTE 5 – Le dispositif doit être programmé pour la mesure de certaines caractéristiques.					
* Valeurs algébriques					

6.1 Static characteristics (note 5)

Characteristics	Conditions (note 4)	Symbols	Min.*	Max.*	Unit
Supply currents (note 1) (active mode)	V_{CC} max.	I_{CC}	X	X	mA
Supply currents (note 1) (stand-by)	V_{CC} max.	I_{CC}	X	X	mA
High-level output voltage	V_{CC} min. I_{OHA}	V_{OH}	X	X	V
Low-level output voltage	V_{CC} min. I_{OLA}	V_{OL}	X	X	V
High-level input or leakage current	V_{CC} max. V_{IHB}	$I_{IH(1)}$	X	X	μA
High-level input or leakage current (note 1)	V_{CC} max. V_{IHA}	$I_{IH(2)}$	X	X	μA
Low-level input or leakage current	V_{CC} max. V_{ILA}	$I_{IL(1)}$	X	X	μA
Low-level input or leakage current	V_{CC} max. V_{ILB}	$I_{IL(2)}$	X	X	μA
High-level output current	V_{CC} min. V_{OHB}	I_{OH}	X	X	μA
Low-level output current	V_{CC} max. V_{OLA}	I_{OL}	X	X	mA
High-level output current (leakage) (note 2)	V_{CC} max. V_{OHA}	I_{OHX}	X	X	μA
Low-level output current (leakage) (note 2)	V_{CC} max. V_{OLB}	I_{OLX}	X	X	μA
High-level output leakage current at three-state outputs (if applicable)	V_{CC} max. V_{OHB}	I_{OHZ}	X	X	μA
Low-level output leakage current at three-state outputs (if applicable)	V_{CC} max. V_{OLA}	I_{OLZ}	X	X	μA
Output short circuit current (note 3)	V_{CC} max. $V_O = 0$	I_{OS}	X	X	mA
NOTE 1 – Where appropriate. NOTE 2 – I_{OHX} and I_{OLX} apply only to circuits having open-collector (or open source/drain) outputs and in that case replace I_{OH} and I_{OL}. NOTE 3 – Duration and maximum allowable number of simultaneously short-circuited outputs to be specified. NOTE 4 – The supply voltages shall be specified to ensure the worst case for the relevant characteristic measurement. NOTE 5 – For measurement of some characteristics, it may be necessary to programme the device.					
* Algebraic values					

[Les valeurs suivantes doivent être indiquées s'il y a lieu; lorsque certaines bornes peuvent jouer le rôle d'entrées ou de sorties, on doit fournir les informations dans ces deux cas.]

6.2 Caractéristiques dynamiques

Caractéristiques	Conditions (note 1)	Symboles	Min.	Max.	Unités
Temps d'accès adresse		$t_{a(A)}$		X	ns
Temps d'accès autorisation boîtier		$t_{a(E)}$		X	ns
Temps d'accès pour l'opération de lecture (note 2) – sortie après adressage – sortie après autorisation – sortie après la fin du mode d'attente		$t_{a...}$	X		ns
Temps de maintien de validité des données (note 2) – après la fin d'autorisation – après la fin de validité de l'adresse – après la fin de l'autorisation de sortie – après l'entrée du mode d'attente		$t_v(...)$	X		ns
Temps d'autorisation et d'inhibition (note 2) des sorties trois états au début et à la fin de l'état haute impédance, mesurés sur la base du temps de transition approprié d'autorisation de sortie		t_{dis} t_{en}		X	ns
Temps de cycle de lecture (note 2)		$t_{a(R)}$	X		ns
Fréquence d'horloge (note 2)			X	X	MHz
NOTE 1 – Les conditions d'essais et les circuits de charge doivent être séparés.					
NOTE 2 – Si applicable.					

6.3 Diagrammes des temps

[Des diagrammes des temps doivent être fournis, comportant un ensemble complet de signaux indiquant le fonctionnement de chaque mode du circuit. Il convient d'indiquer tous les intervalles de temps que l'utilisateur doit connaître pour assurer le fonctionnement correct de la mémoire.

On doit indiquer sur ces diagrammes tous les paramètres spécifiés en 6.2.]

6.4 Capacités

Caractéristiques	Conditions	Symboles	Min.	Max.	Unités
Capacité d'entrée	$V_{cc} = 0 \text{ V}$	C_{in}		X	pF
Capacité de sortie (si applicable)	$V_{cc} = 0 \text{ V}$	C_{out}		X	pF

6.5 Endurance écriture/effacement – Nombre de cycles de programmation

Caractéristiques	Conditions	Symboles	Min.	Max.	Unités
Endurance écriture/effacement	Voir 14.2		X		Cycles (voir note)
NOTE – Nombre d'opérations par unités adressables (par exemple bits, multipléts, mots, pages, etc.).					

[The following shall also be stated where appropriate; where certain terminals may function as inputs or as output, then information shall be given for both these conditions.]

6.2 Dynamic characteristics

Characteristics	Conditions (note 1)	Symbols	Min.	Max.	Unit
Address access time		$t_{a(A)}$		X	ns
Chip enable access time		$t_{a(E)}$		X	ns
Read operation access time (note 2) – output after address – output after enable – output after leaving standby mode		$t_{a\cdots}$	X		ns
Output valid times (note 2) (times for which data remains valid) – after end of enable – after address is no longer valid – after end of output enable – after entering standby mode		$t_v(\cdots)$	X		ns
Disable and enable times (note 2) for the three-state outputs entering and leaving the off-state condition measured from the relevant transition of output enable		t_{dis} t_{en}		X	ns
Read cycle time (note 2)		$t_{a(R)}$	X		ns
Clock frequency (note 2)			X	X	MHz
NOTE 1 – Test conditions and loading circuits shall be specified.					
NOTE 2 – Where applicable.					

6.3 Timing diagrams

[Timing diagrams shall be given to comprise a complete set of signals which show the operation for each mode of the circuit. Any time intervals which need to be known by the user to ensure the correct operation of the memory should be stated.

All the parameters specified in 6.2 shall be given on these diagrams.]

6.4 Capacitance

Characteristics	Conditions	Symbols	Min.	Max.	Unit
Input capacitance (if applicable)	$V_{cc} = 0\text{ V}$	C_{in}		X	pF
Output capacitance (if applicable)	$V_{cc} = 0\text{ V}$	C_{out}		X	pF

6.5 Write/erase endurance – Number of programming cycles

Characteristics	Conditions	Symbols	Min.	Max.	Unit
Write/erase endurance	See 14.2		X		Cycles (see note)
NOTE – Operations per addressable units (e.g. bits, bytes, words, pages, etc.).					

6.6 Durée de rétention des informations

Caractéristiques	Conditions	Symboles	Min.	Max.	Unités
Durée de rétention des informations	Voir 14.1		X		Années

7 Programmation

Toutes les informations nécessaires pour programmer le dispositif doivent être données dans cet article comme suit:

- 1) conditions de programmation;
- 2) diagramme des temps;
- 3) conditions de fonctionnement conformément aux tableaux ci-après.

Si les tensions d'alimentation, les tensions d'entrée et la température de fonctionnement appliquées pour la programmation sont différentes de celles figurant à l'article 5, elles doivent être données en valeurs minimales et/ou maximales.

7.1 Opérations d'effacement et d'écriture d'un multiplet (si applicable)

Caractéristiques	Symboles	Min.	Max.	Unités
Temps de préparation adresse	$t_{su(A)}$	X		ns
Durée de l'impulsion d'écriture	$t_{w(W)}$	X		ns
Temps de maintien adresse	$t_{h(A)}$	X		ns
Temps de préparation de données	$t_{su(D)}$	X		ns
Temps de maintien de données	$t_{h(D)}$	X		ns
Temps de cycle écriture	$t_{c(W)}$	X		ns

7.2 Opérations d'effacement et d'écriture page (si applicable)

Caractéristiques	Symboles	Min.	Max.	Unités
Temps de préparation adresse	$t_{su(A)}$	X		ns
Durée de l'impulsion d'écriture	$t_{w(W)}$	X		ns
Temps de maintien adresse	$t_{h(A)}$	X		ns
Temps de préparation de données	$t_{su(D)}$	X		ns
Temps de maintien de données	$t_{h(D)}$	X		ns
Temps de cycle écriture	$t_{c(W)}$	X		ms
Temps de cycle de charge d'un multiplet	$t_{c(BL)}$	X	X	μs

7.3 Effacement/programmation

Les méthodes d'effacement (amener le contenu à l'état logique initial) et de programmation (inscription du contenu) doivent être indiquées dans la spécification particulière (DS).

6.6 Data retention time

Characteristics	Conditions	Symbols	Min.	Max.	Unit
Data retention time	See 14.1		X		Years

7 Programming

All information necessary for programming the device shall be given in this clause as follows:

- 1) programming conditions;
- 2) timing diagrams;
- 3) operating conditions according to the following tables.

If the supply voltages, input voltages and operating temperatures used for the programming are different from those in clause 5, they shall be stated with maximum and/or minimum values.

7.1 Byte erase and byte write operation (where applicable)

Characteristics	Symbols	Min.	Max.	Unit
Address set-up time	$t_{su(A)}$	X		ns
Write pulse width	$t_{w(W)}$	X		ns
Address hold time	$t_{h(A)}$	X		ns
Data set-up time	$t_{su(D)}$	X		ns
Data hold time	$t_{h(D)}$	X		ns
Write cycle time	$t_{c(W)}$	X		ns

7.2 Page erase and page write operation (where applicable)

Characteristics	Symbols	Min.	Max.	Unit
Address set-up time	$t_{su(A)}$	X		ns
Write pulse width	$t_{w(W)}$	X		ns
Address hold time	$t_{h(A)}$	X		ns
Data set-up time	$t_{su(D)}$	X		ns
Data hold time	$t_{h(D)}$	X		ns
Write cycle time	$t_{c(W)}$	X		ms
Byte load cycle time	$t_{c(BL)}$	X	X	µs

7.3 Erasing/programming

Erasing (setting the content to the initial logic state)/programming (writing the content) methods and conditions shall be given in the detail specification (DS).

8 Valeurs limites, caractéristiques et données mécaniques et climatiques

Voir 12.2 de la spécification intermédiaire.

9 Renseignements supplémentaires

[Les renseignements supplémentaires facultatifs suivants peuvent constituer les données minimales de conception:

- résistance thermique: des renseignements peuvent être donnés pour définir la température maximale tolérée au point de référence à la surface d'un dispositif à une dissipation indiquée conformément aux conditions maximales d'utilisation recommandées;
- immunité au bruit (entrées, tensions d'alimentation, etc.);
- alimentations: s'il y a lieu, donner les variations typiques du ou des courants ou de la ou des tensions d'alimentation, dans toute la gamme spécifiée des fréquences du signal de commande, y compris les alimentations par impulsions;
- règles de charge: les informations concernant la capacité de charge en sortie doivent être données;
- schémas électriques d'entrée ou de sortie (si nécessaire).]

10 Sélection (si exigé)

Voir l'article 8 de la spécification intermédiaire.

[Conditions de rodage: les informations suivantes doivent être spécifiées:

- température ambiante: température maximale de fonctionnement, sauf spécification contraire;
- tension d'alimentation: valeur nominale, sauf spécification contraire;
- fréquence;
- schéma du circuit et conditions.]

11 Procédures d'assurance de la qualité

Pour la qualification, l'une des deux procédures ci-après peut être utilisée.

11.1 Procédures d'homologation

[Voir 3.1 de la spécification générique et 5.1 de la spécification intermédiaire.]

11.2 Procédures d'agrément de savoir-faire

[Voir 3.11 de la spécification générique.]

12 Procédures d'associativité

[Voir l'article 6 de la spécification intermédiaire.]

8 Mechanical and environmental ratings, characteristics and data

See 12.2 of the sectional specification.

9 Additional information

[Optionally, the following additional information may be given as minimum design data:

- thermal resistance: information may be included to define the maximum temperature which may be permitted to occur at the reference point on the surface of a device under stated dissipation in accordance with the recommended maximum conditions of use;
- noise immunity (inputs, supply voltages, etc.);
- power supplies: where appropriate, information shall be given for the typical variation of power supply current(s) (or, as applicable, voltage(s)), over the specified range of control signal frequencies, including pulsed supplies;
- loading rules: information on the output loading capability shall be given;
- the electrical schemas of input or output circuits (if necessary).]

10 Screening (if required)

See clause 8 of the sectional specification.

[Burn-in conditions: the following shall be specified:

- ambient temperature: maximum operating temperature, unless otherwise specified;
- supply voltage: nominal value, unless otherwise specified;
- frequency;
- circuit diagram and conditions.]

11 Quality assessment procedures

For qualification, either of the two following procedures may be used.

11.1 Qualification approval procedures

[See 3.1 of the generic specification and 5.1 of sectional specification.]

11.2 Capability approval procedures

[See 3.11 of the generic specification.]

12 Structural similarity procedures

[See clause 6 of the sectional specification.]

13 Conditions d'essai et exigences de contrôle

13.1 Généralités

13.1.1 Conditions générales pour les mesures électriques et fonctionnelles

Voir 4.3.1 de la spécification générique.

Le programme d'essais fait partie de la spécification du produit. [Le fabricant doit démontrer à l'ONS que la séquence d'essais fonctionnels est appropriée à la définition donnée par le fabricant (fonction, taux de couverture, etc.).] Cette information reste confidentielle entre le fabricant et l'ONS et ne doit pas être divulguée sans le consentement du fabricant.

13.1.2 Vérification fonctionnelle

13.1.2.1 Conditions générales

Voir la spécification générique.

13.1.2.2 Définition et vérification de la fonction

[La fonction réalisée par le circuit intégré doit être décrite le plus précisément possible à l'article 3 de la spécification particulière.]

Le programme d'essais du fabricant doit être utilisé pour la vérification de la fonction. Ce programme d'essais fait partie de la spécification du produit.

[Le fabricant doit garantir à l'ONS que le programme d'essais est approprié aux besoins de la vérification de la fonction et, en particulier, que la vérification de la fonction par ce programme d'essais est valable dans toute la gamme des tensions d'alimentation et des températures de fonctionnement.]

[L'ONS peut exiger que le fabricant montre le programme d'essais avec toutes les modifications éventuelles; cependant, ces renseignements restent confidentiels.]

[L'ONS est en droit de consulter des experts qui doivent être agréés par le fabricant.]

[Dans le cadre de cette procédure, la vérification de la fonction n'est pas décrite dans la spécification particulière.]

13.1.2.3 Qualification de la programmation et de l'effacement

Les essais sont à effectuer en sous-groupe A2 dans les conditions suivantes: un échantillon de dispositifs doit être programmé puis effacé dans des conditions de programmation et d'effacement applicables aux dispositifs soumis à l'essai comme spécifié dans la DS (voir 7.1 et 7.2 de la présente BDS).

Le gabarit utilisé pour la programmation doit être tel qu'après l'effacement au moins 50 % des éléments binaires doivent avoir changé d'état.

Les éléments binaires programmés doivent être distribués uniformément dans toute la surface mémoire de la pastille.

Sanction: une pièce est réputée défectueuse pour une des positions ayant été soumises à programmation ou effacement et n'ayant pas changé d'état logique après programmation ou effacement.

13 Test conditions and inspection requirements

13.1 General

13.1.1 General conditions for electrical and functional measurements

See 4.3.1 of the generic specification.

The test programme is part of the product specification. [The manufacturer shall demonstrate to the NSI that the functional test sequence is adequate, referring to the definition given by the manufacturer (function, test converge, etc.).] This information is confidential between the manufacturer and the NSI and shall not be disclosed without the consent of the manufacturer.

13.1.2 Functional verification

13.1.2.1 General conditions

See the generic specification.

13.1.2.2 Definition and verification of the function

[The function performed by the integrated circuit shall be described as precisely as possible in clause 3 of the detail specification.]

For the verification of the function, the manufacturer's test programme shall be used. This test programme is part of the product specification.

[The manufacturer shall have assured the NSI that the test programme is adequate for this purpose and, in particular, shall assure the NSI that the verification of the function by the test programme is valid over the supply voltage and operating temperature range.]

[The NSI can require the manufacturer to demonstrate the test programme and any changes; however, the information is confidential.]

[The NSI has the right to consult experts who shall be acceptable to the manufacturer.]

[Within this procedure, the verification of the function is not described in the detail specification.]

13.1.2.3 Assessment of programmability and erasability

These tests are performed with the subgroup A2 under the following conditions: a sample of devices shall be programmed and then erased under the programming and erasing conditions valid for the devices under test as they are described in the DS (see 7.1 and 7.2 of this blank detail specification (BDS)).

The pattern used for programming shall be such that after erasure, at least 50 % of the binary elements shall have been programmed in changed state.

The programmed binary elements shall be distributed uniformly over the whole memory area of the die.

Criteria: a device is said to be defective if, when one of its locations has been submitted to a programming/erasing operation, programming operation does not change its logic state.

13.2 Exigences de prélèvements et constitution des lots de contrôle

Exigences de prélèvements: voir l'article 9 de la spécification intermédiaire et 3.7 de la spécification générique.

Le système AQL doit être choisi pour les essais du groupe A.

Lots de contrôle: voir l'article 9 de la spécification intermédiaire.

13.3 Séquences d'essais

Les essais doivent être effectués à 25 °C, sauf spécification contraire.

Les essais suivis de (D) sont destructifs.

Tableau 1 – Groupe A: Contrôles lot par lot

Sous-groupe	Examen ou essai	Conditions d'essai	Limites
A1	Examen visuel externe	Voir 4.2.1.1 de la CEI 60747-10/ QC 700000	
A2	Vérification de la fonction à 25 °C, sauf spécification contraire	Conformément à 13.1 de cette spécification	
A2a	(Non applicable à la catégorie I) Vérification de la fonction aux températures minimale et maximale de fonctionnement (voir note 1)		
A3	Caractéristiques statiques à 25 °C	Voir 6.1 de cette spécification. Pour les paramètres de sortie, les séquences de pré-réglage et la charge doivent être spécifiées. Les niveaux des entrées non utilisées doivent être spécifiés si nécessaire.	Voir 6.1 de cette spécification.
A3a	Caractéristiques statiques aux températures minimale et maximale de fonctionnement (voir note 1)	A $T_{amb} = T_{amb \text{ min.}} \text{ et } T_{amb \text{ max.}}$	Les limites peuvent être différentes de celles du sous-groupe A3.
A4	Caractéristiques dynamiques à 25 °C, sauf spécification contraire (voir note 2)	Voir 6.2 de cette spécification. Les tensions, séquences et combinaisons de signaux d'entrée, et les formes d'ondes de sortie qui en résultent telles qu'elles sont indiquées dans les diagrammes de séquences spécifiés. Les valeurs appropriées des conditions de temps essentielles doivent être spécifiées. La charge en sortie doit être spécifiée.	Voir 6.2 de cette spécification.
A4a	(Non applicable à la catégorie I) Caractéristiques dynamiques aux températures minimales et maximales de fonctionnement (voir note 2)	A $T_{amb} = T_{amb \text{ min.}} \text{ et } T_{amb \text{ max.}}$ Mêmes conditions que le sous-groupe A4 ci-dessus	Les limites peuvent être différentes de celles du sous-groupe A4.

NOTE 1 – Le fabricant peut utiliser les résultats des essais à 25 °C s'il peut démontrer, périodiquement, leur corrélation avec les résultats obtenus aux deux températures extrêmes.

NOTE 2 – Dans le cas où des dispositifs non programmés doivent être testés, l'une des procédures suivantes, nécessaires pour vérifier les dispositifs programmés, peut être utilisée:

a) une quantité suffisante d'échantillons doit être programmée conformément aux exigences du sous-groupe B8 afin d'être conforme à la taille d'échantillons des essais du groupe A;
ou

b) lorsque la mémoire est capable de commuter les étages de sortie du niveau bas au niveau haut et vice versa en accédant à des ligne(s) et colonne(s) supplémentaires, cela est permis.

La procédure pour accéder à ces ligne(s) et colonne(s) supplémentaires doit être totalement décrite par le fabricant.

Cette procédure doit être mise à la disposition de l'ONS à sa demande.

13.2 Sampling requirements and formation of inspection lots

Sampling requirements: see clause 9 of the sectional specification and 3.7 of the generic specification.

AQL system shall be chosen for group A testing.

Inspection lots: see clause 9 of the sectional specification.

13.3 Inspection tables

Tests shall be made at 25 °C, unless otherwise specified.

Tests marked (D) are destructive.

Table 1 – Group A: Lot-by-lot

Sub-group	Examination or test	Conditions of test	Limits
A1	External visual examination	See 4.2.1.1 of IEC 60747-10/QC 700000	
A2	Verification of the function at 25 °C, unless otherwise specified	In accordance with 13.1 of this specification	
A2a	(Not applicable to category I). Verification of the function at minimum and maximum operating temperatures (see note 1)		
A3	Static characteristics at 25 °C	See 6.1 of this specification. For output parameters, presetting sequences and loading shall be specified. The levels of unused inputs shall be specified if necessary.	See 6.1 of this specification.
A3a	Static characteristics at minimum and maximum operating temperatures (see note 1)	At $T_{amb} = T_{amb \text{ max.}}$ and $T_{amb \text{ min.}}$	Limits may be different from those in subgroup A3.
A4	Dynamic characteristics at 25 °C, unless otherwise specified (see note 2).	See 6.2 of this specification. The voltage sequences and combinations of input signals, and the resulting output waveforms as given in the specified control sequence diagrams. Appropriate values of essential timing conditions shall be specified. Output loading shall be specified.	See 6.2 of this specification.
A4a	(Not applicable to category I). Dynamic characteristics at minimum and maximum operating temperatures (see note 2)	At $T_{amb} = T_{amb \text{ max.}}$ and $T_{amb \text{ min.}}$. Same conditions as A4 above	Limits may be different from those in subgroup A4.

NOTE 1 – The manufacturer may use test results at 25 °C, if he can demonstrate, on a periodic basis, the correlation with those at two extremes of temperature.

NOTE 2 – Where non-programmed devices are to be tested one of the following procedures necessary to check programmed devices may be used:

a) sufficient samples are to be programmed in accordance with the requirements of subgroup B8 to comply with the required sample size of group A tests;

or

b) where the memory circuit is capable of switching output stages from low to high and vice versa by accessing extra test row(s) and column(s), this is permissible.

The procedure of accessing extra test row(s) and column(s) is to be fully documented by the manufacturer.

This procedure shall be made available to the NSI on request.

Tableau 2 – Groupe B: Contrôles lot par lot

(Dans le cas de la catégorie I, voir 2.6 de la spécification générique)

Sous-groupe	Examen ou essai	Publications de la CEI	Détails et conditions	Limites
B1 (ND)	Dimensions	60747-10, 4.2.2 et annexe B		Voir description mécanique de cette norme
B2c	Vérification des valeurs limite électriques	Non applicable		
B4 (D)	Soudabilité	60749, chapitre 2, 2.1*	Comme spécifié	Etamage correct
B5 (ND)	Variations rapides de températures: a) Dispositifs à cavité Variations rapides de températures suivies de: – essais électriques choisis en A2 et A3 – étanchéité, détection des microfuites et – étanchéité, détection des fuites franches	60749, chapitre 3, 1.1 60749, chapitre 3, 5.2 ou 5.3 60749, chapitre 3, 5.2.6	10 cycles Comme en A2 et A3 Comme spécifié Comme spécifié	Comme en A2 et A3
(D)	b) Dispositifs sans cavité et avec cavité à scellement époxyde – examen visuel externe – essai continu de chaleur humide – essais électriques choisis en A2 et A3	60749, chapitre 3, 1.1 60747-10, 4.2.1.1 60749, chapitre 3, 4C	10 cycles Sévérité 3 Variante C Comme en A2 et A3	Comme en A2 et A3
B8 (ND)	Programmabilité (voir note)	Voir 14.3 de cette spécification.	Pour catégories II et III	Voir l'article 14 de cette spécification. Les dispositifs doivent être programmés selon des contenus spécifiés. Au moins deux contenus doivent être choisis de façon que chaque adresse mémoire soit programmée une fois, c'est-à-dire un damier inverse par rapport à la topologie. Mesures finales: A2 et A3.
(D)	Endurance électrique	Voir 12.3 de la spécification intermédiaire	168 h conditions spécifiées en 12.3 et 12.4 si applicable, de la spécification intermédiaire	Voir 12.3 de la spécification intermédiaire
RCLA	Informations par attributs pour B4, B5 et B8			
NOTE – L'essai de programmabilité est un test de préconditionnement pour l'essai d'endurance électrique.				

* Voir documents de référence.

Table 2 – Group B: Lot-by-lot*(In the case of category I, see 2.6 of the generic specification)*

Sub-group	Examination or test	IEC publication	Details and conditions	Limits
B1 (ND)	Dimensions	60747-10, 4.2.2 and annex B		See mechanical description of this standard
B2c	Electrical ratings verification	Not applicable		
B4 (D)	Solderability	60749, Chapter 2, 2.1*	As specified	Good wetting
B5 (ND)	Rapid change of temperature: a) Cavity devices Rapid change of temperature, followed by: – electrical tests selected from A2 and A3 – sealing, fine leak detection and – sealing, gross leak detection	60749, chapter 3, 1.1 60749, chapter 3, 5.2 or 5.3 60749, chapter 3, 5.2.6	10 cycles As in A2 and A3 As specified As specified	As in A2 and A3
(D)	b) Non-cavity and epoxy sealed cavity devices – external visual examination – damp heat, steady state – electrical test selected from A2 and A3	60749, chapter 3, 1.1 60747-10, 4.2.1.1 60749, chapter 3, 4C	10 cycles Severity 3 Variant C As in A2 and A3	As in A2 and A3
B8 (ND)	Programmability (see note)	See 14.3 of this specification	For categories II and III	See clause 14 of this specification. Devices shall be programmed to specified patterns. At least two patterns shall be chosen so that each location is programmed once, this is checker board and inverted checker board with respect to topology. Final measurements: A2 and A3.
(D)	Electrical endurance	See 12.3 of the sectional specification	168 h, conditions as specified in 12.3 and, if applicable, 12.4 of the sectional specification	See 12.3 of the sectional specification
CRRL	Attributes information for B4, B5 and B8			
NOTE – Programmability test is a preconditioning test for the electrical endurance test.				

* See reference documents.