

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Mechanical standardization of semiconductor devices –
Part 6-17: General rules for the preparation of outline drawings of surface
mounted semiconductor device packages – Design guide for stacked packages –
Fine-pitch ball grid array and fine-pitch land grid array (P-PFBGA and P-PFLGA)**

**Normalisation mécanique des dispositifs à semiconducteurs –
Partie 6-17: Règles générales pour la préparation des dessins d'encombrement
des dispositifs à semiconducteurs à montage en surface – Guide de conception
pour les boîtiers empilés – Boîtiers matriciels à billes et à pas fins et boîtiers
matriciels à zone de contact plate et à pas fins (P-PFBGA et P-PFLGA)**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2011 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch

Tel.: +41 22 919 02 11

Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch

Tél.: +41 22 919 02 11

Fax: +41 22 919 03 00

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Mechanical standardization of semiconductor devices –
Part 6-17: General rules for the preparation of outline drawings of surface
mounted semiconductor device packages – Design guide for stacked packages –
Fine-pitch ball grid array and fine-pitch land grid array (P-PFBGA and P-PFLGA)**

**Normalisation mécanique des dispositifs à semiconducteurs –
Partie 6-17: Règles générales pour la préparation des dessins d'encombrement
des dispositifs à semiconducteurs à montage en surface – Guide de conception
pour les boîtiers empilés – Boîtiers matriciels à billes et à pas fins et boîtiers
matriciels à zone de contact plate et à pas fins (P-PFBGA et P-PFLGA)**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

U

ICS 31.080.01

ISBN 978-2-88912-331-5

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Normative references	6
3 Definitions	6
4 Terminal position numbering	7
5 Drawings	8
6 Dimensions	16
6.1 Group 1.....	16
6.2 Group 2.....	21
7 Dimension table	27
Figure 1 – Individual stackable package, P-FBGA (cavity-up)	8
Figure 2 – Individual stackable package, P-FBGA (cavity-down).....	9
Figure 3 – Individual stackable package, P-FLGA (cavity-up).....	10
Figure 4 – Stacked package outline, P-PFBGA (cavity-up BGA and cavity-up BGA)	11
Figure 5 – Stacked package outline, P-PFBGA (cavity-down BGA and cavity-down BGA)	12
Figure 6 – Stacked package outline, P-PFBGA (cavity-down BGA + cavity-up LGA)	13
Figure 7 – Stacked package outline, P-PFLGA (cavity-up LGA + cavity-up BGA).....	14
Figure 8 – Functional gauge	15
Figure 9 – Pattern of terminal position area	15
Table 1 – Dimensions, Group 1.....	16
Table 2 – Dimensions Group 2.....	21
Table 3 – Combination of D, E, M _D , and M _E , $\bar{e}$ = 0,80mm pitch FBGA and FLGA	22
Table 4 – Combination of D, E, M _D , and M _E , $\bar{e}$ = 0,65mm pitch FBGA and FLGA	23
Table 5 – Combination of D, E, M _D , and M _E , $\bar{e}$ = 0,50mm pitch FBGA and FLGA	24
Table 6 – Combination of D, E, M _D , and M _E , $\bar{e}$ = 0,40mm pitch FBGA an FLGA	25
Table 7 – Combination of D, E, M _D , and M _E , $\bar{e}$ = 0,30mm pitch FLGA.....	26
Table 8 – Dimension table	27

INTERNATIONAL ELECTROTECHNICAL COMMISSION

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES –

**Part 6-17: General rules for the preparation of outline drawings
of surface mounted semiconductor device packages –
Design guide for stacked packages –
Fine-pitch ball grid array and fine-pitch land grid array
(P-PFBGA and P-PFLGA)**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60191-6-17 has been prepared by subcommittee 47D: Mechanical standardization for semiconductor devices, of IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47D/785/FDIS	47D/793/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all the parts in the IEC 60191 series, under the general title *Mechanical standardization of semiconductor devices*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IECNORM.COM : Click to view the full PDF of IEC 60191-6-17:2011

INTRODUCTION

The trend toward downsizing and higher density of portable electronic devices has driven LSI packages into smaller and higher density configurations. The market demand of higher density has led to the development of the package stacking technology that enabled miniaturization and higher functionality. The objective of this design guide is to standardize outlines and to get interchangeability of individual stackable packages.

IECNORM.COM : Click to view the full PDF of IEC 60191-6-17:2011

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES –

Part 6-17: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Design guide for stacked packages – Fine-pitch ball grid array and fine-pitch land grid array (P-PFBGA and P-PFLGA)

1 Scope

This part of IEC 60191 provides outline drawings and dimensions for stacked packages and individual stackable packages in the form of FBGA or FLGA.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document applies.

IEC 60191-6, *Mechanical standardization of semiconductor devices – Part 6: General rules for the preparation of outline drawings of surface mounted semiconductor device package*

IEC 60191-6-5, *Mechanical standardization of semiconductor devices – Part 6-5: General rules for the preparation of outline drawings of surface mounted semiconductor device packages - Design guide for fine-pitch ball grid array (FBGA)*

3 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60191-6 and the following apply.

3.1

individual stackable package

package with an array of metallic balls or lands on the underside of the package for the purpose of surface-mount on a printed circuit board and an array of footprints (lands) on the upper side of the package for stacking packages

NOTE The individual stackable cavity-up FLGA package is a part of this specification on the premise of stacking a cavity-down FBGA with cavity-up FLGA.

3.2

stacked package

assembly of multiple individual stackable packages in a stacked configuration

NOTE The top package can be a standard FBGA specified in IEC 60191-6-5 without any footprints on the upper side of the package. The stand-off height of this standard package, however, shall follow this design guide.

3.3

mould cap height (A_2)

height of the mould cap which contains wire-bonded die or of the exposed flip chip-bonded die with respect to the upper substrate surface of the package

3.4**distance between the mould cap edge and innermost balls (F)**

distance between the mould cap edge of the lower package and the innermost terminals of the upper package of the stacked package

3.5**upper side land grid pitch (e_1)**

grid pitch of the footprints (lands) on the upper side of the individual stackable package. They will be interconnected with the terminals of a mating upper package

3.6**parallelism tolerance of the mould cap surface (y_1)**

parallelism tolerance of the top mould-cap surface of the stacked package or the individual stackable package with respect to the seating plane (datum $\boxed{S}$), which is established by contact of the crowns of the balls

NOTE For the stacked package, " y_1 " is defined as the parallelism tolerance of the top-component surface with regard to the seating plane of the lowest component.

3.7**coplanarity (y)**

flatness tolerance controlling the lowest points of the terminals of the individual stackable package or the stacked package

3.8**diameter of the upper side lands (b_2)**

diameter of the upper side lands, which will be bonded to the terminals of the mating upper package

4 Terminal position numbering

When a package is viewed from the terminal side with the index corner in the bottom left corner position, terminal rows are lettered from bottom to top starting with A, then B, C, ..., AA, AB, etc., while terminal columns are numbered from left to right starting with 1. Terminal positions are designated by a row-column grid system and shown as alphanumeric identification, e.g., A1, B1, or AC34.

The letters I, O, Q, S, X and Z are not used for naming the terminal rows.

5 Drawings

Outline drawings are shown in Figure 1, 2, 3, 4, 5, 6 and 7.

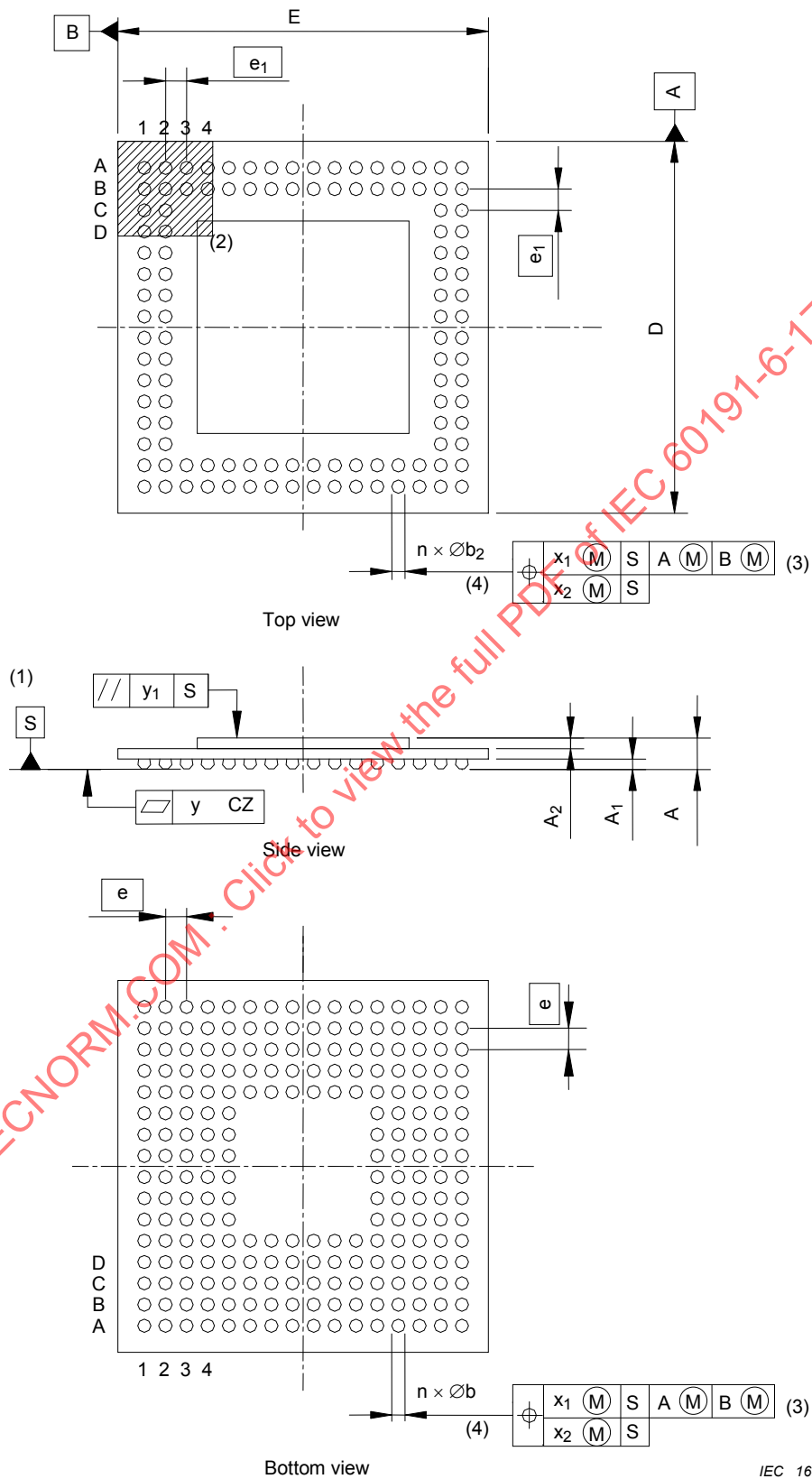
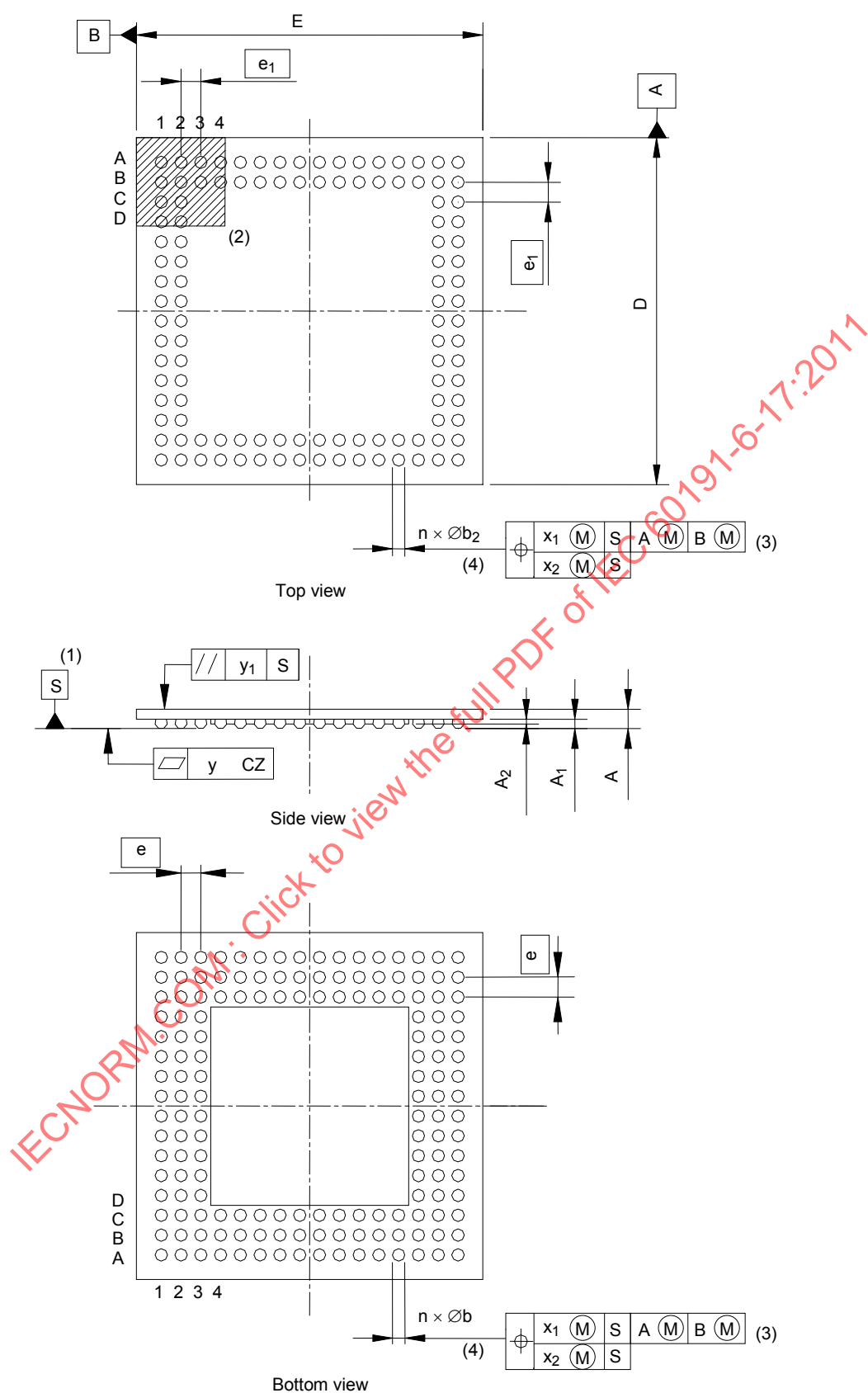


Figure 1 – Individual stackable package, P-FBGA (cavity-up)



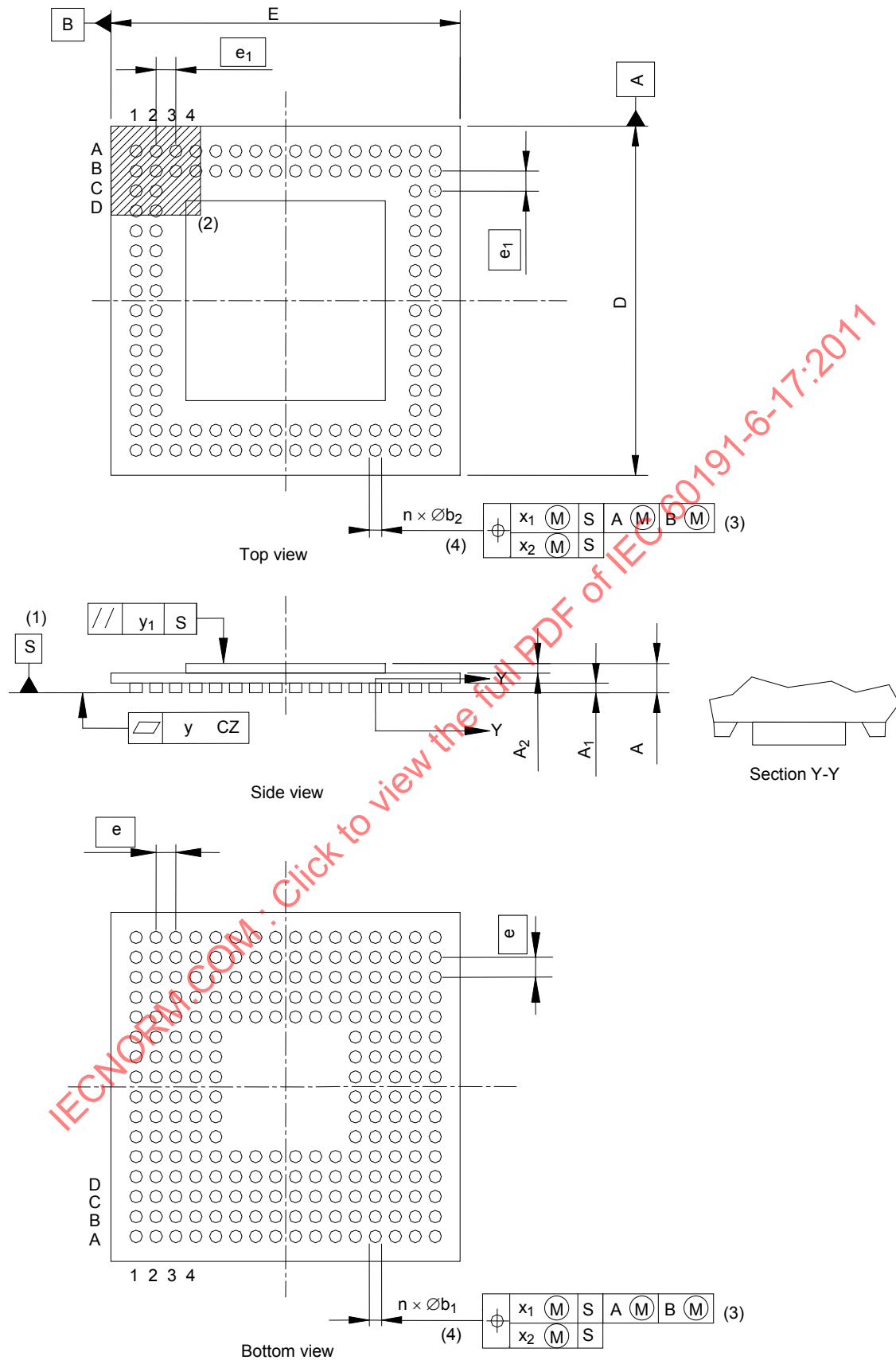


Figure 3 – Individual stackable package, P-FLGA (cavity-up)

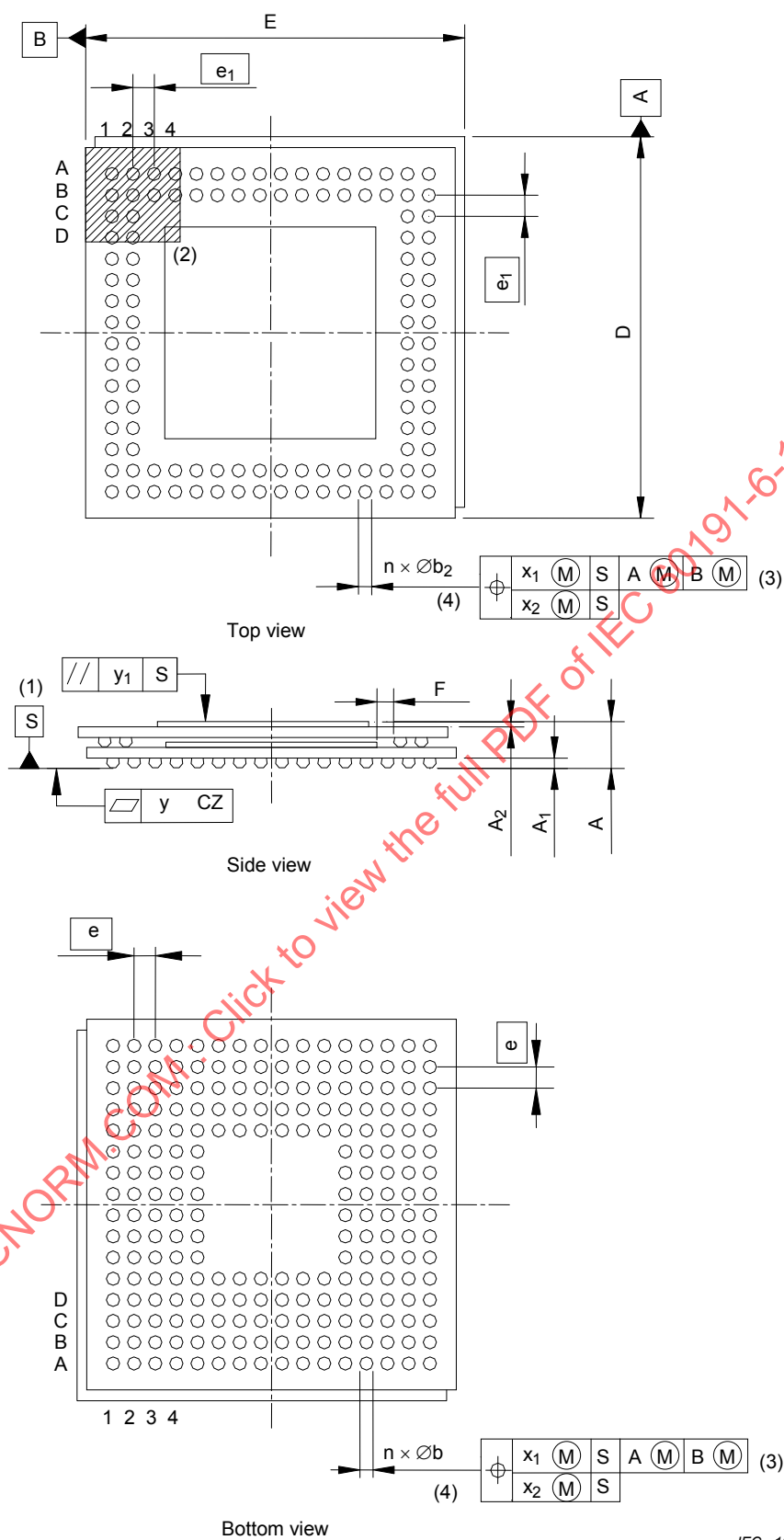


Figure 4 – Stacked package outline, P-PFBGA (cavity-up BGA and cavity-up BGA)

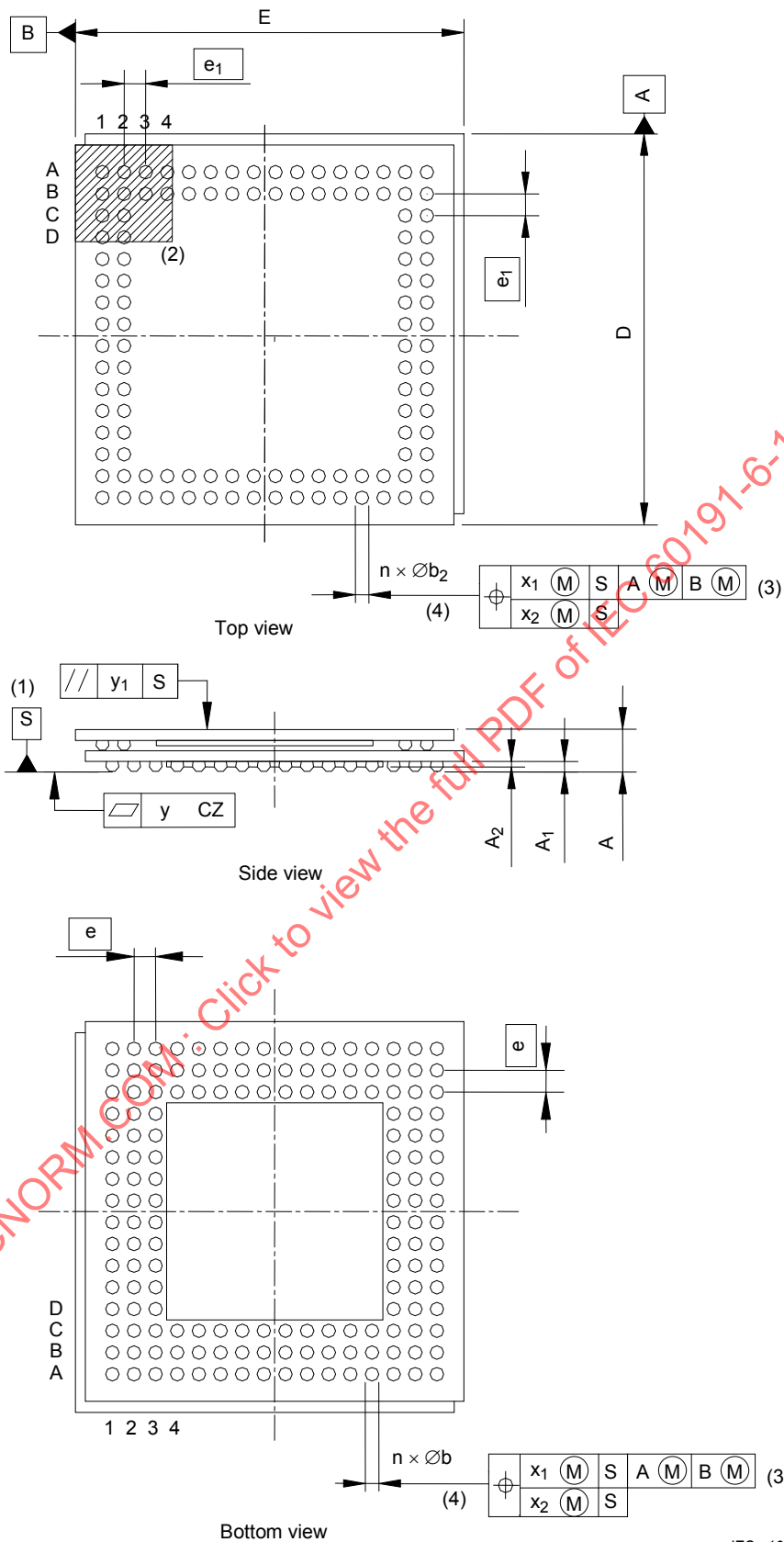
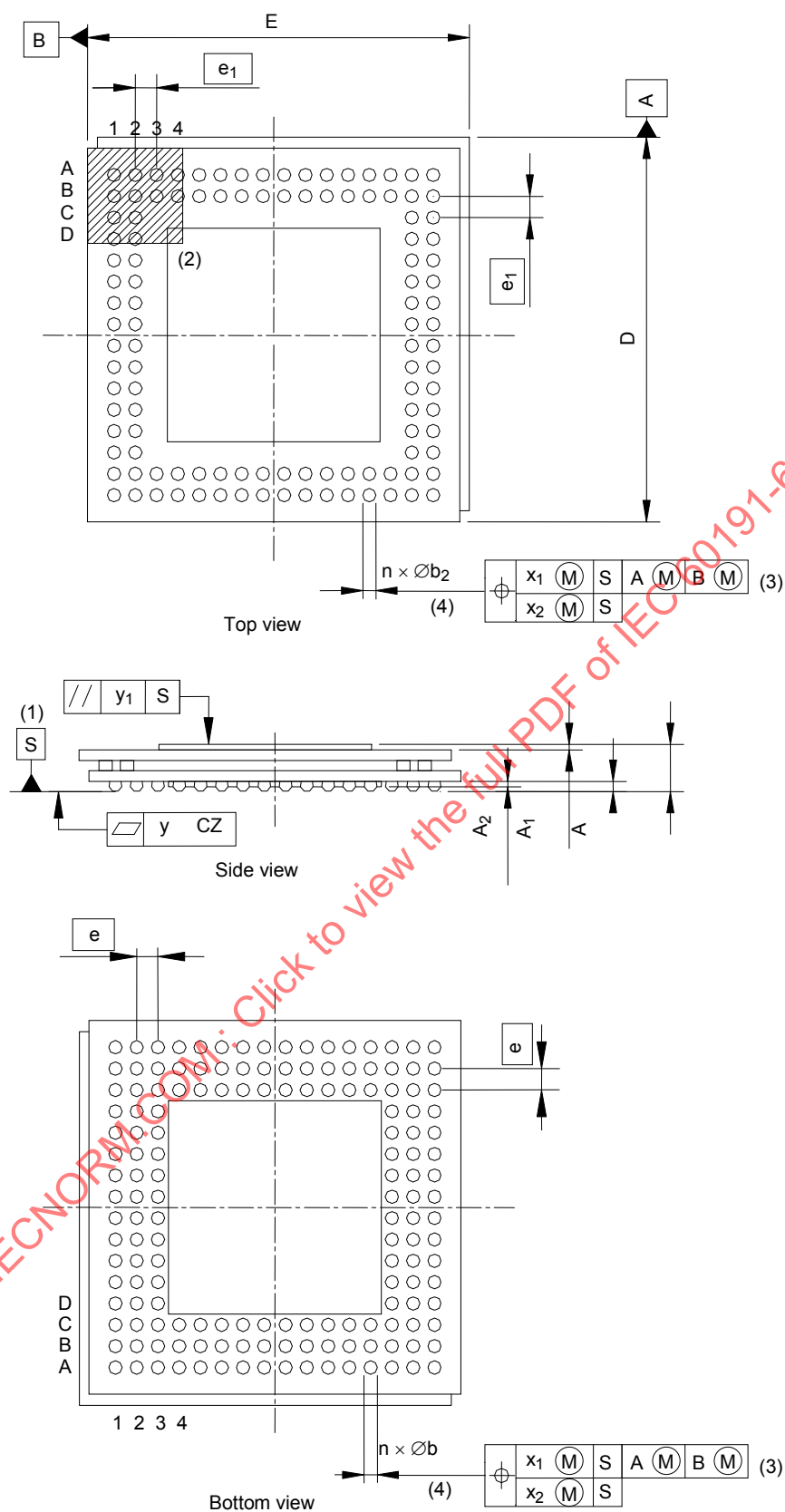
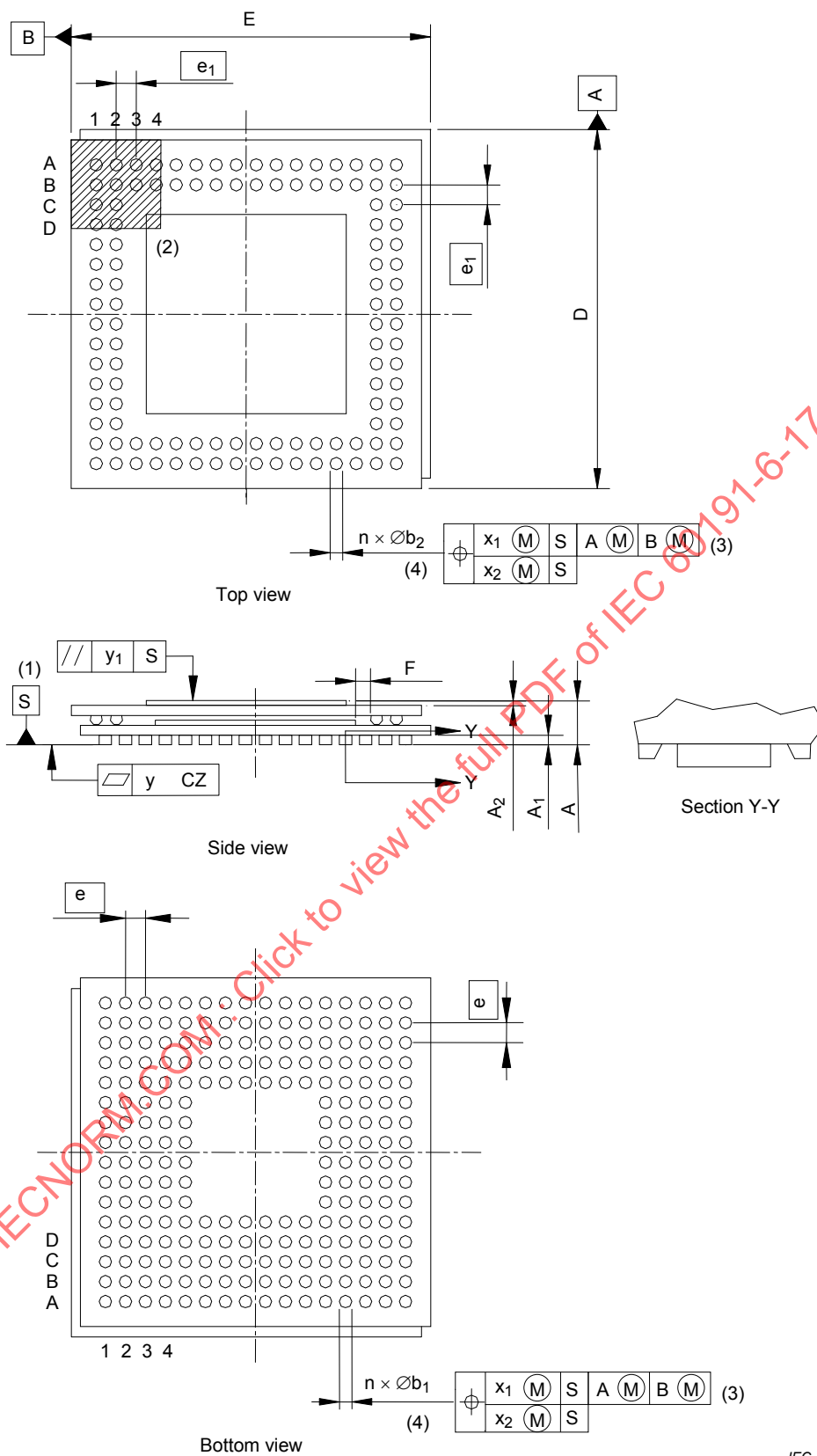


Figure 5 – Stacked package outline, P-PFBGA (cavity-down BGA and cavity-down BGA)



**Figure 6 – Stacked package outline, P-PFBGA
(cavity-down BGA + cavity-up LGA)**



Common notes for Figure 1 to Figure 7.

(1) The datum **S** is defined as the seating plane on which a package free stands by contact of the balls.

(2) The hatched zone indicates the index-marking area where **A1** terminal locates. The index-marking area is basically 1/16 of the package body area in compliance with IEC standard. Even if the index mark extends more than this area, it shall not extend more than 1/4 of the package body area.

(3) The terminal true position tolerances x_1 and x_2 are applied to all terminals.

(4) The terminal diameter **b**, **b₁**, and **b₂** are the largest diameters as measured in a plane parallel to the seating plane.

The functional gauge drawing indicates the pattern of the circles, in which terminals locate, with respect to the datum **S**, **A**, and **B**.

The pattern of terminal position area is composed of the circles, in which terminals locate, with respect to the datum **S**.

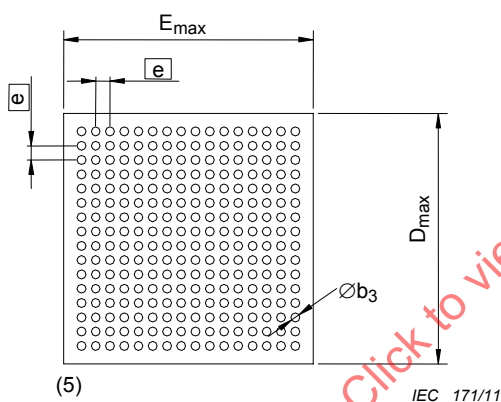


Figure 8 – Functional gauge

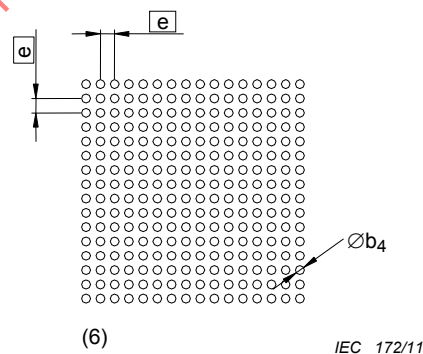


Figure 9 – Pattern of terminal position area

6 Dimensions

6.1 Group 1

Dimensions of group 1 are shown in Table 1.

Table 1 – Dimensions, Group 1

Unit: *mm*

Term	Symbol	Specification	Recommended value	Remarks
Package nominal dimension	$E \times D$	A package nominal dimension is defined as “package width E × length D ”, which is expressed in the tenths place in millimetre.	-	-
Package length	D	For rectangular bodies, the package length D ranges from 4,0 to 21,0 in increments of 0,5. For square bodies, the package length D ranges from 4,0 to 14,5 in increments of 0,5, and from 15,0 to 21,0 in increments of 1,0. Tolerances of D are $\pm 0,1$ for the individual stackable packages and $\pm 0,15$ for the stacked packages.	-	Rectangular outlines are allowed. D includes burr
Package width	E	For rectangular bodies, the package width E ranges from 4,0 to 21,0 in increments of 0,5. For square bodies, the package width E ranges from 4,0 to 14,5 in increments of 0,5, and from 15,0 to 21,0 in increments of 1,0. Tolerances of E are $\pm 0,1$ for the individual stackable packages and $\pm 0,15$ for the stacked packages.	-	Rectangular outlines are allowed. E includes burr
Maximum profile height	A	The maximum profile height A is categorized as: 0,30, 0,40, 0,50, 0,65, 0,80, 1,00, 1,20, 1,40, 1,60, 1,80, 2,00, 2,20, or 2,50.	-	A includes package warpage and tilt errors

Table 1 – Dimensions, Group 1 (continued overleaf)

Unit: mm

Term	Symbol	Specification	Recom- mended value	Remarks																								
True position tolerance of terminals with respect to the body datum	x_1	(1) For the individual stackable packages: <table><thead><tr><th>e</th><th>x_1</th></tr></thead><tbody><tr><td>0,80</td><td>0,15</td></tr><tr><td>0,65</td><td>0,15</td></tr><tr><td>0,50</td><td>0,15</td></tr><tr><td>0,40</td><td>0,12</td></tr><tr><td>0,30</td><td>0,12</td></tr></tbody></table> (2) For the stacked packages: <table><thead><tr><th>e</th><th>x_1</th></tr></thead><tbody><tr><td>0,80</td><td>0,20</td></tr><tr><td>0,65</td><td>0,20</td></tr><tr><td>0,50</td><td>0,20</td></tr><tr><td>0,40</td><td>0,15</td></tr><tr><td>0,30</td><td>0,15</td></tr></tbody></table>	e	x_1	0,80	0,15	0,65	0,15	0,50	0,15	0,40	0,12	0,30	0,12	e	x_1	0,80	0,20	0,65	0,20	0,50	0,20	0,40	0,15	0,30	0,15	-	Positional tolerances reflect the current process capabilities
e	x_1																											
0,80	0,15																											
0,65	0,15																											
0,50	0,15																											
0,40	0,12																											
0,30	0,12																											
e	x_1																											
0,80	0,20																											
0,65	0,20																											
0,50	0,20																											
0,40	0,15																											
0,30	0,15																											
Terminal- to-terminal positional tolerance	x_2	(1) For the individual stackable packages: <table><thead><tr><th>e</th><th>x_2</th></tr></thead><tbody><tr><td>0,80</td><td>0,08</td></tr><tr><td>0,65</td><td>0,08</td></tr><tr><td>0,50</td><td>0,05</td></tr><tr><td>0,40</td><td>0,05</td></tr><tr><td>0,30</td><td>0,03</td></tr></tbody></table> (2) For the stacked packages: <table><thead><tr><th>e_1</th><th>x_2</th></tr></thead><tbody><tr><td>0,80</td><td>0,08</td></tr><tr><td>0,65</td><td>0,08</td></tr><tr><td>0,50</td><td>0,05</td></tr><tr><td>0,40</td><td>0,05</td></tr><tr><td>0,30</td><td>0,03</td></tr></tbody></table>	e	x_2	0,80	0,08	0,65	0,08	0,50	0,05	0,40	0,05	0,30	0,03	e_1	x_2	0,80	0,08	0,65	0,08	0,50	0,05	0,40	0,05	0,30	0,03	-	Positional tolerances reflect the current process capabilities. $e=0,30$ is applied to the cavity-up FLGA. $e_1=0,30$ is applied to the cavity-down packages
e	x_2																											
0,80	0,08																											
0,65	0,08																											
0,50	0,05																											
0,40	0,05																											
0,30	0,03																											
e_1	x_2																											
0,80	0,08																											
0,65	0,08																											
0,50	0,05																											
0,40	0,05																											
0,30	0,03																											

Table 1 – Dimensions, Group 1 (continued overleaf)

Unit: mm

Term	Symbol	Specification	Recom- mended value	Remarks																																																			
Stand-off height	A ₁	(1) For FBGA: <table><tr><th>e</th><th>b</th><th>MIN</th><th>NOM</th><th>MAX</th></tr><tr><td>0,80</td><td>0,50</td><td>0,36</td><td>0,40</td><td>0,44</td></tr><tr><td></td><td>0,45</td><td>0,30</td><td>0,34</td><td>0,38</td></tr><tr><td></td><td>0,40</td><td>0,24</td><td>0,28</td><td>0,32</td></tr><tr><td>0,65</td><td>0,45</td><td>0,32</td><td>0,36</td><td>0,40</td></tr><tr><td></td><td>0,40</td><td>0,26</td><td>0,30</td><td>0,34</td></tr><tr><td></td><td>0,35</td><td>0,20</td><td>0,24</td><td>0,28</td></tr><tr><td>0,50</td><td>0,35</td><td>0,26</td><td>0,30</td><td>0,34</td></tr><tr><td></td><td>0,30</td><td>0,19</td><td>0,23</td><td>0,27</td></tr><tr><td></td><td>0,40</td><td>0,25</td><td>0,17</td><td>0,20</td><td>0,23</td></tr></table>	e	b	MIN	NOM	MAX	0,80	0,50	0,36	0,40	0,44		0,45	0,30	0,34	0,38		0,40	0,24	0,28	0,32	0,65	0,45	0,32	0,36	0,40		0,40	0,26	0,30	0,34		0,35	0,20	0,24	0,28	0,50	0,35	0,26	0,30	0,34		0,30	0,19	0,23	0,27		0,40	0,25	0,17	0,20	0,23	-	For the lowest package, the stand-off height shall follow either these criteria or ones specified in IEC 60191-6-5
		e	b	MIN	NOM	MAX																																																	
		0,80	0,50	0,36	0,40	0,44																																																	
			0,45	0,30	0,34	0,38																																																	
			0,40	0,24	0,28	0,32																																																	
		0,65	0,45	0,32	0,36	0,40																																																	
			0,40	0,26	0,30	0,34																																																	
			0,35	0,20	0,24	0,28																																																	
		0,50	0,35	0,26	0,30	0,34																																																	
			0,30	0,19	0,23	0,27																																																	
	0,40	0,25	0,17	0,20	0,23																																																		
(2) For FLGA: A ₁ ≤0,10																																																							
(1) For FBGA: <table><tr><th>e</th><th>b</th><th>A₂ (MAX)</th></tr><tr><td>0,80</td><td>0,50</td><td>0,28</td></tr><tr><td>0,80</td><td>0,45</td><td>0,22</td></tr><tr><td>0,80</td><td>0,40</td><td>0,16</td></tr><tr><td>0,65</td><td>0,45</td><td>0,26</td></tr><tr><td>0,65</td><td>0,40</td><td>0,20</td></tr><tr><td>0,65</td><td>0,35</td><td>0,14</td></tr><tr><td>0,50</td><td>0,35</td><td>0,22</td></tr><tr><td>0,50</td><td>0,30</td><td>0,15</td></tr><tr><td>0,40</td><td>0,25</td><td>0,14</td></tr></table>	e	b	A ₂ (MAX)	0,80	0,50	0,28	0,80	0,45	0,22	0,80	0,40	0,16	0,65	0,45	0,26	0,65	0,40	0,20	0,65	0,35	0,14	0,50	0,35	0,22	0,50	0,30	0,15	0,40	0,25	0,14	-	A ₂ shall be taken into account in specifying A ₁																							
e	b	A ₂ (MAX)																																																					
0,80	0,50	0,28																																																					
0,80	0,45	0,22																																																					
0,80	0,40	0,16																																																					
0,65	0,45	0,26																																																					
0,65	0,40	0,20																																																					
0,65	0,35	0,14																																																					
0,50	0,35	0,22																																																					
0,50	0,30	0,15																																																					
0,40	0,25	0,14																																																					
(2) For FLGA: <table><tr><th>e₁</th><th>b</th><th>A₂ (MAX)</th></tr><tr><td>0,80</td><td>0,50</td><td>0,28</td></tr><tr><td>0,80</td><td>0,45</td><td>0,22</td></tr><tr><td>0,80</td><td>0,40</td><td>0,16</td></tr><tr><td>0,65</td><td>0,45</td><td>0,26</td></tr><tr><td>0,65</td><td>0,40</td><td>0,20</td></tr><tr><td>0,65</td><td>0,35</td><td>0,14</td></tr><tr><td>0,50</td><td>0,35</td><td>0,22</td></tr><tr><td>0,50</td><td>0,30</td><td>0,15</td></tr><tr><td>0,40</td><td>0,25</td><td>0,14</td></tr></table>	e ₁	b	A ₂ (MAX)	0,80	0,50	0,28	0,80	0,45	0,22	0,80	0,40	0,16	0,65	0,45	0,26	0,65	0,40	0,20	0,65	0,35	0,14	0,50	0,35	0,22	0,50	0,30	0,15	0,40	0,25	0,14																									
e ₁	b	A ₂ (MAX)																																																					
0,80	0,50	0,28																																																					
0,80	0,45	0,22																																																					
0,80	0,40	0,16																																																					
0,65	0,45	0,26																																																					
0,65	0,40	0,20																																																					
0,65	0,35	0,14																																																					
0,50	0,35	0,22																																																					
0,50	0,30	0,15																																																					
0,40	0,25	0,14																																																					

Table 1 – Dimensions, Group 1 (continued overleaf)

Unit: mm

Term	Symbol	Specification	Recom- mended value	Remarks																																								
Distance between the mould cap edge and innermost balls	F	$F \geq 0,20$	-	-																																								
Terminal grid pitch	e	$e = 0,8$ 0,65 0,50 0,40 0,30	-	$e = 0,30$ is applied to the cavity- up FLGA																																								
Upper side land grid pitch	e_1	$e_1 = 0,80$ 0,65 0,50 0,40 0,30	-	$e_1 = 0,30$ is applied to the cavity- down packages																																								
Ball diameter of FBGA	b	<table><thead><tr><th>e</th><th>MIN</th><th>NOM</th><th>MAX</th></tr></thead><tbody><tr><td>0,80</td><td>0,45</td><td>0,50</td><td>0,55</td></tr><tr><td>0,80</td><td>0,40</td><td>0,45</td><td>0,50</td></tr><tr><td>0,80</td><td>0,35</td><td>0,40</td><td>0,45</td></tr><tr><td>0,65</td><td>0,40</td><td>0,45</td><td>0,50</td></tr><tr><td>0,65</td><td>0,35</td><td>0,40</td><td>0,45</td></tr><tr><td>0,65</td><td>0,30</td><td>0,35</td><td>0,40</td></tr><tr><td>0,50</td><td>0,30</td><td>0,35</td><td>0,40</td></tr><tr><td>0,50</td><td>0,25</td><td>0,30</td><td>0,35</td></tr><tr><td>0,40</td><td>0,20</td><td>0,25</td><td>0,30</td></tr></tbody></table>	e	MIN	NOM	MAX	0,80	0,45	0,50	0,55	0,80	0,40	0,45	0,50	0,80	0,35	0,40	0,45	0,65	0,40	0,45	0,50	0,65	0,35	0,40	0,45	0,65	0,30	0,35	0,40	0,50	0,30	0,35	0,40	0,50	0,25	0,30	0,35	0,40	0,20	0,25	0,30	Nominal of b is recom- mended as the diameter of raw balls.	-
e	MIN	NOM	MAX																																									
0,80	0,45	0,50	0,55																																									
0,80	0,40	0,45	0,50																																									
0,80	0,35	0,40	0,45																																									
0,65	0,40	0,45	0,50																																									
0,65	0,35	0,40	0,45																																									
0,65	0,30	0,35	0,40																																									
0,50	0,30	0,35	0,40																																									
0,50	0,25	0,30	0,35																																									
0,40	0,20	0,25	0,30																																									
Land diameter of FLGA	b_1	<table><thead><tr><th>e</th><th>MIN</th><th>NOM</th><th>MAX</th></tr></thead><tbody><tr><td>0,80</td><td>0,35</td><td>0,40</td><td>0,45</td></tr><tr><td>0,65</td><td>0,28</td><td>0,33</td><td>0,38</td></tr><tr><td>0,50</td><td>0,20</td><td>0,25</td><td>0,30</td></tr><tr><td>0,40</td><td>0,15</td><td>0,20</td><td>0,25</td></tr><tr><td>0,30</td><td>0,12</td><td>0,15</td><td>0,18</td></tr></tbody></table>	e	MIN	NOM	MAX	0,80	0,35	0,40	0,45	0,65	0,28	0,33	0,38	0,50	0,20	0,25	0,30	0,40	0,15	0,20	0,25	0,30	0,12	0,15	0,18	-	$e = 0,30$ is applied to the cavity- up FLGA																
e	MIN	NOM	MAX																																									
0,80	0,35	0,40	0,45																																									
0,65	0,28	0,33	0,38																																									
0,50	0,20	0,25	0,30																																									
0,40	0,15	0,20	0,25																																									
0,30	0,12	0,15	0,18																																									

Table 1 – Dimensions, Group 1 (continued overleaf)

Unit: mm

Term	Symbol	Specification	Recommended value	Remarks																								
Diameter of the upper side lands	b ₂	<table><tr><th>e₁</th><th>MIN</th><th>NOM</th><th>MAX</th></tr><tr><td>0,80</td><td>0,35</td><td>0,40</td><td>0,45</td></tr><tr><td>0,65</td><td>0,28</td><td>0,33</td><td>0,38</td></tr><tr><td>0,50</td><td>0,20</td><td>0,25</td><td>0,30</td></tr><tr><td>0,40</td><td>0,15</td><td>0,20</td><td>0,25</td></tr><tr><td>0,30</td><td>0,12</td><td>0,15</td><td>0,18</td></tr></table>	e ₁	MIN	NOM	MAX	0,80	0,35	0,40	0,45	0,65	0,28	0,33	0,38	0,50	0,20	0,25	0,30	0,40	0,15	0,20	0,25	0,30	0,12	0,15	0,18	-	e ₁ =0,30 is applied to the cavity-down packages
e ₁	MIN	NOM	MAX																									
0,80	0,35	0,40	0,45																									
0,65	0,28	0,33	0,38																									
0,50	0,20	0,25	0,30																									
0,40	0,15	0,20	0,25																									
0,30	0,12	0,15	0,18																									
Coplanarity	y	<table><tr><th>e</th><th>y</th></tr><tr><td>0,80</td><td>0,10</td></tr><tr><td>0,65</td><td>0,10</td></tr><tr><td>0,50</td><td>0,08</td></tr><tr><td>0,40</td><td>0,08</td></tr><tr><td>0,30</td><td>0,05</td></tr></table>	e	y	0,80	0,10	0,65	0,10	0,50	0,08	0,40	0,08	0,30	0,05	-	e=0,30 is applied to the cavity-up FLGA												
e	y																											
0,80	0,10																											
0,65	0,10																											
0,50	0,08																											
0,40	0,08																											
0,30	0,05																											
Parallelism tolerance of the top mould- cap surface	y ₁	For the individual stackable package, y ₁ =0,15. For the stacked package, y ₁ =0,20.	-	-																								
Terminal matrix		Terminal matrix is determined by terminal pitch e, upper side land pitch e ₁ , and matrix sizes M _D and M _E .	-	-																								

Table 1 – Dimensions, Group 1 (continued overleaf)

Unit: mm

Term	Symbol	Specification	Recommended value	Remarks
Number of terminals	n	(1) For both FBGA and FLGA; $n \leq M_E \times M_D$ $(M_E - 1) \times M_D$ $M_E \times (M_D - 1)$ $(M_E - 1) \times (M_D - 1)$ (2) In addition to the above algorithms, the following combinations are allowed for FLGA: $n \leq (M_E + 1) \times M_D$ $M_E \times (M_D + 1)$ $(M_E + 1) \times (M_D + 1)$	-	Maximum matrix sizes for these combinations are listed in Table 3 to Table 7
Longitudinal maximum matrix size	M_D			
Lateral matrix size	M_E			

6.2 Group 2

Dimensions of group 2 are shown in Table 2.

Table 2 – Dimensions Group 2

Unit: mm

Term	Symbol	Specification	Recommended value	Remarks
Diameter of the circle that contains entire terminal with respect to the body datum	b_3	$b_3 = b(\text{MAX}) + x_1$	-	-
Diameter of the circle that contains entire terminal with respect to other balls	b_4	$b_4 = b(\text{MAX}) + x_2$	-	-

6.3 Combination of D, E, M_D, and M_E

Combinations of D, E, M_D, and M_E are shown in Table 3, 4, 5, 6 and 7

Table 3 – Combination of D, E, M_D, and M_E, $e = 0,80\text{mm}$ pitch FBGA and FLGA

D or E	M _D or M _E	(M _D -1) or (M _E -1)	(M _D +1) or (M _E +1) (Only for FLGA)
4,0	4	3	5
4,5	5	4	6
5,0			
5,5	6	5	7
6,0	7	6	8
6,5			
7,0	8	7	9
7,5			
8,0	9	8	10
8,5	10	9	11
9,0			
9,5	11	10	12
10,0	12	11	13
10,5			
11,0	13	12	14
11,5			
12,0	14	13	15
12,5	15	14	16
13,0			
13,5	16	15	17
14,0	17	16	18
14,5			
15,0	18	17	19
15,5			
16,0	19	18	20
16,5	20	19	21
17,0			
17,5	21	20	22
18,0	22	21	23
18,5			
19,0	23	22	24
19,5			
20,0	24	23	25
20,5	25	24	26
21,0			

Table 4 – Combination of D, E, M_D, and M_E, $\varnothing = 0,65\text{mm}$ pitch FBGA and FLGA

D or E	M _D or M _E	(M _D -1) or (M _E -1)	(M _D +1) or (M _E +1) (Only for FLGA)
4,0	5	4	6
4,5	6	5	7
5,0			
5,5	7	6	8
6,0	8	7	9
6,5	9	8	10
7,0	10	9	11
7,5			
8,0	11	10	12
8,5	12	11	13
9,0	13	12	14
9,5			
10,0	14	13	15
10,5	15	14	16
11,0	16	15	17
11,5			
12,0	17	16	18
12,5	18	17	19
13,0	19	18	20
13,5	20	19	21
14,0			
14,5	21	20	22
15,0	22	21	23
15,5	23	22	24
16,0			
16,5	24	23	25
17,0	25	24	26
17,5	26	25	27
18,0			
18,5	27	26	28
19,0	28	27	29
19,5	29	28	30
20,0	30	29	31
20,5			
21,0	31	30	32

Table 5 – Combination of D, E, M_D, and M_E, $\varnothing = 0,50\text{mm}$ pitch FBGA and FLGA

D or E	M _D or M _E	(M _D -1) or (M _E -1)	(M _D +1) or (M _E +1) (Only for FLGA)
4,0	7	6	8
4,5	8	7	9
5,0	9	8	10
5,5	10	9	11
6,0	11	10	12
6,5	12	11	13
7,0	13	12	14
7,5	14	13	15
8,0	15	14	16
8,5	16	15	17
9,0	17	16	18
9,5	18	17	19
10,0	19	18	20
10,5	20	19	21
11,0	21	20	22
11,5	22	21	23
12,0	23	22	24
12,5	24	23	25
13,0	25	24	26
13,5	26	25	27
14,0	27	26	28
14,5	28	27	29
15,0	29	28	30
15,5	30	29	31
16,0	31	30	32
16,5	32	31	33
17,0	33	32	34
17,5	34	33	35
18,0	35	34	36
18,5	36	35	37
19,0	37	36	38
19,5	38	37	39
20,0	39	38	40
20,5	40	39	41
21,0	41	40	42

Table 6 – Combination of D, E, M_D, and M_E, $e = 0,40\text{mm}$ pitch FBGA an FLGA

D or E	M _D or M _E	(M _D -1) or (M _E -1)	(M _D +1) or (M _E +1) (Only for FLGA)
4,0	8	7	9
4,5	10	9	11
5,0	11	10	12
5,5	12	11	13
6,0	13	12	14
6,5	15	14	16
7,0	16	15	17
7,5	17	16	18
8,0	18	17	19
8,5	20	19	21
9,0	21	20	22
9,5	22	21	23
10,0	23	22	24
10,5	25	24	26
11,0	26	25	27
11,5	27	26	28
12,0	28	27	29
12,5	30	29	31
13,0	31	30	32
13,5	32	31	33
14,0	33	32	34
14,5	35	34	36
15,0	36	35	37
15,5	37	36	38
16,0	38	37	39
16,5	40	39	41
17,0	41	40	42
17,5	42	41	43
18,0	43	42	44
18,5	45	44	46
19,0	46	45	47
19,5	47	46	48
20,0	48	47	49
20,5	50	49	51
21,0	51	50	52

Table 7 – Combination of D, E, M_D, and M_E, $\boxed{e} = 0,30\text{mm}$ pitch FLGA

D or E	M _D or M _E	(M _D -1) or (M _E -1)	(M _D +1) or (M _E +1) (Only for FLGA)
4,0	-	-	12
4,5	-	-	14
5,0	-	-	16
5,5	-	-	17
6,0	-	-	19
6,5	-	-	21
7,0	-	-	22
7,5	-	-	24
8,0	-	-	26
8,5	-	-	27
9,0	-	-	29
9,5	-	-	31
10,0	-	-	32
10,5	-	-	34
11,0	-	-	36
11,5	-	-	37
12,0	-	-	39
12,5	-	-	41
13,0	-	-	42
13,5	-	-	44
14,0	-	-	46
14,5	-	-	47
15,0	-	-	49
15,5	-	-	51
16,0	-	-	52
16,5	-	-	54
17,0	-	-	56
17,5	-	-	57
18,0	-	-	59
18,5	-	-	61
19,0	-	-	62
19,5	-	-	64
20,0	-	-	66
20,5	-	-	67
21,0	-	-	69

7 Dimension table

Specific dimension table is shown in Table 8.

Table 8 – Dimension table

Package codes		P-PFBGA – , × , - , P-PFLGA – , × , - ,		
Symbols		MIN	NOM	MAX
Group 1	D	X	X	X
	E	X	X	X
	A			X
	A ₁	X	X	X
	A ₂			X
	F	X		
	$\begin{array}{ c } \hline e \\ \hline \end{array}$		X	
	$\begin{array}{ c } \hline e_1 \\ \hline \end{array}$		X	
	b	X	X	X
	b ₁	X	X	X
	b ₂	X	X	X
	x ₁			X
	x ₂			X
	y			X
	y ₁			X
	n		X	
	M _D		X	
	M _E		X	
	Terminal depopulation	X ^a		
Group 2	b ₃			X
	b ₄			X
^a “Full matrix”, “Staggered matrix”, or “Perimeter matrix with × rows” should be shown in this cell, where “x” is natural number, Any other unique patterns would be defined or illustrated in each standard of individual package outline.				

SOMMAIRE

AVANT-PROPOS.....	29
INTRODUCTION.....	31
1 Domaine d'application	32
2 Références normatives.....	32
3 Définitions	32
4 Numérotage de position des bornes	33
5 Dessins	34
6 Dimensions	42
6.1 Groupe 1.....	42
6.2 Groupe 2.....	47
7 Tableau des dimensions.....	53
Figure 1 – Boîtier empilable individuel, P-FBGA (cavité vers le haut).....	34
Figure 2 – Boîtier empilable individuel, P-FBGA (cavité vers le bas).....	35
Figure 3 – Boîtier empilable individuel, P-FLGA (cavité vers le haut).....	36
Figure 4 – Encombrement d'un empilement de boîtiers, P-PFBGA (BGA (matrice à billes) cavité vers le haut, et BGA cavité vers le haut)	37
Figure 5 – Encombrement d'un empilement de boîtiers, P-PFBGA (BGA cavité vers le bas et BGA cavité vers le bas).....	38
Figure 6 – Encombrement d'un empilement de boîtiers, P-PFBGA (BGA cavité vers le bas + LGA (zone de contact plate) cavité vers le haut)	39
Figure 7 – Encombrement d'un empilement de boîtiers, P-PFLGA (LGA cavité vers le haut + BGA cavité vers le haut)	40
Figure 8 – Gabarit fonctionnel de position des bornes	41
Figure 9 – Dessin des aires	41
Tableau 1 – Dimensions, Groupe 1.....	42
Tableau 2 – Dimensions, Groupe 2.....	47
Tableau 3 – Combinaison de D, E, M _D et M _E , FBGA et FLGA, $\bar{e}$ = pas de 0,80 mm.....	48
Tableau 4 – Combinaison de D, E, M _D et M _E , FBGA et FLGA, $\bar{e}$ = pas de 0,65 mm.....	49
Tableau 5 – Combinaison de D, E, M _D et M _E , FBGA et FLGA, $\bar{e}$ = pas de 0,50 mm.....	50
Tableau 6 – Combinaison de D, E, M _D et M _E , FBGA et FLGA, $\bar{e}$ = pas de 0,40 mm.....	51
Tableau 7 – Combinaison de D, E, M _D et M _E , FLGA, e = pas de 0,30 mm	52
Tableau 8 – Tableau des dimensions.....	53

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**NORMALISATION MÉCANIQUE DES DISPOSITIFS
À SEMICONDUCTEURS –****Partie 6-17: Règles générales pour la préparation
des dessins d'encombrement des dispositifs
à semiconducteurs à montage en surface –
Guide de conception pour les boîtiers empilés –
Boîtiers matriciels à billes et à pas fins et boîtiers matriciels
à zone de contact plate et à pas fins (P-PFBGA et P-PFLGA)**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de brevet. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60191-6-17 a été établie par le sous-comité 47D: Normalisation mécanique des dispositifs à semiconducteurs, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47D/785/FDIS	47D/793/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Une liste de toutes les parties de la série CEI 60191, sous le titre général *Normalisation mécanique des dispositifs à semiconducteurs*, peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IECNORM.COM : Click to view the full PDF of IEC 60191-6-17:2011

INTRODUCTION

La tendance à la miniaturisation et à une plus grande densité des dispositifs électroniques portables a conduit les boîtiers de LSI (circuits à grande échelle d'intégration) à adopter des configurations plus petites et de plus grande densité. La demande d'une plus grande densité de la part du marché a eu pour conséquence l'élaboration de la technologie d'empilement des boîtiers, grâce à la miniaturisation et à une plus grande fonctionnalité. L'objectif du présent guide de conception est de normaliser les encombrements et d'assurer l'interchangeabilité des boîtiers empilables individuels.

IECNORM.COM : Click to view the full PDF of IEC 60191-6-17:2011

NORMALISATION MÉCANIQUE DES DISPOSITIFS À SEMICONDUCTEURS –

Partie 6-17: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface – Guide de conception pour les boîtiers empilés – Boîtiers matriciels à billes et à pas fins et boîtiers matriciels à zone de contact plate et à pas fins (P-PFBGA et P-PFLGA)

1 Domaine d'application

La présente partie de la CEI 60191 fournit les dessins d'encombrement et les dimensions pour les boîtiers empilés et les boîtiers empilables individuels sous forme de FBGA ou FLGA.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique.

CEI 60191-6, *Normalisation mécanique des dispositifs à semi-conducteurs – Partie 6: Règles générales pour la préparation des dessins d'encombrement des boîtiers pour dispositifs à semi-conducteurs pour montage en surface*

CEI 60191-6-5, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 6-5: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface – Guide de conception pour les boîtiers matriciels à billes et à pas fins (FBGA)*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions donnés dans la CEI 60191-6, ainsi que les suivants s'appliquent.

3.1

boîtier empilable individuel

boîtier comportant une matrice de billes ou de zones de contact métalliques sur la face inférieure du boîtier, et ayant pour but le montage en surface sur une carte de circuit imprimé, et une matrice d'empreintes (plages) sur la face supérieure du boîtier, destinée à empiler des boîtiers

NOTE Le boîtier empilable individuel FLGA, cavité vers le haut, fait partie de la présente spécification en faisant l'hypothèse de l'empilement d'un FBGA, cavité vers le bas, avec un FLGA, cavité vers le haut.

3.2

empilement de boîtiers

assemblage de plusieurs boîtiers empilables individuels en une configuration empilée

NOTE Le boîtier supérieur peut être un FBGA normalisé, tel que spécifié dans la CEI 60191-6-5, sans aucune empreinte sur la face supérieure du boîtier. La hauteur de dépassement de ce boîtier normalisé doit toutefois être conforme au présent guide de conception.

3.3**hauteur du moulage de protection (A_2)**

hauteur du moulage de protection qui contient une puce connectée par fils ou de la puce connectée par billes exposée par rapport à la surface supérieure du substrat du boîtier

3.4**distance entre le bord du moulage de protection et les billes les plus intérieures (F)**

distance entre le bord du moulage de protection du boîtier inférieur et les bornes les plus intérieures du boîtier supérieur de l'empilement de boîtiers

3.5**pas de grille des zones de contact de la face supérieure (e_1)**

pas de grille des empreintes (zones de contact) sur la face supérieure du boîtier empilable individuel. Celles-ci seront interconnectées avec les bornes d'un boîtier de jonction supérieur

3.6**tolérance de parallélisme de la surface du moulage de protection (y_1)**

tolérance du parallélisme de la surface supérieure du moulage de protection de l'empilement de boîtiers ou du boîtier empilable individuel par rapport au plan d'assise (référence $\bar{S}$), qui est déterminée par contact des couronnes de billes

NOTE Pour l'empilement de boîtiers, on définit « y_1 » comme la tolérance de parallélisme de la surface du composant le plus haut par rapport au plan d'assise du composant le plus bas.

3.7**coplanarité (y)**

tolérance de planéité imposant les points les plus bas des bornes du boîtier empilable individuel ou de l'empilage de boîtiers

3.8**diamètre des zones de contact supérieures (b_2)**

diamètre des zones de contact de la face supérieure qui seront connectées aux bornes du boîtier de jonction supérieur

4 Numérotage de position des bornes

Lorsqu'on observe un boîtier du côté bornes, le coin repéré étant dans la position du coin inférieur gauche, les rangées de bornes sont désignées de haut en bas en commençant par A, puis B, C, ..., AA, AB, etc., tandis que les colonnes sont numérotées de gauche à droite en partant de 1. Les positions des bornes sont désignées par un système de grille à rangées et colonnes et elles sont représentées au moyen d'une identification alphanumérique, par exemple A1, B1 ou AC34.

Les lettres I, O, Q, S, X et Z ne sont pas utilisées pour nommer les rangées de bornes.

5 Dessins

Les dessins d'encombrement sont représentés dans les Figures 1, 2, 3, 4, 5, 6 et 7.

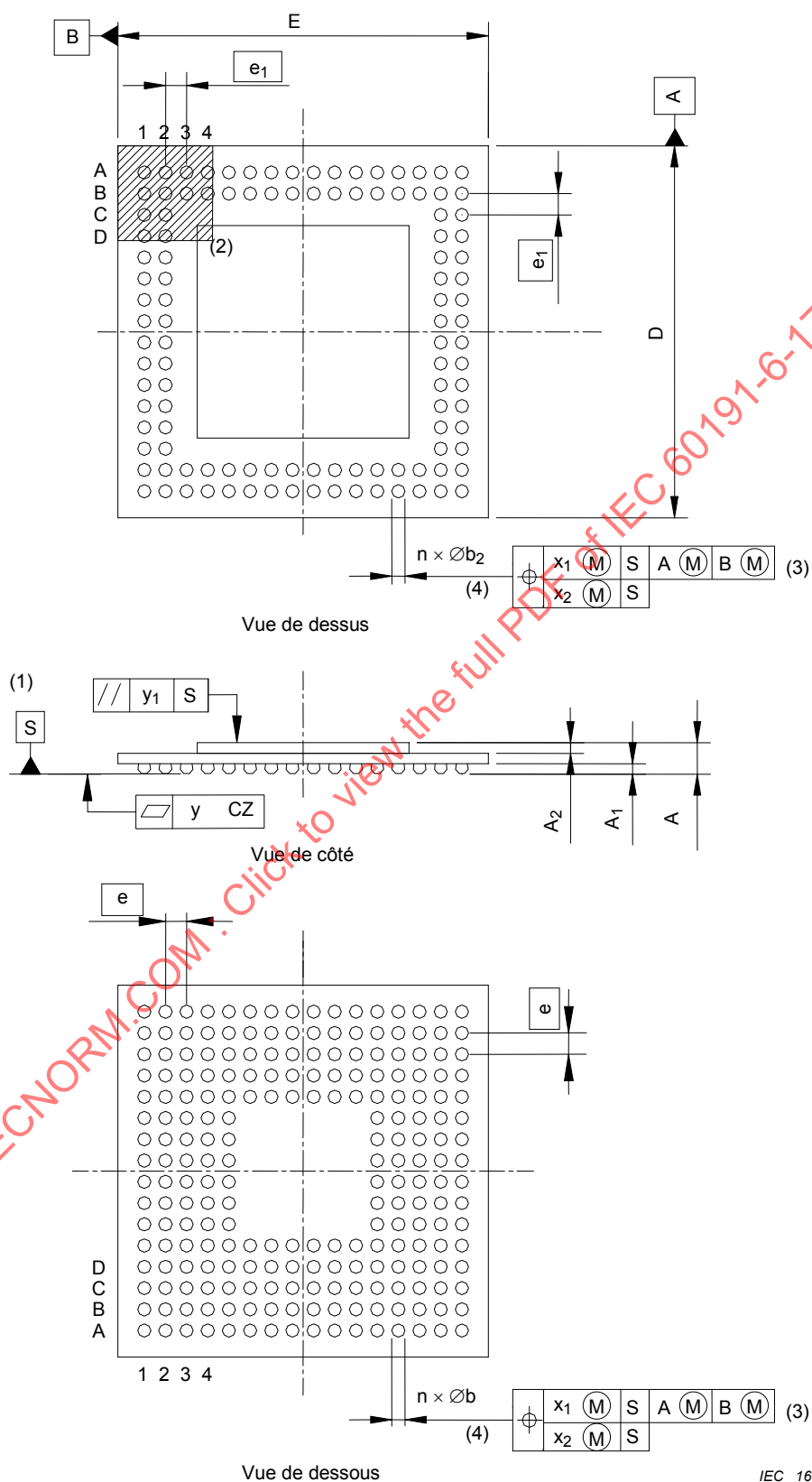
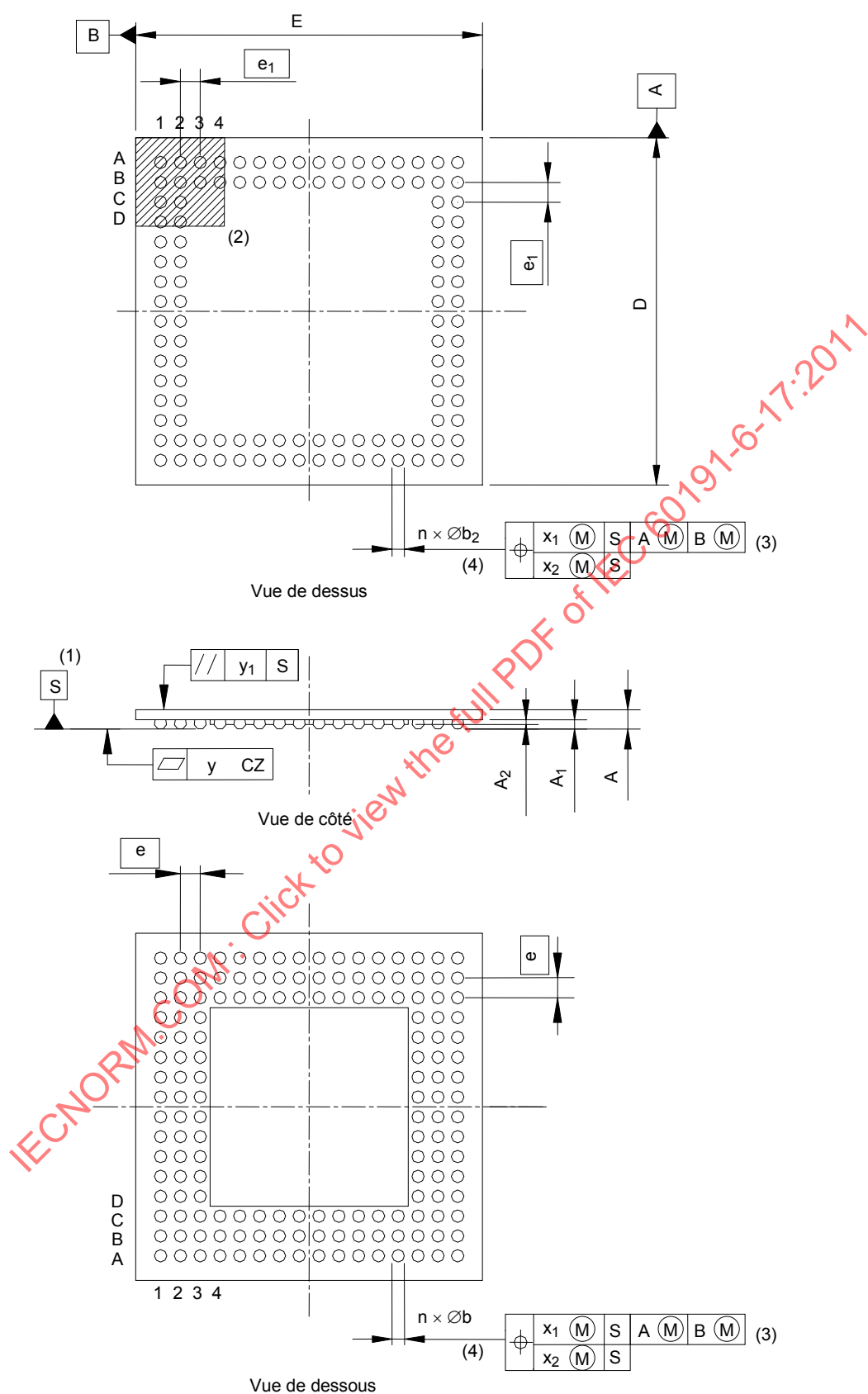


Figure 1 – Boîtier empilable individuel, P-FBGA (cavité vers le haut)



IEC 165/11

Figure 2 – Boîtier empilable individuel, P-FBGA (cavité vers le bas)

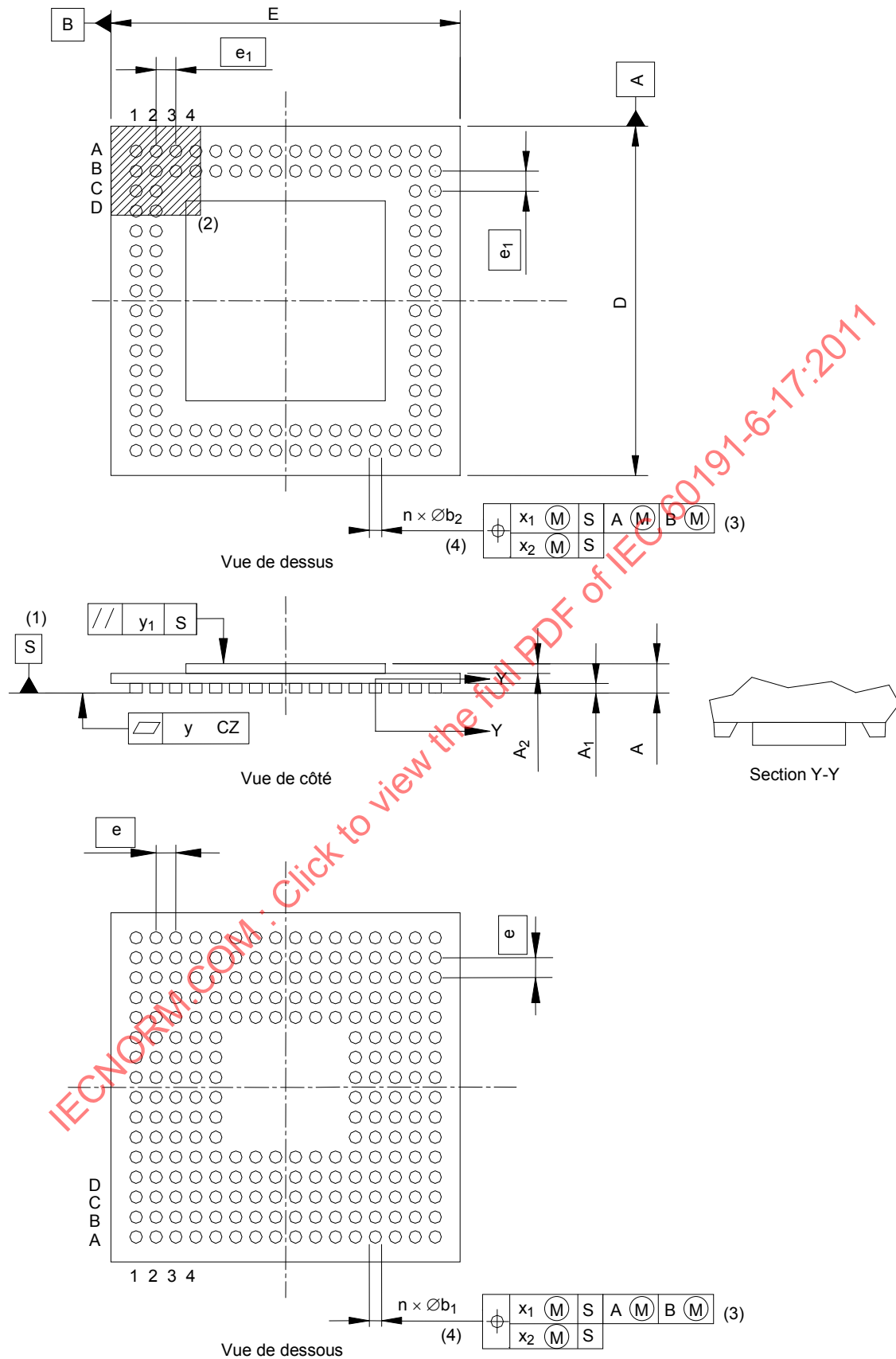
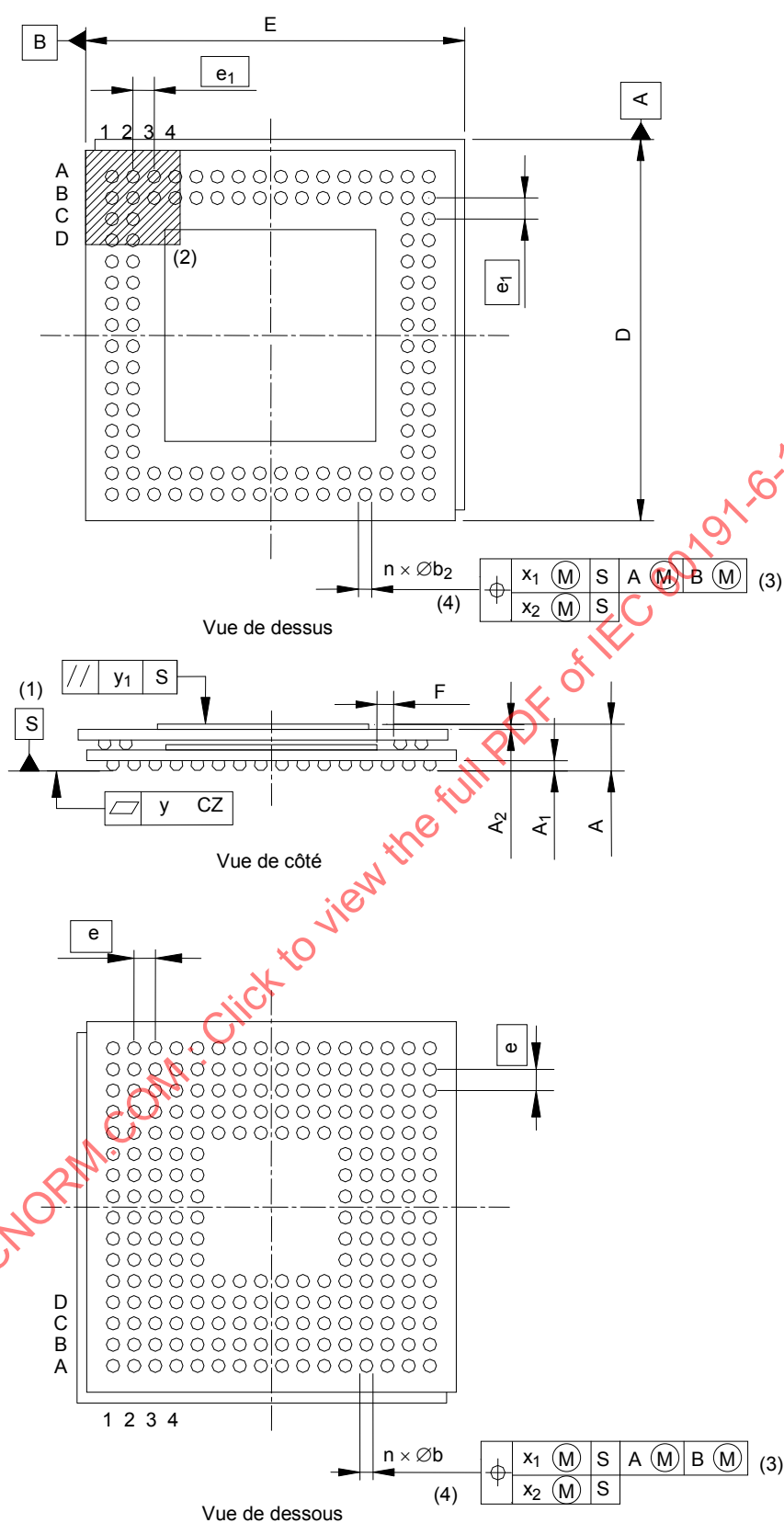


Figure 3 – Boîtier empilable individuel, P-FLGA (cavité vers le haut)



IEC 167/11

Figure 4 – Encombrement d'un empilement de boîtiers, P-PFBGA (BGA (matrice à billes) cavité vers le haut, et BGA cavité vers le haut)

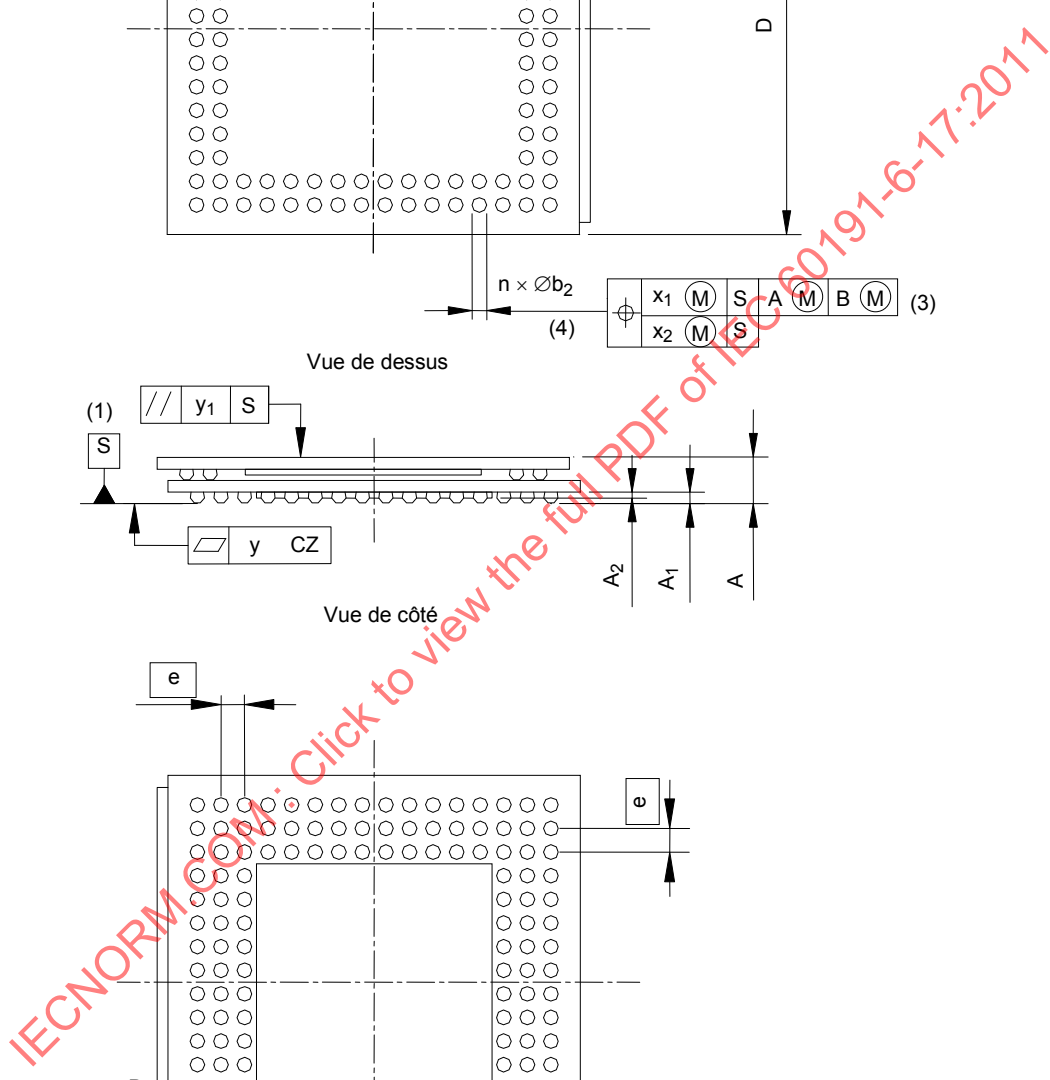


Figure 5 – Encombrement d'un empilement de boîtiers, P-PFBGA (BGA cavité vers le bas et BGA cavité vers le bas)

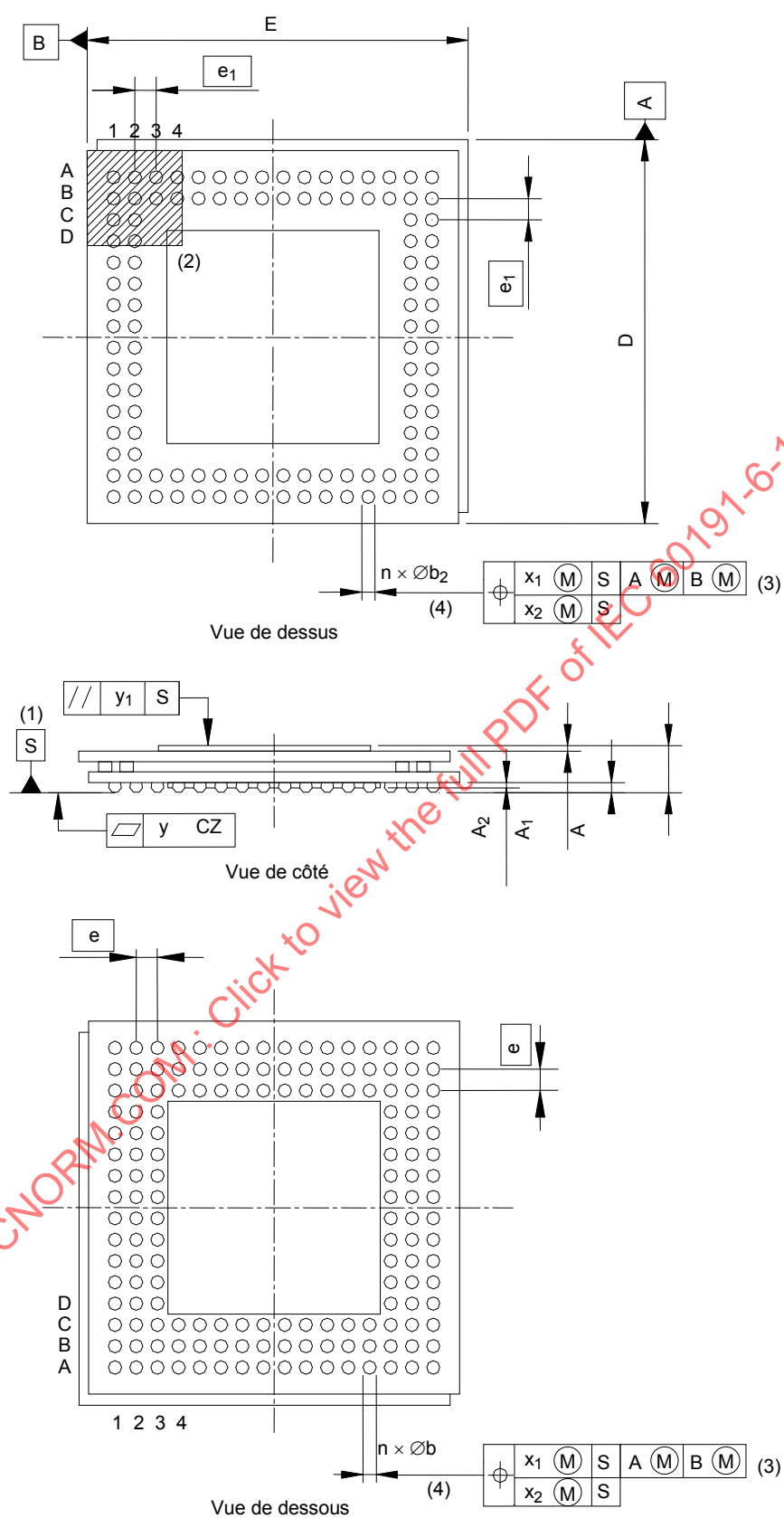


Figure 6 – Encombrement d'un empilement de boîtiers, P-PFBGA (BGA cavité vers le bas + LGA (zone de contact plate) cavité vers le haut)

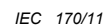


Figure 7 – Encombrement d'un empilement de boîtiers, P-PFLGA (LGA cavité vers le haut + BGA cavité vers le haut)

Les notes commun pour Figure 1 à Figure 7.

- (1) On définit la référence **S** comme le plan d'assise sur lequel repose un boîtier par contact des billes.

- (2) La zone hachurée indique la surface de marquage de repère où se trouve la borne **A1**. La surface de marquage de repère est généralement égale à 1/16 de la surface du corps du boîtier, conformément à la norme CEI. Même si le marquage de repère déborde de cette surface, il ne doit pas empiéter sur plus du quart de la surface du corps du boîtier.
- (3) Les tolérances de position réelle des bornes x_1 et x_2 s'appliquent à toutes les bornes.
- (4) Les diamètres des bornes b , b_1 , et b_2 sont les plus grands diamètres mesurés dans un plan parallèle au plan d'assise.

Le dessin de gabarit fonctionnel indique les caractéristiques des cercles dans lesquels se trouvent les bornes par rapport aux références **S**, **A**, et **B**.

Le dessin des aires de positionnement des bornes est constitué de cercles dans lesquels se trouvent les bornes par rapport à la référence **S**.

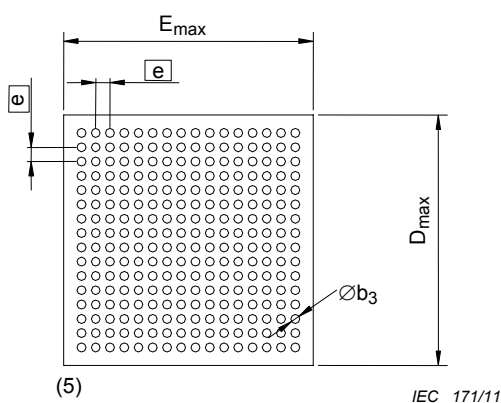


Figure 8 – Gabarit fonctionnel de position des bornes

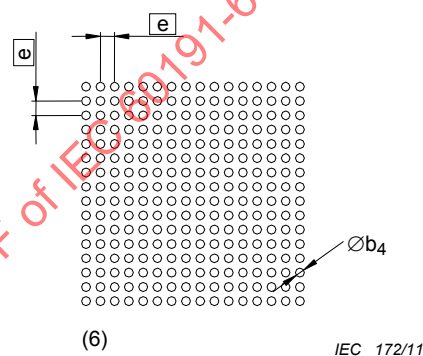


Figure 9 – Dessin des aires de positionnement des bornes

6 Dimensions

6.1 Groupe 1

Les dimensions de la groupe 1 sont représentées dans le Tableau 1.

Tableau 1 – Dimensions, Groupe 1

Unité: mm

Terme	Symbole	Spécification	Valeur recommandée	Remarques
Dimensions nominales du boîtier	$E \times D$	On définit les dimensions nominales d'un boîtier par « largeur E × longueur D du boîtier », exprimées en dixièmes de millimètre.	-	-
Longueur du boîtier	D	Pour les corps rectangulaires, la longueur D du boîtier est comprise entre 4,0 et 21,0 incréments de 0,5. Pour les corps carrés, la longueur D du boîtier est comprise entre 4,0 et 14,5 incréments de 0,5 et entre 15,0 et 21,0 incréments de 1,0. Les tolérances de D sont de $\pm 0,1$ pour les boîtiers empilables individuels et de $\pm 0,15$ pour les empilements de boîtiers.	-	Les encombrements rectangulaires sont autorisés. D inclut les bavures
Largeur du boîtier	E	Pour les corps rectangulaires, la largeur E du boîtier est comprise entre 4,0 et 21,0 incréments de 0,5. Pour les corps carrés, la largeur E du boîtier est comprise entre 4,0 et 14,5 incréments de 0,5 et entre 15,0 et 21,0 incréments de 1,0. Les tolérances de E sont de $\pm 0,1$ pour les boîtiers empilables individuels et de $\pm 0,15$ pour les empilements de boîtiers.	-	Les encombrements rectangulaires sont autorisés. E inclut les bavures
Hauteur de profil maximale	A	La hauteur de profil maximale A appartient à l'une des catégories suivantes: 0,30, 0,40, 0,50, 0,65, 0,80, 1,00, 1,20, 1,40, 1,60, 1,80, 2,00, 2,20, ou 2,50.	-	A inclut le gauchissement du boîtier et les erreurs d'inclinaison

Tableau 1 – Dimensions, Groupe 1 (suite à la page suivante)

Unité: mm

Terme	Symbole	Spécification	Valeur recom- mandée	Remarques																								
Tolérance de position réelle des bornes par rapport à la référence du corps	x_1	(1) Pour les boîtiers empilables individuels: <table><tr><th>e</th><th>x_1</th></tr><tr><td>0,80</td><td>0,15</td></tr><tr><td>0,65</td><td>0,15</td></tr><tr><td>0,50</td><td>0,15</td></tr><tr><td>0,40</td><td>0,12</td></tr><tr><td>0,30</td><td>0,12</td></tr></table> (2) Pour les boîtiers empilés: <table><tr><th>e</th><th>x_1</th></tr><tr><td>0,80</td><td>0,20</td></tr><tr><td>0,65</td><td>0,20</td></tr><tr><td>0,50</td><td>0,20</td></tr><tr><td>0,40</td><td>0,15</td></tr><tr><td>0,30</td><td>0,15</td></tr></table>	e	x_1	0,80	0,15	0,65	0,15	0,50	0,15	0,40	0,12	0,30	0,12	e	x_1	0,80	0,20	0,65	0,20	0,50	0,20	0,40	0,15	0,30	0,15	-	Les tolérances de position traduisent les possibilités actuelles de la filière
e	x_1																											
0,80	0,15																											
0,65	0,15																											
0,50	0,15																											
0,40	0,12																											
0,30	0,12																											
e	x_1																											
0,80	0,20																											
0,65	0,20																											
0,50	0,20																											
0,40	0,15																											
0,30	0,15																											
Tolérance de position borne à borne	x_2	(1) Pour les boîtiers empilables individuels: <table><tr><th>e</th><th>x_2</th></tr><tr><td>0,80</td><td>0,08</td></tr><tr><td>0,65</td><td>0,08</td></tr><tr><td>0,50</td><td>0,05</td></tr><tr><td>0,40</td><td>0,05</td></tr><tr><td>0,30</td><td>0,03</td></tr></table> (2) Pour les boîtiers empilés: <table><tr><th>e_1</th><th>x_2</th></tr><tr><td>0,80</td><td>0,08</td></tr><tr><td>0,65</td><td>0,08</td></tr><tr><td>0,50</td><td>0,05</td></tr><tr><td>0,40</td><td>0,05</td></tr><tr><td>0,30</td><td>0,03</td></tr></table>	e	x_2	0,80	0,08	0,65	0,08	0,50	0,05	0,40	0,05	0,30	0,03	e_1	x_2	0,80	0,08	0,65	0,08	0,50	0,05	0,40	0,05	0,30	0,03	-	Les tolérances de position traduisent les possibilités actuelles de la filière $e=0,30$ s'applique au FLGA, cavité vers le haut. $e_1=0,30$ s'applique aux boîtiers, cavité vers le bas
e	x_2																											
0,80	0,08																											
0,65	0,08																											
0,50	0,05																											
0,40	0,05																											
0,30	0,03																											
e_1	x_2																											
0,80	0,08																											
0,65	0,08																											
0,50	0,05																											
0,40	0,05																											
0,30	0,03																											

Tableau 1 – Dimensions, Groupe 1 (suite à la page suivante)

Unité: mm

Terme	Symbole	Spécification	Valeur recom- mandée	Remarques																																																			
Hauteur de dépasse- ment	A ₁	(1) Pour le FBGA: <table><tr><th>e</th><th>b</th><th>MIN</th><th>NOM</th><th>MAX</th></tr><tr><td>0,80</td><td>0,50</td><td>0,36</td><td>0,40</td><td>0,44</td></tr><tr><td></td><td>0,45</td><td>0,30</td><td>0,34</td><td>0,38</td></tr><tr><td></td><td>0,40</td><td>0,24</td><td>0,28</td><td>0,32</td></tr><tr><td>0,65</td><td>0,45</td><td>0,32</td><td>0,36</td><td>0,40</td></tr><tr><td></td><td>0,40</td><td>0,26</td><td>0,30</td><td>0,34</td></tr><tr><td></td><td>0,35</td><td>0,20</td><td>0,24</td><td>0,28</td></tr><tr><td>0,50</td><td>0,35</td><td>0,26</td><td>0,30</td><td>0,34</td></tr><tr><td></td><td>0,30</td><td>0,19</td><td>0,23</td><td>0,27</td></tr><tr><td></td><td>0,40</td><td>0,25</td><td>0,17</td><td>0,20</td><td>0,23</td></tr></table>	e	b	MIN	NOM	MAX	0,80	0,50	0,36	0,40	0,44		0,45	0,30	0,34	0,38		0,40	0,24	0,28	0,32	0,65	0,45	0,32	0,36	0,40		0,40	0,26	0,30	0,34		0,35	0,20	0,24	0,28	0,50	0,35	0,26	0,30	0,34		0,30	0,19	0,23	0,27		0,40	0,25	0,17	0,20	0,23	-	Pour le boîtier le plus bas, la hauteur de dépassement doit être conforme à l'un ce ces critères ou l'un de ceux spécifiés dans la CEI 60191-6-5
		e	b	MIN	NOM	MAX																																																	
		0,80	0,50	0,36	0,40	0,44																																																	
			0,45	0,30	0,34	0,38																																																	
			0,40	0,24	0,28	0,32																																																	
		0,65	0,45	0,32	0,36	0,40																																																	
			0,40	0,26	0,30	0,34																																																	
			0,35	0,20	0,24	0,28																																																	
		0,50	0,35	0,26	0,30	0,34																																																	
			0,30	0,19	0,23	0,27																																																	
	0,40	0,25	0,17	0,20	0,23																																																		
(2) Pour le FLGA: A ₁ ≤0,10																																																							
Hauteur maximale de moulage de protection	A ₂	(1) Pour le FBGA: <table><tr><th>e</th><th>b</th><th>A₂ (MAX)</th></tr><tr><td>0,80</td><td>0,50</td><td>0,28</td></tr><tr><td>0,80</td><td>0,45</td><td>0,22</td></tr><tr><td>0,80</td><td>0,40</td><td>0,16</td></tr><tr><td>0,65</td><td>0,45</td><td>0,26</td></tr><tr><td>0,65</td><td>0,40</td><td>0,20</td></tr><tr><td>0,65</td><td>0,35</td><td>0,14</td></tr><tr><td>0,50</td><td>0,35</td><td>0,22</td></tr><tr><td>0,50</td><td>0,30</td><td>0,15</td></tr><tr><td>0,40</td><td>0,25</td><td>0,14</td></tr></table>	e	b	A ₂ (MAX)	0,80	0,50	0,28	0,80	0,45	0,22	0,80	0,40	0,16	0,65	0,45	0,26	0,65	0,40	0,20	0,65	0,35	0,14	0,50	0,35	0,22	0,50	0,30	0,15	0,40	0,25	0,14	-	Lors de la spécification de A ₁ , il convient de tenir compte de A ₂																					
		e	b	A ₂ (MAX)																																																			
		0,80	0,50	0,28																																																			
		0,80	0,45	0,22																																																			
		0,80	0,40	0,16																																																			
		0,65	0,45	0,26																																																			
		0,65	0,40	0,20																																																			
		0,65	0,35	0,14																																																			
		0,50	0,35	0,22																																																			
		0,50	0,30	0,15																																																			
0,40	0,25	0,14																																																					
(2) Pour le FLGA:																																																							