

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC
191-3E**

Première édition
First edition
1990-08

Cinquième complément à la Publication 191-3 (1974)

**Normalisation mécanique des dispositifs
à semiconducteurs**

Troisième partie:

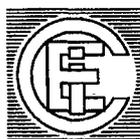
Règles générales pour la préparation des dessins
d'encombrement des circuits intégrés
Boîtiers matriciels

Fifth supplement to Publication 191-3 (1974)

**Mechanical standardization of semiconductor
devices**

Part 3:

General rules for the preparation of outline
drawings of integrated circuits
Pin grid arrays



Numéro de référence
Reference number
CEI/IEC 191-3E: 1990

Révision de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la Commission afin d'assurer qu'il reflète bien l'état actuel de la technique.

Les renseignements relatifs à ce travail de révision, à l'établissement des éditions révisées et aux mises à jour peuvent être obtenus auprès des Comités nationaux de la CEI et en consultant les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
- **Catalogue des publications de la CEI**
Publié annuellement

Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la Publication 50 de la CEI: Vocabulaire Electrotechnique International (VEI), qui est établie sous forme de chapitres séparés traitant chacun d'un sujet défini, l'Index général étant publié séparément. Des détails complets sur le VEI peuvent être obtenus sur demande.

Les termes et définitions figurant dans la présente publication ont été soit repris du VEI, soit spécifiquement approuvés aux fins de cette publication.

Symboles graphiques et littéraux

Pour les symboles graphiques, symboles littéraux et signes d'usage général approuvés par la CEI, le lecteur consultera:

- la Publication 27 de la CEI: Symboles littéraux à utiliser en électrotechnique;
- la Publication 617 de la CEI: Symboles graphiques pour schémas.

Les symboles et signes contenus dans la présente publication ont été soit repris des Publications 27 ou 617 de la CEI, soit spécifiquement approuvés aux fins de cette publication.

Publications de la CEI établies par le même Comité d'Etudes

L'attention du lecteur est attirée sur le deuxième feuillet de la couverture, qui énumère les publications de la CEI préparées par le Comité d'Etudes qui a établi la présente publication.

Revision of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information on the work of revision, the issue of revised editions and amendment sheets may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
- **Catalogue of IEC Publications**
Published yearly

Terminology

For general terminology, readers are referred to IEC Publication 50: International Electrotechnical Vocabulary (IEV), which is issued in the form of separate chapters each dealing with a specific field, the General Index being published as a separate booklet. Full details of the IEV will be supplied on request.

The terms and definitions contained in the present publication have either been taken from the IEV or have been specifically approved for the purpose of this publication.

Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to:

- IEC Publication 27: Letter symbols to be used in electrical technology;
- IEC Publication 617: Graphical symbols for diagrams.

The symbols and signs contained in the present publication have either been taken from IEC Publications 27 or 617, or have been specifically approved for the purpose of this publication.

IEC publications prepared by the same Technical Committee

The attention of readers is drawn to the back cover, which lists IEC publications issued by the Technical Committee which has prepared the present publication.

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

CEI
IEC
191-3E

Première édition
First edition
1990-08

Cinquième complément à la Publication 191-3 (1974)

**Normalisation mécanique des dispositifs
à semiconducteurs**

Troisième partie:

Règles générales pour la préparation des dessins
d'encombrement des circuits intégrés
Boîtiers matriciels

Fifth supplement to Publication 191-3 (1974)

**Mechanical standardization of semiconductor
devices**

Part 3:

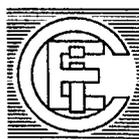
General rules for the preparation of outline
drawings of integrated circuits
Pin grid arrays

© CEI 1990 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni
utilisée sous quelque forme que ce soit et par aucun pro-
cédé, électronique ou mécanique, y compris la photocopie et
les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in
any form or by any means, electronic or mechanical,
including photocopying and microfilm, without permission
in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève, Suisse



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

Cinquième complément à la Publication 191-3 (1974)

NORMALISATION MÉCANIQUE DES DISPOSITIFS À SEMICONDUCTEURS

**Troisième partie : Règles générales pour la préparation des dessins d'encombrement
des circuits intégrés
Boîtiers matriciels**

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment, dans la plus grande mesure possible, un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

PRÉFACE

La présente norme a été établie par le Comité d'Etudes n° 47 de la CEI: Dispositifs à semiconducteurs.

Elle constitue le cinquième complément à la Publication 191-3 de la CEI.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote
47 (BC) 1147	47 (BC) 1212

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

Fifth supplement to Publication 191-3 (1974)

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES

Part 3: General rules for the preparation of outline drawings of integrated circuits

Pin grid arrays

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

PREFACE

This standard has been prepared by IEC Technical Committee No. 47: Semiconductor devices.

It forms the fifth supplement of IEC Publication 191-3.

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting
47 (CO) 1147	47 (CO) 1212

Full information on the voting for the approval of this standard can be found in the Voting Report indicated in the above table.

Cinquième complément à la Publication 191-3 (1974)

NORMALISATION MÉCANIQUE DES DISPOSITIFS À SEMICONDUCTEURS

**Troisième partie : Règles générales pour la préparation des dessins d'encombrement
des circuits intégrés
Boîtiers matriciels**

Page 8 de la Publication 191-3B de la CEI

Après l'article 13, ajouter l'article 14 suivant :

14. Boîtiers matriciels

Voir l'annexe F.

IECNORM.COM: Click to view the full PDF of IEC 60191-3E:1990
Without2AM

Fifth supplement to Publication 191-3 (1974)

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES

Part 3: General rules for the preparation of outline drawings of integrated circuits

Pin grid arrays

Page 9 of IEC Publication 191-3B

After Clause 13, add the following Clause 14:

14. Pin grid arrays

See Appendix F.

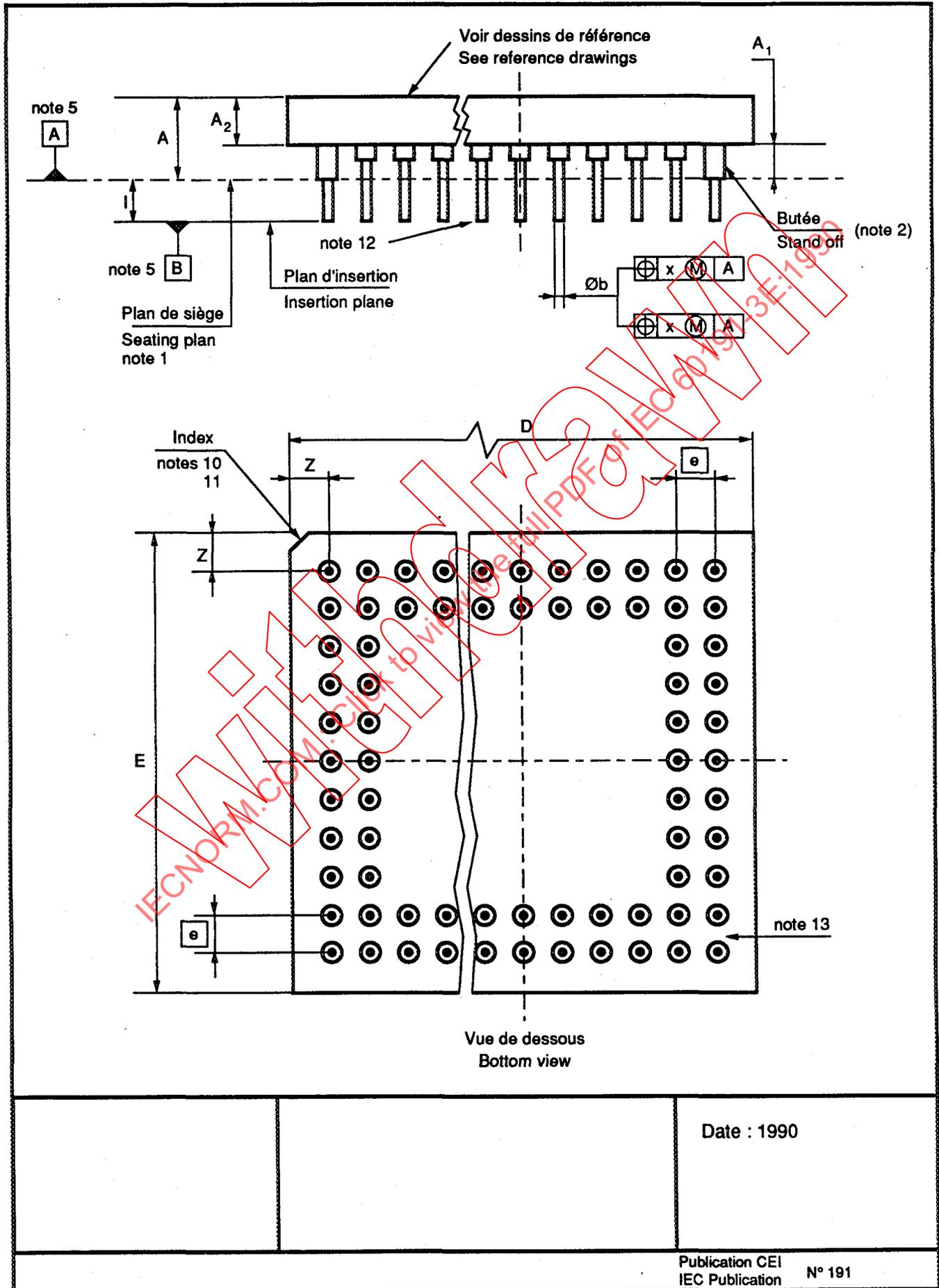
IECNORM.COM: Click to view the full PDF of IEC 60191-3E:1990
Withdrawn

ANNEXE F

APPENDIX F

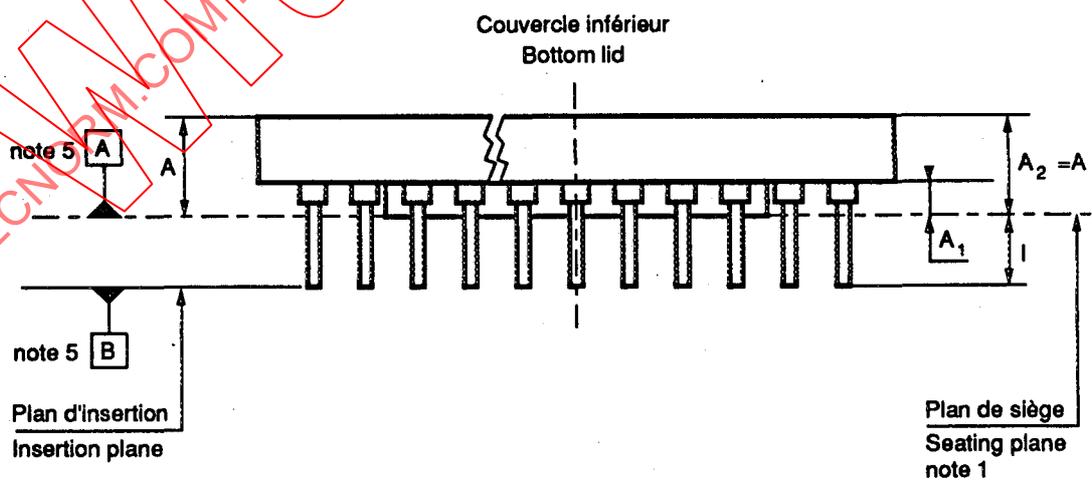
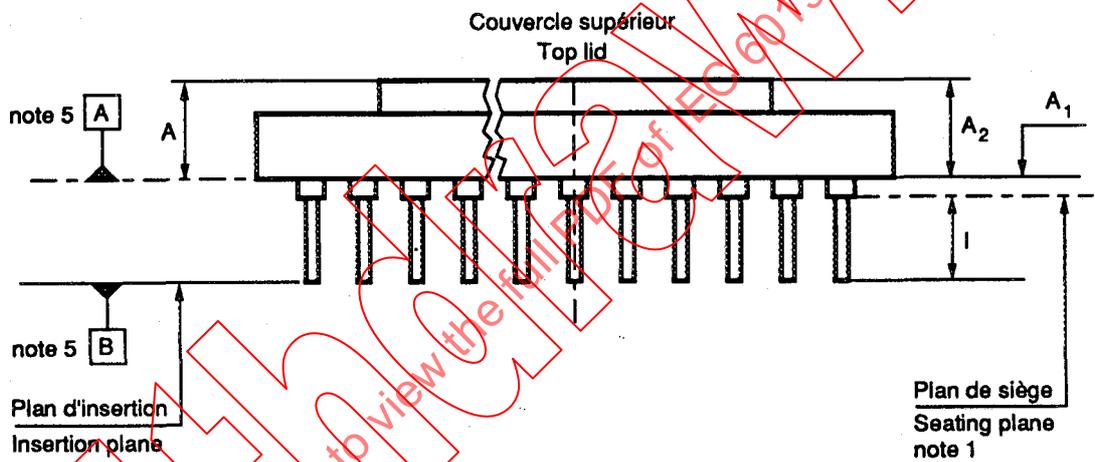
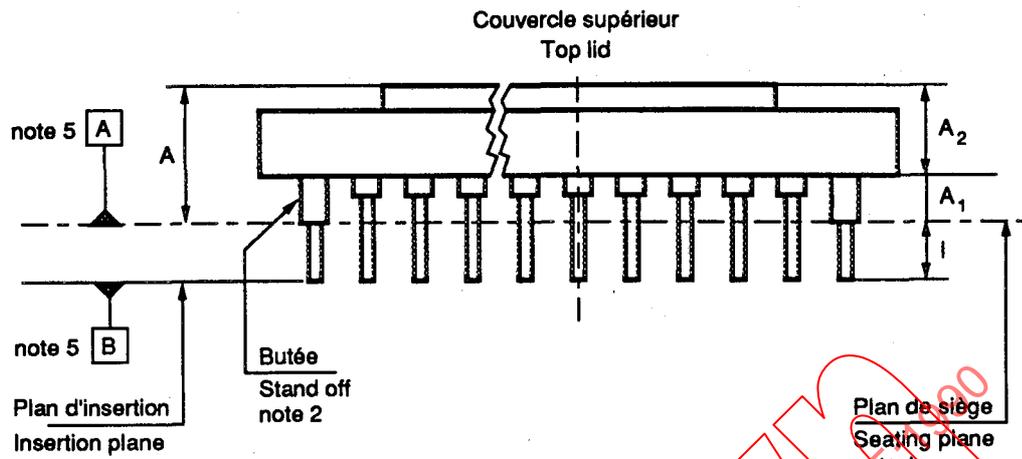
REGLES GENERALES POUR LA
PREPARATION DES DESSINS
DE BOITERS MATRICIELS

GENERAL RULES FOR THE
PREPARATION OF OUTLINE DRAWINGS
OF PIN GRID ARRAYS



Date : 1990

DESSINS DE REFERENCE - REFERENCE DRAWINGS



Date : 1990

Dimensions à spécifier.
Dimensions to be specified.

Tableau A : Dimensions communes à tous les types de boîtiers matriciels
Dimensions appropriées pour le montage et l'interchangeabilité

Table A : Dimensions common to all types of pin grid array packages
Dimensions appropriate to mounting and interchangeability

Réf.	Millimètres / Inches (note 14)			Notes
	min.	nom.	max.	
A	x	—	x	1,2
A ₁	x	—	—	3
A ₂	—	—	x	3
Øb	x	—	x	4
e	—	x(*)	—	
l	x	—	x	1
x	—	—	x	5
y	—	—	x	5
Z	—	—	x	6

Tableau B : Dimensions spécifiques aux types

Table B : Type specific dimensions

Millimètres / Inches note 14

Réf.	Type 1			Type 2			Type n			Notes
	min.	nom.	max.	min.	nom.	max.	min.	nom.	max.	
D	x	—	x	x	—	x	x	—	x	
E	x	—	x	x	—	x	x	—	x	
n _D	—	x	—	—	x	—	—	x	—	7
n _E	—	x	—	—	x	—	—	x	—	8
n	—	x	—	—	x	—	—	x	—	9, 10

Date : 1990

Notes

- 1 - Plan de siège : le plan de siège est déterminé lorsque les sorties du dispositif sont insérées en butée dans des trous de diamètre 1,1 mm (0.043") disposés axialement suivant la grille matricielle de module $\frac{e}{e}$ / $\frac{e}{e}$
- 2 - Les butées ne sont pas imposées ; lorsqu'elles existent elles doivent être situées sur les diagonales de la matrice des sorties.
- 3 - La dimension A_2 inclut à la fois le corps du boîtier et le couvercle que celui-ci soit situé au-dessus ou au-dessous du boîtier. (Voir dessins de référence.)
- 4 - La dimension $\varnothing b$ exclut les surépaisseurs de soudure au trempé. Sinon, la spécification particulière de soudure au trempé doit donner le diamètre $\varnothing b$ à la fois sans et avec soudure.
- 5 - Tolérance de position selon la Norme ISO 1101.
 - x s'applique à la référence de position A (écart par rapport à la position théorique),
 - y s'applique à la référence de position B (écart par rapport à la position théorique).
- 6 - Dépassement du boîtier Z

$$\text{soit } Z < \frac{e}{2}$$

$$\text{soit } \frac{e}{2} \leq Z < e$$

Les dessins de boîtiers qui diffèrent seulement par leur dépassement peuvent être différenciés par un suffixe dans leur numéro de code.

Notes

- 1 - Seating plane: the seating plane is determined when the device terminals are fully inserted into holes of diameter of 1.1 mm (0.043") the centres of which are located on a grid matrix with $\frac{e}{e}$ / $\frac{e}{e}$ as modulus.
- 2 - Stand-offs are optional, but when present they should be located on the pin matrix diagonals.
- 3 - Dimension A_2 includes both the package body and lid for either lid up or lid down configuration. (See reference drawings.)
- 4 - Dimension $\varnothing b$ includes solder dip supplementary thickness. If not, solder dip detailed specification shall give both $\varnothing b$ diameter without and with solder.
- 5 - Positional tolerance per ISO Standard 1101.
 - x value applies at datum A (deviation from the theoretical position),
 - y value applies at datum B (deviation from the theoretical position).
- 6 - Package overhand Z

$$\text{soit } Z < \frac{e}{2}$$

$$\text{soit } \frac{e}{2} \leq Z < e$$

Package drawings which differ by their overhang only may be differentiated by a suffix in their code number.

Date : 1990