

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

**CEI
IEC
115-1**

QC 400 000
1982

**MODIFICATION 3
AMENDMENT 3**

Janvier/January 1989

Modification 3 à la Publication 115-1 (1982)
**Résistances fixes utilisées dans
les équipements électroniques**

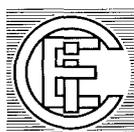
Partie 1:
Spécification générique

Amendment 3 to Publication 115-1 (1982)
**Fixed resistors for use in electronic
equipment**

Part 1:
Generic specification

© CEI 1989 Droits de reproduction réservés — Copyright — all rights reserved

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève, Suisse



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

PREFACE

La présente modification a été établie par le Comité d'Etudes No. 40 de la CEI: Condensateurs et résistances pour équipements électroniques.

Le texte de cette modification est issu des documents suivants:

Règle des Six Mois	Rapport de vote	Procédure des Deux Mois	Rapport de vote
40(BC)620	40(BC)669	40(BC)679	40(BC)687

Pour de plus amples renseignements, consulter les rapports de vote correspondants mentionnés dans le tableau ci-dessus.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de spécification dans le Système CEI d'assurance de la qualité des composants électroniques (IECQ).

Page 2

- Ajouter à la Section Quatre, les paragraphes suivants:

4.31 Montage (pour les résistances chipées uniquement).....	12
4.32 Adhérence.....	16
4.33 Robustesse des extrémités métallisées.....	16

Page 16

- Ajouter un nouveau paragraphe 2.2.22:

2.2.22 Résistance chipée

Résistance fixe dont les petites dimensions et la nature ou la forme des sorties rendent appropriée son montage dans les circuits hybrides et en surface des cartes imprimées.

Page 18

Paragraphe 3.1

Remplacer le texte existant par:

- 3.1.1 Quand ces documents sont utilisés dans le cadre d'un système d'assurance de la qualité complet tel que le Système CEI d'assurance de la qualité des composants électroniques (IECQ), avec homologation et contrôle de la conformité de la qualité, on doit suivre les procédures des paragraphes 3.4 et 3.5.
- 3.1.2 Quand ces documents sont utilisés à l'extérieur d'un système d'assurance de la qualité tel que le Système IECQ à des fins telles que l'épreuve d'une conception ou des essais de type, les procédures et les exigences des paragraphes 3.4.1 et 3.4.2 b) peuvent être appliquées, mais dans tous les cas, les essais et parties d'essai doivent être effectués dans l'ordre donné dans le programme d'essai.

PREFACE

This amendment has been prepared by IEC Technical Committee No. 40: Capacitors and Resistors for Electronic Equipment.

The text of this amendment is based upon the following documents:

Six Months' Rule	Report on Voting	Two Months' Procedure	Report on Voting
40(CO)620	40(CO)669	40(CO)679	40(CO)687

Further information can be found in the relevant Reports on Voting indicated in the table above.

The QC number that appears on the front cover of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

Page 3

- Add in Section Four, the following sub-clauses:

4.31 Mounting (for chip resistors only).....	13
4.32 Adhesion.....	17
4.33 Bond strength of the end face plating.....	17

Page 17

- Add a new Sub-clause 2.2.22:

2.2.22 Chip resistor

A fixed resistor whose small dimensions and the nature or the shape of the terminations make it suitable for use in hybrid circuits and on printed boards.

Page 19Sub-clause 3.1

Replace the existing text by:

- 3.1.1 When these documents are being used for the purpose of a full quality assessment system such as the IEC Quality Assessment System for Electronic Components (IECQ), with Qualification Approval and Quality Conformance Inspection, the procedures of Sub-clauses 3.4 and 3.5 shall be complied with.
- 3.1.2 When these documents are used outside such quality assessment systems as the IECQ system for purposes such as design proving or type testing, the procedures and requirements of Sub-clauses 3.4.1 and 3.4.2 b) may be used, but the tests and parts of tests shall be applied in the order given in the test schedules.

Page 30

- Au paragraphe 4.6.1 remplacer "trois" par "quatre".
- Ajouter les nouveaux paragraphes 4.6.1.4 et 4.6.1.5:

4.6.1.4 Méthode pour les résistances chipes de forme rectangulaire

L'essai doit être effectué la résistance étant montée comme indiqué en figure 7a.

La force de maintien donnée par le ressort doit être de $1,0 \pm 0,2$ N, sauf spécification contraire en spécification particulière. Le point du contact du bloc métallique doit être centré pour assurer une bonne répétabilité des résultats.

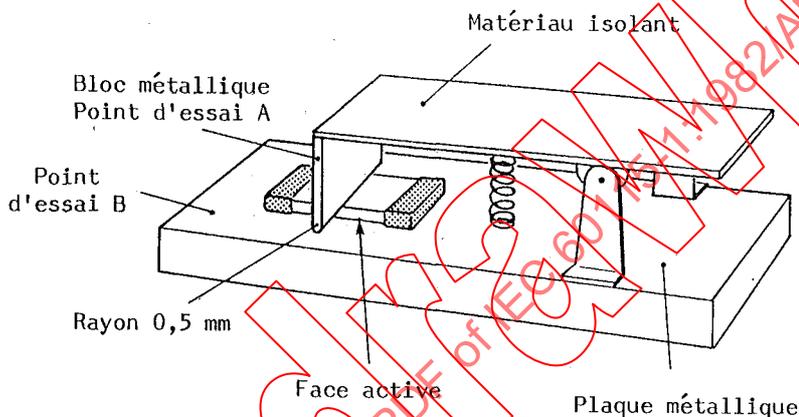


Figure 7a: Appareil d'essai pour la tension de tenue et la résistance d'isolement des résistances chipes de forme rectangulaire.

4.6.1.5 Méthode pour les résistances chipes de forme cylindrique

L'essai doit être effectué, la résistance étant montée comme indiqué à la figure 7b.

La force de maintien donnée par le ressort doit être de $1,0 \pm 0,2$ N sauf spécification contraire dans la spécification particulière.

La dimension L_1 du bloc, doit être choisie de telle sorte que l'on puisse maintenir une distance minimale de 0,5 mm entre le bloc et les zones de contact.

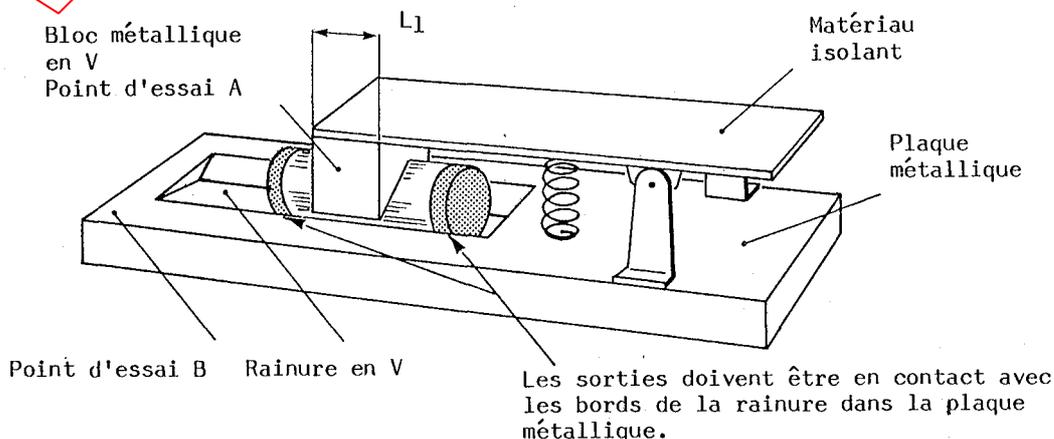


Figure 7b: Appareil d'essai pour la tension de tenue et la résistance d'isolement des résistances chipes de forme cylindrique.

Page 31

- In Sub-clause 4.6.1 replace "three" by "four".
- Insert new Sub-clauses 4.6.1.4 and 4.6.1.5:

4.6.1.4 Method for rectangular chip resistors

The test shall be performed with the resistor mounted as shown in Figure 7a.

The clamping force of the spring shall be 1.0 ± 0.2 N, unless otherwise specified in the detail specification. The point of contact of the metal block shall be centrally located to ensure good repeatability of results.

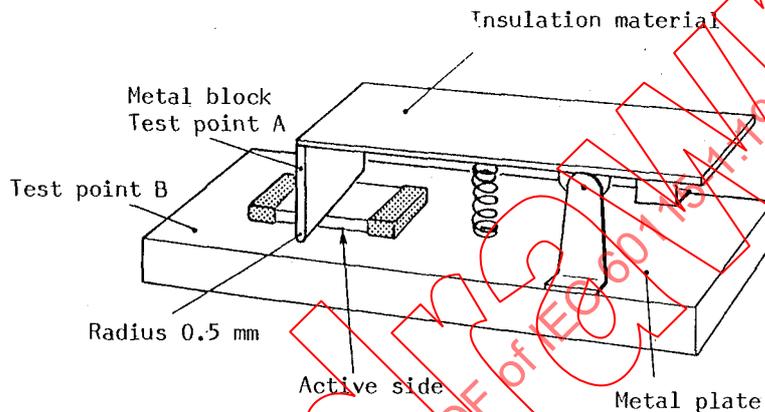


Figure 7a: Insulation resistance and voltage proof test jig for rectangular chip resistors.

4.6.1.5 Method for cylindrical types

The test shall be performed with the resistor mounted as shown in Figure 7b.

The clamping force of the spring shall be 1.0 ± 0.2 N, unless otherwise specified in the detail specification.

Dimension L_1 of the test block shall be chosen so that a minimum distance of 0.5 mm to the contact areas is maintained.

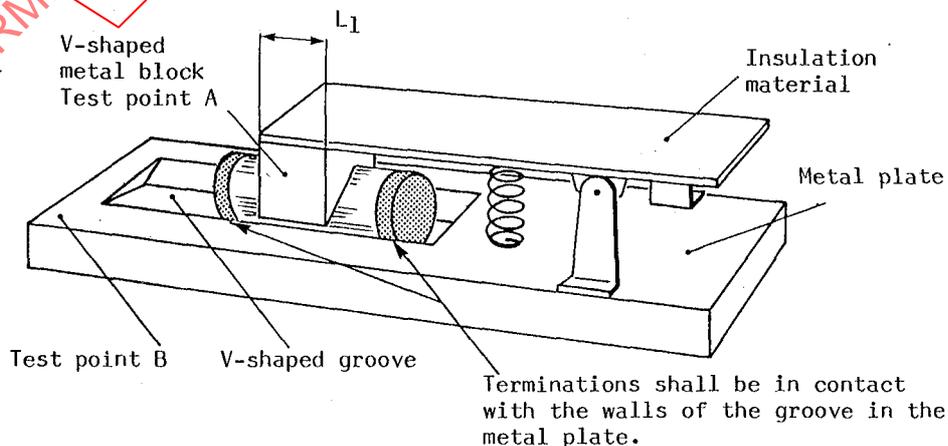


Figure 7b: Insulation resistance and voltage proof test jig for rectangular chip resistors.

Pages 30 et 32

- Remplacer le texte existant du paragraphe 4.6.2 par:

4.6.2 Pour toutes les résistances à l'exception des résistances chipses, la résistance d'isolement doit être mesurée, sous une tension continue de 100 ± 15 V pour les résistances dont la tension d'isolement est < 500 V ou de 500 ± 50 V pour les résistances dont la tension d'isolement est ≥ 500 V, entre les deux sorties de la résistance reliées entre elles et constituant l'un des pôles, et le bloc en V, ou la feuille métallique ou le dispositif de fixation, constituant l'autre pôle.

Pour les résistances chipses la résistance d'isolement doit être mesurée sous une tension continue de 100 ± 15 V ou sous une tension égale à la tension d'isolement, entre les points d'essai A et B indiqués en figure 7 (le point d'essai A doit être positif).

La tension doit être appliquée pendant 1 min ou une durée plus courte mais suffisante pour obtenir une lecture stable; la résistance d'isolement doit être lue à la fin de cette période.

Page 32

- Remplacer le texte existant du paragraphe 4.7.2 par:

4.7.2 Pour toutes les résistances à l'exception des résistances chipses, la tension d'essai doit être appliquée entre les sorties de la résistance reliées ensemble et constituant l'un des pôles, et le bloc en V, ou la (les) plaque(s) de fixation, constituant l'autre pôle. La tension d'essai doit être une tension alternative de fréquence comprise entre 40 Hz et 60 Hz et doit être augmentée progressivement à la vitesse d'environ 100V/s, depuis zéro jusqu'à une valeur de crête de 1,42 fois la valeur de la tension d'isolement prescrite dans la spécification particulière.

La tension est maintenue appliquée pendant 60 ± 5 s après que la tension spécifiée a été atteinte.

Pour les résistances chipses une tension alternative de fréquence comprise entre 40 Hz et 60 Hz et de valeur crête égale à 1,42 fois la valeur de la tension d'isolement, doit être appliquée pendant 60 ± 5 s entre les points d'essai A et B indiqués en figure 7. La tension doit être appliquée progressivement à la vitesse d'environ 100 V/s.

- Remplacer le texte existant du paragraphe 4.7.3 par:

"Il ne doit y avoir ni claquage (mis en évidence par un courant de fuite supérieur ou égal à 10 μ A), ni contournement."

Page 44**Paragraphe 4.17.2**

- Au début de la première phrase, remplacer:

"Les résistances" par "Toutes les résistances à l'exception des résistances chipses".

Pages 31 and 33

- Replace the existing text of Sub-clause 4.6.2 by:

- 4.6.2 For all resistors except chip resistors, the insulation resistance shall be measured between both terminations of the resistor connected together as one pole and the V-block or the metal foil or mounting device, as the other pole. The measuring voltage shall be either 100 ± 15 V d.c. for resistors with an isolation voltage < 500 V or 500 ± 50 V d.c. for resistors with an isolation voltage ≥ 500 V.

For chip resistors, the insulation resistance shall be measured with a direct voltage of 100 ± 15 V or a voltage equal to the isolation voltage between Test points A and B as shown in Figure 7. (Test point A shall be positive).

The voltage shall be applied for 1 min or for such shorter time as is necessary to obtain a stable reading; the insulation resistance shall be read at the end of that period.

Page 33

- Replace existing text of Sub-clause 4.7.2 by:

- 4.7.2 For all resistors except chip resistors, the test voltage shall be applied between the terminations of the resistor connected together as one pole, and the V-block or metal foil or mounting plate(s) as the other pole. The test voltage shall be alternating (40 to 60 Hz) and shall be increased, at a rate of about 100 V/s, from zero to a peak value of 1.42 times the value of the isolation voltage specified in the detail specification.

After the specified voltage has been reached the voltage shall continue to be applied for 60 ± 5 s.

For chip resistors, an alternating voltage of 40 Hz to 60 Hz with a peak value of 1.42 times the isolation voltage shall be applied for a period of 60 ± 5 s between test points A and B as shown in Figure 7. The voltage shall be applied gradually at a rate of approximately 100 V/s.

- Replace the existing text of Sub-clause 4.7.3 by:

"There shall be no breakdown (i.e. a leakage current ≥ 10 μ A) or flashover."

Page 45**Sub-clause 4.17.2**

- At the beginning of the first sentence replace:

"Resistors" by "All resistors except chip resistors".

- Ajouter une seconde phrase rédigée ainsi:

"Les résistances chipses sont soumises à l'essai Ta, Méthode 1 de la Publication 68-2-20 (1979) de la CEI. Les modalités de l'essai sont spécifiées au paragraphe 4.17.4".

Note.- Les méthodes d'essai ci-contre sont uniquement destinées aux résistances chipses conçues pour l'essai de soudage en immersion totale. Pour les autres types de résistances chipses la spécification particulière doit spécifier les conditions de l'essai applicable.

Page 46

- Renommer le paragraphe 4.17.4 existant qui devient 4.17.5.

- Ajouter le nouveau paragraphe 4.17.4 suivant:

4.17.4 Lorsque l'essai doit être effectué sur des résistances chipses, la méthode du bain d'alliage suivante doit être utilisée:

4.17.4.1 La résistance chipse doit être tenue par une petite pince en acier inoxydable comme indiqué en figure 8. Aucune partie de la pince ne doit être en contact avec les extrémités métallisées de la résistance.

La résistance chipse, tenue comme décrit ci-dessus, doit être immergée dans un flux non activé pendant 2 s environ. Ensuite on doit laisser s'égoutter l'excès de flux.

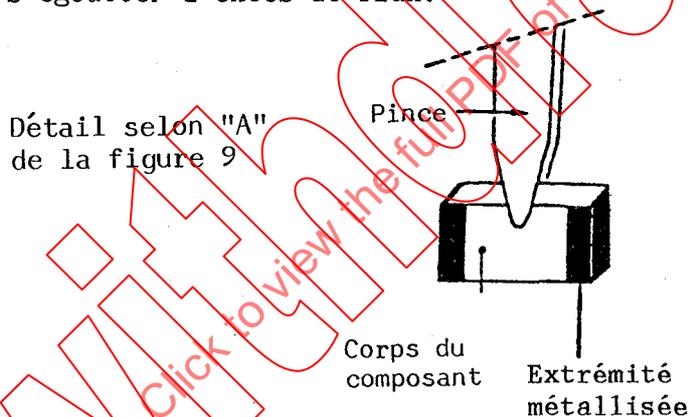


Figure 8

- 4.17.4.2 La résistance chipse étant tenue comme décrit en 4.17.4.1, la pince doit être montée sur l'appareil d'essai décrit en figure 9.
- 4.17.4.3 La résistance chipse doit alors être immergée dans le bain d'alliage, jusqu'à une profondeur de 10 mm. La température du bain doit être de 235 ± 5 °C et le temps d'immersion de $2 \pm 0,5$ s.
- 4.17.4.4 Après un temps inférieur à 60 min les résidus de flux doivent être enlevés de la résistance chipse en la nettoyant à l'aide d'un solvant approprié (voir Publication 68-2-45 de la CEI, paragraphe 3.1.1).
- 4.17.4.5 La résistance chipse doit ensuite être examinée visuellement dans des conditions normales d'éclairage et avec un grossissement de 10 environ. Il ne doit pas y avoir de signe de détérioration.

Les deux extrémités et les zones de contact doivent être recouvertes d'une couche d'alliage lisse et brillante, avec seulement un petit nombre d'imperfections dispersées, telles que piqûres, zone non mouillées ou présentant un retrait de mouillage. Ces imperfections ne doivent pas être concentrées dans une seule zone.

- Add a second sentence as follows:

"Chip resistors shall be tested in accordance with Test Ta, Method 1 of IEC Publication 68-2-20 (1979) and the details specified in Sub-clause 4.17.4".

Note.- The present test methods are only based on chip resistors suitable for total immersion soldering tests. For other types of chip resistors the detail specification shall specify the details of any alternative test.

Page 47

- Renumber the existing Sub-clause 4.17.4 as 4.17.5.

- Include a new Sub-clause 4.17.4 as follows:

4.17.4 When chip resistors shall be tested the following solder bath method shall be applied:

4.17.4.1 The chip resistor shall be held using a small pair of stainless steel tweezers as shown in Figure 8. No part of the tweezers shall make contact with the end face plating of the chip resistor.

The chip resistor, held as described above, shall be immersed in a non-activated soldering flux for approximately 2 s and then excess flux shall be allowed to drain.

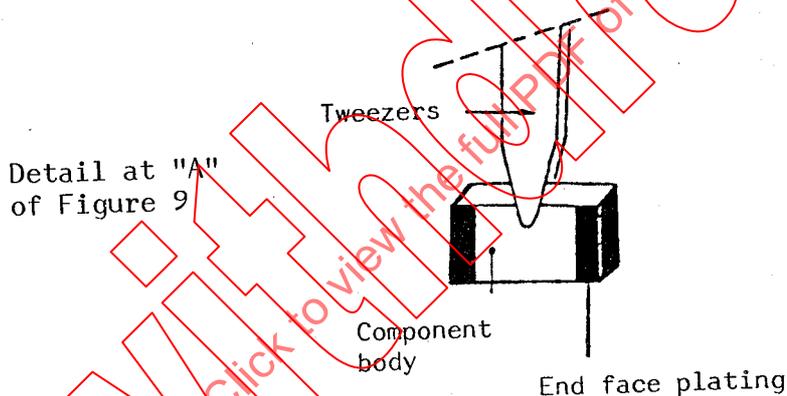


Figure 8

- 4.17.4.2 With the chip resistor held as described in Sub-clause 4.17.4.1 the tweezers shall be mounted on the immersion test apparatus as shown in Figure 9.
- 4.17.4.3 The chip resistor shall then be immersed in the solder bath to a depth of 10 mm. The temperature of the solder bath shall be 235 ± 5 °C and the immersion time shall be 2 ± 0.5 s.
- 4.17.4.4 After a maximum period of 60 min, flux residue shall be removed from the chip resistor by cleaning with a suitable solvent (see IEC Publication 68-2-45, Sub-clause 3.1.1).
- 4.17.4.5 The chip resistor shall then be visually examined under normal lighting and approximately 10X magnification. There shall be no signs of damage.

Both end faces and the contact areas shall be covered with a smooth and bright solder coating with no more than a small amount of scattered imperfections such as pinholes or un-wetted or de-wetted areas. These imperfections shall not be concentrated in one area.

Exemple:

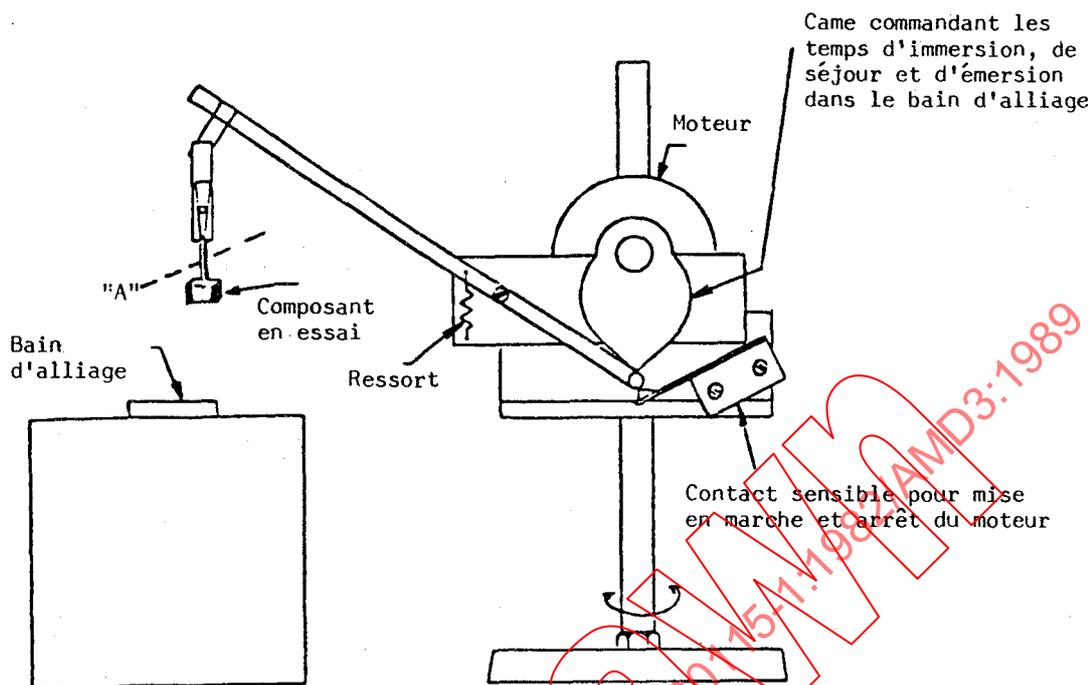


Figure 9

Page 46

Paragraphe 4.18.2

- Au début de la phrase, remplacer:

"Les résistances" par "Toutes les résistances à l'exception des résistances chipes".

- Ajouter une seconde phrase rédigée ainsi:

"Les résistances chipes doivent être soumises à l'essai Tb, Méthode 1A de la Publication 68-2-20 (1979) de la CEI et les modalités de l'essai sont spécifiées au paragraphe 4.18.3".

Note.- Les méthodes d'essai ci-contre sont uniquement destinées aux résistances chipes conçues pour l'essai de soudage en immersion totale. Pour les autres types de résistances chipes la spécification particulière doit spécifier les conditions de l'essai applicable.

Paragraphe 4.18.3

- Renommer le paragraphe existant qui devient 4.18.4.

- Ajouter le nouveau paragraphe 4.18.3 suivant:

4.18.3 Lorsque l'essai doit être effectué sur des résistances chipes, la méthode du bain d'alliage suivante doit être utilisée:

4.18.3.1 La résistance chipse doit être tenue par une petite pince en acier inoxydable comme indiqué en figure 8. Aucune partie de la pince ne doit être en contact avec les extrémités métallisées de la résistance.

La résistance chipse, tenue comme décrit ci-dessus, doit être immergée dans un flux activé comportant 0,2% de chlorure, pendant 2 s environ. Ensuite on doit laisser s'égoutter l'excès de flux.

4.18.3.2 La résistance chipse doit alors être immergée dans le bain d'alliage, jusqu'à une profondeur de 10 mm. La température du bain doit être de 260 ± 5 °C. Le temps d'immersion de $5 \pm 0,5$ s ou 10 ± 1 s comme prescrit dans la spécification particulière.

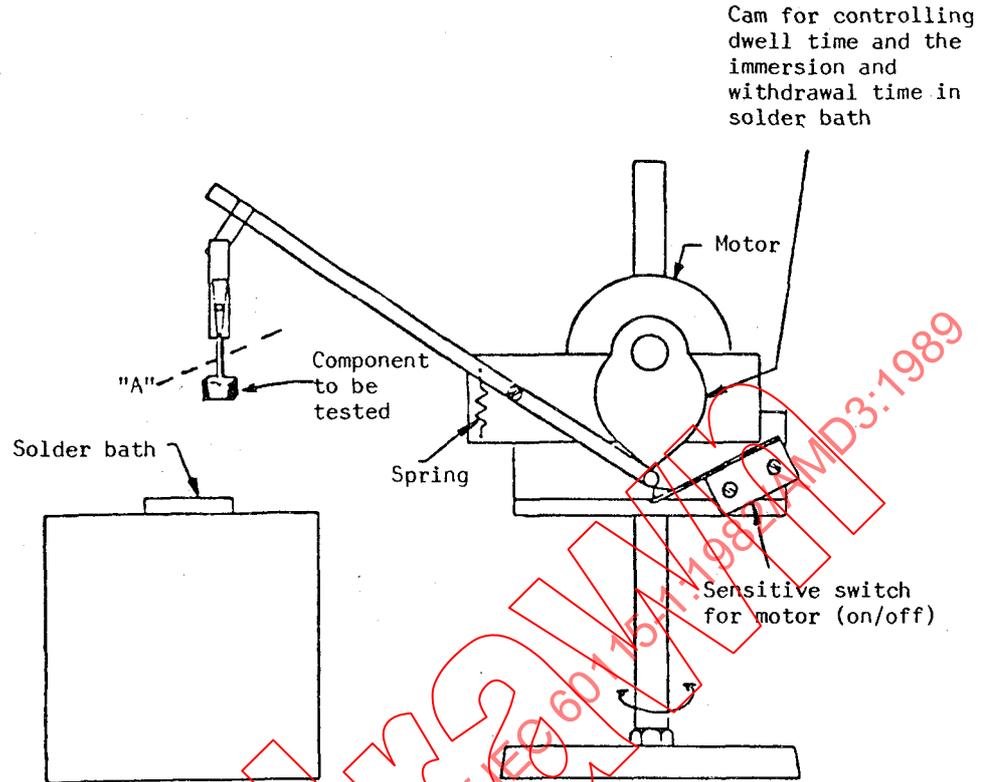
Example:

Figure 9

Page 47Sub-clause 4.18.2

- At the beginning of the sentence replace:

"The resistors" by "All resistors, except chip resistors".

- Add a second sentence as follows:

"Chip resistors shall be tested in accordance with Test Tb, Method 1A of IEC Publication 68-2-20 (1979) and the details specified in Sub-clause 4.18.3.

Note. - The present test methods are based only on chip resistors suitable for total immersion soldering tests. For other types of chip resistors the detail specification shall specify the details of any alternative tests."

Sub-clause 4.18.3

- Renumber the existing Sub-clause as 4.18.4.
- Include a new Sub-clause 4.18.3 as follows:

4.18.3 When chip resistors shall be tested the following solder bath method shall be applied:

4.18.3.1 The chip resistor shall be held using a small pair of stainless steel tweezers as shown in Figure 8. No part of the tweezers shall make contact with the end face plating of the chip resistor.

The chip resistor shall be held as described above and shall be immersed in solder flux activated with 0.2% chloride for approximately 2 s and then excess flux shall be allowed to drain.

4.18.3.2 The chip resistor shall then be immersed in the solder bath to a depth of 10 mm. The temperature of the solder bath shall be 260 ± 5 °C. The immersion time shall be 5 ± 0.5 s or 10 ± 1 s as prescribed by the detail specification.

4.18.3.3 Après un temps inférieur à 60 min les résidus de flux doivent être enlevés de la résistance en la nettoyant à l'aide d'un solvant approprié (voir Publication 68-2-45 de la CEI, paragraphe 3.1.1).

4.18.3.4 La résistance chipse doit ensuite être examinée visuellement dans des conditions normales d'éclairage et avec un grossissement de 10 environ. Il ne doit pas y avoir de signe de détérioration tel que fissures.

Il ne doit pas y avoir de dissolution des extrémités métallisées (démouillage) sur plus de 25% de la longueur de l'arête concernée.

Paragraphe 4.18.3

Au deuxième alinéa ajouter après "24 ± 4 h":

"(pour les résistances chipes 1 à 2 h)".

Page 62

Ajouter les nouveaux paragraphes suivants:

4.31 Montage (pour les résistances chipes uniquement):

4.31.1 Les résistances chipes doivent être montées sur un substrat approprié, la méthode de montage dépend de la construction de la résistance. Le matériau du substrat doit être normalement une carte imprimée en verre époxy de 1,6 mm d'épaisseur (comme défini dans la Publication 249-2 de la CEI, spécification no. 5) ou un substrat d'alumine d'épaisseur 0,635 mm. Il ne doit pas affecter les résultats des essais ou des mesures. La spécification particulière indique le matériau à utiliser pour les mesures électriques.

Le substrat doit comporter des zones de report métallisées convenablement espacées permettant le montage des résistances chipes et leur raccordement électrique aux sorties de la résistance. Les détails doivent être spécifiés dans la spécification particulière.

Des exemples de substrats destinés aux essais électriques et mécaniques sont donnés respectivement aux figures 10 et 11.

Si une autre méthode de montage est utilisée, elle doit être décrite de façon claire en spécification particulière.

4.31.2 Lorsque la spécification particulière prescrit un soudage à la vague, une colle appropriée dont les propriétés peuvent être données dans la spécification particulière doit être utilisée pour fixer le composant sur le substrat avant le soudage.

Des petits points de colle doivent être appliqués entre les conducteurs du substrat au moyen d'un système approprié assurant des résultats répétitifs.

Les résistances chipes doivent être placées sur les points de colle à l'aide d'une petite pince. Pour s'assurer qu'il n'y a pas de colle sur les conducteurs, les résistances chipes ne doivent plus alors être déplacées.

Le substrat avec les résistances doit être chauffé dans un four à 100 °C pendant 15 min.

Le substrat doit être soudé à la vague. L'appareil doit être réglé pour obtenir une température de préchauffage de 80 °C à 100 °C, une température du bain de soudure de 250 °C et un temps de soudage de 5 s.

- 4.18.3.3 After a maximum period of 60 min flux residues shall be removed from the chip resistor by cleaning with a suitable solvent (see IEC Publication 68-2-45, Sub-clause 3.1.1).
- 4.18.3.4 The chip resistor shall then be visually examined under normal lighting and approximately 10X magnification.
There shall be no signs of damage such as cracks.

Dissolution of the end face plating (leaching) shall not exceed 25% of the length of the edge concerned.

Sub-clause 4.18.3

In the second paragraph insert after "24 ± 4 h":

"(for chip resistors 1 to 2 h)".

Page 63

Add the following new sub-clauses:

4.31 Mounting (for chip resistors only)

- 4.31.1 Chip resistors shall be mounted on a suitable substrate, the method of mounting will depend on the resistor construction.
The substrate material shall normally be a 1.6 mm thick epoxy glass laminated printed board (as defined in IEC Publication 249-2, Specification No. 5) or an 0.635 mm alumina substrate and shall not affect the result of any test or measurement. The detail specification shall indicate which material is to be used for the electrical measurements.

The substrate shall have metallized land areas of proper spacing to permit mounting of chip resistors and shall provide electrical connection to the chip resistor terminals. The details shall be specified in the detail specification.

Examples of test substrates for mechanical and electrical tests are shown in Figures 10 and 11 respectively.

If another method of mounting applies, the method shall be clearly described in the detail specification.

- 4.31.2 When the detail specification specifies wave soldering, a suitable glue, details of which may be specified in the detail specification, shall be used to fasten the component to the substrate before soldering is performed.

Small dots of the glue shall be applied between the conductors of the substrate by means of a suitable device securing repeatable results.

The chip resistors shall be placed on the dots using tweezers. To ensure that no glue is applied to the conductors, the chip resistors shall not be moved about.

The substrate with the chip resistors shall be heat-treated in an oven at 100 °C for 15 min.

The substrate shall be soldered in a wave soldering apparatus. The apparatus shall be adjusted to have a pre-heating temperature of 80 °C to 100 °C, a solder bath at 250 °C and a soldering time of 5 s.

The soldering operation shall be repeated once more (two cycles in total).

The substrate shall be cleaned for 3 min in a suitable solvent (see IEC Publication 68-2-45, Sub-clause 3.1.1).

4.31.3 When the detail specification specifies reflow soldering, the following mounting procedure applies:

- a) The solder used in preform or paste form shall be silver bearing (2% minimum) eutectic Sn/Pb solder together with a non-activated flux as stated in IEC Publication 68-2-20 (1979): Test T: Soldering. Alternative solders such as 60/40 or 63/37 may be used on chips whose construction includes solder leach barriers.
- b) The chip resistor shall then be placed across the metallized land areas of the test substrate so as to make contact between chip and substrate land areas.
- c) The substrate shall then be placed in or on a suitable heating system (molten solder, hot plate, tunnel oven etc.). The temperature of the unit shall be maintained between 215 °C and 260 °C until the solder melts and reflows forming a homogeneous solder bond, but for not longer than 10 s.

Notes 1. -Flux shall be removed by a suitable solvent (see IEC Publication 68-2-45, Sub-clause 3.1.1).

All subsequent handling shall be such as to avoid contamination. Care shall be taken to maintain cleanliness in test chambers and during post-test measurements.

2. -The detail specification may require a more restricted temperature range.

3. -If vapour phase soldering is applied, the same method may be used with the temperatures adapted.

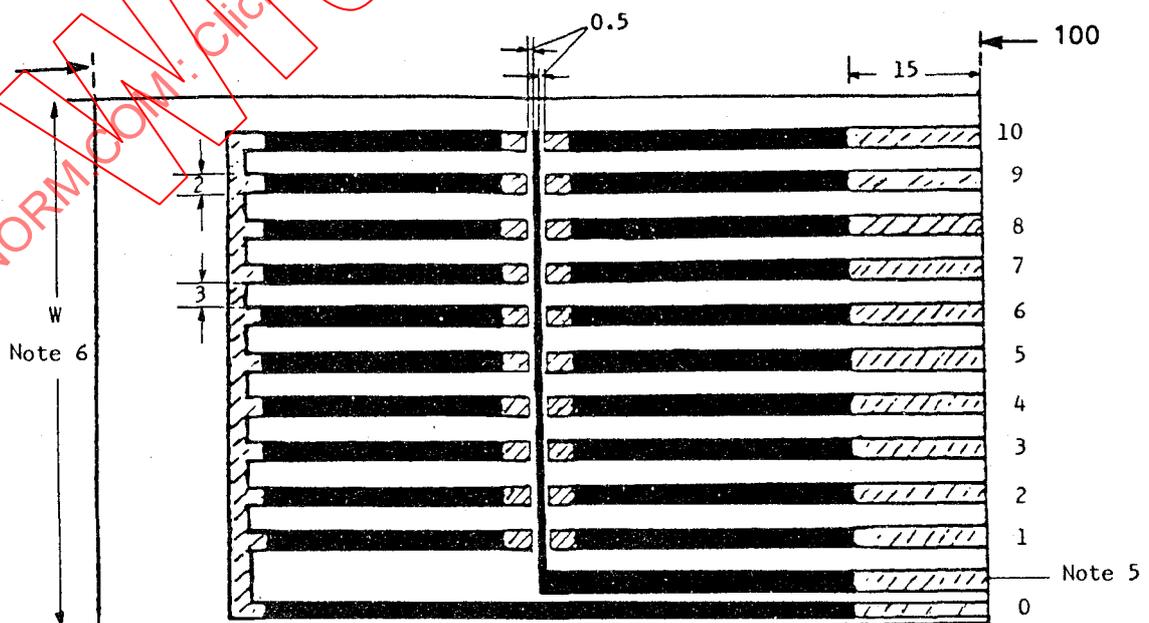


Figure 10: Suitable substrate for mechanical and electrical tests

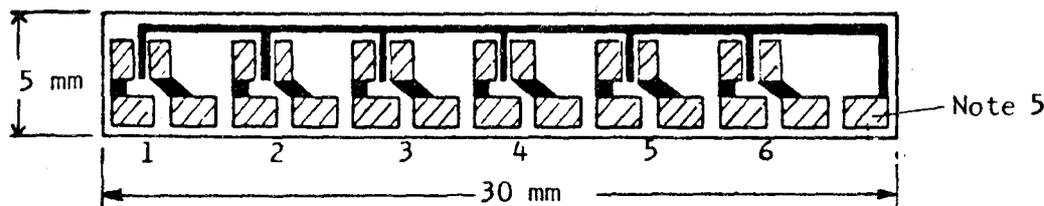


Figure 11: Substrat approprié pour les essais électriques

Notes relatives aux figures 10 et 11:

- 1)  Zones soudables
 Ne doit pas être soudable (recouvert par un vernis non soudable)
- 2) Toutes les dimensions sont en mm
Tolérances: moyennes
- 3) Matériau: Figure 10: Verre époxy FR 4
Épaisseur: $1,6 \pm 0,1$ mm
Figure 11: Alumine pure à 98%
Épaisseur nominale: 0,635 mm
- 4) Les dimensions qui ne sont pas données ou qui ne sont pas adaptées pour un type de composant spécifique doivent être prescrites dans la spécification particulière en fonction de la conception et de la dimension des composants à essayer.
- 5) Ce conducteur peut être omis ou utilisé comme électrode de garde.
- 6) La dimension W dépend de la conception de l'appareil d'essai.

4.32 Adhérence

- 4.32.1 La résistance chipse doit être montée comme décrit au paragraphe 4.31.
- 4.32.2 Une force de 5 N doit être appliquée au centre de la face de la résistance perpendiculairement au plan du substrat et parallèle à la ligne joignant les centres des sorties. La direction de la force doit être perpendiculaire à la face d'application. Cette force doit être appliquée au corps de la résistance de façon progressive, sans choc, et doit être maintenue pendant 10 ± 1 s.
- 4.32.3 Les résistances chipes, montées sur leur substrat, doivent être examinées visuellement; il ne doit pas y avoir de dommage visible.

4.33 Robustesse des extrémités métallisées

- 4.33.1 La résistance chipse doit être montée sur une carte imprimée comme indiqué au paragraphe 4.31.
- 4.33.2 La valeur de la résistance de la résistance chipse doit être mesurée comme spécifié au paragraphe 4.5.
- 4.33.3 La carte imprimée, avec les résistances chipes montées sur la face inférieure, doit être placée dans l'appareil de pliage (voir figure 12). La flèche de la carte est alors amenée à 1 mm, à une vitesse de 1 mm/s.